(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H02M 7/48

(11) 공개번호 특1997-0004259
(43) 공개일자 1997년01월29일

(21) 출원번호 특1996-0019648
(22) 출원일자 1996년06월03일

(30) 우선권주장 19523095.7 1995년06월26일 독일(DE)
(71) 출원인 아세아 브라운 보베리 매니지먼트 악티엔게젤샤프트 한스 요트. 헤쩨르
스위스연방 체하-5401 바덴 하젤쉬트라쎄 16
(72) 발명자 호르스트 그뤼닝
스위스연방 체하-5430 베팅엔 하임쉬트라쎄 2
(74) 대리인 윤여범, 박해선

심사청구 : 없음

(54) 컨버터 회로 장치

요약

컨버터 회로 장치는 게이트 턴오프 사이리스터가 하드 구동되는 것을 특징으로 한다. 상기 사이리스터들의 완충기는 소자들의 수가 적은 것이 특징이다.

대표도

도1

명세서

[발명의 명칭]

컨버터 회로 장치

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예의 회로 다이어그램, 제2도는 본 발명의 제2실시예의 회로 다이어그램, 제3도는 본 발명의 또다른 실시예의 회로 다이어그램, 제4도는 완충기 회로군을 최소한 포함하여 실행한 본 발명의 실시예의 회로 다이어그램.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

병렬로 역접속된 다이오드(D1,D2)는 사이리스터(GTO1,GTO2)에 병렬로 역접속되고, 각각의 브랜치는 DC 전압 소스와 부하 단자를 형성하는 각각의 브랜치의 공통 노드인 중앙에 접속되고, 과도하게 많은 전류와 전압 상승 경사에 대항하여 게이트 턴오프 사이리스터(GTO1,GTO2)를 보호하는 전류 및 전압 상승 제한 수단 (L,D3 및 C1,C2)를 구비하며, 짝수의 게이트 턴오프 사이리스터(GTO1,GTO2) 및 병렬로 역접속된 다이오드(D1,D2)를 가진 하나 이상의 브랜치를 갖는 컨버터 회로 장치에 있어서, 상기 게이트 턴오프 사이리스터 (GTO1,GTO2)는 하드 구동되고, 상기 전압 상승 제한 수단은 각각의 사이리스터(GTO1 또는 GTO2)의 병렬로 역접속된 다이오드(D1 또는 D2) 중의 하나와 병렬로 배치된 하나 이상의 캐패시터(C1 또는 C2)만을, 브랜치마다, 포함하는 것을 특징으로 하는 컨버터 회로 장치.

청구항 2

제1항에 있어서, 상기 전류 상승 제한 수단(L,D3)은 단하나의 인덕터(L)와 단하나의 전류 제한 다이오드(D3)를 갖는 병렬 회로를 구비하며, 상기 병렬 회로는 하나의 브랜치 또는 각각의 브랜치의 사이리스터(GTO1,GTO2)와, 상기 부하 단자를 형성시키는 상기 인덕터(L)의 중앙 탭 사이에 상호 접속되어 있는 것을 특징으로 하는 컨버터 회로 장치.

청구항 3

제2항에 있어서, 상기 인덕터(L)는 개별적으로 직렬로 접속된 두 코일(L1,L2)을 구비하고, 상기 부하단자는 상기 두 코일의 중앙에 배치되는 것을 특징으로 하는 컨버터 회로.

청구항 4

제1항에 있어서, 상기 전류 상승 제한 수단(L,D3)은 상기 DC 전압 소스의 양극 또는 음극과 하나의 브랜치 또는 각각의 브랜치 사이에 배치되고 단하나의 인덕터(L)와 단하나의 전류 제한 다이오드(D3)를 가진 병렬 회로를 구비하는 것을 특징으로 하는 컨버터 회로.

청구항 5

제1항에 있어서, 상기 전류 상승 제한 수단은, 한편, 상기 사이리스터(각각의 GTO1 및 GTO2)과 브랜치의 병렬로 역접속된 상기 관련된 다이오(D1,D2) 사이에 각각 배치된 두 인덕터(L1,L2)를 구비하며, 또한, 브랜치의 상기 사이리스터(GTO1,GTO2) 사이에 배치된 다이오드(D3)를 구비하며, 상기 부하 단자는 상기 병렬로 역접속된 다이오드(D1,D2) 및 병렬로 역접속된 다이오드(D1,D2)와 상기 사이리스터(GTO1,GTO2) 사이에 위치하는 상기 인덕터(L1,L2)와 접속하여 형성되는 것을 특징으로 하는 컨버터 회로.

청구항 6

제1항에 있어서, 상기 사이리스터(GTO1,GTO2)는 양호하게는 20에서 100V의 애벌란시 전압에서 역전도되며, 상기 전류 상승 제한 수단은 상기 사이리스터(GTO1,GTO2)와 브랜치의 상기 병렬로 역접속된 다이오드(D1,D2) 사이에 배치된 인덕터(L)를 구비하는 것을 특징으로 하는 컨버터 회로.

청구항 7

제1항 내지 제6항 중 어느 한 항에 있어서, 캐패시터(C1,C2)는 하나 이상의 사이리스터(GTO1 또는 GTO2)에 제공되며, 상기 캐패시터(C1,C2)는 대응하는 병렬로 역접속된 다이오드(D1,D2)에 병렬로 제공되는 것을 특징으로 하는 컨버터 회로.

청구항 8

제6항에 있어서, 또 하나의 캐패시터(C3)가 상기 사이리스터들중 한쪽(GTO1 또는 GTO2)에 병렬로 제공되는 것을 특징으로 하는 컨버터 회로.

청구항 9

제1항 내지 제6항 중 어느 한 항에 있어서, 상기 전압 상승 제한 수단의 상기 캐패시터(C1 또는 C2)의 캐패시턴스 또는 상기 캐패시터들(C1과 C2)의 캐패시턴스들의 합은, 상기 회로 장치가 설계되기 위해, 최대 게이트 턴오프 전류 대 상기 캐패시턴스 또는 캐패시턴스들의 합의 비가 ㎲당 2KV보다 크거나 같도록 선택되는 것을 특징으로 하는 컨버터 회로.

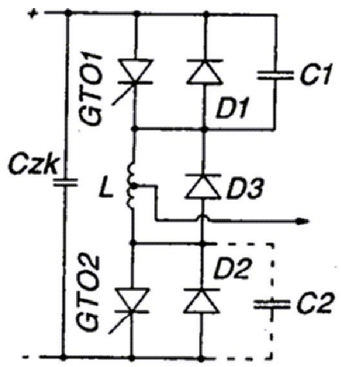
청구항 10

제8항에 있어서, 상기 전압 상승 제한 수단의 상기 캐패시터(C1 또는 C2)의 캐패시턴스 또는 상기 캐패시터(C1 또는 C2)의 캐패시턴스들의 합은, 상기 회로 장치가 설계되기 위해, 최대 게이트 턴오프 전류 대상기 캐패시턴스 또는 캐패시턴스들의 합의 비는 ㎲당 2KV 보다 크거나 같도록 선택되고, 상기 전류 상승 제한 수단의 상기 인덕턴스는 상기 중간 회로 전압 대 상기 인덕턴스의 비가 ㎲당 1KV 보다 크거나 같도록 선택되는 것을 특징으로 하는 컨버터 회로.

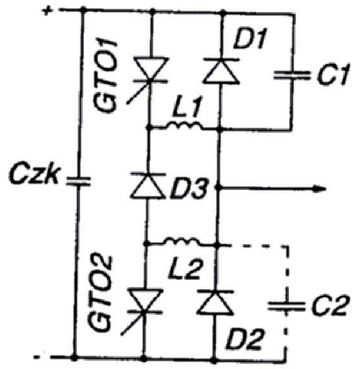
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

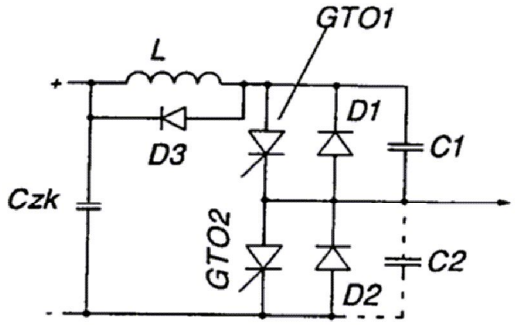
도면1



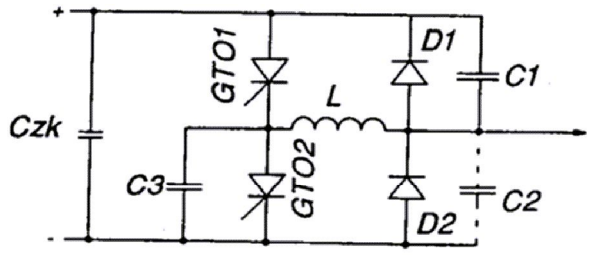
도면2


+
GTO1
D1
C1
L1
Czk
D3
L2
GTO2
C2
D2
-

도면3


GTO1
L
+
D1
C1
D3
Czk
GTO2
C2
D2
-

도면4


+
GTO1
D1
C1
L
Czk
C3
GTO2
C2
D2
-