

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 7 月 31 日(31.07.2014)

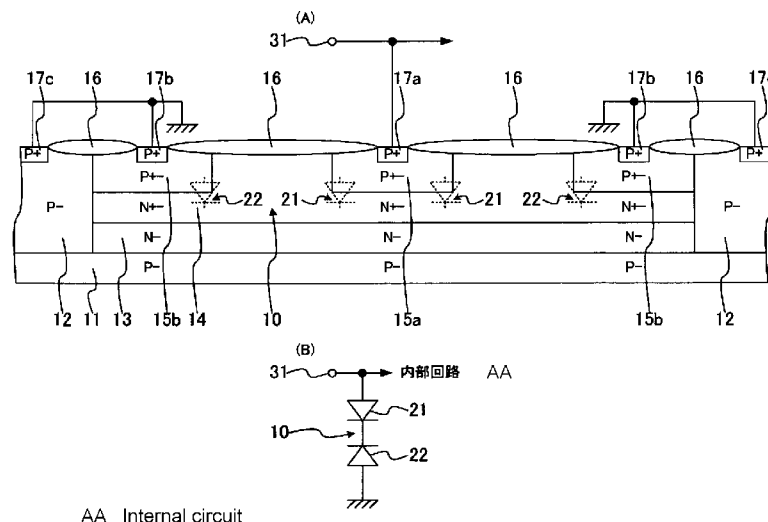


(10) 国際公開番号
WO 2014/115484 A1

- (51) 国際特許分類:
H01L 21/822 (2006.01) H01L 27/06 (2006.01)
H01L 27/04 (2006.01)
- (21) 国際出願番号: PCT/JP2013/085191
- (22) 国際出願日: 2013 年 12 月 27 日(27.12.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-012388 2013 年 1 月 25 日(25.01.2013) JP
- (71) 出願人: セイコーインスツル株式会社(SEIKO INSTRUMENTS INC.) [JP/JP]; 〒2618507 千葉県千葉市美浜区中瀬 1 丁目 8 番地 Chiba (JP).
- (72) 発明者: 染谷 哲勇(SOMEYA, Tetsuo); 〒2618507 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツル株式会社内 Chiba (JP). 廣瀬 嘉胤(HIROSE, Yoshitsugu); 〒2618507 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツル株式会社内 Chiba (JP).
- (74) 代理人: 久原 健太郎, 外(KUHARA, Kentaro et al.); 〒2618507 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツル株式会社内 Chiba (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE HAVING ESD PROTECTION ELEMENT

(54) 発明の名称: ESD 保護素子を有する半導体装置



(57) Abstract: In order to achieve a semiconductor device having an ESD protection element with a reverse-connection protection function, the semiconductor device has an ESD protection element provided with: an N-type diffusion layer (14) formed on the surface of a semiconductor substrate (11) functioning as the cathode of zener diodes (21, 22); a P-type diffusion layer (15a) formed on the surface of the N-type diffusion layer (14), the P-type diffusion layer (15a) functioning as the anode of the zener diode (21) in the connection portion of the input pad (31) and the input terminal of the ESD protection element (10); and a P-type diffusion layer (15b) formed on the surface of the N-type diffusion layer (14), the P-type diffusion layer (15b) functioning as the anode of the zener diode (22) in the connection portion of the ground pad and the ground terminal of the ESD protection element (10).

(57) 要約:

[続葉有]

WO 2014/115484 A1



逆接続保護機能を有するESD保護素子を有する半導体装置とするために、半導体装置は、ツェナーダイオード21および22のカソードとして機能する半導体基板11の表面に形成されるN型拡散層14と、入力パッド31とESD保護素子10の入力端子との接続部分において、N型拡散層14の表面に形成される、ツェナーダイオード21のアノードとして機能するP型拡散層15aと、接地パッドとESD保護素子10の接地端子との接続部分において、N型拡散層14の表面に形成される、ツェナーダイオード22のアノードとして機能するP型拡散層15bとを備えたESD保護素子を有する。

明 細 書

発明の名称： E S D保護素子を有する半導体装置

技術分野

[0001] 本発明は、半導体装置に関する、特に、半導体装置に搭載されるE S D（静電気放電）保護素子に関する。

背景技術

[0002] 従来のE S D保護素子について説明する。図6は、従来のE S D保護素子を示す断面図及び等価回路図である。

[0003] 入力パッドに印加されたサージ電圧は、入力パッドに連なるカソード電極106へ伝わり、E S Dサージ電流が入力パッドから接地パッドにアノード電極107を介して流れる。この時、E S D保護素子のツェナーダイオード108（ツェナー領域103、カソード104、及び、アノード105からなる）及びツェナーダイオード109（ツェナー領域103、カソード104、及び、基板101、ピックアップ領域102からなる）は、ブレイクダウン動作により、このE S Dサージ電流をダイオードの逆方向に流す。これにより、E S Dサージ電流は内部回路に流れないので、内部回路がE S Dサージ電流から保護されることになる（例えば、特許文献1参照）。

先行技術文献

特許文献

[0004] 特許文献1：特開平10-189761号公報

発明の概要

発明が解決しようとする課題

[0005] しかし、特許文献1によって開示された技術では、電源電圧が接地パッドに誤って印加される逆接続の状態においては、ダイオードが順方向となり接地パッドから入力パッドへと電流が流れてしまう。そのため、半導体装置は、誤動作したり破壊されたりしてしまう可能性が高い。そこで、製品によってはこうした事態を避けるために、半導体装置に搭載されるE S D保護素子

には、逆接続保護機能が要求されるようになる。本発明は、上記課題に鑑みてなされ、逆接続保護機能を有するE S D保護素子を備えた半導体装置を提供するものである。

課題を解決するための手段

[0006] 本発明は、上記課題を解決するため、E S D保護素子を有する半導体装置であって、半導体基板と、第一～第二ツェナーダイオードのカソードとして機能し、前記半導体基板の表面に形成されるN型拡散層と、前記第一ツェナーダイオードのアノードとして機能し、入力パッドとE S D保護素子の入力端子との接続部分において、前記N型拡散層の表面に形成される第一P型拡散層と、前記第二ツェナーダイオードのアノードとして機能し、接地パッドとE S D保護素子の接地端子との接続部分において、前記N型拡散層の表面に形成される第二P型拡散層と、前記第一P型拡散層の上にコンタクトが設けられる領域において、前記第一P型拡散層の表面に形成される第一高濃度P型拡散層と、前記第二P型拡散層の上にコンタクトが設けられる領域において、前記第二P型拡散層の表面に形成される第二高濃度P型拡散層と、を備えることを特徴とするE S D保護素子を有す半導体装置提供する。

発明の効果

[0007] 本発明では、電源電圧が接地パッドに誤って印加される逆接続の状態において、E S D保護素子の第一ツェナーダイオードは、逆バイアスとなるので、オフしている。そのため、接地パッドに印加された電源電圧は、入力パッドに印加されないので、半導体装置は、誤動作したり破壊されたりしない。

図面の簡単な説明

[0008] [図1] E S D保護素子を示す断面図及び等価回路図である。

[図2] E S D保護素子を示す平面図である。

[図3] E S D保護素子を示す平面図である。

[図4] E S D保護素子を示す平面図である。

[図5] E S D保護素子を示す平面図である。

[図6]従来のE S D保護素子を示す断面図及び回路図である。

発明を実施するための形態

[0009] 以下、本発明の実施形態について、図面を参照して説明する。図中のPあるいはNは半導体領域の導電型を表し、付属する+、±、-は不純物濃度の相対的な大小関係を示し、P-、P±、P+の順で濃度は高くなる。N型に関しても同様である。

[0010] まず、半導体装置におけるESD（静電気放電）保護素子の構成について説明する。図1は、ESD保護素子を示す断面図及び等価回路図である。図2は、ESD保護素子を示す平面図である。

[0011] 図1の(A)に示すように、ESD保護素子10が形成されない領域において、P型半導体基板11の表面に、P型ウェル12が形成されている。ESD保護素子10が形成される領域において、P型半導体基板11の表面に、N型ウェル13が形成されている。N型ウェル13の表面には、N型拡散層14が形成されている。そして、入力パッド31とESD保護素子10の入力端子との接続部分には、N型拡散層14の表面に、第一のP型拡散層15aが形成されている。さらに、接地パッドとESD保護素子10の接地端子との接続部分において、N型拡散層14の表面に、第二のP型拡散層15bが形成されている。

[0012] P型ウェル12及びP型拡散層15a～15bの上にコンタクトをとるための高濃度P型拡散層17a～17cが設けられない領域において、P型半導体基板11の表面には、LOCOS法（Local Oxidation of Silicon：シリコンを部分的に酸化する方法）による比較的膜厚の厚いLOCOS酸化膜16が形成されている。P型ウェル12の上にコンタクトが設けられる領域において、P型ウェル12の表面に、高濃度P型拡散層17cが形成される。P型拡散層15aの上にコンタクトが設けられる領域において、P型拡散層15aの表面に、第一の高濃度P型拡散層17aが形成される。P型拡散層15bの上にコンタクトが設けられる領域において、P型拡散層15bの表面に、第二の高濃度P型拡散層17bが形成される。

[0013] N型拡散層14は、ツェナーダイオード21～22のカソードとして機能

する。P型拡散層15aは、ツェナーダイオード21のアノードとして機能する。P型拡散層15bは、ツェナーダイオード22のアノードとして機能する。ツェナーダイオード21及びツェナーダイオード22がESD保護素子10を構成している。

[0014] N型拡散層14の不純物濃度は、N型ウェル13の不純物濃度よりも濃い。P型拡散層15a～15bの不純物濃度は、P型ウェル12の不純物濃度よりも濃く、高濃度P型拡散層17a～17cの不純物濃度よりも薄い。N型拡散層14及びP型拡散層15a～15bの不純物濃度は、ツェナーダイオード21～22の耐圧によって適宜設計される。また、高濃度P型拡散層17a～17cの不純物濃度は、高濃度P型拡散層17a～17cとその上のコンタクトとの接触抵抗の値が小さくなるよう適宜設計される。

[0015] また、図2に示すように、P型拡散層15a及び高濃度P型拡散層17aの平面形状は、本実施形態においては、対称性の高い正方形である。これらのP型拡散層15a及び高濃度P型拡散層17aを中心として、図2の平面図で上下左右対称に、LOCOS酸化膜16及び高濃度P型拡散層17b～17cを形成する。

[0016] 次に、ESD保護素子10の回路について説明する。

[0017] 図1の(B)に示すように、入力パッド31は、ツェナーダイオード21のアノード及び半導体装置の内部回路に接続される。ツェナーダイオード21のカソードは、ツェナーダイオード22のカソードに接続される。ツェナーダイオード22のアノードは、接地パッドに接続される。

[0018] 次に、ESD保護素子10の動作について説明する。

[0019] 通常の動作においてはESD保護素子10のツェナーダイオード22は、逆バイアスとなるので、オフしている。よって、ESD保護素子10は、入力パッド31に印加される電圧に影響しない。

[0020] 次に、電源電圧が接地パッドに誤って印加される逆接続の状態においては、ESD保護素子10は逆接続保護動作を行う。即ち、ESD保護素子10のツェナーダイオード21は、逆バイアスとなるので、オフしたままである。

。よって、接地パッドに印加された電源電圧は、入力パッド 31 に印加されない。

[0021] 続いて、ESD保護素子 10 の ESD 保護動作について説明する。

[0022] 入力パッド 31 へ印加されたサージ電圧により、ESD サージ電流が入力パッド 31 から接地パッドに流れる。この時、ESD 保護素子 10 のツェナーダイオード 21 は、この ESD サージ電流を順方向に流している。また、ESD 保護素子 10 のツェナーダイオード 22 は、ブレイクダウン動作により、この ESD サージ電流を逆方向に流している。これにより、ESD サージ電流が内部回路に流れないので、内部回路が ESD サージ電流から保護される。

[0023] なお、P 型拡散層 15a 及び高濃度 P 型拡散層 17a の平面形状は、正方形であるが、電界集中防止のため、角をカットされた八角形としても良い。この時、これらの P 型拡散層 15a 及び高濃度 P 型拡散層 17a を中心として、平面図で上下左右対称に、LOCOS 酸化膜 16 及び高濃度 P 型拡散層 17b～17c を形成する。

[0024] また、LOCOS 法が使用されているが、STI 法 (Shallow Trench Isolation: 浅い溝を使った分離方法) を使用しても良い。

[0025] また、図 3 に示すように、P 型拡散層 15a 及び高濃度 P 型拡散層 17a の平面形状は、長方形としても良い。

[0026] また、図 4 に示すように、P 型拡散層 15a 及び高濃度 P 型拡散層 17a の平面形状は、電界の集中を避けられるように円形としても良い。

[0027] また、図 5 に示すように、P 型拡散層 15a 及び高濃度 P 型拡散層 17a の平面形状は、長方形類似の形状でも良く、この長方形の短手方向の部分は、丸くなっている。

[0028] また、N 型ウェル 13 は、無くても良い。この時、ESD 保護素子 10 が形成される領域において、P 型半導体基板 11 の表面に、直接、N 型拡散層 14 が形成される。

符号の説明

- [0029] 1 0 E S D保護素子
- 1 1 P型半導体基板
 - 1 2 P型ウェル
 - 1 3 N型ウェル
 - 1 4 N型拡散層（ツェナーダイオード2 1～2 2のカソード）
 - 1 5 a P型拡散層（ツェナーダイオード2 1のアノード）
 - 1 5 b P型拡散層（ツェナーダイオード2 2のアノード）
 - 1 6 L O C O S酸化膜
 - 1 7 a～1 7 c 高濃度P型拡散層
 - 1 8 N型拡散層
 - 2 1 ツェナーダイオード
 - 2 2 ツェナーダイオード
 - 3 1 入力パッド

請求の範囲

- [請求項1] P型の半導体基板と、
第一のツェナーダイオードおよび第二のツェナーダイオードのカソードとして機能し、前記半導体基板の表面から内部にかけて形成されたN型拡散層と、
前記第一のツェナーダイオードのアノードとして機能し、入力パッドとESD保護素子の入力端子との接続部分において、前記N型拡散層の表面に形成された第一のP型拡散層と、
前記第二のツェナーダイオードのアノードとして機能し、接地パッドとESD保護素子の接地端子との接続部分において、前記N型拡散層の表面に形成された第二のP型拡散層と、
前記第一のP型拡散層の上にコンタクトが設けられる領域において、前記第一のP型拡散層の表面に形成された第一の高濃度P型拡散層と、
前記第二のP型拡散層の上にコンタクトが設けられる領域において、前記第二のP型拡散層の表面に形成された第二の高濃度P型拡散層と、
を備えたことを特徴とするESD保護素子を有する半導体装置。
- [請求項2] 前記N型拡散層の下に、さらに、N型のウェルを有することを特徴とする請求項1記載のESD保護素子を有する半導体装置。
- [請求項3] 前記ESD保護素子は周囲には、さらに、P型ウェルを有し、前記P型ウェルは第三の高濃度P型拡散層を介して前記接地パッドに接続されていることを特徴とする請求項1または2に記載のESD保護素子を有する半導体装置。
- [請求項4] 前記第一のP型拡散層の平面形状は、正方形である、
ことを特徴とする請求項1乃至3のいずれか1項に記載のESD保護素子を有する半導体装置。
- [請求項5] 前記第一のP型拡散層の平面形状は、長方形である、

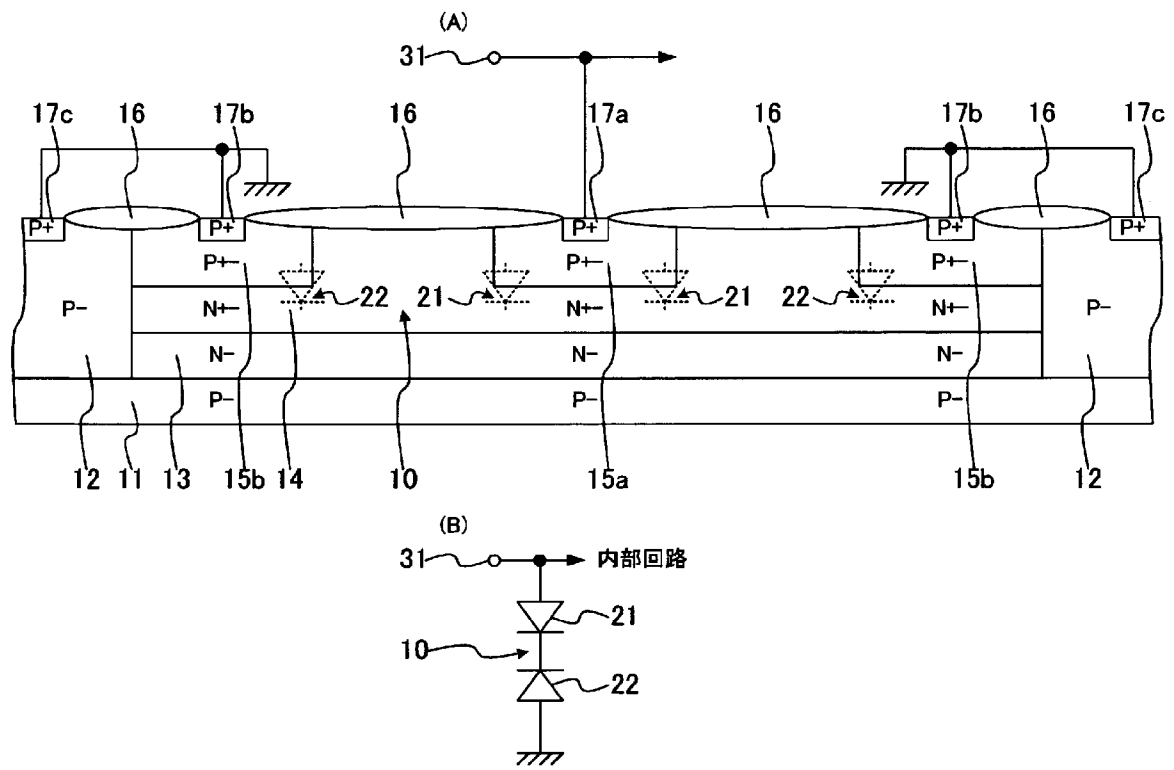
ことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の E S D 保護素子を有する半導体装置。

[請求項6] 前記第一の P 型拡散層の平面形状は、八角形である、
ことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の E S D 保護素子を有する半導体装置。

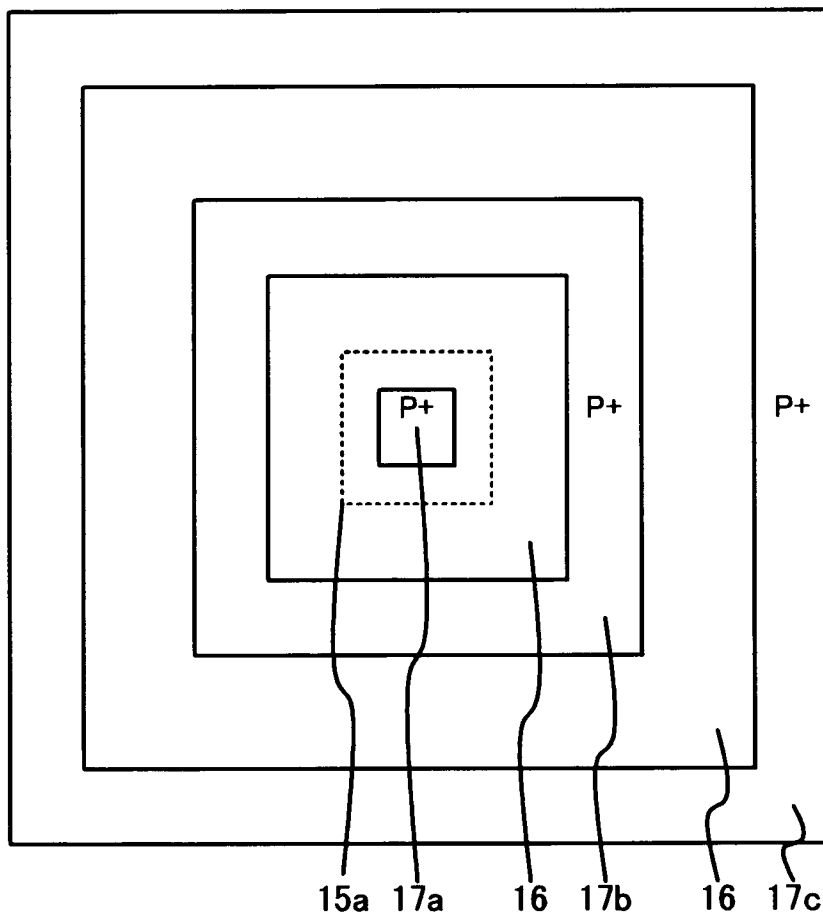
[請求項7] 前記第一の P 型拡散層の平面形状は、円形である、
ことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の E S D 保護素子を有する半導体装置。

[請求項8] 前記第一の P 型拡散層の平面形状は、長方形類似の形状であり、長方形の短手方向の部分は、丸くなっている、
ことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の E S D 保護素子を有する半導体装置。

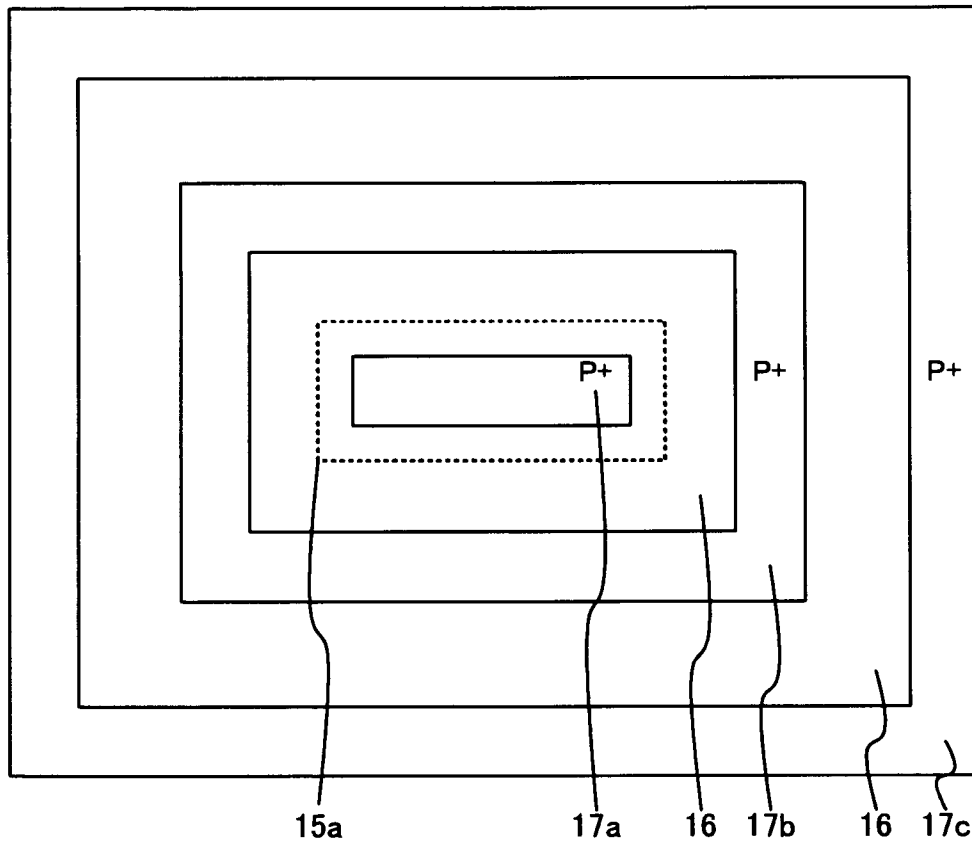
[図1]



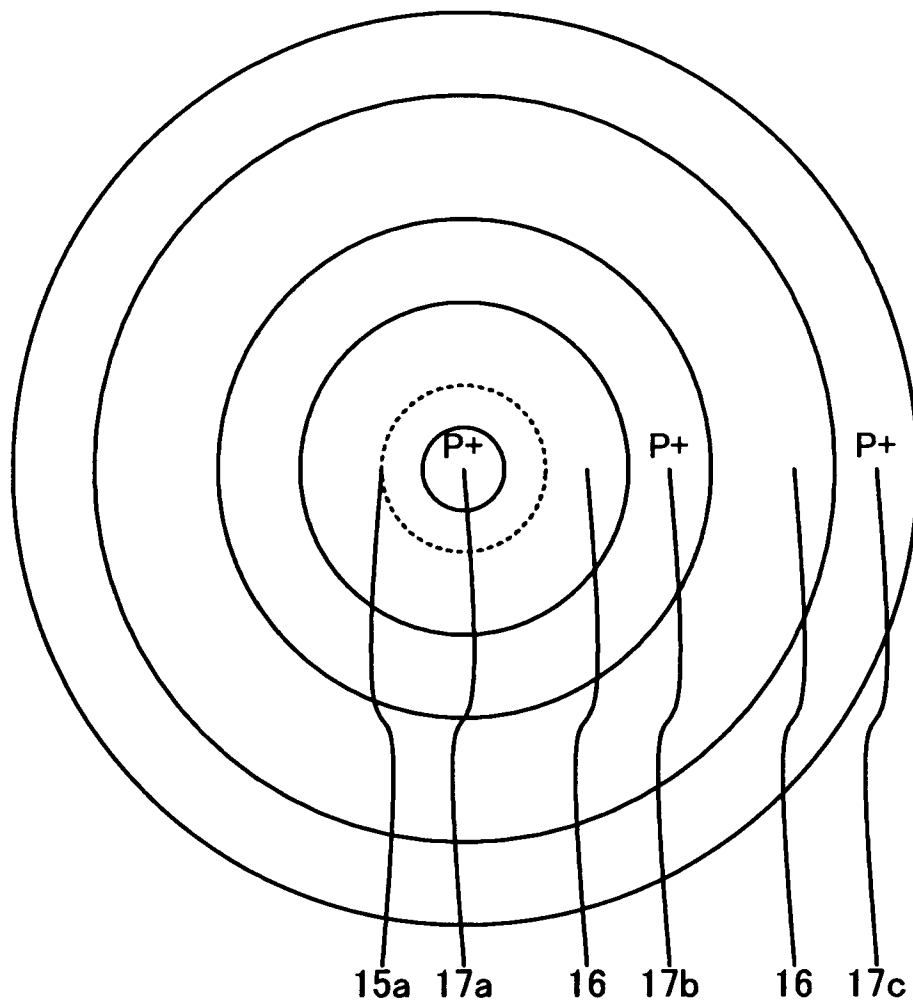
[図2]



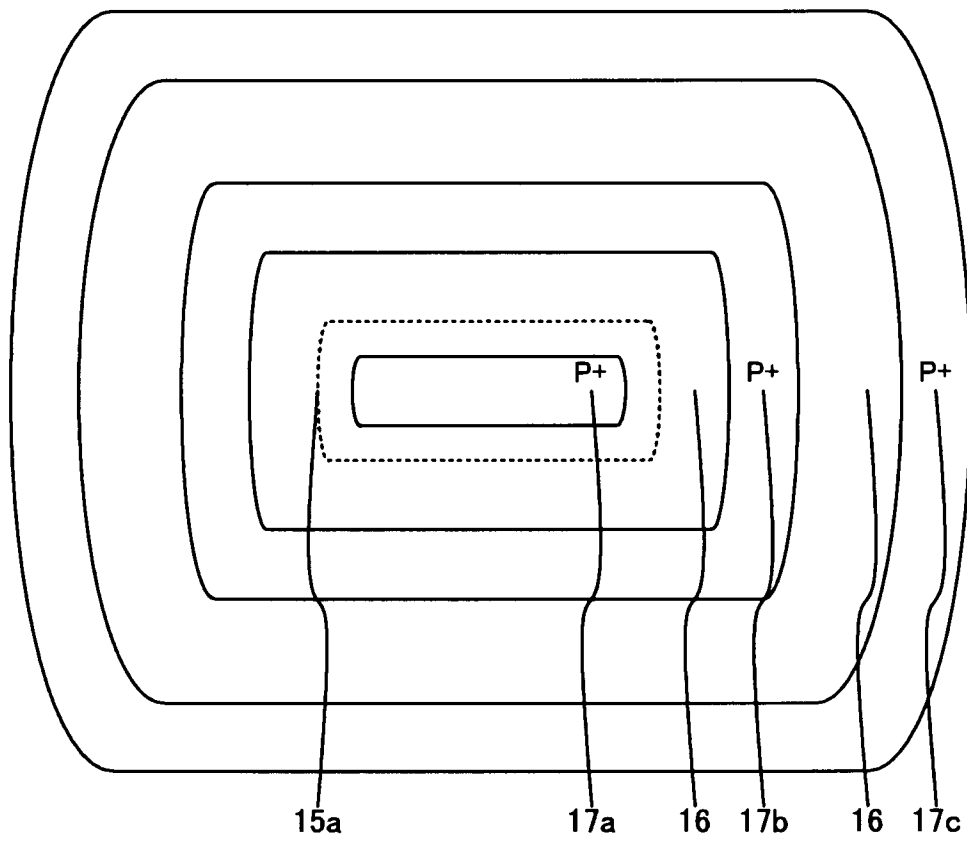
[図3]



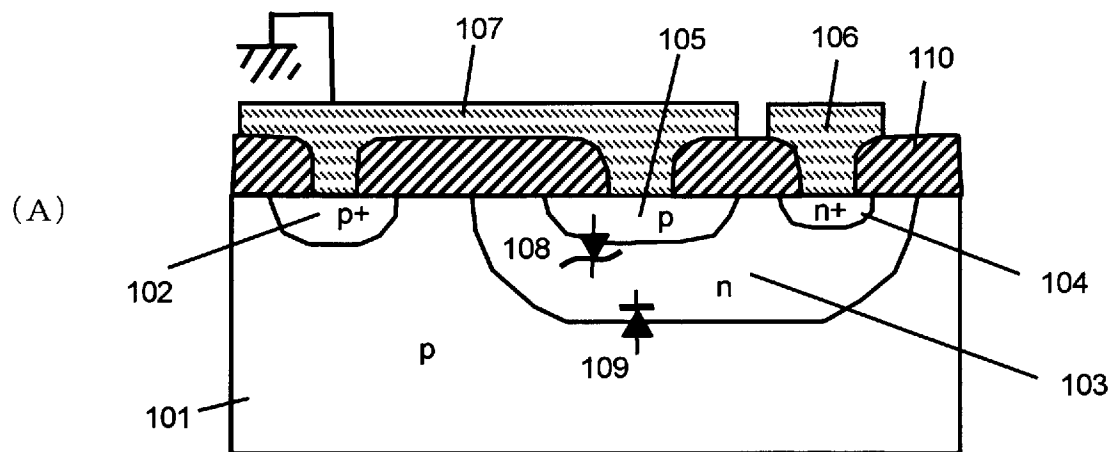
[図4]



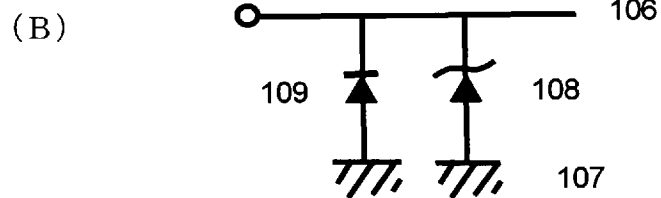
[図5]



[図6]



- | | | | |
|-----|------------|-----|----------------|
| 101 | p基板 | 106 | カソード領域 |
| 102 | p+ピックアップ領域 | 107 | アノード領域 |
| 103 | nツェナー領域 | 108 | pアノード-nツェナー |
| 104 | n+カソード領域 | | ダイオード |
| 105 | pアノード領域 | 109 | p基板-nツェナーダイオード |
| | | 110 | 酸化膜 |



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/085191

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/822(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/822, H01L27/04, H01L27/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2006-261376 A (Mitsubishi Electric Corp.), 28 September 2006 (28.09.2006), fig. 11, 17 (Family: none)	1-3, 7 4-6, 8
Y	JP 11-259148 A (Siliconix, Inc.), 24 September 1999 (24.09.1999), fig. 15, 25 & US 6060752 A & EP 928054 A2 & DE 69933595 D	4-6, 8
Y	JP 5-218459 A (SGS Thomson Microelectronics S.A.), 27 August 1993 (27.08.1993), fig. 4, 6 & US 5311042 A & EP 543742 A1 & DE 69207732 C & FR 2683947 A1	4-6, 8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 March, 2014 (14.03.14)

Date of mailing of the international search report
25 March, 2014 (25.03.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/085191

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-182381 A (Panasonic Corp.), 20 September 2012 (20.09.2012), fig. 2 (Family: none)	1-8

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/822(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/822, H01L27/04, H01L27/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2006-261376 A（三菱電機株式会社）2006.09.28, 図11, 図17（ファミリーなし）	1-3, 7 4-6, 8
Y	JP 11-259148 A（シリコニックス・インコーポレイテッド） 1999.09.24, 図15, 図25, & US 6060752 A & EP 928054 A2 & DE 69933595 D	4-6, 8
Y	JP 5-218459 A（エスジェーエーストムソン ミクロエレクトロニクス ソシエテ アノニム）1993.08.27, 図4, 図6 & US 5311042 A	4-6, 8

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 4 . 0 3 . 2 0 1 4

国際調査報告の発送日

2 5 . 0 3 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

須原 宏光

電話番号 03-3581-1101 内線 3516

5 F

9 0 5 7

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	& EP 543742 A1 & DE 69207732 C & FR 2683947 A1 JP 2012-182381 A (パナソニック株式会社) 2012.09.20, 図2 (ファミリーなし)	1 - 8