(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0117642
(43) 공개일자 2020년10월14일

(51) 국제특허분류(Int. Cl.)
H04L 25/49 (2006.01) *H04L 25/02* (2006.01)
H04L 25/03 (2006.01)
(52) CPC특허분류
H04L 25/4917 (2013.01)
H04L 25/0272 (2013.01)
(21) 출원번호 10-2019-0040048
(22) 출원일자 2019년04월05일
심사청구일자 2019년04월05일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221, 401동 1003호 (도곡동, 도곡렉슬아파트)
심진철
서울특별시 성북구 보문로30가길 41-1(동선동2가)
박현수
서울특별시 동대문구 한빛로 50-2 (용두동)
(74) 대리인
이기성

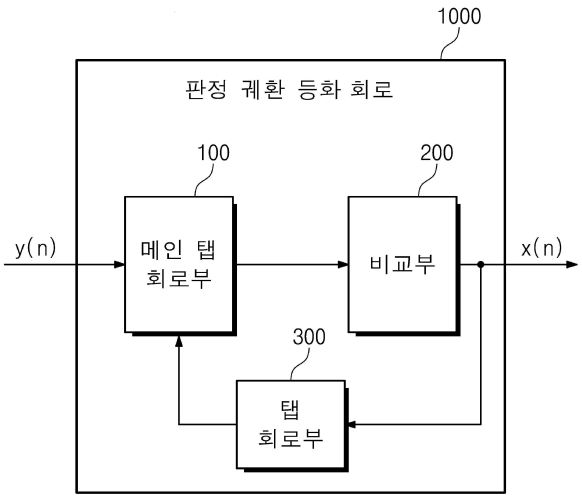
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 **4 레벨 펄스 진폭 변조 신호 기반의 판정 궤환 등화 회로 및 그 동작 방법**

(57) 요 약

본 출원의 일 실시예에 따르는 판정 궤환 등화 회로는, 입력 신호에 따라 샘플링되는 차동 등화 신호를 차동 출력 노드를 통해 출력하는 메인 탭 회로부, 상기 차동 등화 신호와 각 기준 값을 비교하여, 복수의 출력값을 생성하는 비교부 및 상기 복수의 출력값을 선택적으로 피드백받아, 서로 다른 제1 및 제2 전류단위로 상기 차동 출력 노드에 흐르는 제1 및 제2 로드전류를 조절하는 탭 회로부를 포함한다.

대 표 도 - 도1



(52) CPC특허분류
H04L 25/03267 (2013.01)

명 세 서

청구범위

청구항 1

입력 신호에 따라 샘플링되는 차동 등화 신호를 차동 출력 노드를 통해 출력하는 메인 탭 회로부;

상기 차동 등화 신호와 각 기준 값을 비교하여, 복수의 출력값을 생성하는 비교부; 및

상기 복수의 출력값을 선택적으로 피드백받아, 서로 다른 전류단위로 상기 차동 출력 노드에 흐르는 제1 및 제2 로드전류를 조절하는 탭 회로부를 포함하는, 판정 궤환 등화 회로.

청구항 2

제1항에 있어서,

상기 비교부는, 각각 한쌍의 출력 단자를 가지는 복수의 비교기들을 포함하고,

상기 탭 회로부는, 각각 한쌍의 트랜지스터를 각각 포함하는 복수의 브랜치 회로들을 포함하며,

상기 복수의 비교기들의 모든 출력 단자들 중 일부의 출력 단자만이 상기 복수의 브랜치 회로의 입력으로 제공되며,

상기 복수의 비교기의 상기 일부의 출력 단자의 개수는 상기 복수의 브랜치 회로의 트랜지스터 개수의 합과 일치하는, 판정 궤환 등화 회로.

청구항 3

제2항에 있어서,

상기 복수의 비교기들은, 서로 다른 기준값에 따라 상기 차동 등화 신호를 비교하여, 제1 내지 제3 한쌍의 출력값을 생성하는 제1 내지 제3 비교기를 포함하는, 판정 궤환 등화 회로.

청구항 4

제3항에 있어서,

상기 제1 비교기는, 상기 차동 등화 신호와 제1 기준값을 비교하여, 상기 제1 한쌍의 출력값을 생성하고,

상기 제2 비교기는, 상기 차동 등화 신호와 제2 기준값을 비교하여, 상기 제2 한쌍의 출력값을 생성하며,

상기 제3 비교기는, 상기 차동 등화 신호와 제3 기준값을 비교하여, 상기 제3 한쌍의 출력값을 생성하는, 판정 궤환 등화 회로.

청구항 5

제4항에 있어서,

상기 제1 기준값은 상기 제2 기준값보다 크고, 상기 제2 기준값은 상기 제3 기준값보다 큰, 판정 궤환 등화 회로.

청구항 6

제2항에 있어서,

상기 복수의 브랜치 회로들은, 상기 서로 다른 크기의 전류단위 중 제1 전류단위로 상기 제1 로드전류를 조절하는 제1 브랜치 회로; 및

상기 서로 다른 크기의 전류단위 중 제2 전류단위로 상기 제2 로드전류를 조절하는 제2 브랜치 회로를 포함하고,

상기 제2 전류단위는 상기 제1 전류단위의 두배인, 판정 궤환 등화 회로.

청구항 7

제6항에 있어서,

상기 제1 브랜치 회로는, 상기 제1 전류단위로 전류량을 공급하는 제1 전류원; 및

상기 복수의 출력값을 선택적으로 피드백받아, 상기 차동 출력 노드와 상기 제1 전류원을 전기적으로 연결시키는 제3 한쌍의 트랜지스터를 포함하는, 판정 궤환 등화 회로.

청구항 8

제7항에 있어서,

상기 제2 브랜치 회로는, 상기 제2 전류단위로 전류량을 공급하는 제2 전류원; 및

상기 복수의 출력값을 선택적으로 피드백받아, 상기 차동 출력 노드와 상기 제2 전류원을 전기적으로 연결시키는 제2 한쌍의 트랜지스터를 포함하는, 판정 궤환 등화 회로.

청구항 9

제8항에 있어서,

상기 제2 한쌍의 트랜지스터가 상기 복수의 출력값 중 하나의 한쌍의 출력값을 피드백받는 경우,

상기 제3 한쌍의 트랜지스터는, 상기 복수의 출력값 중 다른 하나의 한쌍의 출력값 중 반전 신호와 또 다른 하나의 한쌍의 출력값 중 비반전 신호를 피드백받는, 판정 궤환 등화 회로.

청구항 10

제5항에 있어서,

상기 제1 비교기의 하나의 출력 단자와 상기 제2 비교기의 하나의 출력 단자는 상기 복수의 브랜치 회로 중 제1 브랜치 회로의 한쌍의 트랜지스터로 각각 제공되며,

상기 제3 비교기의 두 개의 출력 단자는 상기 복수의 브랜치 회로 중 제2 브랜치 회로의 한쌍의 트랜지스터로 각각 제공되는, 판정 궤환 등화 회로.

청구항 11

제5항에 있어서,

상기 제1 비교기의 하나의 출력 단자 및 상기 제3 비교기의 하나의 출력 단자는 상기 복수의 브랜치 회로 중 제1 브랜치 회로의 한쌍의 트랜지스터로 각각 제공되며,

상기 제2 비교기의 두 개의 출력 단자는 상기 복수의 브랜치 회로 중 제2 브랜치 회로의 한쌍의 트랜지스터로 각각 제공되는, 판정 궤환 등화 회로.

청구항 12

제5항에 있어서,

상기 제2 비교기의 하나의 출력 단자 및 상기 제3 비교기의 하나의 출력 단자는 각각 상기 복수의 브랜치 회로 중 상기 제1 브랜치 회로의 한쌍의 트랜지스터로 각각 제공되며,

상기 제1 비교기의 두 개의 출력 단자는 상기 복수의 브랜치 회로 중 상기 제2 브랜치 회로의 한쌍의 트랜지스터로 각각 제공되는, 판정 궤환 등화 회로.

청구항 13

제10항 내지 제12항 중 어느 한 항에 있어서,

상기 제1 내지 제3 비교기 각각의 두 개의 출력 단자 중 하나의 출력 단자는 다른 하나의 출력 단자의 출력값의

반전 값을 출력하는, 판정 궤환 등화 회로.

청구항 14

제2항에 있어서,

상기 복수의 비교기의 모든 출력 단자의 출력 값은 상기 복수의 비교기와 전기적으로 연결된 디코더의 입력으로 제공되는, 판정 궤환 등화 회로.

청구항 15

판정 궤환 등화 회로의 동작방법으로서,

차동 등화 신호를 차동 출력 노드를 통해 출력하는 단계;

상기 차동 등화 신호와 각 기준 값을 비교하여, 복수의 출력값을 생성하는 단계; 및

상기 복수의 출력값을 선택적으로 피드백받아, 서로 다른 전류단위로 상기 차동 출력 노드에 흐르는 제1 및 제2 로드전류를 조절하는 단계를 포함하는, 판정 궤환 등화 회로의 동작방법.

발명의 설명

기 술 분 야

[0001] 본 출원은 판정 궤환 등화 회로에 관한 것으로, 특히, 종래의 비해 작은 회로 면적을 가지고, 고속으로 데이터를 수신할 수 있는 판정 궤환 등화 회로에 관한 것이다.

배 경 기 술

[0002] 최근, 고속 데이터 전송이 가능한 고속 전송 시스템에 대한 관심이 증대되고 있다. 특히, 대용량 데이터의 전송이 필요한 멀티미디어 분야에서 고속 전송 시스템에 대한 수요가 증가하고 있다.

[0003] 고속 데이터 전송 과정에서 신호는 케이블, 인쇄 회로 기판, 또는 광섬유와 같은 전송 채널을 통과하는 동안 대역폭 제한에 의하여 데이터의 파형이 영향을 받게 된다. 대역폭 제한이 있는 경우, ISI (Inter-Symbol Interference)에 의하여 한 심볼의 에너지가 주변 심볼에 간섭을 일으켜 통신 성능을 열화 시키는 문제점이 발생할 수 있다. 특히, 전송 속도가 높아지고 심볼 간격이 짧아질 경우에 이러한 문제점은 더욱 가중되므로 오늘날 고속 데이터 통신에서 전송 속도를 제한하는 가장 주요한 원인이 된다.

[0004] 이러한 채널의 대역폭 제한 문제를 해결을 위해서 제한된 대역폭을 보상해주기 위한 등화기(Equalizer)가 이용되어 왔다. 채널 특성이나 온도, 또는 전원 전압의 변화와 같은 환경 변화가 발생하였을 때, 등화기는 자동으로 최적의 채널 보상을 제공할 수 있어야 하며, 최근, 이에 대한 연구가 활발히 진행되고 있다.

[0005] 본 출원에서는, 4개의 데이터 변조 레벨을 통해 2개의 bit을 동시에 전송할 수 있는 4 레벨 펄스 진폭 변조 신호법(PULSE AMPLITUDE MODULATION 4, PAM-4)에 기초하는 판정 궤환 등화기 회로를 제공하고자 한다.

발명의 내용

해결하려는 과제

[0006] 본 출원의 목적은, 차동 등화 신호를 조절하는 MOSFET의 개수를 감소시키는 동시에, 차동 등화 신호에 대한 보상시간을 감소시킬 수 있는 판정 궤환 등화 회로를 제공하기 위한 것이다.

과제의 해결 수단

[0007] 본 출원의 일 실시예에 따르는 판정 궤환 등화 회로는, 입력 신호에 따라 샘플링되는 차동 등화 신호를 차동 출력 노드를 통해 출력하는 메인 탭 회로부, 상기 차동 등화 신호와 각 기준 값을 비교하여, 복수의 출력값을 생성하는 비교부 및 상기 복수의 출력값을 선택적으로 피드백받아, 서로 다른 제1 및 제2 전류단위로 상기 차동 출력 노드에 흐르는 제1 및 제2 로드전류를 조절하는 탭 회로부를 포함한다.

[0008] 실시예에 있어서, 상기 비교부는, 각각 한쌍의 출력 단자를 가지는 복수의 비교기들을 포함하고, 상기 탭 회로부는, 각각 한쌍의 트랜지스터를 각각 포함하는 복수의 브랜치 회로들을 포함하며, 상기 복수의 비교기들의 모

든 출력 단자들 중 일부의 출력 단자만이 상기 복수의 브랜치 회로의 입력으로 제공되며, 상기 복수의 비교기의 상기 일부의 출력 단자의 개수는 상기 복수의 브랜치 회로의 트랜지스터 개수의 합과 일치한다.

[0009] 실시예에 있어서, 상기 복수의 비교기들은, 서로 다른 기준값에 따라 상기 차동 등화 신호를 비교하여, 제1 내지 제3 차동 출력값을 생성하는 제1 내지 제3 비교기를 포함한다.

[0010] 실시예에 있어서, 상기 제1 비교기는, 상기 차동 등화 신호와 제1 기준값을 비교하여, 상기 제1 한쌍의 출력값을 생성하고, 상기 제2 비교기는, 상기 차동 등화 신호와 제2 기준값을 비교하여, 상기 제2 한쌍의 출력값을 생성하며, 상기 제3 비교기는, 상기 차동 등화 신호와 제3 기준값을 비교하여, 상기 제3 한쌍의 출력값을 생성한다.

[0011] 실시예에 있어서, 상기 제1 기준값은 상기 제2 기준값보다 크고, 상기 제2 기준값은 상기 제3 기준값보다 크다.

[0012] 실시예에 있어서, 상기 복수의 브랜치 회로들은, 상기 서로 다른 크기의 전류단위 중 제1 전류단위로 상기 제1 로드전류를 조절하는 제1 브랜치 회로 및 상기 서로 다른 크기의 전류단위 중 제2 전류단위로 상기 제2 로드전류를 조절하는 제2 브랜치 회로를 포함하고, 상기 제2 전류단위는 상기 제1 전류단위의 두배이다.

[0013] 실시예에 있어서, 상기 제1 브랜치 회로는, 상기 제1 전류단위로 전류량을 공급하는 제1 전류원 및 상기 복수의 출력값을 선택적으로 피드백받아, 상기 차동 출력 노드와 상기 제1 전류원을 전기적으로 연결시키는 제2 한쌍의 트랜지스터를 포함한다.

[0014] 실시예에 있어서, 상기 제2 브랜치 회로는, 상기 제2 전류단위로 전류량을 공급하는 제2 전류원 및 상기 복수의 출력값을 선택적으로 피드백받아, 상기 차동 출력 노드와 상기 제2 전류원을 전기적으로 연결시키는 제3 한쌍의 트랜지스터를 포함한다.

[0015] 실시예에 있어서, 상기 제2 한쌍의 트랜지스터가 상기 복수의 출력값 중 하나의 한쌍의 출력값을 피드백받는 경우, 상기 제3 한쌍의 트랜지스터는, 상기 복수의 출력값 중 다른 하나의 한쌍의 출력값의 반전 신호와 또 다른 하나의 한쌍의 출력값 중 비반전 신호를 피드백받는다.

[0016] 실시예에 있어서, 상기 제1 비교기의 하나의 출력 단자와 상기 제2 비교기의 하나의 출력 단자는 상기 복수의 브랜치 회로 중 제1 브랜치 회로의 한쌍의 트랜지스터로 각각 제공되며, 상기 제3 비교기의 두 개의 출력 단자는 상기 복수의 브랜치 회로 중 제2 브랜치 회로의 한쌍의 트랜지스터로 각각 제공된다.

[0017] 실시예에 있어서, 상기 제1 비교기의 하나의 출력 단자 및 상기 제3 비교기의 하나의 출력 단자는 상기 복수의 브랜치 회로 중 제1 브랜치 회로의 한쌍의 트랜지스터로 각각 제공되며, 상기 제2 비교기의 두 개의 출력 단자는 상기 복수의 브랜치 회로 중 제2 브랜치 회로의 한쌍의 트랜지스터로 각각 제공된다.

[0018] 실시예에 있어서, 상기 제2 비교기의 하나의 출력 단자 및 상기 제3 비교기의 하나의 출력 단자는 각각 상기 복수의 브랜치 회로 중 상기 제1 브랜치 회로의 한쌍의 트랜지스터로 각각 제공되며, 상기 제1 비교기의 두 개의 출력 단자는 상기 복수의 브랜치 회로 중 상기 제2 브랜치 회로의 한쌍의 트랜지스터로 각각 제공된다.

[0019] 실시예에 있어서, 상기 제1 내지 제3 비교기 각각의 두 개의 출력 단자 중 하나의 출력 단자는 다른 하나의 출력 단자의 출력값의 반전 값을 출력한다.

[0020] 실시예에 있어서, 상기 복수의 비교기의 모든 출력 단자의 출력 값은 상기 복수의 비교기와 전기적으로 연결된 디코더의 입력으로 제공된다.

[0021] 본 출원의 실시예에 따른 판정 궤환 등화 회로의 동작방법으로서, 차동 등화 신호를 차동 출력 노드를 통해 출력하는 단계, 상기 차동 등화 신호와 각 기준 값을 비교하여, 복수의 출력값을 생성하는 단계 및 상기 복수의 출력값을 선택적으로 피드백받아, 서로 다른 전류단위로 상기 차동 출력 노드에 흐르는 제1 및 제2 로드전류를 조절하는 단계를 포함한다.

발명의 효과

[0022] 본 출원의 실시예에 따른 판정 궤환 등화 회로는, 차동 등화 신호를 조절하는 MOSFET의 개수를 감소시키는 동시에, 차동 등화 신호에 대한 보상시간을 감소시킬 수 있다.

도면의 간단한 설명

[0023] 도 1은 본 출원의 실시예에 따른 판정 궤환 등화 회로의 블록도이다.

도 2는 종래의 판정 궤환 등화 회로에 대한 일 예이다.

도 3은 종래의 판정 궤환 등화 회로에 대한 다른 예이다.

도 4a는 판정 궤환 등화 off된 차동 등화 신호에 대한 시뮬레이션 결과이다.

도 4b는 본 출원의 실시예에 따른 판정 궤환 등화 회로를 거친 차동 등화 신호에 대한 Eye-diagram이다.

도 5a는 본 출원의 일 실시예에 따른 판정 궤환 등화 회로에 대한 회로도이고,

도 5b는 도 5a의 탭 회로부의 동작에 따른 차동 등화 신호에 대한 논리 테이블이다.

도 6a는 본 출원의 다른 실시예에 따른 판정 궤환 등화 회로에 대한 회로도이다.

도 6b는 도 6a의 탭 회로부의 동작에 따른 차동 등화 신호에 대한 논리 테이블이다.

도 7a는 본 출원의 다른 실시예에 따른 판정 궤환 등화 회로에 대한 회로도이다.

도 7b는 도 7a의 탭 회로부의 동작에 따른 차동 등화 신호에 대한 논리 테이블이다.

도 8은 도 1의 판정 궤환 등화 회로의 동작 프로세스이다.

도 9는 본 출원의 다른 실시예에 따른 판정 궤환 등화 회로의 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0024] 본 명세서에 개시되어 있는 본 출원의 개념에 따른 실시 예들에 대해서 특정한 구조적 또는 기능적 설명들은 단지 본 출원의 개념에 따른 실시 예들을 설명하기 위한 목적으로 예시된 것으로서, 본 출원의 개념에 따른 실시 예들은 다양한 형태들로 실시될 수 있으며 본 명세서에 설명된 실시 예들에 한정되지 않는다.

[0025] 본 출원의 개념에 따른 실시 예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시 예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나, 이는 본 출원의 개념에 따른 실시 예들을 특정한 개시 형태들에 대해 한정하려는 것이 아니며, 본 출원의 사상 및 기술 범위에 포함되는 모든 변경, 균등물, 또는 대체물을 포함한다.

[0026] 제1 또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 출원의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1구성요소는 제2구성요소로 명명될 수 있고, 유사하게 제2구성요소는 제1구성요소로도 명명될 수 있다.

[0027] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0028] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 출원을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0029] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 출원이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0030] 이하, 첨부한 도면을 참조하여 본 출원의 바람직한 실시 예를 설명함으로써, 본 출원을 상세히 설명하고, 표기

의 편의를 위해, 도면에 표시된 반전 신호(예컨대, $\overline{MSB}$, $\overline{CSB}$, $\overline{LSB}$ 등)에 대한 표기는 '/'(예컨대, /MSB, /CSB, /LSB)로 표기될 것이다.

[0031] 도 1은 본 출원의 실시예에 따른 판정 궤환 등화 회로(1000)의 블록도이고, 도 2는 종래의 판정 궤환 등화 회로(1)에 대한 일 예이며, 도 3은 종래의 판정 궤환 등화 회로(1_1)에 대한 다른 예이며, 도 4a는 판정 궤환 등화 off된 차동 등화 신호에 대한 시뮬레이션 결과이고, 도 4b는 본 출원의 실시예에 따른 판정 궤환 등화 회로(1000)를 거친 차동 등화 신호에 대한 Eye-diagram이다.

[0032] 도 1을 참조하면, 판정 궤환 등화 회로(1000)는 메인 탭 회로부(100), 비교부(200) 및 탭 회로부(300)를 포함할 수 있다.

[0033] 먼저, 메인 탭 회로부(100)는 입력 신호(Y(n))에 따라 샘플링되는 차동 등화 신호를 차동 출력 노드를 통해 출력할 수 있다. 여기서, 입력 신호(Y(n))는 채널을 통해 수신한 신호일 수 있으며, 선형 등화기를 거친 신호일 수 있다.

[0034] 구체적으로, 메인 탭 회로부(100)는 채널을 통해 수신한 입력 신호(Y(n))에 응답하여, 차동 출력 노드를 통해 차동 등화 신호를 출력할 수 있다. 여기서, 차동 등화 신호는 4레벨 펄스 진폭 변조 신호법(Pulse AMPLITUDE MODULATION 4, PAM-4)에 기초하여 입력 신호(Y(n))에 따라 차동 출력 노드에 흐르는 제1 및 제2 로드전류로부터 보상되는 샘플링신호일 수 있다. 예를 들면, 도 5b, 도 6b 및 도 7b에 도시된 바와 같이, 차동 등화 신호(SUM, /SUM)는 제1 및 제2 로드전류에 대한 변화량에 따라 4레벨(X, IBias, 2XBias, 3XBias)로 샘플링된 신호일 수 있다.

[0035] 즉, 메인 탭 회로부(100)는 입력 신호(Y(n))에 따라 차동 출력 노드에 흐르는 제1 및 제2 로드전류로부터 보상되는 차동 등화 신호를 비교부(200)에 출력할 수 있다.

[0036] 다음으로, 비교부(200)는 차동 등화 신호와 각 기준 값을 비교하여, 복수의 출력값(X(n))을 생성할 수 있다. 여기서, 복수의 출력값(X(n))은 온도계(thermometer) 형식의 디지털 심볼로서, 반전 신호와 비반전 신호를 포함할 수 있다.

[0037] 도 5b, 도 6b 및 도 7b에 도시된 바와 같이, 복수의 출력값(X(n))은 반전 신호(예컨대, /MSB, /CSB, /LSB)와 비반전 신호(예컨대, MSB, CSB, LSB)를 한쌍으로 포함할 수 있다. 즉, 복수의 출력값(X(n))은 N시간에서의 MSB, /MSB, CSB, /CSB, LSB, /LSB신호를 포함할 수 있다

[0038] 예를 들면, 복수의 출력값 중 제1 한쌍의 출력값(예컨대, MSB, /MSB)은 반전 신호(예컨대, MSB)와 비반전 신호(예컨대, /MSB)를 포함하고, 제2 한쌍의 출력값(예컨대, CSB, /CSB)은 반전 신호(예컨대, CSB)와 비반전 신호(예컨대, /CSB)를 포함하며, 제3 한쌍의 출력값(예컨대, LSB, /LSB)은 반전 신호(예컨대, LSB)와 비반전 신호(예컨대, /LSB)를 포함할 수 있다.

[0039] 본 출원의 실시 예에 따른 기술적 사상에 있어서, 탭 회로부(300)는 비교부(200)를 통해 생성된 복수의 출력값(X(n))을 선택적으로 피드백받아, 서로 다른 제1 및 제2 전류단위(Ibias, 2XIbias)로 차동 출력 노드에 흐르는 제1 및 제2 로드전류를 조절할 수 있다. 즉, 탭 회로부(300)는 차동 출력 노드에 흐르는 제1 및 제2 로드전류를 조절하여, 차동 등화 신호를 보상할 수 있다.

[0040] 여기서, 제1 및 제2 로드 전류는 한쌍의 로드 저항(R1, R2)에서 차동 출력 노드(S1, S2)로 흐르는 각 전류일 수 있다. 예를 들면, 도 5a, 도 6a 및 도 7a에 도시된 바와 같이, 구체적으로, 제1 로드 전류는 제1 로드 저항(R1)에서 하나의 출력 노드(S1)로 흐르는 전류이고, 제2 로드 전류는 제2 로드 저항(R2)에서 다른 하나의 출력 노드(S2)로 흐르는 전류일 수 있다.

[0041] 이에 따라, 탭 회로부(300)는 복수의 출력값(X(n))을 선택적으로 피드백받음으로써, 복수의 출력값(X(n))을 피드백시키는 데 소요되는 동작시간을 감소시킬 수 있다. 예를 들면, 도 2에 도시된 바와 같이, 종래의 탭 회로부(30)는 비교부(20)로부터 생성된 복수의 출력값을 디코더(40)를 통해 디코딩된 디지털값을 피드백받기 때문에, 동작시간이 지연되는 문제가 있다. 즉, 본 출원의 탭 회로부(300)는 비교부(200)로부터 복수의 출력값(X(n))을 피드백받아, 종래의 탭 회로부(30)에서 지연되는 동작시간을 감소시킬 수 있다.

[0042] 또한, 탭 회로부(300)는 서로 다른 전류단위로 차동 출력 노드(S1, S2)에 흐르는 제1 및 제2 로드전류를 조절함으로써, 복수의 출력값에 따라 제1 및 제2 로드전류를 조절하는 MOSFET의 개수를 감소킬 수 있다. 나아가, 탭 회로부(300)는 MOSFET의 개수 감소로 인하여, 판정 궤환 등화 회로(1000)의 회로면적을 감소시키며, 부하 커패

시턴스가 감소됨에도 불구하고, 채널감쇠 보상효과를 획득할 수 있다. 예를 들면, 도 4에 도시된 바와 같이, 종래의 탭 회로부(30_1)는 비교기(20_1)로부터 생성된 복수의 출력값들을 모두 피드백받아, 동일한 전류량 단위로 조절하기 때문에, MOSFET의 개수는 복수의 출력값에 따라 증가되어, 회로면적이 증가되는 문제가 있다. 즉, 본 출원의 탭 회로부(300)는 MOSFET의 개수를 감소시켜, 종래의 탭 회로부(30_1)의 회로면적을 감소시킬 수 있다.

[0043] 이하, 도 4a는 판정 궤환 등화 회로(1000)가 off된 차동 등화 신호에 대한 시뮬레이션 결과이고, 도 4b는 판정 궤환 등화 회로(1000)를 거친 차동 등화 신호에 대한 Eye-diagram이다.

[0044] 도 4a와 도 4b에 도시된 바와 같이, 판정 궤환 등화 회로(1000)는 종래의 탭 회로부(30)에서 지연되는 동작시간을 감소시키는 동시에, 종래의 탭 회로부(30_1)의 회로면적을 감소시킴에 따라 부하 커패시턴스가 감소됨에도 불구하고, 차동 등화 신호에 대한 채널감쇠 보상효과를 획득할 수 있다.

[0045] 이하, 도 5a와 도 5b를 참조하여, 판정 궤환 등화 회로(1000)에 대해 보다 구체적으로 설명될 것이다.

[0046] 도 5a는 본 출원의 일 실시예에 따른 판정 궤환 등화 회로(1000)에 대한 회로도이고, 도 5b는 도 5a의 탭 회로부(300)의 동작에 따른 차동 등화 신호(SUM, /SUM)에 대한 논리 테이블이다.

[0047] 도 1과 도 5a를 참조하면, 판정 궤환 등화 회로(1000)는 메인 탭 회로부(100), 비교부(200) 및 탭 회로부(300)를 포함할 수 있다. 이하, 도 1에서 설명된 동일한 부재번호의 메인 탭 회로부(100), 비교부(200) 및 탭 회로부(300)에 대한 중복된 설명은 생략될 것이다.

[0048] 먼저, 메인 탭 회로부(100)는 제1 한쌍의 트랜지스터(T1, T2)을 포함할 수 있다. 구체적으로, 제1 한쌍의 트랜지스터(T1, T2)는 입력 신호(IN, /IN)에 응답하여, 한쌍의 로드 저항(R1, R2)과 메인 전류원(IMain)을 전기적으로 연결시키는 MOSFET일 수 있다. 이때, 입력 신호(IN, /IN)는 입력 신호(Y(n)) 중 n번째 시간에 수신된 입력 신호일 수 있다. 이하, 한쌍의 로드 저항(R1, R2)은 메인 전류원(IMain)에 의해 메인 전류가 로드되는 로드부로도 지칭될 수 있다.

[0049] 또한, 한쌍의 로드 저항(R1, R2)과 제1 한쌍의 트랜지스터(T1, T2) 사이에는 차동 출력 노드(S1, S2)가 위치할 수 있다. 이러한 차동 출력 노드(S1, S2)는 비교부(200)와 탭 회로부(300)에 연결될 수 있다. 예를 들면, 메인 탭 회로부(100)는 차동 출력 노드(S1, S2)를 통해 비교부(200)와 탭 회로부(300)에 전기적으로 연결되고, 비교부(200)와 탭 회로부(300)는 차동 출력 노드(S1, S2)를 통해 메인 탭 회로부(100)에 대해 병렬로 연결될 수 있다.

[0050] 다음으로, 비교부(200)는 복수의 출력값(예컨대, MSB, /MSB, CSB, /CSB, LSB, /LSB)을 한쌍으로 출력하기 위하여, 각각 두개의 출력 단자를 가지는 복수의 비교기들(210~230)을 포함할 수 있다. 이때, 복수의 비교기들(210~230)의 모든 출력 단자 중 일부의 출력 단자만이 탭 회로부(300)의 입력으로 제공될 수 있다.

[0051] 보다 구체적으로, 구체적으로, 복수의 비교기들(210~230)은 차동 출력 노드에 대해 서로 병렬로 연결된 제1 비교기(210), 제2 비교기(220) 및 제3 비교기(230)를 포함할 수 있다.

[0052] 먼저, 제1 비교기(210)는 메인 탭 회로부(100)로부터 출력받는 차동 등화 신호(SUM, /SUM)와 제1 기준값을 비교하여, 제1 한쌍의 출력값(MSB, /MSB)을 생성할 수 있다. 여기서, 제1 한쌍의 출력값(MSB, /MSB)은 반전 신호와 비반전 신호를 포함할 수 있다. 예를 들면, 제1 한쌍의 출력값(MSB, /MSB)의 반전 신호가 1인 경우, 제1 한쌍의 출력값(MSB, /MSB)의 비반전 신호는 0일 수 있다.

[0053] 다음으로, 제2 비교기(220)는 메인 탭 회로부(100)로부터 출력받는 차동 등화 신호(SUM, /SUM)와 제2 기준값을 비교하여, 제2 한쌍의 출력값(CSB, /CSB)을 생성할 수 있다. 여기서, 제2 한쌍의 출력값(CSB, /CSB)은 반전 신호와 비반전 신호를 포함할 수 있다. 이때, 제2 기준값은 제1 기준값보다 작은 값일 수 있다.

[0054] 다음으로, 제3 비교기(230)는 메인 탭 회로부(100)로부터 출력받는 차동 등화 신호(SUM, /SUM)와 제3 기준값을 비교하여, 제3 한쌍의 출력값(LSB, /LSB)을 생성할 수 있다. 여기서, 제3 한쌍의 출력값(LSB, /LSB)은 반전 신호와 비반전 신호를 포함할 수 있다. 이때, 제3 기준값은 제2 기준값보다 작은 값일 수 있다. 즉, 제1 기준값은 제2 기준값보다 크고, 제2 기준값은 제3 기준값보다 큰 값일 수 있다.

[0055] 다음으로, 탭 회로부(300)는 제2 및 제3 한쌍의 트랜지스터(T3와 T4, T5와 T6)를 포함하는 복수의 브랜치 회로들(310, 320)을 포함할 수 있다. 여기서, 복수의 비교기들(210~230)의 일부의 출력 단자 개수는 복수의 브랜치 회로들(310, 320)의 트랜지스터 개수의 합과 일치할 수 있다.

[0056] 구체적으로, 복수의 브랜치 회로들(310, 320)은 서로 다른 제1 및 제2 전류단위(Ibias, 2XIbias)로 제1 및 제2

로드전류를 조절하는 제1 및 제2 브랜치 회로(310, 320)를 포함할 수 있다.

[0057] 예를 들면, 제1 브랜치 회로(310)는 복수의 비교기들(210~230) 중 하나의 비교기(예컨대, 230)의 한쌍의 출력단과 연결될 수 있다. 여기서, 한쌍의 출력단은 비반전 출력단과 반전 출력단을 포함할 수 있다. 또한, 제2 브랜치 회로(320)는 나머지 비교기들(예컨대, 210, 220) 중 다른 하나의 비교기(예컨대, 210)의 비반전 출력단과 또 다른 하나의 비교기(예컨대, 220)의 반전 출력단에 연결될 수 있다.

[0058] 도 5a 및 도 5b에 도시된 바와 같이, 제1 브랜치 회로(310)는 하나의 비교기(예컨대, 230)의 한쌍의 출력단과 연결되어, 제3 한쌍의 출력값(LSB, /LSB)을 피드백받을 수 있다. 또한, 제2 브랜치 회로(320)는 다른 하나의 비교기(예컨대, 210)의 반전 출력단과 또 다른 하나의 비교기(예컨대, 220)의 비반전 출력단에 연결되어, 제1 한쌍의 출력값(MSB, /MSB) 중 반전 신호(/MSB)와 제2 한쌍의 출력값(CSB, /CSB) 중 비반전 신호(CSB)를 피드백받을 수 있다.

[0059] 즉, 제1 비교기(210)의 하나의 출력 단자와 제2 비교기(220)의 하나의 출력 단자는 복수의 브랜치 회로들(310, 320) 중 제1 브랜치 회로(310)의 제3 한쌍의 트랜지스터(T5, T6)로 각각 제공될 수 있다. 이때, 제3 비교기(230)의 두개의 출력 단자는 복수의 브랜치 회로들(310, 320) 중 제2 브랜치 회로의 제2 한쌍의 트랜지스터(T3, T4)로 각각 제공될 수 있다.

[0060] 실시예에 따른 제1 브랜치 회로(310)는 제3 한쌍의 트랜지스터(T5, T6)와 제1 전류원(IBias)을 포함할 수 있다. 여기서, 제3 한쌍의 트랜지스터(T5, T6)는 제3 한쌍의 출력값(LSB, /LSB)에 기초하여, 차동 출력 노드(S1, S2)와 제1 전류원(IBias)을 연결시킬 수 있다. 이때, 제1 전류원(IBias)은 제1 전류량을 공급하는 전원소자일 수 있다.

[0061] 또한, 제2 브랜치 회로(320)는 제2 한쌍의 트랜지스터(T3, T4)와 제2 전류원(2XIBias)을 포함할 수 있다. 여기서, 제2 한쌍의 트랜지스터(T3, T4)는 제1 한쌍의 출력값(MSB, /MSB) 중 반전 신호(예컨대, /MSB)와 제2 한쌍의 출력값(CSB, /CSB) 중 비반전 신호(예컨대, CSB)에 기초하여, 차동 출력 노드(S1, S2)와 제2 전류원(2XIBias)을 연결시킬 수 있다. 이때, 제2 전류원(2XIBias)은 제2 전류량을 공급하는 전원소자로, 제2 전류량은 제1 전류량의 두배일 수 있다.

[0062] 예를 들면, 도 5b에 도시된 바와 같이, 제3 한쌍의 출력값(LSB, /LSB)이 (0,1)이고, 제1 한쌍의 출력값(MSB, /MSB) 중 반전 신호(예컨대, /MSB)이 1이며, 제2 한쌍의 출력값(CSB, /CSB) 중 비반전 신호(예컨대, CSB)이 0인 경우, 제1 브랜치 회로(310)는 차동 출력 노드(S1, S2) 중 하나의 출력 노드(S2)와 제1 전류원(IBias)을 연결시켜, 하나의 출력 노드(S2)에 흐르는 제1 로드전류에 대해 제1 전류량을 증가시킬 수 있다. 이때, 제2 브랜치 회로(320)는 차동 출력 노드(S1, S2) 중 하나의 출력 노드(S2)와 제2 전류원(2XIBias)을 연결시켜, 하나의 출력 노드(S2)에 흐르는 제2 로드전류에 대해 제2 전류량을 증가시킬 수 있다. 즉, 하나의 출력 노드(S1)에서 증가된 전류량은 0(X)이고, 다른 하나의 출력 노드(S2)에서 증가된 전류량은 3XIBias이므로, 차동 등화 신호(SUM, /SUM)는 X, 3XIBias의 전류량이 반영된 값을 가질 수 있다.

[0063] 또한, 제3 한쌍의 출력값(LSB, /LSB)이 (1,0)이고, 제1 한쌍의 출력값(MSB, /MSB) 중 반전 신호(예컨대, /MSB)가 1이고, 제2 한쌍의 출력값(CSB, /CSB) 중 비반전 신호(예컨대, CSB)이 0인 경우, 제1 브랜치 회로(310)는 차동 출력 노드(S1, S2) 중 하나의 출력 노드(S1)와 제1 전류원(IBias)을 연결시켜, 하나의 출력 노드(S1)에 흐르는 로드전류에 대해 제1 전류량을 증가시킬 수 있다. 이때, 제2 브랜치 회로(320)는 차동 출력 노드(S1, S2) 중 하나의 출력 노드(S2)와 제2 전류원(2XIBias)을 연결시켜, 하나의 출력 노드(S2)에 흐르는 로드전류에 대해 제2 전류량을 증가시킬 수 있다. 즉, 하나의 출력 노드(S1)에서 증가된 전류량은 IBias이고, 다른 하나의 출력 노드(S2)에서 증가된 전류량은 2XIBias이므로, 차동 등화 신호(SUM, /SUM)는 Bias, 2XIBias의 전류량이 반영된 값을 가질 수 있다.

[0064] 또한, 제3 한쌍의 출력값(LSB, /LSB)이 (1,0)이고, 제1 한쌍의 출력값(MSB, /MSB) 중 반전 신호(예컨대, /MSB)가 1이고, 제2 한쌍의 출력값(CSB, /CSB) 중 비반전 신호(예컨대, CSB)이 1인 경우, 제1 브랜치 회로(310)는 차동 출력 노드(S1, S2) 중 하나의 출력 노드(S1)와 제1 전류원(IBias)을 연결시켜, 하나의 출력 노드(S1)에 흐르는 로드전류에 대해 제1 전류량을 증가시킬 수 있다. 이때, 제2 브랜치 회로(320)는 차동 출력 노드(S1, S2)와 제2 전류원(2XIBias)을 동시에 연결시켜, 하나의 출력 노드(S1)와 하나의 출력 노드(S2)에 흐르는 각 로드전류에 대해 제1 전류량을 각각 증가시킬 수 있다. 즉, 하나의 출력 노드(S1)에서 증가된 전류량은 2XIBias이고, 다른 하나의 출력 노드(S2)에서 증가된 전류량은 IBias이므로, 차동 등화 신호(SUM, /SUM)는 2XIBias, IBias의 전류량이 반영된 값을 가질 수 있다.

[0065] 또한, 제3 한쌍의 출력값(LSB, /LSB)이 (0,1)이고, 제1 한쌍의 출력값(MSB, /MSB) 중 반전 신호(예컨대, /MSB)가 0이고, 제2 한쌍의 출력값(CSB, /CSB) 중 비반전 신호(예컨대, CSB)이 1인 경우, 제1 브랜치 회로(310)는 차동 출력 노드(S1, S2) 중 하나의 출력 노드(S1)와 제1 전류원(IBias)을 연결시켜, 하나의 출력 노드(S1)에 흐르는 로드전류에 대해 제1 전류량을 증가시킬 수 있다. 이때, 제2 브랜치 회로(320)는 차동 출력 노드(S1, S2) 중 하나의 출력 노드(S1)와 제2 전류원(2XIBias)을 연결시켜, 하나의 출력 노드(S1)에 흐르는 로드전류에 대해 제2 전류량을 증가시킬 수 있다. 즉, 하나의 출력 노드(S1)에서 증가된 전류량은 3XIBias이고, 다른 하나의 출력 노드(S2)에서 증가된 전류량은 0(X)이므로, 차동 등화 신호(SUM, /SUM)는 3XIBias, X의 전류량이 반영된 값을 가질 수 있다.

[0066] 이하, 복수의 비교기들(210~230)로부터 선택적으로 피드백받는 탭 회로부(300)의 동작은 다양한 형태로 변경하여 적용할 수 있으며, 도 6a 및 도 7a를 참조하여, 탭 회로부(300)에 대한 다양한 실시 예에 대해 설명될 것이다.

[0067] 도 6a는 본 출원의 다른 실시예에 따른 판정 궤환 등화 회로(1000)에 대한 회로도이고, 도 6b는 도 6a의 탭 회로부(300)의 동작에 따른 차동 등화 신호(SUM, /SUM)에 대한 논리 테이블이다.

[0068] 도 6a와 도 6b를 참조하면, 판정 궤환 등화 회로(1000)는 메인 탭 회로부(100_1), 비교부(200_1) 및 탭 회로부(300_1)를 포함하며, 이하, 도 1 내지 도 4b에서 설명된 메인 탭 회로부(100), 비교부(200) 및 탭 회로부(300)와 동일하므로, 중복된 설명은 생략될 것이다.

[0069] 먼저, 제1 브랜치 회로(310_1)는 제3 한쌍의 트랜지스터(T5, T6)와 제1 전류원(IBias)을 포함할 수 있다. 여기서, 제3 한쌍의 트랜지스터(T5, T6)는 제2 차동 출력(CSB, /CSB)에 기초하여, 차동 출력 노드(S1, S2)와 제1 전류원(IBias)을 연결시킬 수 있다. 이때, 제1 전류원(IBias)은 제1 전류량을 공급하는 전원소자일 수 있다.

[0070] 또한, 제2 브랜치 회로(320_1)는 제2 한쌍의 트랜지스터(T3, T4)와 제2 전류원(IBias)을 포함할 수 있다. 여기서, 제2 한쌍의 트랜지스터(T3, T4)는 제1 한쌍의 출력값의 반전 신호(예컨대, /MSB)와 제3 한쌍의 출력값의 비반전 신호(예컨대, LSB)에 기초하여, 차동 출력 노드(S1, S2)와 제2 전류원(2XIBias)을 연결시킬 수 있다. 이때, 제2 전류원(2XIBias)은 제2 전류량을 공급하는 전원소자로, 제2 전류량은 제1 전류량의 두배일 수 있다.

[0071] 예를 들면, 도 6b에 도시된 바와 같이, 제2 한쌍의 출력값(CSB, /CSB)이 (0,1)이고, 제1 한쌍의 출력값의 반전 신호(예컨대, /MSB)가 1인고, 제3 한쌍의 출력값의 비반전 신호(예컨대, LSB)가 0인 경우, 제1 브랜치 회로(310_1)는 차동 출력 노드(S1, S2) 중 하나의 출력 노드(S2)와 제1 전류원(IBias)을 연결시켜, 하나의 출력 노드(S2)에 흐르는 로드전류에 대해 제1 전류량을 증가시킬 수 있다. 이때, 제2 브랜치 회로(320)는 차동 출력 노드(S1, S2) 중 하나의 출력 노드(S2)와 제2 전류원(2XIBias)을 연결시켜, 하나의 출력 노드(S2)에 흐르는 로드전류에 대해 제2 전류량을 증가시킬 수 있다. 즉, 하나의 출력 노드(S1)에서 증가된 전류량은 0이고, 다른 하나의 출력 노드(S2)에서 증가된 전류량은 3XIBias이므로, 차동 등화 신호(SUM, /SUM)는 X, 3XIBias의 전류량이 반영된 값을 가질 수 있다.

[0072] 이때, 제1 비교기(210)의 하나의 출력 단자와 제3 비교기(230)의 하나의 출력 단자는 복수의 브랜치 회로들(310, 320) 중 제1 브랜치 회로(310)의 제3 한쌍의 트랜지스터(T5, T6)로 각각 제공될 수 있다. 이때, 제2 비교기(220)의 두개의 출력 단자는 복수의 브랜치 회로들(310, 320) 중 제2 브랜치 회로(320)의 제2 한쌍의 트랜지스터(T3, T4)로 각각 제공될 수 있다.

[0073] 도 7a는 본 출원의 다른 실시예에 따른 판정 궤환 등화 회로(1000)에 대한 회로도이고, 도 7b는 도 7a의 탭 회로부(300)의 동작에 따른 차동 등화 신호(SUM, /SUM)에 대한 논리 테이블이다.

[0074] 도 7a와 도 7b를 참조하면, 판정 궤환 등화 회로(1000)는 메인 탭 회로부(100_2), 비교부(200_2) 및 탭 회로부(300_2)를 포함하며, 이하, 이하, 도 1 내지 도 4b에서 설명된 메인 탭 회로부(100), 비교부(200) 및 탭 회로부(300)와 동일하므로, 중복된 설명은 생략될 것이다.

[0075] 먼저, 제1 브랜치 회로(310_2)는 제3 한쌍의 트랜지스터(T5, T6)와 제1 전류원(IBias)을 포함할 수 있다. 여기서, 제3 한쌍의 트랜지스터(T5, T6)는 제1 한쌍의 출력값(MSB, /MSB)에 기초하여, 차동 출력 노드(S1, S2)와 제1 전류원(IBias)을 연결시킬 수 있다. 이때, 제1 전류원(IBias)은 제1 전류량을 공급하는 전원소자일 수 있다.

[0076] 또한, 제2 브랜치 회로(320_2)는 한쌍의 트랜지스터(T3, T4)와 제2 전류원(IBias)을 포함할 수 있다. 여기서, 한쌍의 트랜지스터(T3, T4)는 제1 한쌍의 출력값의 반전 신호(예컨대, /CSB)와 제3 한쌍이 출력값의 비반전 신

호(예컨대, LSB)에 기초하여, 차동 출력 노드(S1, S2)와 제2 전류원(2XIBias)을 연결시킬 수 있다. 이때, 제2 전류원(2XIBias)은 제2 전류량을 공급하는 전원소자로, 제2 전류량은 제1 전류량의 두배일 수 있다.

[0077] 예를 들면, 도 7b에 도시된 바와 같이, 제2 한쌍의 출력값(CSB, /CSB)이 (0,1)이고, 제1 한쌍의 출력값의 반전 신호(예컨대, /MSB)가 1인고, 제3 한쌍의 출력값의 비반전 신호(예컨대, LSB)가 0인 경우, 제1 브랜치 회로(310_1)는 차동 출력 노드(S1, S2) 중 하나의 출력 노드(S2)와 제1 전류원(IBias)을 연결시켜, 하나의 출력 노드(S2)에 흐르는 로드전류에 대해 제1 전류량을 증가시킬 수 있다. 이때, 제2 브랜치 회로(320)는 차동 출력 노드(S1, S2) 중 하나의 출력 노드(S2)와 제2 전류원(2XIBias)을 연결시켜, 하나의 출력 노드(S2)에 흐르는 로드전류에 대해 제2 전류량을 증가시킬 수 있다. 즉, 하나의 출력 노드(S1)에서 증가된 전류량은 0이고, 다른 하나의 출력 노드(S2)에서 증가된 전류량은 3XIBias이므로, 차동 등화 신호(SUM, /SUM)는 X, 3XIBias의 전류량이 반영된 값을 가질 수 있다.

[0078] 이때, 제2 비교기(220)의 하나의 출력 단자와 제3 비교기(230)의 하나의 출력 단자는 복수의 브랜치 회로들(310, 320) 중 제1 브랜치 회로(310)의 제3 한쌍의 트랜지스터(T5, T6)로 각각 제공될 수 있다. 이때, 제1 비교기(210)의 두개의 출력 단자는 복수의 브랜치 회로들(310, 320) 중 제2 브랜치 회로(320)의 제2 한쌍의 트랜지스터(T3, T4)로 각각 제공될 수 있다.

[0079] 도 8은 도 1의 판정 궤환 등화 회로(1000)의 동작 프로세스이다.

[0080] 도 1 내지 도 8을 참조하면, 먼저, S100 단계에서, 메인 탭 회로부(100)는 차동 출력 노드(S1, S2)를 통해 차동 등화 신호(SUM, /SUM)를 출력할 수 있다.

[0081] 다음으로, S200 단계에서, 비교부(200)는 차동 등화 신호(SUM, /SUM)와 각 기준 값을 비교하여, 복수의 출력값(예컨대, MSB, /MSB, CSB, /CSB, LSB, /LSB)을 생성할 수 있다.

[0082] 이후, S300 단계에서, 탭 회로부(300)는 비교부(200)를 통해 생성된 복수의 출력값(예컨대, MSB, /MSB, CSB, /CSB, LSB, /LSB)을 선택적으로 피드백받아, 서로 다른 제1 및 제2 전류단위(Ibias, 2XIbias)로 차동 출력 노드(S1, S2)에 흐르는 제1 및 제2 로드전류(IL1, IL2)를 조절할 수 있다.

[0083] 도 9는 본 출원의 실시예에 따른 판정 궤환 등화 회로(1000)를 보다 구체적으로 설명하기 위한 도면이다.

[0084] 도 9을 참조하면, 판정 궤환 등화 회로(1000)는 메인 탭 회로부(100), 비교부(200) 및 탭 회로부(300)를 포함하며, 디코더(400)와 전기적으로 연결될 수 있다. 이하, 도 1 내지 도 4b에서 설명된 동일한 부재번호의 메인 탭 회로부(100), 비교부(200) 및 탭 회로부(300)에 대한 중복된 설명은 생략될 것이다.

[0085] 비교부(200)의 복수의 출력값들 중 일부는 탭 회로부(300)에 선택적으로 피드백되며, 디코더(400)는 비교부(200)를 통해 출력된 복수의 출력값들 모두를 입력받아 4레벨로 진폭 변조된 바이너리 타입의 디지털 신호를 출력할 수 있다. 예를 들면, 4레벨로 진폭 변조된 바이너리 타입의 디지털 신호는 00, 01, 11, 10 중 하나일 수 있다.

[0086] 이와 같이, 본 출원의 실시예에 따른 판정 궤환 등화 회로(1000)는 디코더(400)를 거치지 않은 비교기(200)의 출력의 일부만을 선택적으로 피드백 받기 때문에, 피드백 시간에 따른 디코더(400)의 동작시간이 포함되지 않아 고속 데이터 송수신기에 적합할 수 있다.

[0087] 본 출원은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 출원의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

[0088] 100: 메인 탭 회로부

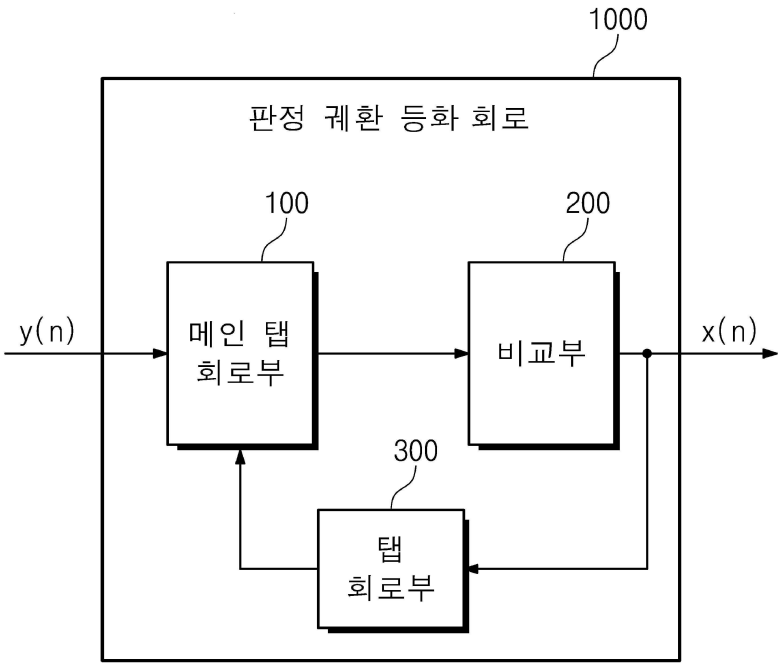
200: 비교부

300: 탭 회로부

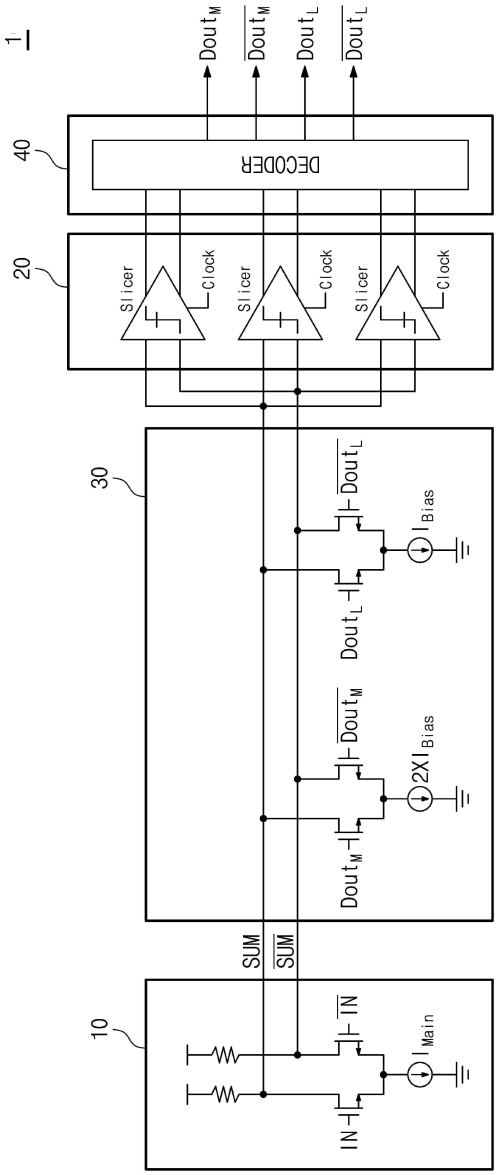
1000: 판정 궤환 등화 회로

도면

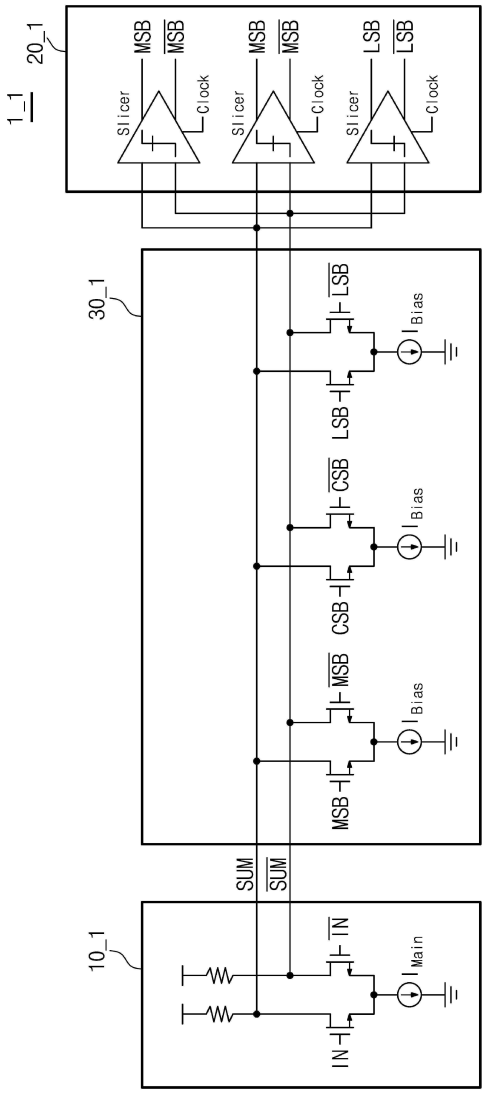
도면1



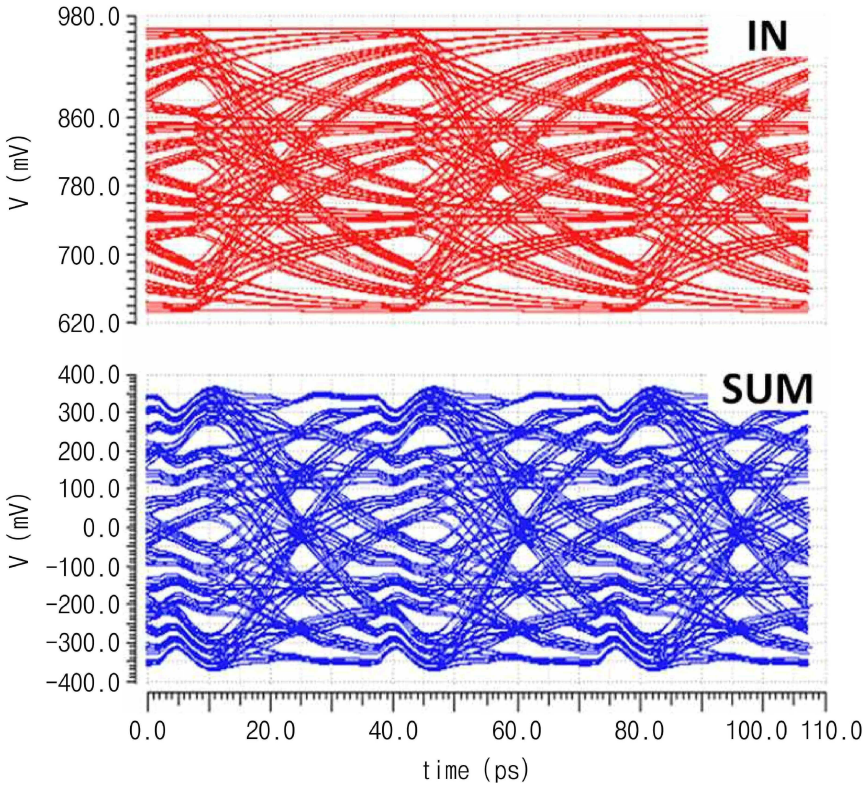
도면2


1
40
DECODER
$Dout_M$
$\overline{Dout_M}$
$Dout_L$
$\overline{Dout_L}$
20
Slicer
Clock
30
I_{Bias}
$2XI_{Bias}$
SUM
$\overline{SUM}$
10
IN
I_{Main}

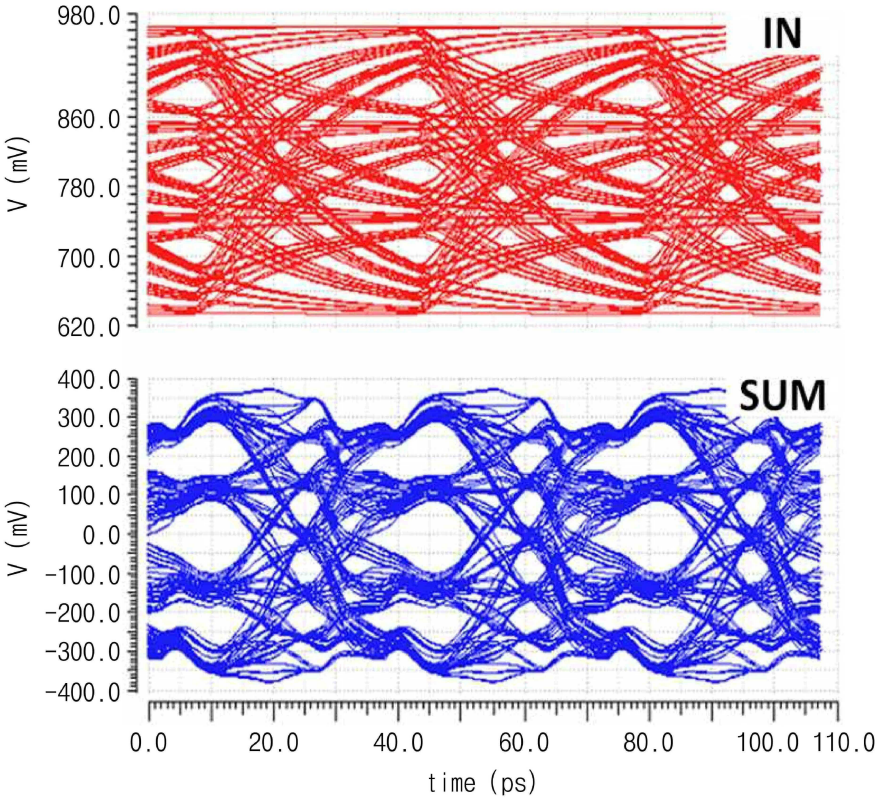
도면3


1_1
20_1
MSB
MSB
MSB
MSB
LSB
LSB
Slicer
Clock
Slicer
Clock
Slicer
Clock
30_1
LSB
LSB
CSB
CSB
MSB
MSB
IBias
IBias
IBias
SUM
SUM
10_1
IN
IN
IMain

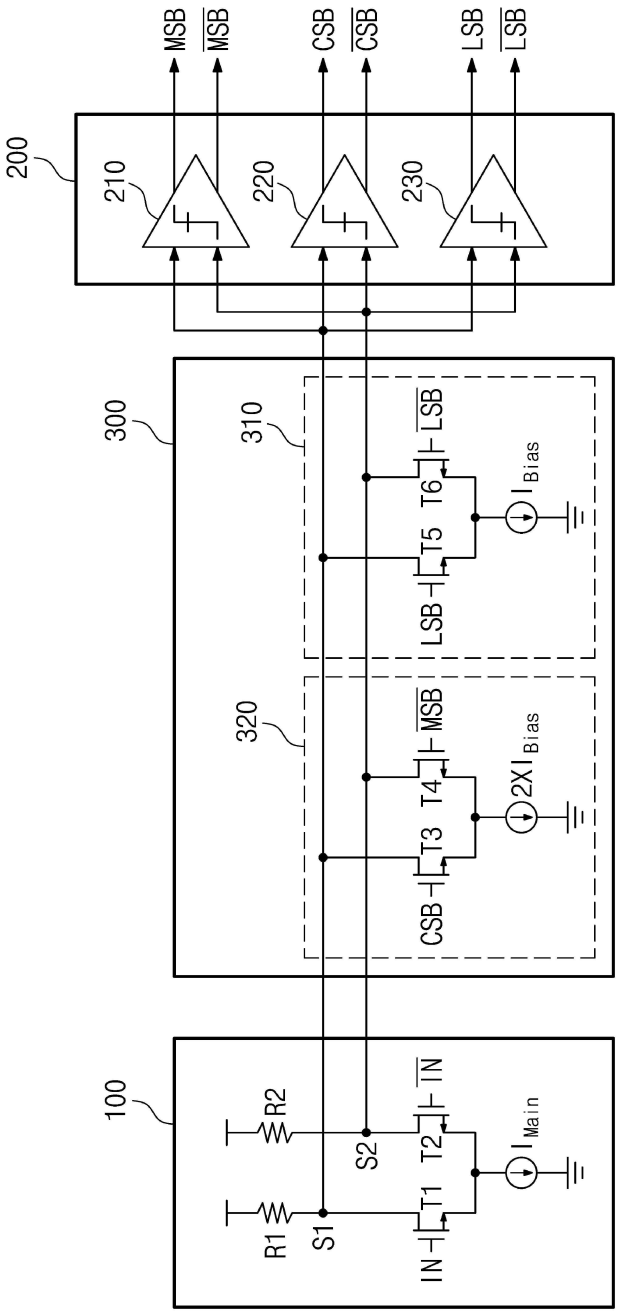
도면4a


IN
SUM
V (mV)
980.0
860.0
780.0
700.0
620.0
400.0
300.0
200.0
100.0
0.0
-100.0
-200.0
-300.0
-400.0
0.0
20.0
40.0
60.0
80.0
100.0
110.0
time (ps)

도면4b


IN
SUM
V (mV)
980.0
860.0
780.0
700.0
620.0
400.0
300.0
200.0
100.0
0.0
-100.0
-200.0
-300.0
-400.0
0.0
20.0
40.0
60.0
80.0
100.0
110.0
time (ps)

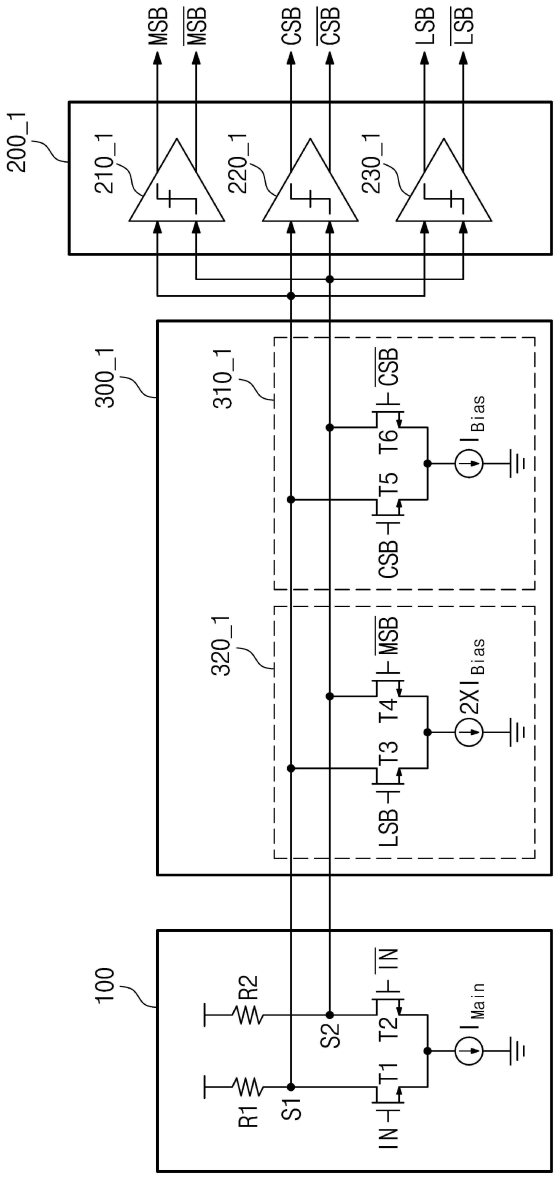
도면5a


MSB
MSB
CSB
CSB
LSB
LSB
200
210
220
230
300
310
320
100
R2
R1
S1
S2
T1
T2
T3
T4
T5
T6
IN
IN
CSB
MSB
LSB
LSB
I Main
I Bias
2XI Bias

도면5b

$\overline{MSB}$	CSB	LSB	$\overline{LSB}$	SUM	$\overline{SUM}$
1	0	0	1	X	$3XI_{Bias}$
1	0	1	0	I_{Bias}	$2XI_{Bias}$
1	1	1	0	$2XI_{Bias}$	I_{Bias}
0	1	1	0	$3XI_{Bias}$	X

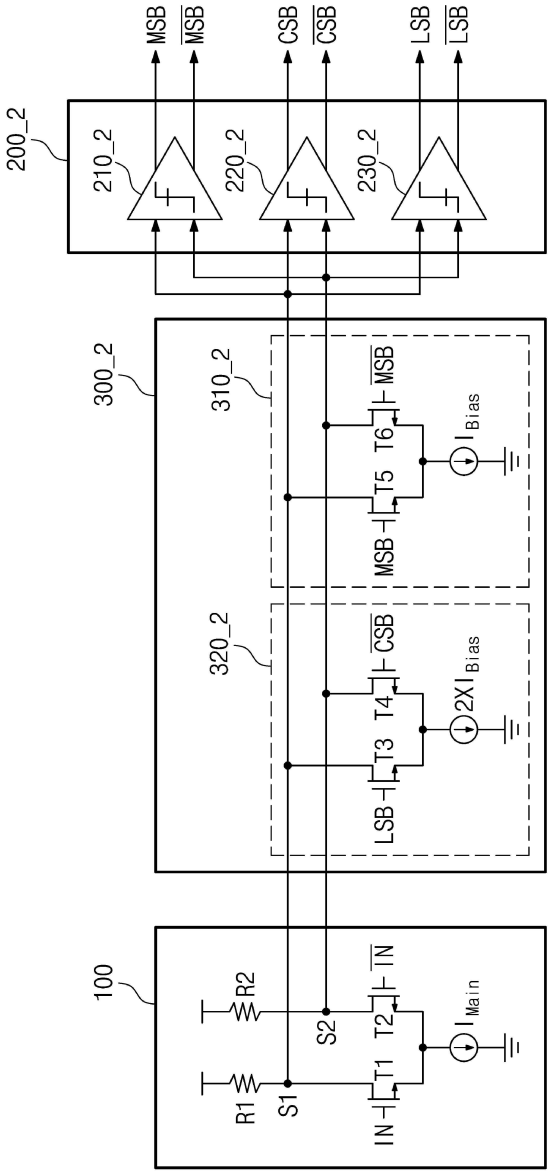
도면6a



도면6b

$\overline{MSB}$	LSB	CSB	$\overline{CSB}$	SUM	$\overline{SUM}$
1	0	0	1	X	$3XI_{Bias}$
1	1	0	1	I_{Bias}	$2XI_{Bias}$
1	1	1	0	$2XI_{Bias}$	I_{Bias}
0	1	1	0	$3XI_{Bias}$	X

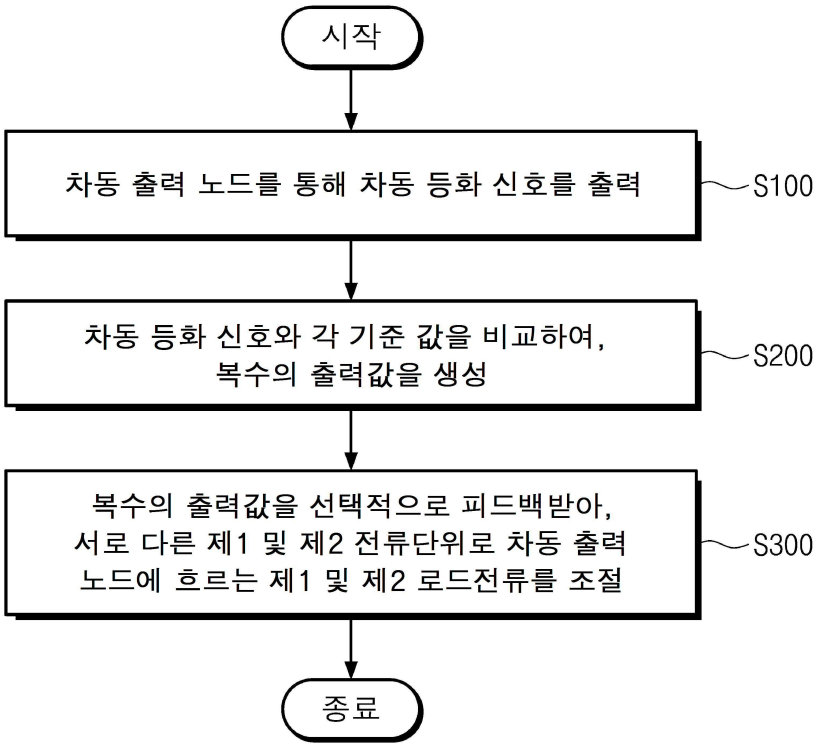
도면7a



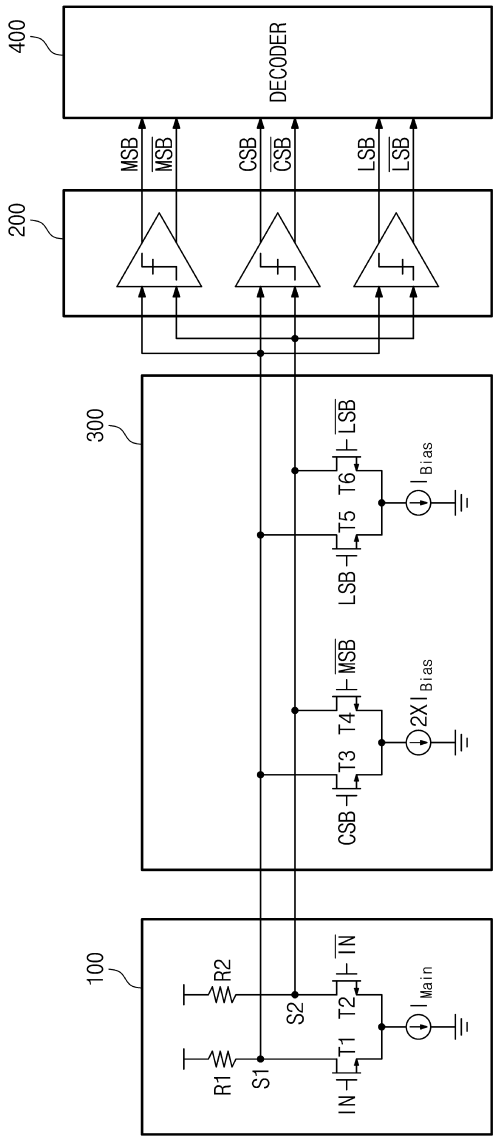
도면7b

$\overline{CSB}$	LSB	MSB	$\overline{MSB}$	SUM	$\overline{SUM}$
1	0	0	1	X	$3XI_{Bias}$
1	1	0	1	I_{Bias}	$2XI_{Bias}$
0	1	0	1	$2XI_{Bias}$	I_{Bias}
0	1	1	0	$3XI_{Bias}$	X

도면8



도면9


400
DECODER
MSB
MSB
CSB
CSB
LSB
LSB
200
300
LSB
T6
T5
LSB
I Bias
MSB
T4
T3
CSB
2XI Bias
100
R2
R1
S1
S2
IN
T2
T1
IN
I Main