

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6246004号
(P6246004)

(45) 発行日 平成29年12月13日(2017.12.13)

(24) 登録日 平成29年11月24日(2017.11.24)

(51) Int.Cl. F I
HO4N 5/378 (2011.01) HO4N 5/378

請求項の数 10 (全 23 頁)

(21) 出願番号	特願2014-15734 (P2014-15734)	(73) 特許権者	000001007
(22) 出願日	平成26年1月30日(2014.1.30)		キヤノン株式会社
(65) 公開番号	特開2015-142338 (P2015-142338A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成27年8月3日(2015.8.3)	(74) 代理人	100094112
審査請求日	平成29年1月6日(2017.1.6)		弁理士 岡部 譲
		(74) 代理人	100096943
			弁理士 臼井 伸一
		(74) 代理人	100101498
			弁理士 越智 隆夫
		(74) 代理人	100107401
			弁理士 高橋 誠一郎
		(74) 代理人	100106183
			弁理士 吉澤 弘司
		(74) 代理人	100128668
			弁理士 齋藤 正巳

最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【特許請求の範囲】

【請求項1】

光電変換素子を有する画素ユニットが複数行列状に配置された画素部と、
 前記画素部の1列ごとに複数本ずつ配置され、前記光電変換素子から出力された信号を
 伝送させる、複数の垂直出力線と、

前記光電変換素子から出力された信号を記憶させる複数のメモリと、

前記複数の垂直出力線と前記複数のメモリの間に接続され、前記複数の垂直出力線のう
 ちの1つ又は複数の垂直出力線から伝送される信号を、前記複数のメモリのうちの1つ又
 は複数のメモリに選択的に記憶させる、書き込みメモリ選択手段と、

前記複数のメモリに記憶された信号が入力される複数の水平走査チャンネルと、

前記複数のメモリと前記複数の水平走査チャンネルの間に接続され、前記複数のメモリの
 うちの1つ又は複数のメモリに記憶された信号を、前記複数の水平走査チャンネルのうちの
 1つ又は複数の水平走査チャンネルに選択的に出力させる、読み出しメモリ選択手段とを備
 え、

前記読み出しメモリ選択手段は、前記光電変換素子の空間的配置に対応する順序で信号
 を出力する、固体撮像装置。

【請求項2】

前記画素ユニットは複数の光電変換素子を有し、前記複数の光電変換素子から出力され
 た前記信号が一群として読み出される、請求項1に記載の固体撮像装置。

【請求項3】

10

20

前記画素ユニットは、複数の光電変換素子と、画素増幅部とを有し、前記各光電変換素子はそれぞれ電荷転送手段を介して前記画素増幅部に接続される、請求項 1 に記載の固体撮像装置。

【請求項 4】

前記読み出しメモリ選択手段から前記複数のメモリに記憶された信号を出力させる順序は、前記光電変換素子の列に沿った方向の順序と一致する、請求項 1 に記載の固体撮像装置。

【請求項 5】

複数色のカラーフィルタをさらに備え、前記画素ユニットは、前記カラーフィルタの色配列の 1 単位と対応する、請求項 1 に記載の固体撮像装置。

10

【請求項 6】

複数色のカラーフィルタをさらに備え、同色のカラーフィルタを備える光電変換素子から同時に信号を出力させるよう、前記読み出しメモリ選択手段が制御される、請求項 1 に記載の固体撮像装置。

【請求項 7】

前記複数の垂直出力線のうちの 1 本のみを選択して信号を読み出すことにより、垂直出力線から伝送される信号の順序と、前記読み出しメモリ選択手段から信号を出力させる順序とを一致させる垂直出力線選択手段をさらに備える、請求項 1 に記載の固体撮像装置。

【請求項 8】

前記複数の垂直出力線の本数よりも前記複数のメモリの個数の方が多い、請求項 1 に記載の固体撮像装置。

20

【請求項 9】

各前記メモリは複数の信号を記憶できるよう構成されており、前記複数の信号は少なくともリセット信号及び光電変換信号を含む、請求項 1 に記載の固体撮像装置。

【請求項 10】

請求項 1 乃至 9 のいずれか 1 項に記載の固体撮像装置を備える、撮像システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置に関する。

30

【背景技術】

【0002】

1 つの画素アンプが複数の光電変換素子に共有される CMOS イメージセンサにおいて、各列に配置された画素信号を高速に読み出すために、画素 1 列に対して 2 本の垂直出力線を用いて 2 行の画素信号を同時に読み出す手法が特許文献 1 に開示されている。

【0003】

特許文献 1 では以下の構成が撮像素子の一実施形態として開示されている。画素セットがフォトダイオード及び転送スイッチを 2 つずつ有する。画素セットはさらに、リセットスイッチ、画素アンプ及び行選択スイッチを 1 つずつ有する。2 つのフォトダイオードはそれぞれ転送スイッチを介して 1 つのフローティングディフュージョンに接続され、リセットスイッチ、画素アンプ及び行選択スイッチを共有する。

40

【0004】

特許文献 1 の構成では、画素列 1 列ごとに 2 本の垂直出力線を有している。これにより、2 本の垂直出力線から、列に沿った方向に連続した 2 つの画素セットの画素信号を同時に読み出すことが可能となる。以上により、フォトダイオードの面積の確保と高速な読み出しが両立できる。なお、当該実施形態では、同時に読み出す 2 行は、同一の画素セット内の 2 行ではなく、連続した 2 つの画素セットからそれぞれ 1 行ずつ選択される 2 行である。

【先行技術文献】

【特許文献】

50

【 0 0 0 5 】

【特許文献 1】特開 2 0 1 1 - 1 3 0 0 3 2 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 6 】

上述のように、2本の垂直出力線から同時に画素信号を読み出す構成において、読み出しの順序が実際の画素の空間的配置と一致しなくなる場合がある。特許文献 1 に記載の従来技術では、画素信号が空間情報通りに読み出されていない。さらに、1つの画素アンプに対し1つの光電変換素子を備える構成においても、画像信号は空間情報通りに読み出されない場合がある。そのため、外部のデジタル信号処理回路で、画像信号を空間情報通りに並べ替える必要があった。

10

【 0 0 0 7 】

本発明は上述した課題に鑑みてなされたものであり、その目的は、画像信号が画素の空間的配置と一致する順序で読み出されるようにすることで、外部のデジタル信号処理回路でデータの並べ替えを行う必要がなく、画像処理を効率的に行うことである。

【課題を解決するための手段】

【 0 0 0 8 】

このような目的を達成するために、本発明に係る固体撮像装置は、光電変換素子を有する画素ユニットが複数行列状に配置された画素部と、画素部の1列ごとに複数本ずつ配置され、前記光電変換素子から出力された信号を伝送させる、複数の垂直出力線と、光電変換素子から出力された信号を記憶させる複数のメモリと、複数の垂直出力線と複数のメモリの間に接続され、複数の垂直出力線のうちの1つ又は複数の垂直出力線から伝送される信号を、複数のメモリのうちの1つ又は複数のメモリに選択的に記憶させる、書き込みメモリ選択手段と、複数のメモリに記憶された信号が入力される複数の水平走査チャンネルと、複数のメモリと複数の水平走査チャンネルの間に接続され、複数のメモリのうちの1つ又は複数のメモリに記憶された信号を、複数の水平走査チャンネルのうちの1つ又は複数の水平走査チャンネルに選択的に出力させる、読み出しメモリ選択手段とを備え、読み出しメモリ選択手段は、前記光電変換素子の空間的配置に対応する順序で信号を出力することを特徴とする。

20

【発明の効果】

30

【 0 0 0 9 】

本発明によれば、画像信号が画素の空間的配置と一致する順序で読み出されるため、外部のデジタル信号処理回路でデータの並べ替えを行う必要がなく、画像処理を効率的に行うことができる。

【図面の簡単な説明】

【 0 0 1 0 】

【図 1】本発明の第 1 の実施形態に係る固体撮像装置の構成例を示す図である。

【図 2】本発明の第 1 の実施形態に係る画素部及び信号処理部の構成例を示す図である。

【図 3】本発明の第 1 の実施形態に係る画素ユニットの構成例を示す図である。

【図 4】本発明の第 1 の実施形態に係る駆動タイミングを説明するための回路例を示す図である。

40

【図 5】本発明の第 1 の実施形態に係る駆動タイミングを示す図である。

【図 6】本発明の第 2 の実施形態に係る駆動タイミングを説明するための回路例を示す図である。

【図 7】本発明の第 2 の実施形態に係る駆動タイミングを示す図である。

【図 8】本発明の第 3 の実施形態に係る駆動タイミングを説明するための回路例を示す図である。

【図 9】本発明の第 3 の実施形態に係る駆動タイミングを示す図である。

【図 10】本発明の第 4 の実施形態に係る駆動タイミングを説明するための回路例を示す図である。

50

【図 1 1】本発明の第 4 の実施形態に係る駆動タイミングを示す図である。

【図 1 2】本発明の第 5 の実施形態に係る駆動タイミングを説明するための回路例を示す図である。

【図 1 3】本発明の第 5 の実施形態に係る駆動タイミングを示す図である。

【図 1 4】本発明の第 6 の実施形態に係る撮像システムの構成を示す図である。

【発明を実施するための形態】

【0011】

本発明を実施するための形態について図面を参照しつつ説明する。各図面を通じて同一の構成要素には同一の参照符号を付し、重複する構成要素についてはその説明を省略することもある。

10

【0012】

(第 1 の実施形態)

図 1 は本発明の第 1 の実施形態に係る固体撮像装置の回路構成例を示した概略図である。固体撮像装置は、画素部 1、信号処理部 2、水平走査回路 3 及び垂直走査回路 4 を有する。

【0013】

画素部 1 は複数の画素ユニットを複数行列状に配置して構成される。信号処理部 2 は画素部 1 の各列の画素ユニットに接続され、各列から信号を読み出すとともに、読み出した信号を記憶するための記憶手段を備える。水平走査回路 3 は各信号処理部 2 に接続され、各信号処理部に記憶された信号を選択的に読み出す。垂直走査回路 4 は画素部 1 の各行の画素ユニットに接続され、信号を読み出す画素の選択等の処理を行う。

20

【0014】

図 2 は本発明の第 1 の実施形態に係る画素部 1 及び信号処理部 2 の構成例を示した概略図である。画素部 1 は、画素ユニット 200 と、画素ユニット 200 の各列に対し 2 本ずつ接続された垂直出力線 201、202 とを有する。

【0015】

同一列の画素ユニット 200 の出力は、それぞれ垂直出力線 201、202 及び定電流源 203、204 に接続されており、垂直出力線 201、202 は信号処理部 2 と接続されている。信号処理部 2 は、増幅器 205、AD 変換器 206 及び記憶部 207 を有する。垂直出力線 201、202 のそれぞれに対し、増幅器 205 及び AD 変換器 206 が接続される。

30

【0016】

増幅器 205 は、垂直出力線へ出力された画素信号を増幅して AD 変換器 206 に出力し、AD 変換器 206 は、増幅された画素信号を AD 変換し、記憶部 207 へデジタルデータとして出力する。

【0017】

記憶部 207 は、書き込みメモリ選択手段 208、並列接続された複数のメモリ 209 及び読み出しメモリ選択手段 210 を有し、デジタルデータとして画素信号を保持する機能を有する。

【0018】

本明細書において、各手段はスイッチング機能又は増幅機能を有していればよく、例えば MOSFET (Metal Oxide Semiconductor Field Effect Transistor) 等のトランジスタ等により構成できる。以下、各手段はゲート、ソース及びドレイン端子を有する FET であるものとして説明する。

40

書き込みメモリ選択手段 208 は記憶部 207 に入力されたデジタルデータを記憶するメモリ 209 を選択可能なように構成される。

【0019】

書き込みメモリ選択手段 208 と読み出しメモリ選択手段 210 との間には複数のメモリ 209 が接続されている。メモリ 209 は信号処理部と接続される垂直出力線の本数以上の数の列数が並列接続された構成となっている。本実施形態においては、垂直出力線 2

50

01、202の2本に対してメモリ209が4つ並列接続されている。1つのメモリ209は、画素で発生するノイズ成分を含むリセット信号Nと、リセット信号Nに相当するノイズが重畳された光電変換信号Sとの2種類の信号を記憶できる。(S-N)の差分処理は固体撮像装置の外部で行ってもよく、メモリ209内部等の固体撮像装置の内部にその機能を有していてもよい。メモリ209よりも前段で(S-N)の差分処理を行う構成の場合は、メモリ209は1種類のデータのみ記憶可能な構成であってもよい。

【0020】

読み出しメモリ選択手段210は各メモリ209のうち、いずれのメモリから信号を読み出すかを選択する機能を有する。読み出しメモリ選択手段210からの信号の読み出しは水平走査回路3によって制御される。

10

【0021】

これら画素から垂直出力線への画素信号の読み出しに係る一連の動作は、垂直走査回路4で画素部1の画素行を適宜選択しながら行われる。なお、各回路は別途設けられた不図示のタイミング制御部からのパルス信号によって制御される。

【0022】

なお、図2に示す画素ユニット200と垂直出力線201、202との関係は、画素1列につき垂直出力線が2本という関係となっている。しかしながら、画素と垂直出力線との列数及び本数の関係はこれに限定されるものではなく、画素1列につき複数本であればよい。

【0023】

20

図2の信号処理部2では、垂直出力線2本に対し、各々に増幅器205及びAD変換器206が1つずつ接続され、2つのAD変換器206に対し、4つのメモリ209を有する記憶部207が接続されている。しかしながら、この構成に限定されるものではなく、増幅器205及びAD変換器206は必須ではない。すなわち、垂直出力線が直接AD変換器206へ接続されてもよく、またAD変換器206を有さずアナログ信号のまま記憶部207へ接続されてもよい。

【0024】

図3は第1の実施形態に係る画素ユニットの構成例を示す図である。画素ユニット200は、2つの光電変換素子301、302と、電荷転送手段303、304と、フローティングディフュージョン部FDと、リセット手段305と、画素信号増幅手段306と、行選択手段307とを有する。

30

【0025】

光電変換素子301、302は、光電変換により検出した光の強度に応じた電荷を生成する、フォトダイオード等の素子を有する。電荷転送手段303、304は、光電変換素子301、302と、共通のフローティングディフュージョン部FDとの間に接続されている。ここで、共通のフローティングディフュージョン部というのは、共通のノードを意味しており、共通の画素増幅部に接続されるとも言い換えることができる。例えば固体撮像装置を半導体基板上に形成する場合には、複数の拡散領域を用いて1個のフローティングディフュージョン部を構成しても良い。

また、画素ユニット200に含まれる複数の光電変換素子301に対して、共通のマイクロレンズを設けてもよい。これにより、位相差情報を得ることが可能となり、焦点検出を行うことができる。

40

【0026】

電荷転送手段303、304は、光電変換素子301、302に蓄積された電荷を読み出すための転送用トランジスタであり、画素転送信号PTX1、PTX2により導通/非導通(オン/オフ)が制御される。

【0027】

リセット手段305は、電源電圧VDDとフローティングディフュージョン部FDとの間に接続される。リセット手段305は、フローティングディフュージョン部FDに電源電圧VDDを供給して、回路をリセットするためのリセット用トランジスタであり、画素

50

部リセット信号 P R E S により導通 / 非導通 (オン / オフ) が制御される。

【 0 0 2 8 】

画素信号増幅手段 3 0 6 のゲート端子にはフローティングディフュージョン部 F D が接続され、ドレイン及びソースの各端子には電源電圧 V D D 及び行選択手段 3 0 7 がそれぞれ接続される。画素信号増幅手段 3 0 6 は、フローティングディフュージョン部 F D に蓄積された電荷による電圧を増幅して、信号電圧として垂直出力線 2 0 1、2 0 2 に出力するソースフォロワ用トランジスタである。

【 0 0 2 9 】

行選択手段 3 0 7 は、画素信号増幅手段 3 0 6 の出力と垂直出力線 2 0 1 又は 2 0 2 との接続を制御することによって、2 次元状に配列された画素の信号を出力する行を選択する行選択用トランジスタである。行選択手段 3 0 7 は、行選択信号 P S E L により導通 / 非導通 (オン / オフ) が制御される。

10

【 0 0 3 0 】

図 3 に示す画素ユニット 2 0 0 は、2 個の光電変換素子が 1 つのフローティングディフュージョン部 F D を共有しているが、これに限定されるものではない。より多数の光電変換素子で 1 つのフローティングディフュージョン部 F D が共有されていてもよく、共有されていなくてもよい。

【 0 0 3 1 】

図 4 は、本発明の第 1 の実施形態に係る駆動タイミングを説明するための回路例を示す図である。図 4 は、画素部 1 の 1 列と、その列の信号処理部 2 と、水平走査回路 3 のうち、駆動タイミングの説明に必要な部分を抜き出して示した図である。図 4 の回路では、光電変換素子 4 1 1、4 1 2 は 1 つのフローティングディフュージョン部 F D を共有し、垂直出力線 2 0 1 と接続されている。光電変換素子 4 2 1、4 2 2 は 1 つのフローティングディフュージョン部 F D を共有し、垂直出力線 2 0 2 と接続されている。同様に、上から奇数番目の画素ユニットに含まれる光電変換素子は垂直出力線 2 0 1 と接続され、偶数番目の画素ユニットに含まれる光電変換素子は垂直出力線 2 0 2 と接続されている。以下同様に、図 4 には光電変換素子 4 1 1 ~ 4 6 2 まで計 1 2 個の光電変換素子が例示されている。また、各光電変換素子 4 1 1 ~ 4 6 2 にそれぞれ接続された画素転送手段は画素転送信号 P T X 4 1 1 ~ 4 6 2 によって導通 / 非導通 (オン / オフ) が制御される。

20

【 0 0 3 2 】

書き込みメモリ選択手段 2 0 8 は、垂直出力線 2 0 1 及び 2 0 2 と各メモリとの間で信号を選択的に伝送する機能を有し、垂直出力線とメモリの接続関係は書き込みメモリ選択信号 M S E L _ W 1 ~ 4 によって制御される。書き込みメモリ選択手段 2 0 8 は、例えば入力端子及び出力端子をそれぞれ 1 又は複数個ずつ有するスイッチ等によって構成できる。読み出しメモリ選択手段 2 1 0 も同様に各メモリと水平走査回路との間で選択的に信号を伝送する機能を有し、読み出しメモリ選択信号 M S E L _ R 1 ~ 4 によって制御される。水平走査回路 3 は 2 つの水平走査チャネル c h 1 及び 2 を有し、読み出しメモリ選択手段 2 1 0 から入力された信号は水平走査チャネル c h 1 又は 2 に出力される。

30

【 0 0 3 3 】

図 5 は本実施形態に係る駆動タイミングを示すタイミングチャートである。図 5 の M E M 1 ~ 4 及び水平走査チャネル c h 1 ~ 2 は、メモリ 2 0 9 及び出力チャンネルのデータ占有期間の遷移を示す遷移図である。遷移図に記載の 5 1 1 ~ 5 6 1 の符号は、それぞれ図 4 の光電変換素子 4 1 1 ~ 4 6 1 に対応する画素信号である。つまり、遷移図に記載の符号 5 1 1 は光電変換素子 4 1 1 から出力された画素信号というように、下 2 桁の符号が画素信号と光電変換素子との対応関係を示している。また、M E M 1 の行に記載の区間 5 1 1 は、メモリ 2 0 9 の M E M 1 に、この区間において、図 4 の光電変換素子 4 1 1 の光電荷に基づく信号 5 1 1 が占有 (保持) されていることを示している。なお、図 4 及び 5 において画素部リセット信号 P R E S と行選択信号 P S E L は簡略化のため省略している。

40

【 0 0 3 4 】

50

本実施形態における、MSEL_W1～4による、垂直出力線201及び202からの信号を記憶するMEM1～4の選択と、MSEL_R1～4による、MEM1～4からch1及び2への信号の読み出しの対応関係を表1に示す。なお、各制御信号に対応して信号の書き込み又は読み出しの処理として複数の処理が併記されているが、これはすべての動作が行われることを意味する。

【0035】

【表1】

制御信号	制御の内容
MSEL_W1	・垂直出力線201の信号を、MEM1に書き込む ・垂直出力線202の信号を、MEM3に書き込む
MSEL_W2	・垂直出力線201の信号を、MEM2に書き込む ・垂直出力線202の信号を、MEM4に書き込む
MSEL_W3	・垂直出力線201の信号を、MEM1に書き込む ・垂直出力線202の信号を、MEM2に書き込む
MSEL_W4	・垂直出力線201の信号を、MEM3に書き込む ・垂直出力線202の信号を、MEM4に書き込む
MSEL_R1	・MEM1の信号を、ch1に読み出す ・MEM2の信号を、ch2に読み出す
MSEL_R2	・MEM3の信号を、ch1に読み出す ・MEM4の信号を、ch2に読み出す
MSEL_R3	・MEM1の信号を、ch1に読み出す ・MEM3の信号を、ch2に読み出す
MSEL_R4	・MEM2の信号を、ch1に読み出す ・MEM4の信号を、ch2に読み出す

10

20

【0036】

次に、2つの画素ユニット200が同時に駆動され、2つの画素ユニット200からのデータがメモリ209に書き込まれ、データの順番を変えて読み出しが行われる本実施形態の動作を、図5のタイミングチャートを参照して説明する。なお、本明細書の説明において、電荷転送手段等の導通/非導通(オン/オフ)はタイミングチャートに示した各信号がHighのときにオンとなり、Lowのときにオフとなるように構成されている。

30

【0037】

期間TW51において、PTX411とPTX421がHighとなり、光電変換素子411、421から画素信号411、421が読み出される。この時、書き込みメモリ選択信号MSEL_W1がHighとなり、MEM1に画素信号511が、MEM3に画素信号521が書き込まれる。

【0038】

期間TW52において、PTX412とPTX422がHighとなり、光電変換素子412、422から画素信号512と522が読み出される。この時、書き込みメモリ選択信号MSEL_W2がHighとなり、MEM2に画素信号512が、MEM4に画素信号522が書き込まれる。

40

【0039】

期間TR51において、読み出しメモリ選択信号MSEL_R1がHighとなり、MEM1から画素信号511が、MEM2から画素信号512が読み出される。

【0040】

期間TW53において、PTX431とPTX441がHighとなり、光電変換素子431、441から画素信号531と541が読み出される。この時、書き込みメモリ選択信号MSEL_W3がHighとなり、MEM1に画素信号531が、MEM2に画素信号541が書き込まれる。

【0041】

期間TR52において、読み出しメモリ選択信号MSEL_R2がHighとなり、M

50

MEM3から画素信号521が、MEM4から画素信号522が読み出される。

【0042】

期間TW54において、PTX432とPTX442がHighとなり、光電変換素子432、442から画素信号532、542が読み出される。この時、書き込みメモリ選択信号MSEL_W4がHighとなり、MEM3に画素信号532が、MEM4に画素信号542が書き込まれる。

【0043】

期間TR53において、読み出しメモリ選択信号MSEL_R3がHighとなり、MEM1から画素信号531が、MEM3から画素信号532が読み出される。

【0044】

期間TW55において、PTX451とPTX461がHighとなり、光電変換素子451、461から画素信号551、561が読み出される。この時書き込みメモリ選択信号MSEL_W1がHighとなり、MEM1に画素信号551が、MEM3に画素信号561が書き込まれる。

【0045】

期間TR54において、読み出しメモリ選択信号MSEL_R4がHighとなり、MEM2から画素信号541が、MEM4から画素信号542が読み出される。

【0046】

なお、図5のタイミングチャートは、本実施形態を説明するための概略図であり、実際に記憶部207を制御するパルスのタイミングを限定するものではない。例えば、本実施形態では画素転送信号PTXと読み出しメモリ選択信号MSEL_RはHighとなるタイミングを一致させている。これにより、フレームレートを向上させることができる。ただし、タイミングを一致させることは本実施形態において必須ではなく、タイミングをずらすように構成してもよい。

【0047】

本実施形態において、画素部1からの信号の読み出しは以下の順序で行われる。第1に光電変換素子411と421からの信号が同時に読み出される。第2に光電変換素子412と422からの信号が同時に読み出される。第3に光電変換素子431と441からの信号が同時に読み出される。第4に光電変換素子432と442からの信号が同時に読み出される。このように2行の垂直出力線201及び202から同時に信号が読み出されるため、読み出しが高速に行われる。

【0048】

記憶部207から水平走査回路3への読み出しは、仮に本実施形態の回路及びその駆動方法を適用せず、画素部1から読み出した順序どおりに行った場合、空間的配置は上述と同じ順序である。すなわち、画素信号511及び521、画素信号512及び522、画素信号531及び541、画素信号532及び542の順に読み出される。これに対し、図4に記載された画素の空間的配置は上から411、412、421、422、431、432、441、442の順である。すなわち、読み出しの順序は画素の空間的配置と異なるものになる。

【0049】

これに対し、本実施形態の回路及びその駆動方法を適用した場合は、信号の読み出しは以下の順序で行われる。第1に画素信号511、512を同時に読み出す。第2に画素信号521、522を同時に読み出す。第3に画素信号531、532を同時に読み出す。第4に画素信号541、542を同時に読み出す。よって、読み出し空間的配置の順序は以下の通り、画素の空間的配置と一致したものとなる。すなわち、画素信号511及び512、画素信号521及び522、画素信号531及び532、画素信号541及び542の順に読み出される。

【0050】

よって、上述のように2つずつ同時に信号を読み出すことによる読み出しの高速化を維持しながら、読み出される信号の順序も画素の空間的配置と一致したものとすることがで

10

20

30

40

50

きる。

【 0 0 5 1 】

固体撮像装置を備えた撮像システム内において、現像、補正、補間等の画素信号に対して行われる画像処理は、特に列方向においては、空間的配置順に処理される場合がある。本実施形態に係る固体撮像装置は、空間的配置順、すなわち処理順に画素信号を後段の回路に供給することができる。

【 0 0 5 2 】

以下、本明細書において、空間的配置順と一致する（同時読出しを含む）ように信号を読み出すことを、「空間情報通りに読み出す」と表現する。換言すると、前述の本実施形態を適用しない場合の例のように、画素 4 1 2 より画素 4 2 1 が先に読み出されることを、「空間情報通りに読み出されていない」と表現する。

10

【 0 0 5 3 】

本実施形態によれば、記憶部 2 0 7 のメモリ 2 0 9 への書き込み及び読み出しの順序を切り替えることによって、画素部 1 から出力された信号が空間情報通りに読み出され、水平走査回路 3 へ出力されるよう構成可能である。

【 0 0 5 4 】

また、本実施形態では、読み出し順序を切り替えるためのメモリ 2 0 9 は、水平走査回路 3 によって列ごとに読み出された信号を保存するための不図示の列メモリよりも上流側（信号を発生する光電変換素子に近い側）に設けられている。これにより、この列メモリより下流側にメモリ 2 0 9 を配置した場合に比べ、撮像システム全体に配置されるメモリの数を少なくすることができ、装置の小型化及び経済性の向上が可能となる。さらに、メモリの数が少ないため、駆動が低速であってもよく、消費電力も低減できる。

20

【 0 0 5 5 】

また、上述の通り、記憶部 2 0 7 よりも後段に A D 変換器 2 0 6 を配置する変形が可能であるが、その場合、垂直出力線 2 0 1 及び 2 0 2 から読み出された画素信号は、アナログ信号のまま書き込まれ、保持されるようメモリ 2 0 9 が構成されてもよい。ただし、メモリ等に保持されたアナログ信号には、ノイズやリーク電流等による劣化が発生し得る。そのため、従来よりもメモリへの信号の保持期間が長くなる本実施形態においては、アナログ信号と比較してノイズやリーク電流等による劣化が発生しにくいデジタル信号が保持される構成の方がより好ましい。

30

【 0 0 5 6 】

本実施形態では、1つの画素アンプに対し2つの光電変換素子を備え、2本の垂直出力線を有する場合を例示した。この構成において、垂直出力線の複数本化による読み出しの高速化が達成され、かつ信号が空間的配置通りに読み出されることを説明した。しかしながら、本実施形態は、これ以外の光電変換素子の数や垂直出力線の本数の構成に対しても適宜変形して、適用できる。その一例を以下の実施形態において説明する。

【 0 0 5 7 】

（第2の実施形態）

次に、本発明の第2の実施形態について説明する。本実施形態に係る固体撮像装置は、画素部の構成、記憶部の構成及び駆動方法を除いて前述した第1の実施形態に係る固体撮像装置と同様であるので、以下では第1の実施形態と異なる部分について説明する。

40

【 0 0 5 8 】

図6は、第2の実施形態に係る駆動タイミングを説明するための回路例を示す図である。画素ユニット600において、2行2列の計4つの光電変換素子611、612、613及び614は1つのフローティングディフュージョン部FDを共有し、垂直出力線201と接続されている。光電変換素子611の行に沿った方向（横方向）には光電変換素子612が隣接して配置される。光電変換素子611の列に沿った方向（縦方向）には光電変換素子613が隣接して配置される。同様に、2行2列の計4つの光電変換素子621、622、623及び624は1つのフローティングディフュージョン部FDを共有し、垂直出力線201と接続されている。図6には光電変換素子611～624まで計8個の

50

光電変換素子が例示されている。また、各光電変換素子611~624にそれぞれ接続された画素転送手段は画素転送信号PTX611~624によって導通/非導通(オン/オフ)が制御される。

【0059】

メモリ209は画素ユニット2列に対し8つ(MEM1~8)搭載されている。記憶部207から水平走査回路3への読み出し線は4本あり、ch1~4に接続されている。

【0060】

図7は本実施形態に係る駆動タイミングを示すタイミングチャートである。表記方法は、第1の実施形態と同様である。MEM1~8及び水平走査チャンネルch1~4の遷移図に記載の711~724の番号は、それぞれ図6の光電変換素子611~624に対応する画素信号である。なお、図6、7において画素部リセット信号PRESと画素選択信号PSELは簡略化のため省略している。なお、図7のタイミングチャートは、本実施形態を説明するための概略図であり、実際に記憶部207を制御するパルスのタイミングを限定するものではない。

10

【0061】

本実施形態における、MSEL_W1~4による、垂直出力線201及び202からの信号を記憶するMEM1~8の選択と、MSEL_R1~2による、MEM1~8からch1~4への信号の読み出しの対応関係を表2に示す。なお、各制御信号に対応して信号の書き込み又は読み出しの処理として複数の処理が併記されているが、これはすべての動作が行われることを意味する。

20

【0062】

【表2】

制御信号	制御の内容
MSEL_W1	・垂直出力線201の信号を、MEM1に書き込む ・垂直出力線202の信号を、MEM5に書き込む
MSEL_W2	・垂直出力線201の信号を、MEM2に書き込む ・垂直出力線202の信号を、MEM6に書き込む
MSEL_W3	・垂直出力線201の信号を、MEM3に書き込む ・垂直出力線202の信号を、MEM7に書き込む
MSEL_W4	・垂直出力線201の信号を、MEM4に書き込む ・垂直出力線202の信号を、MEM8に書き込む
MSEL_R1	・MEM1の信号を、ch1に読み出す ・MEM2の信号を、ch2に読み出す ・MEM3の信号を、ch3に読み出す ・MEM4の信号を、ch4に読み出す
MSEL_R2	・MEM5の信号を、ch1に読み出す ・MEM6の信号を、ch2に読み出す ・MEM7の信号を、ch3に読み出す ・MEM8の信号を、ch4に読み出す

30

【0063】

期間TW71において、PTX611とPTX621がHighとなり、光電変換素子611、621から画素信号711、721が読み出される。この時、書き込みメモリ選択信号MSEL_W1がHighとなり、MEM1に画素信号711が、MEM5に画素信号721が書き込まれる。

40

【0064】

期間TW72において、PTX612とPTX622がHighとなり、光電変換素子612、622から画素信号712、722が読み出される。この時、書き込みメモリ選択信号MSEL_W2がHighとなり、MEM2に画素信号712が、MEM6に画素信号722が書き込まれる。

【0065】

50

期間TW73において、PTX613とPTX623がHighとなり、光電変換素子613、623から画素信号713、723が読み出される。この時、書き込みメモリ選択信号MSEL_W3がHighとなり、MEM3に画素信号713が、MEM7に画素信号723が書き込まれる。

【0066】

期間TW74において、PTX614とPTX624がHighとなり、光電変換素子614、624から画素信号714、724が読み出される。この時、書き込みメモリ選択信号MSEL_W4がHighとなり、MEM4に画素信号714が、MEM8に画素信号724が書き込まれる。

【0067】

期間TR71において、読み出しメモリ選択信号MSEL_R1がHighとなり、MEM1から画素信号711が、MEM2から画素信号712が、MEM3から画素信号713が、MEM4から画素信号714が読み出される。

【0068】

期間TR72において、読み出しメモリ選択信号MSEL_R2がHighとなり、MEM5から画素信号721が、MEM6から画素信号722が、MEM7から画素信号723が、MEM8から画素信号724が読み出される。

【0069】

本実施形態においては、画素部1からの信号の読み出しは以下の順序で行われる。第1に光電変換素子611と621が同時に読み出される。第2に光電変換素子612と622が同時に読み出される。第3に光電変換素子613と623が同時に読み出される。第4に光電変換素子614と624が同時に読み出される。第1の実施形態と同様に2行の垂直出力線201及び202から同時に信号が読み出されるため、読み出しが高速に行われる。

【0070】

これに対し、記憶部から水平走査回路への読み出しは以下の順序で行われる。第1に画素信号711、712、713、714が同時に読み出される。第2に画素信号721、722、723、724が同時に読み出される。したがって、本実施形態においても画素ユニットごとに信号を読み出される。

【0071】

すなわち、上述のように2つずつ同時に信号を読み出すことによる読み出しの高速化を維持しながら、読み出される信号の順序も画素の空間的配置と一致したものとすることができる。

固体撮像装置を備えた撮像システム内において、現像、補正、補間等の画像処理に対して行われる画像処理は、特に列方向においては、空間的配置順に処理される場合がある。本実施形態に係る固体撮像装置は、空間的配置順、すなわちこの処理順に画素信号を供給することができる。

【0072】

つまり、図6において、光電変換素子611、612、613、614、621、622、623、624、・・・という順に読み出される（同時読み出しの場合も含む）ように記憶部207でメモリ209への書き込み及び読み出しの順序の切り替えができる。その結果、光電変換素子611、612、613、614から出力された画素信号が同時に読み出され、その後光電変換素子621、622、623、624から出力された画素信号が同時に読み出されること、すなわち、空間情報通りの読み出しが実現される。

【0073】

また、本実施形態において、各光電変換素子に特定の波長の光を透過する、複数色のカラーフィルタを搭載して、カラーでの撮像に対応させることもできる。各光電変換素子へのカラーフィルタの配列は、例えば、R（赤色画素）、G（緑色画素）、G、B（青色画素）の4素子を2×2の正方形に並べたものを1単位とする、ベイヤー（Bayer）配列とすることができる。この場合、例えば、光電変換素子611がR、612と613がG

10

20

30

40

50

、614がBのように配置することにより、現像処理の単位ごとに信号を読み出される。ただし、カラーフィルタの配列は複数個の画素を1単位とする繰り返し配列であれば他の配列であってもよく、その1単位を一群として読み出すように本実施形態を变形することで同様の効果を得ることができる。なお、前述の「1単位を一群として読み出す」とは、読み出しの順序において、ある1単位の画素ユニットからの連続する信号の間に他の1単位の画素ユニットからの信号が入っていないことを意味する。

【0074】

(第3の実施形態)

次に、本発明の第3の実施形態について説明する。本実施形態に係る固体撮像装置は、画素部の構成、記憶部の構成及び駆動方法を除いて前述した第1の実施形態に係る固体撮像装置と同様であるので、以下では第1の実施形態と異なる部分について説明する。

10

【0075】

図8は、第3の本実施形態に係る駆動タイミングを説明するための回路例を示す図である。画素ユニット1列ごとに3本の垂直出力線801、802及び803が接続されている。またメモリ209は画素1列に対し6つ(MEM1~6)搭載されている。記憶部207から水平走査回路への読み出し線は2本であり、ch1及び2に接続されている。

【0076】

図9は本実施形態に係る駆動タイミングを示すタイミングチャートである。表記方法は、第1の実施形態と同様である。MEM1~6及び水平走査チャネルch1~2に記載の911~932の番号は、それぞれ図8の光電変換素子811~832に対応する画素信号である。なお、図8、9において画素部リセット信号PRESと画素選択信号PSELは簡略化のため省略している。なお、図9のタイミングチャートは、本実施形態を説明するための概略図であり、実際に記憶部207を制御するパルスのタイミングを限定するものではない。

20

【0077】

本実施形態における、MSEL_W1~4による、垂直出力線801、802及び803からの信号を記憶するMEM1~6の選択と、MSEL_R1~3による、MEM1~6からch1~2への信号の読み出しの対応関係を表3に示す。なお、各制御信号に対して信号の書き込み又は読み出しの処理として複数の処理が併記されているが、これはすべての動作が行われることを意味する。

30

【0078】

【表3】

制御信号	制御の内容
MSEL_W1	・垂直出力線801の信号を、MEM1に書き込む ・垂直出力線802の信号を、MEM3に書き込む ・垂直出力線803の信号を、MEM5に書き込む
MSEL_W2	・垂直出力線801の信号を、MEM2に書き込む ・垂直出力線802の信号を、MEM4に書き込む ・垂直出力線803の信号を、MEM6に書き込む
MSEL_R1	・MEM1の信号を、ch1に読み出す ・MEM2の信号を、ch2に読み出す
MSEL_R2	・MEM3の信号を、ch1に読み出す ・MEM4の信号を、ch2に読み出す
MSEL_R3	・MEM5の信号を、ch1に読み出す ・MEM6の信号を、ch2に読み出す

40

【0079】

期間TW91において、PTX811とPTX821とPTX831がHighとなり、光電変換素子811、821、831から画素信号911、921、931が読み出される。この時書き込みメモリ選択信号MSEL_W1がHighとなり、MEM1に画素信号911が、MEM3に画素信号921が、MEM5に画素信号931が書き込まれる

50

。

【 0 0 8 0 】

期間 T W 9 2 において、 P T X 8 1 2、 P T X 8 2 2、 P T X 8 3 2 が H i g h となり、光電変換素子 8 1 2、8 2 2、8 3 2 から画素信号 9 1 2、9 2 2、9 3 2 が読み出される。この時書き込みメモリ選択信号 M S E L _ W 1 が H i g h となり、 M E M 2 に画素信号 9 1 2 が、 M E M 4 に画素信号 9 2 2 が、 M E M 6 に画素信号 9 3 2 が書き込まれる。

【 0 0 8 1 】

期間 T R 9 1 において、読み出しメモリ選択信号 M S E L _ R 1 が H i g h となり、 M E M 1 から画素信号 9 1 1 が、 M E M 2 から画素信号 9 1 2 が読み出される。

10

【 0 0 8 2 】

期間 T R 9 2 において、読み出しメモリ選択信号 M S E L _ R 2 が H i g h となり、 M E M 3 から画素信号 9 2 1 が、 M E M 4 から画素信号 9 2 2 が読み出される。

【 0 0 8 3 】

期間 T R 9 3 において、読み出しメモリ選択信号 M S E L _ R 3 が H i g h となり、 M E M 5 から画素信号 9 3 1 が、 M E M 6 から画素信号 9 3 2 が読み出される。

【 0 0 8 4 】

本実施形態においては、画素部 1 からの信号の読み出しは以下の順序で行われる。第 1 に光電変換素子 8 1 1 と 8 2 1 と 8 3 1 が同時に読み出される。第 2 に光電変換素子 8 1 2 と 8 2 2 と 8 3 2 が同時に読み出される。3 行の垂直出力線 8 0 1、8 0 2 及び 8 0 3 から同時に信号が読み出されるので、読み出しが高速に行われる。これに対し、記憶部から水平走査回路への読み出しは以下の順序で行われる。第 1 に画素信号 9 1 1、9 1 2 が同時に読み出される。第 2 に画素信号 9 2 1、9 2 2 が同時に読み出される。第 3 に画素信号 9 3 1、9 3 2 が同時に読み出される。すなわち、隣り合う画素同士が同時に読み出される。

20

【 0 0 8 5 】

本実施形態によれば、記憶部 2 0 7 でメモリ 2 0 9 への書き込み及び読み出しの順序を切り替えることによって、画素部 1 から出力された信号を空間情報通りに読み出し、水平走査回路 3 に出力することができる。

【 0 0 8 6 】

30

(第 4 の実施形態)

次に、本発明の第 4 の実施形態について説明する。本実施形態に係る固体撮像装置は、画素部の構成、記憶部の構成及び駆動方法を除いて前述した第 1 の実施形態に係る固体撮像装置と同様であるので、以下では第 1 の実施形態と異なる部分について説明する。

【 0 0 8 7 】

図 1 0 は、第 4 の本実施形態に係る駆動タイミングを説明するための回路例を示す図である。1 つの画素につき 1 つのフローティングディフュージョン部 F D を有する画素ユニット 1 列ごとに 2 本の垂直出力線 2 0 1 及び 2 0 2 が接続されている。

【 0 0 8 8 】

また、各光電変換素子にはカラーフィルタが搭載されている。光電変換素子 1 0 0 1 と 1 0 0 3 にはそれぞれ同色のカラーフィルタが搭載される。光電変換素子 1 0 0 2 と 1 0 0 4 にはそれぞれ同色のカラーフィルタであって、光電変換素子 1 0 0 1 及び 1 0 0 3 のカラーフィルタとは異なる色のカラーフィルタが配置されている。すなわち、同色の光電変換素子が異なる垂直出力線に接続され、同時に読み出され得る配置となっている。

40

【 0 0 8 9 】

仮に、光電変換素子 1 0 0 1 と光電変換素子 1 0 0 2 の出力を異なる垂直信号線に接続され、これらが同時に読み出されるように構成すれば、画素信号は、空間情報通りの順番で、垂直出力線の本数分だけ同時に読み出され得る。しかしながら、以下に説明するように他の要因によりこのように構成することが困難な場合がある。

【 0 0 9 0 】

50

例えばベイア配列のカラーフィルタを搭載した固体撮像装置においては赤色画素と緑色画素又は青色画素と緑色画素が隣接する。これらを同時に読み出そうとした場合、垂直出力線間のクロストーク等により、混色等の問題が生じるため、同色画素同士を同時に読み出すことが好ましい。したがって、混色等の低減のため、同色の光電変換素子1001と光電変換素子1003の出力とが異なる垂直信号線に接続されていることがある。この場合隣接する光電変換素子1001と光電変換素子1002の出力は同じ垂直信号線に接続される。

【0091】

また、垂直方向の同色画素から出力された信号を、画素からの読出しと同時に列ごとに配置された増幅器を用いて演算処理する場合には、同色画素が同じ垂直信号線に接続される。

10

【0092】

本実施形態によれば、上述のような同色の光電変換素子が異なる垂直出力線に接続された構成においても、「空間情報通りの読み出し」が実現される。

【0093】

図11は本実施形態に係る駆動タイミングを示すタイミングチャートである。表記方法は、第1の実施形態と同様である。MEM1~4及び水平走査チャネルch1~2の遷移図に記載の1101~1104の番号は、それぞれ図10の光電変換素子1001~1004に対応する画素信号である。なお、図10、11において画素部リセット信号PRESと画素選択信号PSELは簡略化のため省略している。なお、図11のタイミングチャートは、本実施形態を説明するための概略図であり、実際に記憶部207を制御するパルスのタイミングを限定するものではない。

20

【0094】

本実施形態における、MSEL_W1及び2による、垂直出力線201及び202からの信号を記憶するMEM1~4の選択と、MSEL_R1及び2による、MEM1~4からch1及び2への信号の読み出しの対応関係を表4に示す。なお、各制御信号に対応して信号の書き込み又は読み出しの処理として複数の処理が併記されているが、これはすべての動作が行われることを意味する。

【0095】

【表4】

30

制御信号	制御の内容
MSEL_W1	・垂直出力線201の信号を、MEM1に書き込む ・垂直出力線202の信号を、MEM3に書き込む
MSEL_W2	・垂直出力線201の信号を、MEM2に書き込む ・垂直出力線202の信号を、MEM4に書き込む
MSEL_R1	・MEM1の信号を、ch1に読み出す ・MEM2の信号を、ch2に読み出す
MSEL_R2	・MEM3の信号を、ch1に読み出す ・MEM4の信号を、ch2に読み出す

【0096】

40

期間TW111において、PTX1001とPTX1003がHighとなり、光電変換素子1001、1003から画素信号1101、1103が読み出される。この時書き込みメモリ選択信号MSEL_W1がHighとなり、MEM1に画素信号1101が、MEM3に画素信号1103が書き込まれる。

【0097】

期間TW112において、PTX1002とPTX1004がHighとなり、光電変換素子1002、1004から画素信号1102、1104が読み出される。この時書き込みメモリ選択信号MSEL_W2がHighとなり、MEM2に画素信号1102が、MEM4に画素信号1104が書き込まれる。

【0098】

50

期間TR111において、読み出しメモリ選択信号MSEL_R1がHighとなり、MEM1から画素信号1101が、MEM2から画素信号1102が読み出される。

【0099】

期間TR112において、読み出しメモリ選択信号MSEL_R2がHighとなり、MEM3から画素信号1103が、MEM4から画素信号1104が読み出される。

【0100】

本実施形態においては、画素部1からの信号の読み出しは以下の順序で行われる。第1に光電変換素子1001と1003が同時に読み出される。第2に光電変換素子1002と1004が同時に読み出される。2行の垂直出力線201及び202から同時に信号を読み出されるので、読み出しが高速に行われる。これに対し、記憶部から水平走査回路への読み出しは以下の順序で行われる。第1に画素信号1001、1002が同時に読み出される。第2に画素信号1003、1004が同時に読み出される。すなわち、隣り合う画素同士が同時に読み出されている。

10

【0101】

本実施形態によれば、記憶部207でメモリ209への書き込み及び読み出しの順序の切り替えが行われる。これによって、同色の光電変換素子が異なる垂直出力線に接続された構成において、「空間情報通りの読み出し」が提供される。よって、「空間情報通りの読み出し」と垂直出力線間のクロストークによる混色を低減が両立され、同色画素から出力された信号を、画素からの読出しと同時に列ごとに配置された増幅器を用いて演算処理することもできる。

20

【0102】

(第5の実施形態)

次に、本発明の第5の実施形態について説明する。本実施形態に係る固体撮像装置は、画素部の構成、信号処理部の構成及び駆動方法を除いて、前述した第1の実施形態に係る固体撮像装置と同様であるので、以下では第1の実施形態と異なる部分について説明する。

【0103】

本実施形態に係る画素部及び信号処理部は第1のモード及び第2のモードの2種類のモードで駆動される。第1のモードは、画素ユニット1列を1本の垂直出力線に接続し、順次読み出すモードである。第2のモードは、画素ユニット1列を2本の垂直出力線に接続し、2行分の画素ユニットから同時に読み出すモードである。

30

【0104】

図12は、第5の実施形態に係る駆動タイミングを説明するための回路例を示す図である。画素ユニット1200の1列ごとに2本の垂直出力線1201、1202が接続されている。各画素ユニット1200は、いずれの垂直出力線と接続するかを選択するための垂直出力線選択手段として、2つのスイッチを有している。各スイッチは制御信号SEL1211~1242によってオン又はオフに制御される。

【0105】

図13(a)及び(b)は本実施形態に係る駆動タイミングを示すタイミングチャートである。表記方法は、第1の実施形態と同様である。図13(a)は第1のモードの駆動タイミングを、図13(b)は第2のモードの駆動タイミングをそれぞれ示している。MEM1~4及び水平走査チャンネルch1~2に記載の1311~1341の番号は、それぞれ図12の光電変換素子1211~1241に対応する画素信号である。なお、図12、13(a)、13(b)において、第1のモードと第2のモードの切り替えに係る切替手段及び/又は切り替え制御信号と、画素部リセット信号PRESは簡略化のため省略している。なお、図13(a)、13(b)のタイミングチャートは、本実施形態を説明するための概略図であり、実際に記憶部207を制御するパルスのタイミングを限定するものではない。

40

【0106】

本実施形態における、MSEL_W1~4による、垂直出力線1201及び1202か

50

らの信号を記憶するMEM1～4の選択と、MSEL__R1及び2による、MEM1～4からch1及び2への信号の読み出しの対応関係を表5に示す。なお、各制御信号に対して信号の書き込み又は読み出しの処理として複数の処理が併記されているが、これはすべての動作が行われることを意味する。

【0107】

【表5】

制御信号	制御の内容
MSEL__W1	・垂直出力線1201の信号を、MEM1に書き込む ・垂直出力線1202の信号を、MEM3に書き込む
MSEL__W2	・垂直出力線1201の信号を、MEM2に書き込む ・垂直出力線1202の信号を、MEM4に書き込む
MSEL__W3	・垂直出力線1201の信号を、MEM3に書き込む
MSEL__W4	・垂直出力線1201の信号を、MEM4に書き込む
MSEL__R1	・MEM1の信号を、ch1に読み出す ・MEM2の信号を、ch2に読み出す
MSEL__R2	・MEM3の信号を、ch1に読み出す ・MEM4の信号を、ch2に読み出す

10

【0108】

図13(a)に示す第1のモードの駆動について説明する。期間TW131において、SEL1211、PTX1211がHighとなり、光電変換素子1211から画素信号1311が読み出される。この時、書き込みメモリ選択信号MSEL__W1がHighとなり、MEM1に画素信号1311が書き込まれる。

20

【0109】

期間TW132において、SEL1221、PTX1221がHighとなり、光電変換素子1221から画素信号1321が読み出される。この時、書き込みメモリ選択信号MSEL__W2がHighとなり、MEM2に画素信号1321が書き込まれる。

【0110】

期間TW133において、SEL1231、PTX1231がHighとなり、光電変換素子1231から画素信号1331が読み出される。この時、書き込みメモリ選択信号MSEL__W3がHighとなり、MEM3に画素信号1331が書き込まれる。

30

【0111】

期間TW134において、SEL1241、PTX1241がHighとなり、光電変換素子1241から画素信号1341が読み出される。この時、書き込みメモリ選択信号MSEL__W4がHighとなり、MEM4に画素信号1341が書き込まれる。

【0112】

期間TR131において、読み出しメモリ選択信号MSEL__R1がHighとなり、MEM1から画素信号1311が、MEM2から画素信号1321が読み出される。

【0113】

期間TR132において、読み出しメモリ選択信号MSEL__R2がHighとなり、MEM3から画素信号1331が、MEM4から画素信号1341が読み出される。

40

【0114】

第1のモードでは、垂直出力線1201から読み出した信号の順序は空間情報通りであるため、メモリ209を用いた書き込み及び読み出しの順序の切り替えは行われていない。

【0115】

次に、図13(b)に示す第2のモードの駆動について説明する。期間TW131'において、SEL1211、PTX1211とSEL1232、PTX1231がHighとなり、光電変換素子1211、1231から画素信号1311、1331が読み出される。この時、書き込みメモリ選択信号MSEL__W1がHighとなり、MEM1に画素

50

信号1311が、MEM3に画素信号1331が書き込まれる。

【0116】

期間TW132'において、SEL1221、PTX1221とSEL1242、PTX1241がHighとなり、光電変換素子1221、1241から画素信号1321、1341が読み出される。この時、書き込みメモリ選択信号MSEL_W2がHighとなり、MEM2に画素信号1321が、MEM4に画素信号1341が書き込まれる。

【0117】

期間TR131'において、読み出しメモリ選択信号MSEL_R1がHighとなり、MEM1から画素信号1311が、MEM2から画素信号1321が読み出される。

【0118】

期間TR132'において、読み出しメモリ選択信号MSEL_R2がHighとなり、MEM3から画素信号1331が、MEM4から画素信号1341が読み出される。

【0119】

すなわち、特に第2のモードにおいて、記憶部207でメモリ209への書き込み及び読み出しの順序を切り替わることで、空間情報通りの読み出しを実現される。

【0120】

第1のモードにおいては、SEL1212等に接続されている垂直出力線1202に接続された定電流源204、各列の増幅器205、AD変換器206の駆動を停止させることができる。これにより、消費電力を低減することができる。1本の垂直出力線1201のみから信号が読み出されるため、第1のモードは低速読み出しモードとして好適である。

【0121】

一方、第1～第4実施形態と同様に複数本の垂直出力線から信号を読み出すことにより、第2のモードにおいては読み出しが高速である。すなわち、第2のモードは短時間で読み出すための高速読み出しモードとして好適である。

【0122】

例えば、第1のモードをフルHD(Full High Definition)30fps(frame per second)低消費電力モードとして、第2のモードをフルHD60fps高速モードとして使い分けることができる。このようにして、駆動タイミングを変えるだけで、1つの固体撮像装置を2つのモードに切り替えて使用することができる。

【0123】

なお、第2のモードにおいて、記憶部207よりも前段で、異なる画素列の画素信号を加算する処理又はいくつかの画素列の画素信号を間引く処理を行ってもよい。これにより、水平方向の空間情報を圧縮又は低減することができ、メモリ209の個数を少なくすることができる。

【0124】

なお、第1～第3及び第5の実施形態において、各光電変換素子はカラーフィルタを備えてもよく、備えなくてもよい。カラーフィルタを備える場合、色配列をベイヤ配列等の配列とすることによりカラーでの撮像に対応可能となる。カラーフィルタを備えない場合、3板式カラーセンサのような別の方法によってカラーでの撮像が可能ないように構成することもでき、モノクロセンサとして構成することもできる。いずれの場合においても各実施形態を適用して、同様の効果を得ることができる。

【0125】

また、第1～第5の実施形態において、出力される信号の順序は空間的配置と完全に一致する例のみを示しているが、一部又は全部の信号の順序が空間的配置と一致しないように各実施形態を変形することもできる。例えば、信号の順序を部分的に空間情報通りにしてもよく、その場合においても本願発明の各実施形態の効果の一部又は全部を得ることができる。

【0126】

10

20

30

40

50

(第6の実施形態)

図14は、本発明の第6の実施形態に係る撮像素子を用いた撮像システムの構成を示す図である。撮像システム1400は、光学部1410、撮像装置1420、記録・通信部1440、タイミング制御部1450、システム制御部1460、及び再生・表示部1470を備える。撮像装置1420は、固体撮像装置1480及び映像信号処理部1430を備える。固体撮像装置1480には、前述の第1～第5の実施形態で説明した固体撮像装置が用いられる。

【0127】

レンズ等の光学系である光学部1410は、被写体からの光を固体撮像装置1480の、複数の画素が2次元状に配列された画素部1に結像させ、被写体の像を形成する。固体撮像装置1480は、タイミング制御部1450からの信号に基づくタイミングで、画素部1に結像された光に応じた信号を出力する。固体撮像装置1480から出力された信号は、映像信号処理部1430に入力される。映像信号処理部1430は、プログラム等によって定められた方法に従って、入力された信号の画像データへの変換等の信号処理を行う。映像信号処理部1430での処理によって得られた信号は画像データとして記録・通信部1440に送られる。記録・通信部1440は、画像を形成するための信号を再生・表示部1470に送り、再生・表示部1470に動画や静止画像を再生・表示させる。記録・通信部1440は、また、映像信号処理部1430からの信号を受けて、システム制御部1460と通信を行うほか、不図示の記録媒体に、画像を形成するための信号を記録する動作も行う。

【0128】

システム制御部1460は、撮像システムの動作を統括的に制御するものであり、光学部1410、タイミング制御部1450、記録・通信部1440、及び再生・表示部1470の駆動を制御する。また、システム制御部1460は、例えば記録媒体である不図示の記憶装置を備え、ここに撮像システムの動作を制御するのに必要なプログラム等が記録される。また、システム制御部1460は、例えばユーザの操作に応じて駆動モードを切り替える信号を撮像システム内に供給する。具体的には、読み出す行やリセットする行の変更、電子ズームに伴う画角の変更や、電子防振に伴う画角のずらし等の切り替えを行うための信号が供給される。タイミング制御部1450は、システム制御部1460による制御に基づいて固体撮像装置1480及び映像信号処理部1430の駆動タイミングを制御する。

【0129】

本実施形態に係る固体撮像装置1480は画像信号を画素の空間的配置と一致する順序で読み出すことができるため、外部のデジタル信号処理回路でデータの並べ替えを行う必要がなく、画像処理を効率的に行うことができる。したがって、本実施形態に係る固体撮像装置1480を搭載することにより、高速な処理が可能な撮像システム1400を実現することができる。

【符号の説明】

【0130】

1：画素部
 200、600、1200：画素ユニット
 201、202、801～803、1201、1202：垂直出力線
 208：書き込みメモリ選択手段
 209：メモリ
 210：読み出しメモリ選択手段
 301、302、411～462、611～624、811～832、1001～1004、1211～1241：光電変換素子

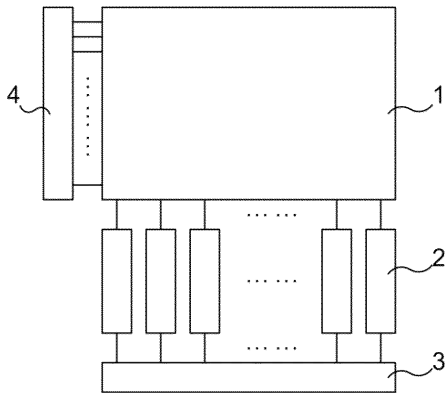
10

20

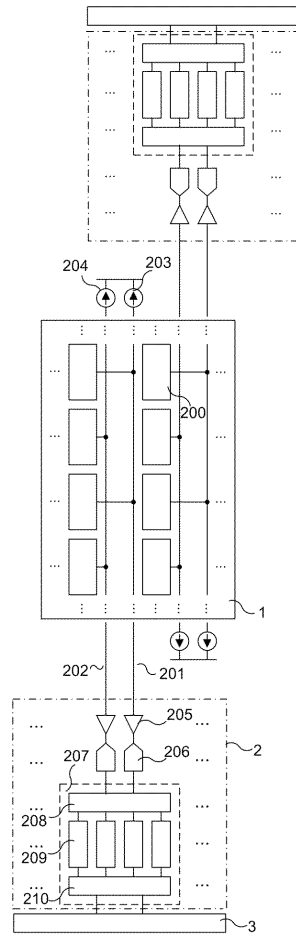
30

40

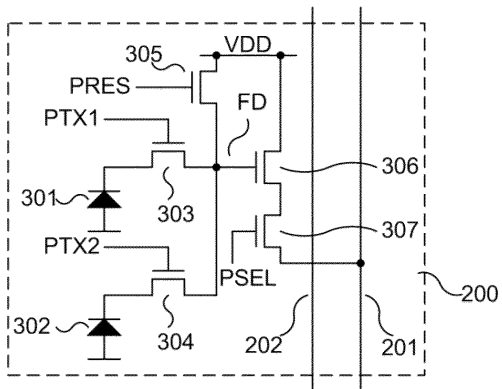
【図1】



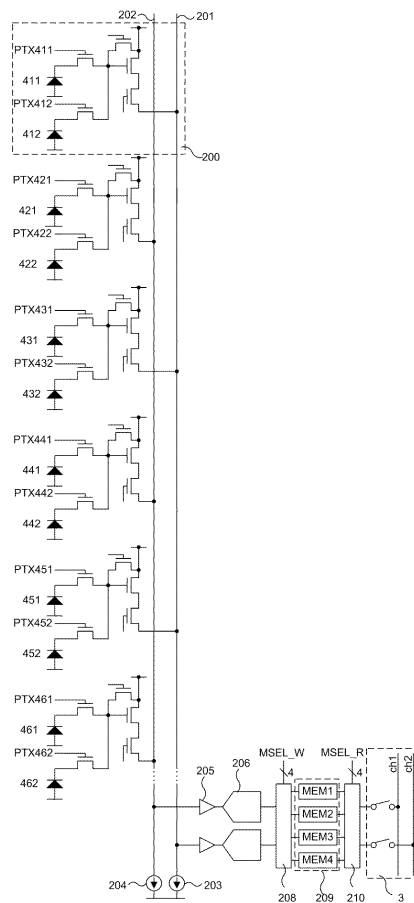
【図2】



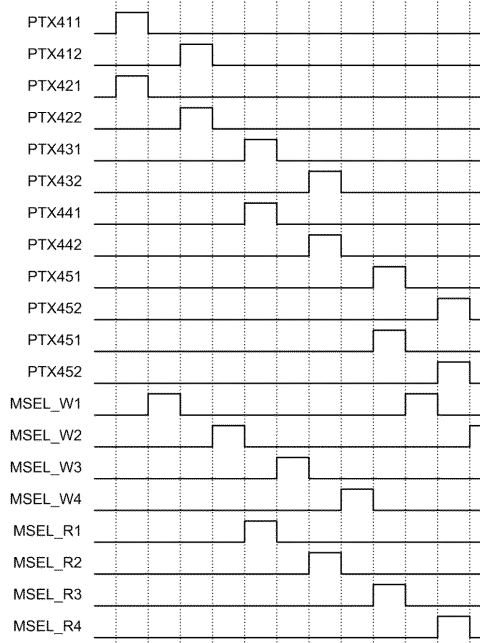
【図3】



【図4】

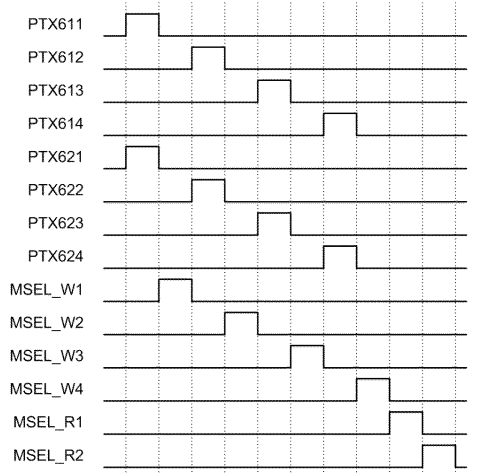


【図5】



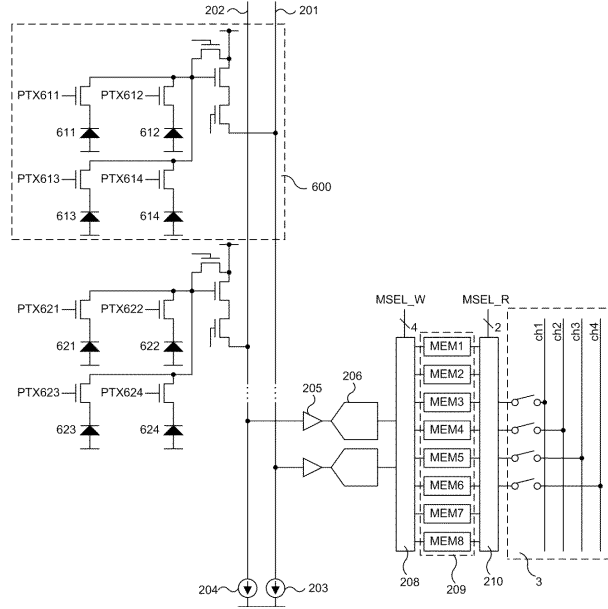
MEM1	511	531	551	
MEM2	512	541		...
MEM3	521	532	561	
MEM4	522	542		...
水平ch1	511	521	531	541
走査ch2	512	522	532	542

【図7】

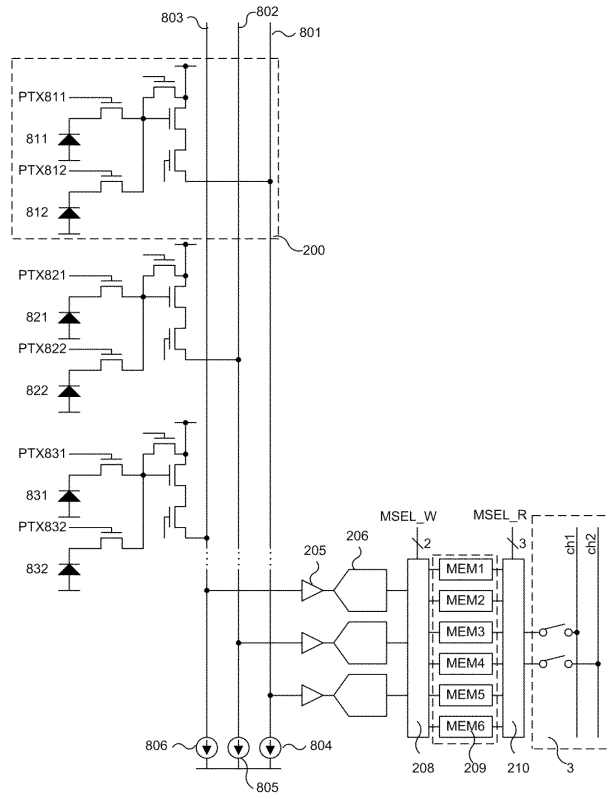


MEM1	711		
MEM2	712		
MEM3	713		
MEM4	714		
MEM5	721		
MEM6	722		
MEM7	723		
MEM8	724		
ch1	711	721	...
水平ch2	712	722	...
走査ch3	713	723	...
ch4	714	724	...

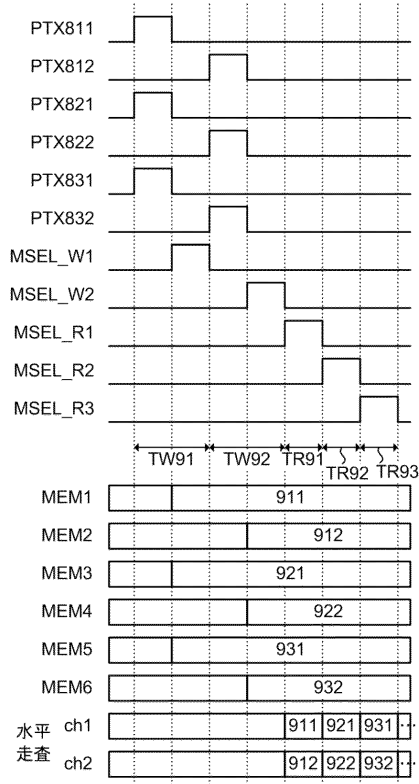
【図6】



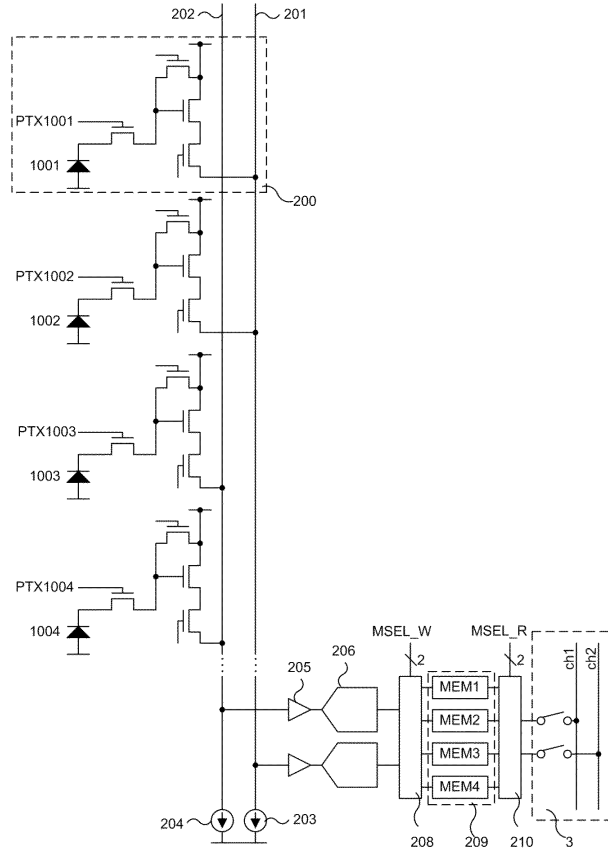
【図8】



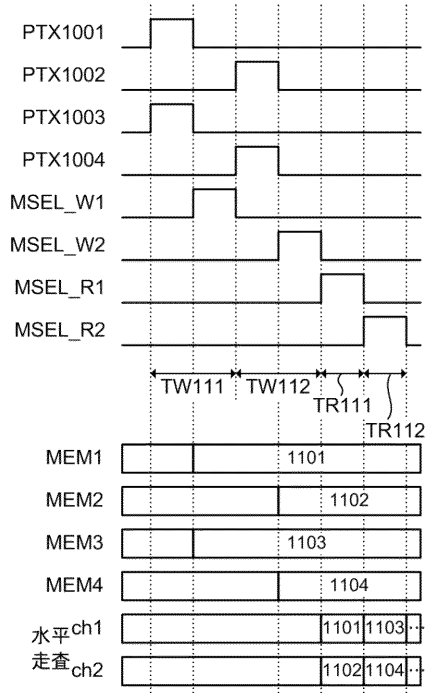
【 図 9 】



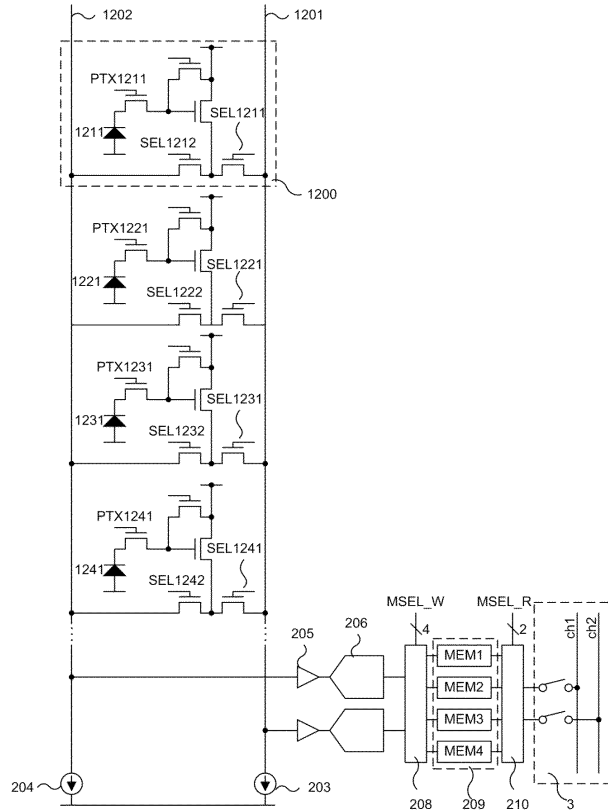
【 図 10 】



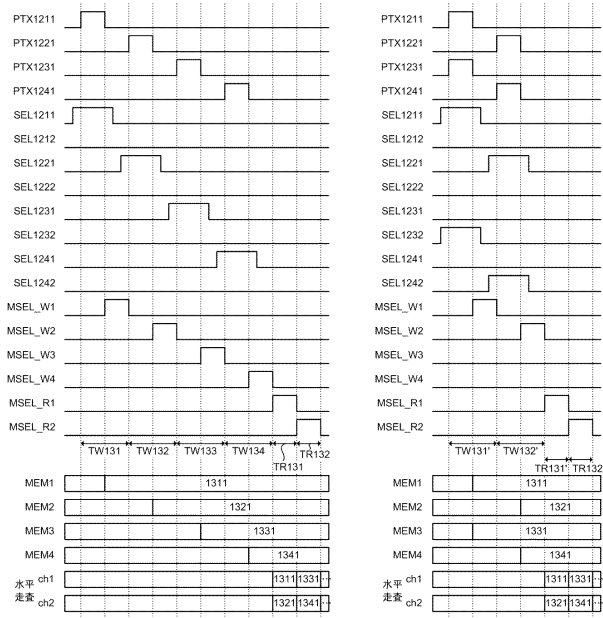
【 図 11 】



【 図 12 】

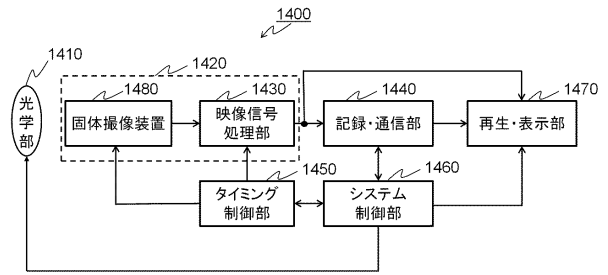


【図13】



(a)

【図14】



(b)

フロントページの続き

- (74)代理人 100134393
弁理士 木村 克彦
- (74)代理人 100174230
弁理士 田中 尚文
- (72)発明者 前橋 雄
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 亀山 弘明
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 小林 秀央
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 山崎 和男
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 粕谷 満成

- (56)参考文献 特開2011-130032(JP,A)
特開2013-62714(JP,A)
特開2004-180045(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H04N 5/378