

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. <i>H01C 1/02</i> (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년08월18일 10-0612773 2006년08월08일	
(21) 출원번호 (22) 출원일자	10-1999-0031023 1999년07월29일	(65) 공개번호 (43) 공개일자	10-2000-0016980 2000년03월25일
(30) 우선권주장	09/132081	1998년08월10일	미국(US)
(73) 특허권자	시티에스 코포레이션 미국, 인디애나 46514, 엘크하트, 웨스트 블러바드 노스 905		
(72) 발명자	블룸, 테리알. 미국, 인디애나 46540, 미들베리, 스테이트루트 #12013187, 루얼루트 3 쿠퍼, 리차드오. 미국, 인디애나 46714, 블러프톤, 노스우드드라이브 210 풀, 데이비드엘. 미국, 인디애나 47371, 포틀랜드, 에스.브룩뷰드라이브 2321		
(74) 대리인	박경재		

심사관 : 송현채

(54) 저 누화 볼 그리드 어레이 저항망

요약

종단 능동 전자 디바이스용 저항망은 인접 저항들과 이 인접 저항들을 다른 전자 패키지들에 연결하는 도전체들 사이의 저 누화 잡음을 가진다. 기판은 상단부 및 하단부 표면을 가진다. 저항들은 상단부 표면상에 위치된다. 도전체들은 상단부 표면상에 또한 위치되고 저항들의 각각의 단부에 전기적으로 연결된다. 비어(via)들은 기판을 통해 연장되어 도전체들에 전기적으로 연결된다. 구형 납땜들은 하단부 표면상에 위치되어 비어들에 전기적으로 연결된다. 각각의 저항들의 단부는 공통 도전체를 통해 공통으로 전기적으로 연결된다. 공통 연결된 저항들은 공통 도전체를 통해 공통 비어에 전기적으로 연결된다. 저항망은 저항들 사이의 누화 잡음을 최소화하고 고밀도 상호 접촉부를 제공한다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 일부의 보호층이 제거된 저 누화 볼 그리드 어레이 저항망의 부분 평면도.

도 2는 도 1의 2-2선을 따라 도시된 단면도.

도 3은 도 1의 3-3선을 따라 도시된 부분단면 사시도.

도 4는 도 1의 저항망의 전기 개략도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 전자공학용 저항들에 관한 것이다. 상세하게는, 본 발명은 구형 납땜 결합을 사용하여 저 잡음특성을 가지는 고 밀도 망 또는 어레이 패키지(array package)에 장착된 임피던스 정합 또는 종단 저항들의 그룹에 관한 것이다.

저항망은 통상적으로 인쇄 회로 기판(PCB)인 전송 구조체를 통한 불필요한 역반사를 최소화하기 위해 고속 디지털 신호 라인을 종단하는데 통상적으로 사용된다. 대부분의 적용시에, 종단은 전송 라인의 단부에 전송라인의 임피던스와 정합하는 저항값으로 저항을 설치하여 제작된다. 저항의 한 단부는 공통 종단 전압에 연결되고 나머지 단부는 신호 라인에 연결된다. 이들 적용을 위해, 버스 저항망이 편리한 해결책이 되는데, 이는 종단의 한 단부가 모든 신호 라인들에 공통이기 때문이다.

표면 마운트(SM), 싱글 인라인 패키지(SIP) 및 2중 인라인 패키지(DIP) 버전을 포함하는 선행 저항망 설계는 공통점에 연결되기 이전에 망 상부의 어느 정도 간격의 길이를 이어주는 개개의 도전체 라인을 가지는 저항들 및 도전체 배열들을 가졌다. 이는 모든 외부 저항망 연결부들이 디바이스의 주변에 제작되고 도전체가 디바이스의 주변으로부터 개개의 저항들로 이어져야만 하기 때문에 필요하다. 긴 라인 길이는 각각의 저항/도전체 쌍이 인접 저항/도전체 쌍들 사이에서 보다 큰 상호 인덕턴스를 가지는 원인이 되어, 저항망이 전자 디바이스의 트랜지스터들을 동시에 스위칭하기 위해 종단 또는 임피던스 정합 저항으로서의 통상적인 사용에 채용될 경우, 저항/도전체 쌍들 사이에 결합되는 큰 누화 잡음을 유발한다. 반도체 디바이스들의 트랜지스터 밀도 및 속도가 증가됨에 따라, 왜곡 신호를 초래하는 누화 잡음의 문제가 전자 패키지의 모든 영역들에서 보다 큰 문제가 되고 전자 패키징 설계시 반드시 고려되어야 한다. 더욱이, 고주파수들에서, 공통 종단 라인들의 고 인덕턴스는 전송 라인의 단부에 고임피던스가 발생하는 원인이 될 수 있다.

각 유형의 선행 기술 저항망의 장점에도 불구하고, 어느것도 인쇄 회로 기판상의 단위 면적당 고밀도의 상호 접촉부들로 용이하고 경제적으로 제조될 수 없었다. 특히, 디바이스 내부의 면적이 전기적 상호 연결을 위해 사용되지 않는데 반해, 전기적 연결부들을 저항망의 주변상에만 제공하는 것은 전기 리드(electrical lead)들이 디바이스의 에지상에서 밀접하게 이격되는 원인이 된다.

그러므로, 현재 부적절하며 지금까지는 고밀도, 저 누화 잡음 및 개선된 신호보전을 갖는 저항망에 대한 필요성을 오래동안 느꼈다.

본 발명에 관한 특허의 실예들은 아래와 같으며, 각 특허는 설명을 보조하기 위해 참고로 본문에 인용된다:

미국 특허 제 4,945,399호는 집적 분포 감결합 캐패시터(integrated distributed decoupling capacitor)들을 가지는 전자 패키지에 관한 것이다.

미국 특허 제 5,557,502호는 볼 그리드 어레이 패키지에 관한 것이다.

미국 특허 제 4,300,115호는 다층 비어 저항(multilayer via resistor)에 관한 것이다.

미국 특허 제 4,658,234호는 저항망에 관한 것이다.

미국 특허 제 5,621,619호는 스페이서들 및 납땜 장벽들을 가지는 모든 세라믹 표면 마운트(SM), SIP 및 DIP 망에 관한 것이다.

미국 특허 제 5,379,190호는 칩형 복합 전자 부품 및 제조 방법에 관한 것이다.

미국 특허 제 4,332,341호는 고체상 납땜 결합을 사용하는 회로 패키지들의 제조에 관한 것이다.

미국 특허 제 5,539,186호는 온도 제어 다행 모듈에 관한 것이다.

미국 특허 제 5,216,404호는 SIC 박막 서미스터에 관한 것이다.

미국 특허 제 4,654,628호는 망저항 유니트에 관한 것이다.

미국 특허 제 5,661,450호는 저 인더턴스 종단 저항 어레이에 관한 것이다.

상기 특허들은 출원인이 알고 있는 기술의 상태를 반영하며 본 출원 심사에 관련될 수 있는 정보개시시에 출원인의 정직하고지의무를 수행하는 관점으로 제공된다. 그러나 이 특허들 중 어느 것도 출원인의 청구된 발명을 명백히, 단독으로 또는 조합되어 고려될 때, 제시하거나 제공하지 못함을 삼가 명기합니다.

발명이 이루고자 하는 기술적 과제

바람직한 실시예의 요약

본 발명의 특징은 저항망에, 인접 저항들과 이 인접저항들을 다른 전자 패키지들에 연결하는 도전체들 사이에 저 누화 잡음을 가지는 종단 능동 전자 디바이스들을 제공하는 것이다. 상세하게는, 여기에 누화 잡음을 최소화하기 위한 구성으로 배치된 기판, 다수의 저항들, 도전체들 및 비어(via)들이 존재한다. 구형 납땜(solder sphere)은 저항들을 인쇄 회로 기판과 같은 다른 전자 회로에 연결하는데 사용된다.

본 발명의 특징은 저 누화 저항망을 제공하는 것이다. 저항망은 상단부 및 하단부 표면을 가지는 기판을 포함한다. 몇 개의 저항들은 상단부 표면상에 배치된다. 몇 개의 도전체들은 상단부 표면상에 배치되어 저항들의 각각의 단부에 전기적으로 연결된다. 몇 개의 비어들은 기판을 통해 연장되어 도전체들에 전기적으로 연결된다. 몇 개의 구형 납땜들은 하단부 표면상에 배치되어 비어들에 전기적으로 연결된다. 각각의 저항들의 단부가 공통 도전체를 통해 공통으로 전기적으로 연결된다. 공통 연결된 저항들은 공통 도전체를 통해 공통 비어에 전기적으로 연결된다. 비어는 구형 납땜에 전기적으로 연결된다.

본 발명의 특징은 저항들 사이의 누화 잡음을 최소화하는 것이다.

본 발명의 특징은 도전체들 및 저항들 상부에 배치된 보호층(cover coat)을 제공하는 것이다.

본 발명의 특징은 공통 도전체의 인더턴스를 최소화하는 성형(star shape)을 공통 도전체에 제공하는 것이다.

본 발명의 특징은 성형의 중심 근처에 위치된 공통 비어를 제공하는 것이다.

본 발명은 이 특징들 중 어느 하나 그 자체로 존재하는 것이 아니라, 본문에 기술되고 청구된 모든 특징들의 특정 조합으로 존재하며, 본 발명은 특정 기능을 위한 모든 구조들의 조합 때문에 선행기술과 식별된다.

아래의 상세한 설명이 더 잘 이해될 수 있고 기술분야에 대한 본 발명의 공헌을 더 잘 평가할 수 있도록 본 발명의 보다 중요한 특징들이 다소 광범위하게 개요가 잡혔다. 물론, 본문 이하에 기술될 본 발명의 부가적인 특징들이 있으며, 이는 첨부된 청구항들의 주요 문제를 형성할 것이다. 당업자들은 바람직한 실시예가 본 발명의 여러 목적을 이행하는 다른 구조들, 방법들 및 시스템들의 설계를 위해 기초로 용이하게 사용될 수 있음을 이해할 것이다. 등가의 구성들이 본 발명의 사상 및 범위로부터 벗어나지 않기 때문에 본 발명의 청구항들이 이런 등가의 구성들을 포함하는 것으로 간주되는 것은 중요하다.

발명의 구성 및 작용

본 발명의 도면은 축척으로 된 것이 아님이 주목된다. 도면들은 단지 개략적인 대표도이지, 본 발명의 특정 파라미터들을 도시하도록 의도된 것은 아니다. 도면들은 본 발명의 통상적인 실시예들만을 도시하도록 의도되며, 이 때문에 본 발명의 범위를 제한하는 것으로 고려되지 말아야 한다. 본 발명은 첨부된 도면들을 통해 부가적으로 상세히 그리고 세부적으로 기술될 것이다. 본 발명의 설명은 실예로 위, 아래, 상단부, 하단부, 오른쪽 또는 왼쪽과 같은 설명하는 용어들을 포함할 수 있다. 이 용어들은 본 발명 분야의 일반적 방침을 제공하도록 의도되지만 본 발명의 범위에 대해 제한적이도록 의도되지 않는다.

바람직한 실시예의 상세한 설명

도 1 및 도 2를 참고하면, 여기에 저 누화 잡음 저항망 조립체(10)가 도시된다. 상세하게는, 저항망 조립체(10)가 상단부 표면(12) 및 하단부 표면(13)을 가지는 평면기판(11)을 가진다. 평면기판(11)은 바람직하게 알루미나 산화물과 같은 세라믹 물질로 제작된다. 저항(14)들은 통상적인 후막 저항 공정 기술에 의해 상단부 표면(12)상에 배치되어 정돈된다. 저항(14)들은 제 1 단부(15) 및 제 2 단부(17)를 가진다. 통상적인 후막 도전체 공정 기술에 의해 상단부 도전체(16)들은 상단부 표면(12)상에 배치되고, 하단부 도전체(21)들은 하단부 표면(13)상에 배치된다. 도전체(16)들은 저항(14)들의 제 1 단부(15)에 전기적으로 연결된다. 도전체(16)들 및 저항(14)들은 공정 동안 전기 기계적 결합을 형성하도록 약간 겹쳐져 소결된다.

상단부 공통 도전체(20)는 상단부 표면(12)상에 위치되어 제 2 저항 단부 (17)에 전기적으로 연결된다. 하단부 도전체(23)는 하단부 표면(13)상에 위치된다. 세라믹 기판(11)은 이 기판에 형성된 원통 비어(18)들을 가지며 이 비어들은 세라믹 기판(11)을 통해 연장되고 도전 비어 필(conductive via fill)(19)로 채워진다. 마찬가지로, 공통 원통 비어(22)는 세라믹 기판(11)을 통해 연장되며 공통 도전 비어 필(24)로 채워진다. 비어 필 물질은 비어들 속으로 스크린되어 구워지는 통상적인 후막 도전체이다. 비어 필(19)은 상단부 및 하단부 도전체(16,21)들을 전기적으로 연결한다. 공통 비어 필(24)은 상단부 및 하단부 공통 도전체(20,23)들을 전기적으로 연결한다. 구형 납땜(28)들은 기계적으로 그리고 전기적으로 하단부 도전체(21,23)들에 부착된다. 구형 납땜(28)들은 10% 주석, 90% 납으로 이루어지며 알파 메탈스 코포레이션(alpha metals corporation)으로부터 상업용으로 입수 가능하다. 구형 납땜(28)들은 역류된 납땜 페이스트 (reflowed solder paste)(29)에 의해 도전체(21,23)들에 부착된다. 역류된 납땜 페이스트는 저 용융점을 가지는 63% 납과 37% 주석으로 이루어진다. 종단 전압은 구형 납땜(28)을 통해 공통 비어(22)에 인가되는데, 여기서 구형 납땜(28)이 인쇄 회로 기판과 같은 외부 전기 회로에 연결된다. 보호층(26)이 저항들, 도전체들 및 공통 도전체 상부에 위치되어 저항망을 오염 및 마멸로부터 보호한다.

상단부 공통 도전체(20)는 성형(星形)을 가지며 공통 비어(22)는 일반적으로 성형의 중심 근처에 위치된다. 상단부 공통 도전체(23) 성형은 비어(22)를 통해 구형 납땜(28)에 연결되는 짧은 공통 연결부를 종단 전압에 제공하며 저항/도전체 쌍들 사이의 누화 잡음을 최소화 시키는 공통 도전체(23)의 인덕턴스를 최소화 시킨다.

도 3은 도 1의 3-3선을 따라 보호층이 제거된 일부 단면 사시도를 도시한다.

도 4는 저항망 조립체(10)의 전기 개략도를 도시한다. 저항(14)들은 단자(30)를 통해 종단되도록 요구되는 개개의 신호 라인들에 연결된다. 공통 단자(32)는 + V 크기의 종단 전압에 연결된다. 저항(14)은 종단되는 신호 라인의 임피던스 값과 정합하도록 선택된다.

저항망 조립체(10)는 아래의 공정 순서로 조립된다:

1. 비어 필(19,24)을 평평한 기판(11)의 비어(18,22)들 속으로 스크린하는 공정.
2. 오븐에 굽는 공정.
3. 도전체(16,20)들을 상단부 표면(12)상에 스크린하는 공정.
4. 오븐에 굽는 공정.
5. 도전체(21,23)들을 하단부 표면(13)상에 스크린하는 공정.
6. 오븐에 굽는 공정.

7. 저항(14)들을 상단부 표면(12)상에 스크린하는 공정.
8. 오븐에 굽는 공정.
9. 적절한 저항값으로 저항(14)들을 레이저 트림(trim)하는 공정.
10. 보호층(26)을 스크린 및 가공하는 공정.
11. 도전체(21,23)들 상에 납땜 페이스트(29)를 스크린하는 공정.
12. 도전체(21,23)들 상에 구형 납땜(28)을 위치시키는 공정.
13. 구형 납땜(28)들을 도전체(21,23)에 결합하기 위해 납땜 페이스트(29)를 역류시키는 공정.
14. 저항망 조립체(10)를 테스트하는 공정.

바람직한 실시예의 변형

저항을 제작하는 기술분야의 당업자는 바람직한 실시예를 달성하는 많은 다른 방법들이 존재한다는 것을 이해할 것이다. 실예로, 세라믹으로 기판(14)을 제작하도록 설계될지라도, 폴리아미드 또는 FR4 같은 기타 적절한 물질들도 작용할 것이다. 이 물질들은 다른 저항 시스템을 필요로 할 것이다. 부가로, 8개의 저항(14)으로 이루어진 한 그룹만이 기판(11)상에 도시됐지만, 보다 많은 또는 보다 적은 저항(14)들이 공통 비어(22)에 연결될 수 있다. 한 그룹 이상의 저항망(10)이 한기판(11) 상에 위치될 수 있다.

부가로, 도전체 충전 비어들외의 다른 기판을 통한 다른 전기 연결부들을 가지는 것이 가능하다. 비어 필(19,24)의 대용으로 구리봉(staked copper) 또는 금속 핀(metal pin)들을 사용하는 것이 가능하다.

비록 성형(星形)을 가지는 공통 도전체(20)가 본 명세서에 도시 됐지만, 2부터 100 까지의 지점들을 가지는 별과 같은 기타 형태들도 예상된다. 본 명세서에는 성형의 중심 근처에 위치된 공통 비어(22)를 도시했다. 공통 비어(22)를 공통 도전체(20)의 에지(edge) 근처에 또는 성형 지점을 중 어느 한 지점 상과 같은 상이한 위치들에 위치시키는 것이 예상된다.

본 명세서에는 보호층(26)을 가지는 저항망 조립체(10)를 도시했다. 그러나 보호층을 생략하는 것도 예상된다.

바람직한 실시예의 다른 변형은 구형 납땜(28)들 대신에 다른 형태의 납땜 형성품들을 사용하는 것이다. 실예로, 납땜 고리(solder donut) 또는 와이어 또는 사각형들이 사용될 수 있다. 부가로, 납땜은 10/90 주석/납 이외의 물질들로 만들어질 수 있다. 실예로, 보다 저 용융 납땜이 요구되는 경우 주석/인듐 또는 주석/비스무트의 혼합물이 사용될 수 있다. 보다 고온 납땜이 요구되는 경우 주석/은 또는 주석/안티몬 혼합물이 사용될 수 있다.

부가로, 공정 순서 단계들은 동일 최종 결과를 발생하기 위해 명세서에 도시된 공정 순서 단계들로부터 수정될 수 있다. 실예로, 저항(14)들이 도전체(16,20)들 이전에 위치될 수 있거나 또는 하단부 도전체(21,23)들의 스크리닝이 생략될 수 있어 구형 납땜(28)이 비어 필 물질(19,24)들에 직접 역류 납땜 된다.

발명의 효과

본 발명이 이 특정 실시예들을 참고로 하여 설명했지만, 이 분야에 숙련된 사람들은 본 발명의 사상 및 범위를 벗어나지 않고 형태가 변화될 수 있음을 이해할 것이다. 설명한 실시예들은 모든 항목들이 제한적이지 않고 예시적으로만 고려된 것이다. 그러므로 본 발명의 범위는 상술한 설명들에 의해서라기보다 첨부된 청구항들에 의해 나타난다. 청구항들의 목적 및 등가의 범위 내에서 이루어지는 모든 변형들은 청구항들의 범위내에 포함될 것이다.

(57) 청구의 범위

청구항 1.

- a) 제1표면 및 제2표면을 가진 기판;
 - b) 각 저항이 제1단부 및 제2단부를 가지는, 제1표면상에 위치된 저항들의 그룹;
 - c) 기판을 통해 연장되며 각 저항의 제1단부에 연결된 공통 비어로서, 저항들이 공통 비어 둘레로 위치된 공통 비어;
 - d) 기판을 통해 연장되며 각 저항의 제2단부에 연결된 다수의 입력 비어들;
 - e) 공통 비어와 각 저항의 제1단부 사이에 연결된 공통 도전체; 및
 - f) 하나 이상의 구형 납땜이 공통 비어에 연결되고 하나 이상의 구형 납땜이 입력 비어들에 연결되는, 제2표면상에 위치된 다수의 구형 납땜들;
- 을 포함하는 저항망.

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

삭제

청구항 6.

제1항에 있어서, 제1표면 위로 보호층이 배치되는 저항망.

청구항 7.

제1항에 있어서, 공통 도전체가 별 모양인 저항망.

청구항 8.

삭제

청구항 9.

삭제

청구항 10.

- a) 제1표면 및 제2표면을 가진 기판;
- b) 제1표면과 제2표면 사이에 연장되는 하나 이상의 공통 비어;

- c) 제1표면과 제2표면 사이에 연장되는 다수의 입력 비어들;
 - d) 제1표면상에 위치되며 공통 비어에 연결된 하나 이상의 공통 도전체;
 - e) 각 저항이 공통 비어에 연결된 제1단부 및 입력 비어들에 연결된 제2단부를 가지는, 제1표면상에 위치되며 공통 비어 둘레로 위치된 저항들의 세트; 및
 - f) 각 구형 맵납이 공통 비어 또는 입력 비어에 연결된, 제2표면상에 위치된 다수의 구형 맵납들;
- 을 포함하는 저항망.

청구항 11.

삭제

청구항 12.

제10항에 있어서, 저항들, 공통 도전체, 입력 비어들 및 공통 비어 위로 보호층이 배치되는 저항망.

청구항 13.

제10항에 있어서, 공통 도전체가 별 모양인 저항망.

청구항 14.

삭제

청구항 15.

삭제

청구항 16.

삭제

청구항 17.

삭제

청구항 18.

삭제

청구항 19.

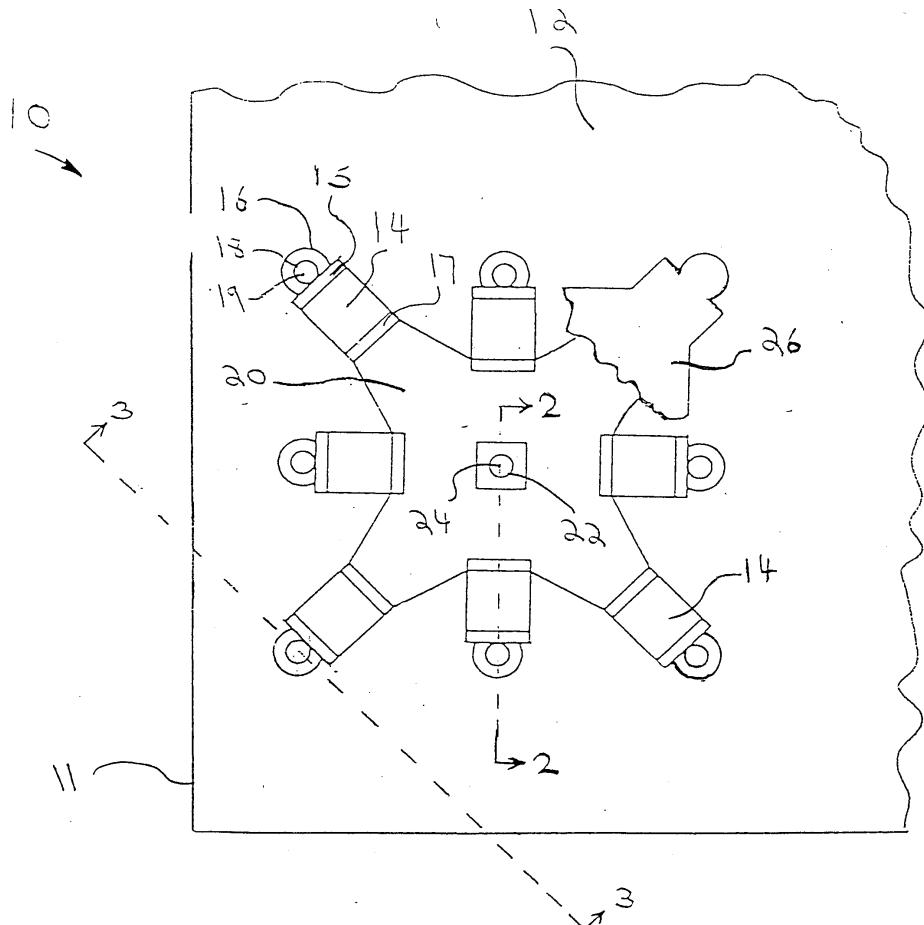
삭제

청구항 20.

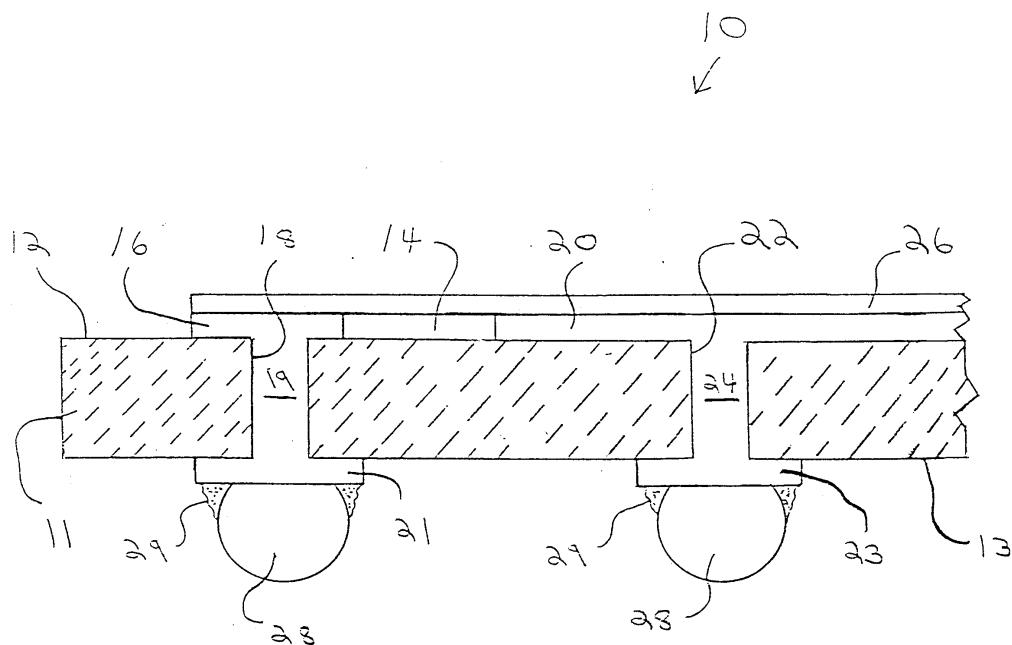
삭제

도면

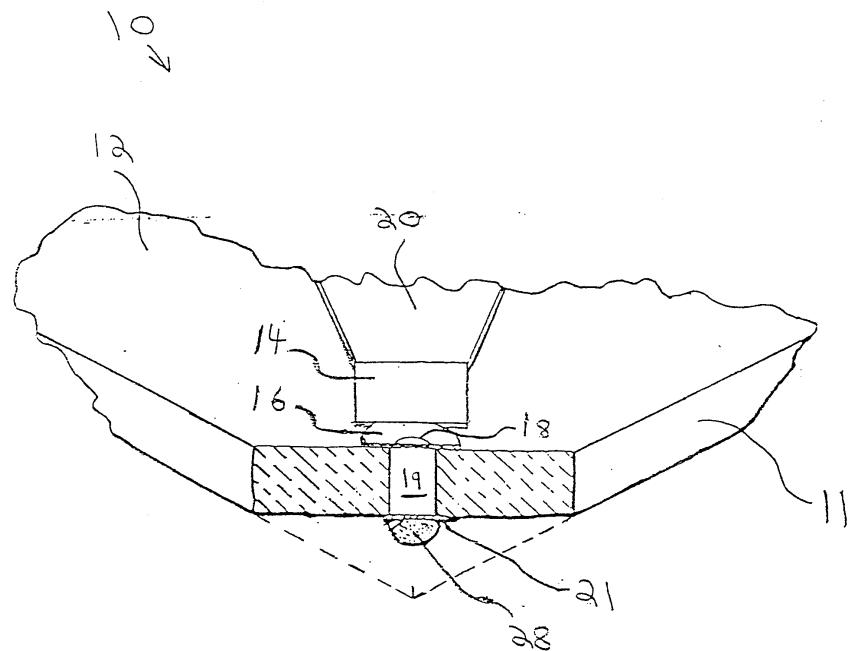
도면1



도면2



도면3



도면4

