(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0133281
(43) 공개일자 2012년12월10일

(51) 국제특허분류(Int. Cl.)
H03L 7/085 (2006.01) *H03D 13/00* (2006.01)
(21) 출원번호 10-2011-0051875
(22) 출원일자 2011년05월31일
심사청구일자 2011년05월31일

(71) 출원인
고려대학교 산학협력단
서울 성북구 안암동5가 1
(72) 발명자
곽영호
서울특별시 광진구 능동로48길 18-1 (중곡동)
김철우
서울특별시 성북구 길음로 16, 605동 1301호 (길음동, 길음뉴타운)
(74) 대리인
특허법인엠에이피에스

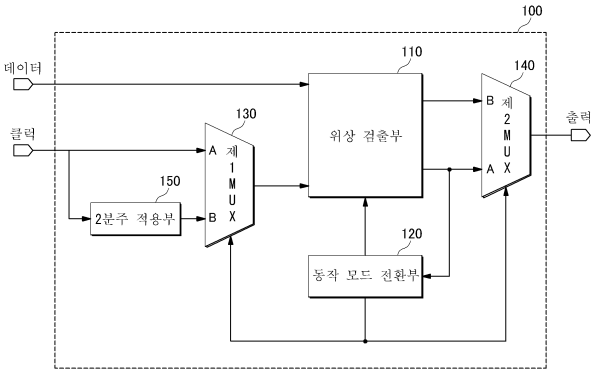
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 **혼합형 위상 검출기 및 그 방법**

(57) 요 약

본 발명은 혼합형 위상 검출기 및 그 방법에 관한 것으로, 혼합형 위상 검출기는 바이너리 위상 검출 방식 및 선형 위상 검출 방식에 기초하여 데이터 및 클럭 사이의 위상 차이를 검출하는 위상 검출부 및 상기 위상 검출부에 의해 검출된 위상 차이에 기초하여 동작 모드 신호를 생성하는 동작 모드 전환부를 포함하고, 상기 위상 검출부는 바이너리 위상 검출 방식 및 선형 위상 검출 방식 중 상기 동작 모드 신호에 대응하는 방식으로 상기 위상 차이를 검출할 수 있다.

대 표 도 - 도1



특허청구의 범위

청구항 1

혼합형 위상 검출기에 있어서,

바이너리 위상 검출 방식 및 선형 위상 검출 방식에 기초하여 데이터 및 클럭 사이의 위상 차이를 검출하는 위상 검출부 및

상기 위상 검출부에 의해 검출된 위상 차이에 기초하여 동작 모드 신호를 생성하는 동작 모드 전환부

를 포함하고,

상기 위상 검출부는 바이너리 위상 검출 방식 및 선형 위상 검출 방식 중 상기 동작 모드 신호에 대응하는 방식으로 상기 위상 차이를 검출하는 것인 혼합형 위상 검출기.

청구항 2

제 1 항에 있어서,

상기 위상 검출부에 의해 상기 데이터 및 상기 클럭 사이의 위상 차이가 미리 설정된 값을 초과하는 것으로 판단되면, 상기 동작 모드 전환부는 바이너리 위상 검출 동작 모드를 선택하는 제 1 동작 모드 신호를 생성하고,

상기 위상 검출부는 상기 제 1 동작 모드 신호에 기초하여 바이너리 위상 검출 방식으로 상기 위상 차이를 검출하는 것인 혼합형 위상 검출기.

청구항 3

제 1 항에 있어서,

상기 위상 검출부에 의해 상기 데이터 및 상기 클럭 사이의 위상 차이가 미리 설정된 값 이하인 것으로 판단되면, 상기 동작 모드 전환부는 선형 위상 검출 동작 모드를 선택하는 제 2 동작 모드 전환 신호를 생성하고,

상기 위상 검출부는 상기 제 2 동작 모드 신호에 기초하여 선형 위상 검출 방식으로 상기 위상 차이를 검출하는 것인 혼합형 위상 검출기.

청구항 4

제3 항에 있어서,

상기 제 2 동작 모드 전환 신호에 기초하여 상기 위상 검출부에 의해 상기 클럭에 대해 분주(demultiply)를 수행하는 분주 적용부

를 더 포함하는 것인 혼합형 위상 검출기.

청구항 5

제 1 항에 있어서,

상기 위상 검출부는 풀-레이트(full-rate) 바이너리 위상 검출기 및 하프-레이트(half-rate) 선형 위상 검출기를 포함하는 것인 혼합형 위상 검출기.

청구항 6

혼합형 위상 검출 방법에 있어서,

(a) 데이터 및 클럭을 수신하는 단계,

(b) 상기 데이터 및 상기 클럭의 위상의 차이를 산출하는 단계 및

(c) 상기 위상의 차이에 기초하여 바이너리 위상 검출 동작 방식 및 선형 위상 검출 동작 방식 중 하나의 방식을 선택하는 단계

를 포함하는 혼합형 위상 검출 방법.

청구항 7

제 6 항에 있어서,

상기 (c) 단계는,

(c1) 상기 위상의 차이가 미리 설정된 임계 값을 초과하는 경우, 바이너리 위상 검출 동작 방식을 선택하는 단계

를 포함하는 것인 혼합형 위상 검출 방법.

청구항 8

제 6 항에 있어서,

상기 (c) 단계는,

(c2) 상기 위상의 차이가 미리 설정된 임계 값 미만인 경우, 선형 위상 검출 동작 방식을 선택하는 단계

를 포함하는 것인 혼합형 위상 검출 방법.

청구항 9

제 8 항에 있어서,

상기 (c) 단계는,

(c3) 상기 클럭에 분주(demultiply)를 수행하는 단계

를 더 포함하는 것인 혼합형 위상 검출 방법.

명 세 서

기 술 분 야

[0001] 본 발명은 혼합형 위상 검출기 및 그 방법에 관한 것으로, 보다 상세하게는, 바이너리 위상 검출 방식과 선형 위상 검출 방식을 이용하는 혼합형 위상 검출기 및 그 방법에 관한 것이다.

배 경 기 술

[0002] 고속 데이터 송수신 분야에서, 데이터 수신기(Receiver)는 고속의 데이터를 바르게 수신하는 역할을 한다. 전달된 데이터는 수신기에서 클럭을 이용하여 읽어들이게 되는데, 이 때, 데이터와 클럭간의 위상 차이를 조절하는 것이 수신기의 큰 역할 중에 하나이다.

[0003] 위상 검출기는 수신기의 클럭 및 데이터 복원 회로 (Clock and data recovery, CDR)에 이용되는 회로로, 수신되는 데이터와 수신기의 클럭간의 위상 차이를 검출한다.

[0004] 수신기의 클럭 엣지(edge)가 데이터 1UI의 정중앙에 위치하여야 수신기가 오류 없이 데이터 값을 읽을 수 있다. 이를 위해서 수신기의 클럭 및 데이터 복원 회로는 데이터와 클럭 엣지 사이의 위상을 조절하며, 이처럼 데이터와 클럭 사이의 위상을 판별하는 회로가 위상 검출기(Phase detector)이다.

[0005] 클럭과 데이터 간의 위상 차이의 판별은 위상 검출기의 동작 성능에 따라서 결정되며, 주변부 회로의 동작에 의해서 클럭과 데이터간의 위상 차이가 조절될 수 있다.

[0006] 이러한 위상 검출기는 크게 선형 위상 검출기와 바이너리 위상 검출기의 두 종류로 구분될 수 있다. 선형 위상 검출기는 데이터와 클럭간의 위상 차이를 검출하여, 두 위상차에 비례하는 신호를 생성한다.

[0007] 이에 반해, 바이너리 위상 검출기는 데이터와 클럭 간의 위상차이를 검출하여, 두 위상차에 비례하는 신호가 아닌, 단순히 클럭이 데이터 위상에 비해서 빠른지 느린지만을 판별하는 신호를 생성한다.

[0008] 이러한 특성으로 인하여, 선형 위상 검출기는 클럭 및 데이터 복원 회로에서 바이너리 위상 검출기에 비해서 여러 가지 장점을 갖게 되지만, 바이너리 위상 검출기에 비해서 고속으로 동작하기 힘들다는 단점을 갖고 있다.

[0009] 또한, 위상 검출기는 데이터와 같은 속력을 갖는 클럭을 이용하는 풀-레이트(full-rate) 위상 검출기와 회로의 고속 동작 문제를 해결하기 위해서 데이터에 비해서 1/2 속력을 갖는 클럭을 이용하는 하프-레이트(half-rate)위상 검출기로 구분될 수 있다.

[0010] 선형 위상 검출기와 바이너리 위상 검출기들은 각각 풀-레이트(full-rate) 클럭과 하프-레이트(half-rate) 클럭을 이용하여 각각 설계된 여러 가지 방식들이 있다.

발명의 내용

해결하려는 과제

[0011] 본 발명은 데이터와 클럭의 위상 차이에 따라 고속으로 동작하는 바이너리 위상 검출기와 바이너리 위상 검출기에 비해 적은 지터(jitter)를 발생하는 선형 위상 검출기를 혼합하여 사용할 수 있는 혼합형 위상 검출기를 제공하고자 한다.

과제의 해결 수단

[0012] 상기와 같은 목적을 달성하기 위한 본 발명의 제 1 측면에 따른 혼합형 위상 검출기는 바이너리 위상 검출 방식 및 선형 위상 검출 방식에 기초하여 데이터 및 클럭 사이의 위상 차이를 검출하는 위상 검출부 및 상기 위상 검출부에 의해 검출된 위상 차이에 기초하여 동작 모드 신호를 생성하는 동작 모드 전환부를 포함하고, 상기 위상 검출부는 바이너리 위상 검출 방식 및 선형 위상 검출 방식 중 상기 동작 모드 신호에 대응하는 방식으로 상기 위상 차이를 검출할 수 있다.

[0013] 또한, 본 발명의 제 2 측면에 따른 혼합형 위상 검출 방법은 (a) 데이터 및 클럭을 수신하는 단계, (b) 상기 데이터 및 상기 클럭의 위상의 차이를 산출하는 단계 및 (c) 상기 위상의 차이에 기초하여 바이너리 위상 검출 동작 방식 및 선형 위상 검출 동작 방식 중 하나의 방식을 선택하는 단계를 포함할 수 있다.

발명의 효과

[0014] 본 발명은 데이터와 위상의 차이가 큰 시스템 초기에는 고속으로 동작하는 바이너리 위상 검출 방식을 이용하여 데이터 및 클럭의 위상의 차이를 보다 빠르게 보정할 수 있고, 데이터와 클럭 사이에 위상의 차이가 일정 수준 이하인 경우 적은 지터를 발생시켜 복원된 데이터가 적은 지터 특성을 갖게하는 선형 위상 검출 방식을 이용하여 낮은 BER(bit error ratio)를 용이하게 확보할 수 있는 혼합형 위상 검출기를 제공할 수 있다.

도면의 간단한 설명

[0015] 도 1은 본 발명의 일 실시예에 따른 혼합형 위상 검출기의 구성을 도시한 도면이다.

도 2는 본 발명의 일 실시예에 따른 혼합형 위상 검출기의 구성을 도시한 도면이다.

도 3은 본 발명의 일 실시예에 따른 혼합형 위상 검출 방법의 흐름을 도시한 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0016] 아래에서는 첨부한 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예를 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

[0017] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0018] 도 1은 본 발명의 일 실시예에 따른 혼합형 위상 검출기의 구성을 도시한 도면이다.

[0019] 본 발명의 일 실시예에 따른 혼합형 위상 검출기(100)은 위상 검출부(110), 동작 모드 전환부(120), 제 1 멀티플렉서(130), 제 2 멀티플렉서(140), 2분주 적용부(150)를 포함한다. 본 발명의 일 실시예에 따른 혼합형 위상 검출기(100)는 외부로부터 입력 받은 데이터와 클럭 사이의 위상 차이 정보를 생성하여 제공할 수 있다.

[0020] 위상 검출부(110)는 바이너리 위상 검출 방식 또는 선형 위상 검출 방식을 이용하여 입력되는 데이터 및 클럭의 위상의 차이를 검출한다.

[0021] 즉, 위상 검출부(110)는 동작 모드 전환부(120)로부터 수신한 동작 모드 신호에 기초하여 바이너리 위상 검출 방식 또는 선형 위상 검출 방식을 선택하고 외부로부터 입력되는 데이터 및 제 1 멀티플렉서(130)로부터 입력되는 클럭의 위상의 차이를 검출할 수 있다.

[0022] 위상 검출부(110)는 검출한 위상의 차이의 값을 포함하는 위상 차이 신호를 생성하고, 생성한 위상 차이 신호를 제 2 멀티플렉서(140)를 통해 외부로 출력할 수 있다. 위상 차이 신호는 위상 검출부(110)의 위상 검출 방식에 매칭되는 정보를 포함할 수 있다.

[0023] 혼합형 위상 검출기(100)의 외부에서 위상 차이 신호를 수신한 위상 보정 모듈(도시 생략)은 위상 차이 신호를 이용하여 데이터와 클럭의 위상 차이를 보정할 수 있다.

[0024] 동작 모드 전환부(120)는 위상 검출부(110)로부터 위상 차이 신호를 수신하고, 수신한 위상 차이 신호에 기초하여 바이너리 위상 검출 동작 모드 또는 선형 위상 검출 동작 모드에 매칭되는 동작 모드 신호를 생성한다.

[0025] 즉, 동작 모드 전환부(120)는 위상 검출부(110)로부터 수신한 위상 차이 신호를 분석하여 데이터 및 클럭 사이의 위상의 차이가 미리 설정된 임계 값과 비교하고, 비교 결과에 따라 바이너리 위상 검출 동작 모드 또는 선형 위상 검출 동작 모드를 선택하여 이에 따른 동작 모드 신호를 생성할 수 있다.

[0026] 예를 들어, 데이터 및 클럭 사이의 위상의 차이가 미리 설정된 임계 값 미만인 경우, 동작 모드 전환부(120)는 바이너리 위상 검출 동작 모드를 선택하는 동작 모드 신호를 생성할 수 있다.

[0027] 또한, 데이터 및 클럭 사이의 위상의 차이가 미리 설정된 임계 값 이상인 경우, 동작 모드 전환부(120)는 선형 위상 검출 동작 모드를 선택하는 동작 모드 신호를 생성할 수 있다.

[0028] 동작 모드 전환부(120)는 디지털 방식의 주파수 검출기를 포함할 수 있으며, 생성한 동작 모드 신호를 위상 검출부(110), 제 1 멀티플렉서(130) 및 제 2 멀티플렉서(140)로 전송할 수 있다.

[0029] 제 1 멀티플렉서(130)는 A단 또는 B단으로 입력된 클럭 신호를 위상 검출부(110)로 전송한다.

[0030] 즉, 제 1 멀티플렉서(130)는, 동작 모드 전환부(120)로부터 바이너리 위상 검출 동작 모드를 선택하는 동작 모드 신호를 수신한 경우, A단으로 입력된 클럭 신호를 위상 검출부(110)로 전송한다.

[0031] 또한, 제 1 멀티플렉서(130)는, 동작 모드 전환부(120)로부터 선형 위상 검출 동작 모드를 선택하는 동작 모드 신호를 수신한 경우, B단으로 입력된 클럭 신호를 위상 검출부(110)로 전송한다.

[0032] 제 2 멀티플렉서(140)는 A단 또는 B단으로 입력된 위상 차이 신호를 외부로 출력한다.

[0033] 즉, 제 2 멀티플렉서(140)는, 제 1 멀티플렉서(130)와 마찬가지로, 동작 모드 전환부(120)로부터 바이너리 위상 검출 동작 모드를 선택하는 동작 모드 신호를 수신한 경우, A단으로 입력된 위상 차이 신호를 외부로 전송한다.

[0034] 또한, 제 1 멀티플렉서(130)는, 동작 모드 전환부(120)로부터 선형 위상 검출 동작 모드를 선택하는 동작 모드 신호를 수신한 경우, B단으로 입력된 위상 차이 신호를 위상 검출부(110)로 전송한다.

[0035] 2분주 적용부(150)는 입력된 클럭에 대하여 2분주(demultiply)를 적용한다. 즉, 2분주 적용부(150)는 입력된 클럭의 주파수를 1/2로 감소시킬 수 있다. 2분주 적용부(150)는 주파수를 감소시킨 클럭을 제 1 멀티플렉서(130)로 전송한다.

[0036] 따라서, 본 발명의 일 실시예에서, 데이터와 클럭의 위상의 차이가 미리 설정된 임계 값 이상인 경우, 위상 검출부(110)는 2분주가 적용되지 않은 풀-레이트(full-rate)의 클럭을 이용한 바이너리 위상 검출 방식을 이용하여 위상 차이를 검출할 수 있다.

[0037] 또한, 데이터와 클럭의 위상의 차이가 미리 설정된 임계 값 미만인 경우, 위상 검출부(110)는 2분주가 적용된 하프-레이트(half-rate) 클럭을 이용한 선형 위상 검출 방식을 이용하여 위상 차이를 검출할 수 있다.

[0038] 이처럼 본 발명의 일 실시예에 따른 혼합 위상 검출기는 데이터와 클럭의 위상의 차이가 미리 설정된 임계 값 미만이 되면 바이너리 위상 검출 방식보다 적은 지터를 발생시키는 선형 위상 검출 방식을 이용되므로, 위상 차이 신호를 이용하여 복원된 데이터는 적은 지터 특성을 가질 수 있다.

[0039] 또한, 데이터와 클럭의 위상의 차이가 미리 설정된 임계 값 미만이 경우, 클럭 신호의 주파수를 절반으로 감소시키므로 위상 검출을 위해 소모되는 소비 전력을 감소시킬 수 있다.

[0040] 즉, 클럭을 사용하는 시스템에서 소모되는 소비전력은 C*V2*F 에 비례하는데 (C=로드, V=사용된 전원전압, F=클럭 주파수), F를 절반으로 줄임으로써, 시스템에서 소모되는 전력을 이론적으로 절반으로 줄일 수 있다.

[0041] 도 2는 본 발명의 일 실시예에 따른 혼합형 위상 검출기의 구성을 도시한 도면이다.

[0042] 본 발명의 일 실시예에 따른 혼합형 위상 검출기(100)는 제 1 네거티브 래치(negative latch)(205), 제 1 포지티브 래치(positive latch)(210), 제 2 포지티브 래치(215), 제 2 네거티브 래치(220), 제 3 네거티브 래치(225), 제 4 네거티브 래치(230), 제 3 포지티브 래치(235), 제 4 포지티브 래치(240), 제 1 XOR 논리 게이트(245), 제 2 XOR 논리 게이트(250), 제 3 XOR 논리 게이트(255) 및 제 4 XOR 논리 게이트(260)를 포함한다.

[0043] 제 1 네거티브 래치(negative latch)(205), 제 1 포지티브 래치(positive latch)(210), 제 2 포지티브 래치(215), 제 2 네거티브 래치(220), 제 3 네거티브 래치(225), 제 4 네거티브 래치(230), 제 3 포지티브 래치(235), 제 4 포지티브 래치(240), 제 3 XOR 논리 게이트(255) 및 제 4 XOR 논리 게이트(260)는 풀-레이트(half-rate) 클럭을 이용하여 바이너리 위상 검출 방식에 따라 위상을 검출하는 제 1 위상 검출기를 구성할 수 있다.

[0044] 제 1 위상 검출기는 데이터와 동일한 주파수를 갖는 클럭, 즉 풀-레이트(full-rate) 클럭을 이용하여 동작할 수 있다. 제 1 위상 검출기는 제 1 비선형 출력 및 제 2 비선형 출력의 두 개의 출력 신호를 발생시키며, 각각의 출력은 바이너리 위상 검출 방식의 특성에 의해 '0' 또는 '1'의 값을 포함할 수 있다.

[0045] 예를 들어, 클럭의 위상이 데이터의 위상을 앞설 경우, 제 1 비선형 출력이 '1'의 값을 포함하고, 제 2 비선형 출력이 '0'의 값을 포함할 수 있으며, 클럭의 위상이 데이터의 위상보다 느릴 경우, 제 1 비선형 출력이 '0'의 값을 포함하고, 제 2 비선형 출력이 '1'의 값을 포함할 수 있다.

[0046] 또한, 데이터의 위상과 클럭의 위상이 일치하는 경우, 제 1 비선형 출력의 값 및 제 2 비선형 출력의 값이 '1'과 '0'을 번갈아 포함할 수 있다. 이처럼 제 1 비선형 출력의 값 및 제 2 비선형 출력의 값이 '1'과 '0'을 번갈아 포함하는 현상을 방지하기 위하여, 제 1 비선형 출력의 값 및 제 2 비선형 출력의 값이 '1'과 '0'을 번갈아 포함하게 되면, 즉 데이터의 위상과 클럭의 위상이 일치하거나 위상의 차이가 미리 설정된 임계 값 미만이 도는 경우, 혼합형 위상 검출기(100)에 2분주가 적용된 클럭이 공급되고, 선형 위상 검출 방식으로 위상 검출을 수행하는 제 2 위상 검출기의 출력 값인 제 1 선형 출력 및 제 2 선형 출력이 혼합형 위상 검출기(100)의 출력 값으로 된다.

[0047] 또한, 제 1 네거티브 래치(negative latch)(205), 제 1 포지티브 래치(positive latch)(210), 제 2 포지티브

래치(215), 제 2 네거티브 래치(220), 제 1 XOR 논리 게이트(245) 및 제 2 XOR 논리 게이트(250)는 하프-레이트(half-rate) 클럭을 이용하여 선형 위상 검출 방식에 따라 위상을 검출하는 제 2 위상 검출기를 구성할 수 있다.

[0048] 도 2는 제안된 위상 검출기 내부의 혼합 위상 검출기(101)의 구조를 자세히 나타낸 그림이다. 4개의 네거티브 래치들(201, 204, 205, 206)과, 4개의 포지티브 래치들(202, 203, 207, 208)과, 4개의 XOR 논리 게이트들(209, 210, 211, 212)로 구성되어 있다.

[0049] 8개의 래치들(201, 202, 203, 204, 205, 206, 207, 208)과 2개의 XOR 논리 게이트들(211, 212)은 풀-레이트(full-rate) 클럭으로 동작하는 바이너리 위상 검출기(213)를 구성한다. 여기에 2개의 XOR 논리 게이트들(209, 210)을 추가하여 4개의 래치들(201, 202, 203, 204)과 함께 선형 위상 검출기(214)를 구성하게 된다. 선형 위상 검출기(214)는 기존의 바이너리 위상 검출기(213)에 XOR 논리 게이트(209, 210)를 제외한, 특별한 부가 회로의 설계가 필요치 않아서 구조가 간단하다.

[0050] 바이너리 위상 검출기(213)는 데이터와 같은 주파수를 갖는 클럭을 이용하여 동작한다. 즉, full-rate 클럭을 사용하여 동작하게 된다. 바이너리 위상 검출기(213)는 두 개의 출력 신호 '비선형 출력1' 과 '비선형 출력2'를 발생시키는데, 각각의 출력은 바이너리 위상 검출기의 특성상 '1' 또는 '0'의 값을 갖게된다. 클럭의 위상이 데이터의 위상을 앞설 경우 '비선형 출력1'이 '1'의 값을, '비선형 출력2'이 '0'의 값을 갖게 된다. 반대의 경우로, 클럭의 위상이 데이터의 위상보다 느릴 경우 '비선형 출력1'이 '0'의 값을, '비선형 출력2'이 '1'의 값을 갖게 된다. 데이터의 위상과 클럭의 위상이 일치할 경우, 바이너리 위상 검출기의 특성상 '비선형 출력1' 과 '비선형 출력2'에서 '1' 과 '0' 이 각각 번갈아 가면서 발생하게 된다. 이는 앞에서 기술한 바와 같이 바이너리 위상 검출기의 최대 단점이며, 이를 보완하기 위하여, '비선형 출력1'과 '비선형 출력2'에서 '1' 과 '0'이 각각 번갈아 가면서 발생하면, 혼합형 위상 검출기(101)에 2분주된 클럭이 공급되고, 선형 위상 검출기(214)의 출력인 '선형 출력1' 과 '선형 출력2'의 값이 시스템에서 사용되게 된다.

[0051] 본 발명에 사용된 락 검출기는 기존에 발명된 디지털 방식의 주파수 검출기를 사용한다. 락 검출기의 신호에 의해서, full-rate 바이너리 위상 검출기의 동작으로 데이터와 클럭의 위상이 일치가 되면, 즉 시스템의 클럭과 데이터가 락이 되면, 락 검출기는 각 멀티플렉서(103, 105)의 입력 모드를 전환하고, 이어서 혼합 위상 검출기를 half-rate 선형 위상 검출기로 동작하도록 하는 역할을 한다.

[0052] 도 3은 본 발명의 일 실시예에 따른 혼합형 위상 검출 방법의 흐름을 도시한 순서도이다.

[0053] 단계(S110)에서, 혼합형 위상 검출기는 데이터 신호 및 클럭 신호를 수신한다. 즉, 혼합형 위상 검출기는 외부로부터 수신한 데이터 신호 및 데이터 신호를 읽기 위한 클럭 신호를 수신한다.

[0054] 단계(S120)에서, 혼합형 위상 검출기는 단계(S110)에서 수신한 데이터와 클럭의 위상의 차이를 산출한다. 혼합형 위상 검출기는 미리 설정된 동작 방식으로 데이터와 클럭의 위상의 차이를 산출할 수 있다.

[0055] 즉, 혼합형 위상 검출기는, 이전에 바이너리 위상 검출 방식으로 데이터와 클럭의 위상의 차이를 산출하는 것으로 설정된 경우, 단계(S110)에서 수신한 데이터와 클럭의 위상의 차이를 바이너리 위상 검출 방식으로 산출할 수 있다.

[0056] 또한, 이전에 선형 위상 검출 방식으로 데이터와 클럭의 위상의 차이를 산출하는 것으로 설정된 경우, 혼합형 위상 검출기는 단계(S110)에서 수신한 데이터와 클럭의 위상의 차이를 선형 위상 검출 방식으로 산출할 수 있다.

[0057] 단계(S130)에서, 혼합형 위상 검출기는 단계(S120)에서 산출한 위상 차이가 미리 설정된 임계 값 이하인지 여부를 판단한다.

[0058] 즉, 혼합형 위상 검출기는 단계(S120)에서 산출한 위상 차이가 미리 설정된 임계 값 이하인지 여부를 판다하여, 데이터와 클럭의 위상이 일치한다고 판단될 수 있는 범위에 해당하는지 여부를 판단할 수 있다.

[0059] 단계(S140)에서는, 단계(S130)에서 데이터와 클럭의 위상 차이가 미리 설정된 임계 값 이상이라고 판단되는 경우, 혼합형 위상 검출기는 바이너리 위상 검출 방식을 선택한다.

[0060] 특히, 데이터와 클럭의 위상 차이가 미리 설정된 임계 값 이상이라고 판단되는 경우, 혼합형 위상 검출기는 풀-레이트(full-rate) 클럭을 이용하는 바이너리 위상 검출 방식을 선택할 수 있다.

[0061] 단계(S150)에서, 단계(S130)에서 데이터와 클럭의 위상 차이가 미리 설정된 임계 값 미만이라고 판단되는 경우, 혼합형 위상 검출기는 선형 위상 검출 방식을 선택한다.

[0062] 특히, 데이터와 클럭의 위상 차이가 미리 설정된 임계 값 미만이라고 판단되는 경우, 혼합형 위상 검출기는 하프-레이트(half-rate) 클럭을 이용하는 선형 위상 검출 방식을 선택할 수 있다.

[0063] 혼합형 위상 검출기는 이후에 수신하는 데이터와 클럭의 위상 차이를 단계(S140) 또는 단계(S150)에서 선택된 바이너리 위상 검출 방식 또는 선형 위상 검출 방식에 따라 산출할 수 있다.

[0064] 도 4는 본 발명의 일 실시예에 따른 혼합형 위상 검출기의 동작 방식에 따른 소모 전력의 변화를 도시한 도면이다. 본 발명의 일 실시예에서 소모 전력의 변화를 측정하기 위하여 사용된 전압은 1.2V이며, 온도는 50 ℃이다.

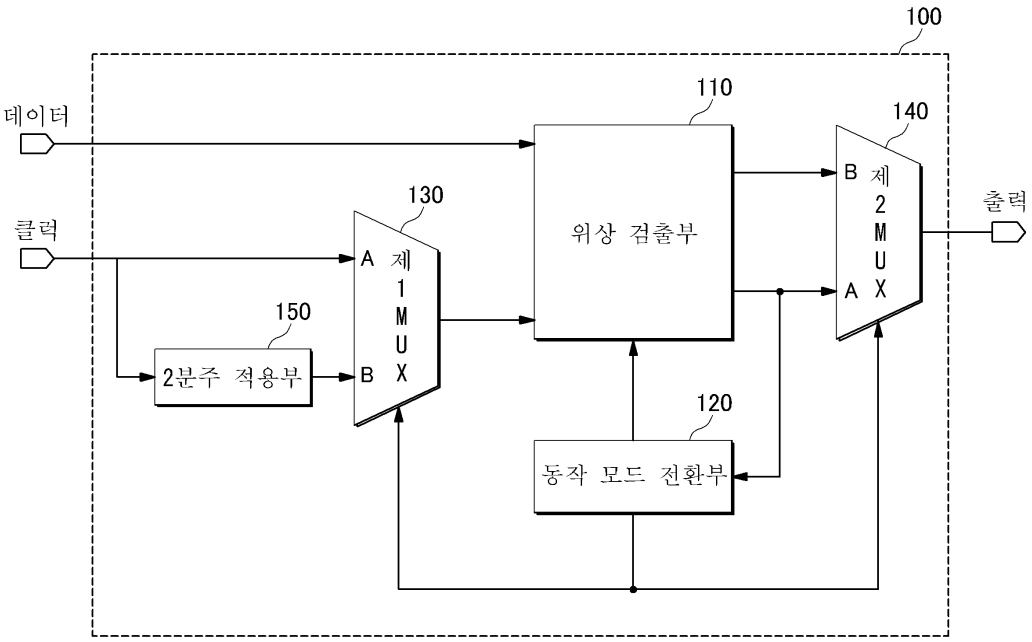
[0065] 도 4에서 확인할 수 있는 것처럼, 하프-레이트(half-rate) 클럭을 이용하는 선형 위상 검출 방식을 이용하는 혼합형 위상 검출기는 풀-레이트(full-rate) 클럭을 이용하는 바이너리 위상 검출 방식을 이용하는 혼합형 위상 검출기에 비해서 약 30% 정도 전력 소모를 적다.

[0066] 전술한 본 발명의 설명은 예시를 위한 것이며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.

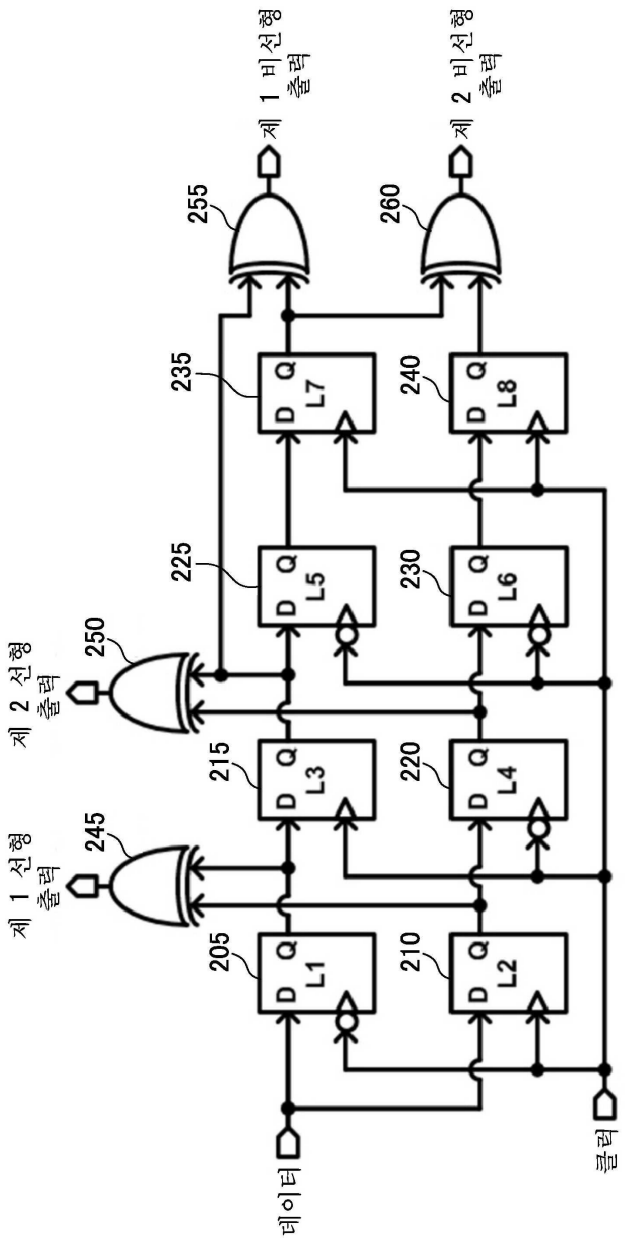
[0067] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면

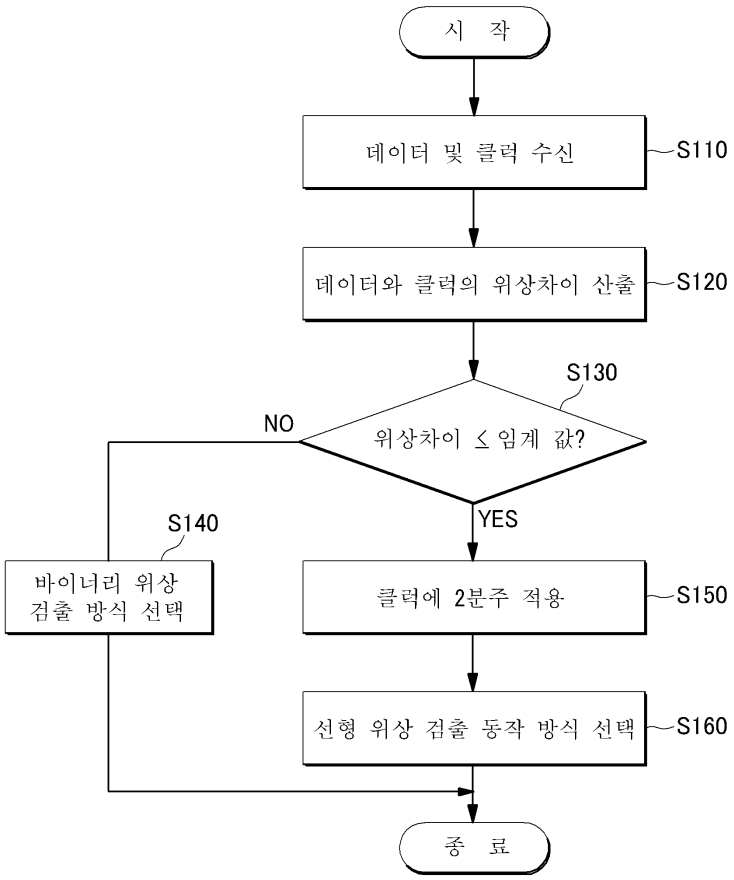
도면1



도면2


제 1 비선형 출력
제 2 비선형 출력
255
260
235
240
225
230
215
220
205
210
L7
L8
L5
L6
L3
L4
L1
L2
D Q
250
245
제 2 선형 출력
제 1 선형 출력
데이터
클럭

도면3



도면4

Data Rate	Half-rate Linear	Full-rate Binary	
1Gbps	260uW	375uW	30% reduction in Half-rate linear PD
2Gbps	525uW	743uW	