



(12) 发明专利

(10) 授权公告号 CN 101809739 B

(45) 授权公告日 2014. 08. 20

(21) 申请号 200880109094. 9

(22) 申请日 2008. 07. 25

(30) 优先权数据

60/962, 200 2007. 07. 27 US

(85) PCT国际申请进入国家阶段日

2010. 03. 26

(86) PCT国际申请的申请数据

PCT/US2008/009207 2008. 07. 25

(87) PCT国际申请的公布数据

W02009/017758 EN 2009. 02. 05

(73) 专利权人 泰塞拉公司

地址 美国加利福尼亚

(72) 发明人 B·哈巴 G·汉普斯通

D·奥夫卢斯基 L·米尔卡瑞米

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 刘佳斐 蔡胜利

(51) Int. Cl.

H01L 25/065 (2006. 01)

H01L 21/98 (2006. 01)

(56) 对比文件

US 2003060034 A1, 2003. 03. 27,

US 4500905 A, 1985. 02. 19,

US 4500905 A, 1985. 02. 19,

CN 1913149 A, 2007. 02. 14,

JP 7509104 A, 1995. 10. 05,

JP 7509104 A, 1995. 10. 05,

US 2006055050 A1, 2006. 03. 16,

US 2006220262 A1, 2006. 10. 05,

审查员 郭强

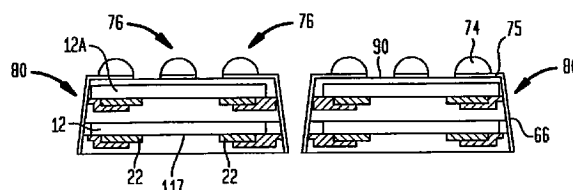
权利要求书5页 说明书11页 附图9页

(54) 发明名称

具有后应用的衬垫延长部分的重构晶片堆封装

(57) 摘要

本发明提供一种堆叠的微电子单元,其可以包括多个竖直堆叠的微电子元件(12,12A),每个微电子元件均具有前表面(117),暴露在前表面处的触点(22),后表面(118)以及在前、后表面之间延伸的边缘(18,20)。与触点相连接的线迹(24)可以沿前表面朝向微电子元件的边缘延伸,至少一个堆叠的微电子元件的后表面与微电子单元的顶面(90)相邻。多个导体(66)可以沿微电子元件的边缘,从线迹(24)至顶面(90)延伸。导体可以导电地与单元触点(76)相连接,以使得单元触点覆盖与顶面相邻的至少一个微电子元件(12A)的后表面(118)。



1. 一种制作多个堆叠的微电子单元的方法,包括:

a) 提供多个子组件,每个子组件均为重构晶片或重构晶片的一部分,并且每个子组件均具有前侧与远离所述前侧的后侧,每个子组件包括多个分隔开的微电子元件,该微电子元件各包括半导体芯片,分隔开的该微电子元件中的每个具有暴露在所述前侧处的前端面,暴露在所述前侧处的触点,与所述后侧相邻的后端面,以及在所述前、后端面之间延伸的第一和第二相反边缘,每个子组件进一步包括在所述微电子元件的所述后端面上面、并且在多个分隔开的该微电子元件之一的第一边缘和多个分隔开的该微电子元件的相邻一个的第二边缘之间延伸的填充层;

b) 在每个子组件的所述前侧处形成多个线迹,所述线迹从所述触点延伸,以超过多个分隔开的所述微电子元件中的相邻的那些的所述第一和第二边缘;

c) 从所述后侧减少所述子组件中的第一个的厚度,以减少其中的所述微电子元件的厚度;

d) 将所述子组件中的第二个与所述第一子组件相连接,以使得所述第二子组件的所述前侧与所述第一子组件的所述后侧相对,并且使得所述第二子组件的微电子元件的所述前端面与所述第一子组件的所述微电子元件的所述后端面相对;

e) 在从所述第二子组件的所述后侧向下延伸的至少一个开口中形成引线,所述引线连接至所述第一与第二子组件的所述微电子元件的所述线迹,所述至少一个开口具有倾斜壁,该倾斜壁关于由所述微电子元件的所述前端面限定的平面相对于法线方向成角度;并且

f) 将所述连接的微电子组件沿所述微电子元件的边缘分开成堆叠的微电子单元,使得所述微电子单元的边缘表面包括所述至少一个开口的倾斜壁,各微电子单元包括沿所述至少一个倾斜壁的表面延伸的引线。

2. 根据权利要求1所述的方法,其中,步骤c)包括变薄所述第一子组件的所述微电子元件,直至其中的每个微电子元件在所述前端面与所述后端面之间达到小于50微米的厚度。

3. 根据权利要求2所述的方法,其中,步骤c)包括变薄所述第一子组件的所述微电子元件,直至其中的每个微电子元件达到所述前端面与所述后端面之间15微米或更小的厚度。

4. 根据权利要求1所述的方法,其中,至少一个所述微电子元件包括闪存。

5. 根据权利要求4所述的方法,其中,每个所述微电子元件均包括闪存。

6. 根据权利要求1所述的方法,其中,步骤(e)包括将所述至少一个开口形成为多个开口,该多个开口在平行的路径上延伸并且在沿该第一和第二子组件的、连接的所述微电子元件中的每个的第一和第二边缘中的至少一个在横向方向上分隔开。

7. 根据权利要求6所述的方法,其中,至少一些所述引线沿一个所述开口的倾斜壁延伸。

8. 根据权利要求6所述的方法,其中,形成在步骤(e)中的该引线中的每个被连接至单个触点。

9. 根据权利要求1所述的方法,其中,至少在步骤(c)之前,所述填充层覆盖所述微电子元件的所述后端面。

10. 根据权利要求 1 所述的方法,其中,进一步包括,在步骤 (c) 之前,将构件连接至所述第一子组件的所述前侧。

11. 根据权利要求 10 所述的方法,其中,所述构件是封装层。

12. 根据权利要求 1 所述的方法,其中,在步骤 (b) 之前,所述第一子组件的所述微电子元件的所述厚度实质上与晶片的厚度相同,其中的所述微电子元件在它们结合入所述第一子组件之前从所述晶片获得。

13. 根据权利要求 1 所述的方法,进一步包括从所述后侧变薄所述第二子组件,以在形成所述引线之前减少其中所述微电子元件的厚度。

14. 根据权利要求 13 所述的方法,进一步包括将所述子组件中的第三个与第二子组件相连接,以使得所述第三子组件的所述前侧与所述第二子组件的所述后侧相对,其中,步骤 (e) 包括形成引线,该引线连接至第三子组件的所述微电子元件的所述线迹。

15. 根据权利要求 14 所述的方法,进一步包括从所述第三子组件的所述后侧磨削所述第三子组件,以减少其中的所述微电子元件的厚度,并且将所述子组件中的第四个与所述第三子组件相连接,以使得所述第四子组件的所述前侧与所述第三子组件的所述后侧相对,其中,步骤 (e) 包括形成引线,该引线连接至所述第四子组件的所述微电子元件的所述线迹。

16. 根据权利要求 13 所述的方法,其中,在变薄所述第二子组件的所述步骤之前,所述第二子组件的所述微电子元件的所述厚度实质上与晶片的厚度相同,其中的所述微电子元件在它们结合入所述第二子组件之前从所述晶片获得。

17. 一种制作多个堆叠的微电子单元的方法,包括:

a) 提供多个子组件,每个子组件均为重构晶片或重构晶片的一部分,并且每个子组件均具有前侧与远离所述前侧的后侧,每个子组件包括多个分隔开的微电子元件,该微电子元件各包括半导体芯片,分隔开的该微电子元件中的每个具有暴露在所述前侧处的前端面,暴露在所述前侧处的触点,与所述后侧相邻的后端面,以及在所述前、后端面之间延伸的第一和第二相反边缘,每个子组件进一步包括多个线迹,以及在所述微电子元件的所述后端面上面、并且在相邻的微电子元件的所述边缘之间延伸的填充层,该多个线迹中的每个从所述触点延伸,以超过多个分隔开的该微电子元件之一的第一边缘和多个分隔开的该微电子元件的相邻一个的第二边缘;

b) 从所述后侧减少所述子组件中的第一个的厚度,以便减少其中的所述微电子元件的厚度;

c) 将所述子组件中的第二个与所述第一子组件相连接,以使得所述第二子组件的所述微电子元件的所述前端面在所述第一子组件的所述微电子元件的所述后端面上面并且面对所述第一子组件的所述微电子元件的所述后端面;

d) 在从所述第二子组件的所述后侧向下延伸的至少一个开口中形成引线,所述引线导电地连接至所述第一与第二子组件的所述微电子元件的所述线迹,所述至少一个开口具有倾斜壁,该倾斜壁关于由所述微电子元件的所述前端面限定的平面相对于法线方向成角度;并且

e) 将所述连接的微电子组件沿所述微电子元件的边缘分开成堆叠的微电子单元,使得所述微电子单元的边缘表面包括所述至少一个开口的倾斜壁,各微电子单元包括沿所述至

少一个倾斜壁的表面延伸的引线。

18. 根据权利要求 17 所述的方法,其中,所述填充层包括聚合物。

19. 根据权利要求 17 所述的方法,其中,步骤 (a) 包括临时将多个单独的微电子元件的所述前端面连接至承载层,以使得相邻的微电子元件的所述边缘通过至少一个预定的间距分隔开。

20. 根据权利要求 19 所述的方法,其中,步骤 (a) 进一步包括通过将有机材料至少流入相邻连接的微电子元件的边缘之间的空间而形成所述填充层。

21. 根据权利要求 20 所述的方法,其中,步骤 (a) 进一步包括在形成所述填充层之后形成所述线迹。

22. 根据权利要求 17 所述的方法,其中,所述第一子组件的所述微电子元件的所述前端面具有至少一个不同于所述第二子组件的所述微电子元件的所述前端面的对应的尺寸的尺寸。

23. 根据权利要求 17 所述的方法,其中,所述第一子组件的给定的微电子元件的前端面具有至少一个不同于所述第一子组件的另一微电子元件的前端面对应的尺寸的尺寸。

24. 根据权利要求 23 所述的方法,其中,所述堆叠的组件中的所述微电子元件的竖直堆叠对的前端面具有至少实质上相同的尺寸。

25. 根据权利要求 17 所述的方法,其中,每个子组件进一步包括与所述前侧相邻的对齐部件。

26. 根据权利要求 25 所述的方法,其中,所述对齐部件与所述线迹为暴露在所述前侧处的金属层的元件。

27. 根据权利要求 17 所述的方法,其中,步骤 (d) 包括将所述第二子组件连接至所述第一子组件,以使得所述第二子组件的微电子元件的边缘沿横向方向相对于与之竖直对齐的所述第一子组件的所述微电子元件的边缘移动,并且形成于步骤 (e) 中的所述开口具有倾斜壁,该倾斜壁暴露与所述竖直堆叠的微电子元件的横向移动的边缘相邻的所述线迹。

28. 根据权利要求 27 所述的方法,其中,所述横向方向为第一横向方向,每个微电子元件的所述边缘均包括第一边缘和横向于所述第一边缘的第二边缘,并且步骤 (d) 包括将所述第二子组件连接至所述第一子组件,以使得所述第二子组件的微电子元件的第二边缘进一步沿第二横向方向相对于与之竖直对齐的所述第一子组件的微电子元件的第二边缘移动,所述第二横向方向横向于所述第一横向方向,所述方法进一步包括形成第二开口,该第二开口具有暴露与所述第二边缘相邻的第二线迹的倾斜壁,和形成连接至所述第二线迹的引线。

29. 一种制作第一和第二堆叠的微电子单元的方法,包括:

a) 堆叠和连接多个微电子元件以形成其堆叠的组件,每个所述微电子元件均具有前端面,远离所述前端面的后端面,暴露在所述前端面处的触点,在所述前、后端面之间延伸的边缘以及连接至所述触点、沿所述前端面朝向所述边缘延伸的线迹,至少一些所述微电子元件的所述前端面在其他微电子元件的所述后端面上面并且面对其他微电子元件的所述后端面,其中所述堆叠的组件的至少第一和第二微电子元件在平行于它们的前端面的方向上彼此间隔开,多个该微电子元件中的至少一个微电子元件在所述第一微电子元件上面并且多个该微电子元件中的至少一个微电子元件在所述第二微电子元件上面;

b) 在所述堆叠的组件上形成多个导体,该导体沿多个所述微电子元件中的至少一些所述边缘从其线迹延伸至单元触点,该单元触点在该至少一些微电子元件的后端面上面并且邻近该至少一些微电子元件的后端面;并且

c) 将所述堆叠的组件切割成分别包括所述第一和第二微电子元件的第一和第二微电子单元。

30. 根据权利要求 29 所述的制作堆叠的微电子单元的方法,该步骤 b) 进一步包括步骤:

暴露所述线迹中的一个的仅一部分,以使单元触点能够在外面相互连接所述堆叠的组件。

31. 根据权利要求 29 所述的制作堆叠的微电子单元的方法,其中,所述多个微电子元件中的每一个均被包括在微电子子组件中,所述微电子子组件包含多个以阵列布置的微电子元件,其中,步骤 (a) 包括堆叠和连接多个所述微电子子组件,并且形成在其中的堆叠的微电子元件的边缘之间延伸的多个开口。

32. 一种堆叠的微电子单元,其包括:

第一与第二竖直堆叠的微电子元件,每个所述微电子元件均具有限定出横向方向的前表面,至少一个远离所述前表面延伸的边缘,暴露在所述前表面处的触点,以及从所述触点朝向所述边缘延伸的线迹,所述第二微电子元件的所述前表面至少部分地在所述第一微电子元件的所述前表面的上面,所述第二微电子元件具有至少一个沿所述横向方向、从所述第一微电子元件的相邻的边缘移动的边缘;

位于所述微电子元件的所述横向移动的边缘上面的介电层;以及

在所述微电子元件的前端面处连接至线迹的引线,所述引线沿所述介电层延伸至单元触点。

33. 根据权利要求 32 所述的堆叠的微电子单元,其中,所述横向移动的边缘为沿第一方向延伸的第一边缘,所述微电子元件的所述边缘包括沿横向于所述第一方向的第二方向延伸的第二边缘,所述第一与第二微电子元件中的每一个均具有至少一个第二边缘,该第二边缘从所述第一与第二微电子元件中的另一个的相邻的第二边缘横向移动,所述介电层位于所述微电子元件的所述第二边缘上面,并且沿所述微电子元件的所述第二边缘延伸至单元触点。

34. 一种堆叠的微电子单元,包括:

第一与第二竖直堆叠的微电子元件,所述第一和第二微电子元件中的每个在其各自的前端面具有触点并且通过各自所述的触点可被电连接和测试,其中,第一水平处的所述第一微电子元件的至少一个第一边缘延伸超过位于所述第一水平上面的第二水平处的所述第二微电子元件的相应的第一边缘;

介电层位于所述第一与第二微电子元件的所述第一边缘上面,所述介电层限定出所述堆叠的单元的第一边缘;以及

导电通孔,该导电通孔中的每个通过该介电层内的多个分隔开的开口之一并且沿着该第一与第二微电子元件的第一边缘延伸,所述通孔连接至线迹,所述线迹从所述微电子元件的各自的前端面处的触点延伸。

35. 根据权利要求 34 所述的堆叠的微电子单元,其中,所述线迹是金属的。

36. 一种堆叠的微电子单元,其包括:

第一与第二竖直堆叠的微电子元件,其中,所述第一微电子元件的前端面在所述第二微电子元件的前端面 and 后端面中的至少一个上面,并且所述第一与第二微电子元件的所述前端面的宽度和长度中的至少一个不同,该第一与第二微电子元件具有在该前端面和该后端面之间延伸的第一边缘;

介电层,位于所述第一与第二微电子元件的所述第一边缘上面;

多个开口,该多个开口在该介电层内在横向方向上沿所述第一边缘分隔开并且沿该第一与第二微电子元件的该第一边缘延伸;以及

引线,该引线延伸通过该开口,该引线被连接至从所述微电子元件的前端面处的触点延伸的线迹并且沿所述堆叠的单元的第一边缘延伸。

37. 根据权利要求 36 所述的堆叠的微电子单元,其中,所述线迹是金属的。

具有后应用的衬垫延长部分的重构晶片堆封装

[0001] 相关申请的交叉引用

[0002] 本申请要求了 2007 年 7 月 27 日提交的序列号为 60/962,200 的美国临时申请的利益,在此以引用的方式加入其公开的内容。

技术领域

[0003] 本申请的主题涉及包括堆叠的微电子元件的微电子封装,或组件,并且涉及其制作方法,例如,通过对多个成阵列布置的微电子元件同时应用的处理。

背景技术

[0004] 微电子元件,例如半导体芯片,为具有触点的扁平体,该触点布置于与元件本身的内部电路相连接的前表面上。微电子元件典型地与基底封装在一起,以形成具有终端的微电子封装,或具有终端的组件,该终端电连接至元件的触点。封装或组件可以连接至测试器材,以确定封装的设备是否符合所需的性能标准。一旦经过测试,封装可以连接至更大的电路,例如,像计算机或移动电话的电子产品中的电路。

[0005] 微电子封装或组件还包括晶片等级的封装,其提供用于微电子元件的封装,该微电子元件在芯片仍处于晶片形式时制作。晶片经受许多附加处理步骤,以形成封装结构,并且晶片切割成小块,以释放单独的芯片。晶片等级的处理可以提供节省成本的优势。而且,封装覆盖区可以是同一芯片尺寸,使得非常有效地利用印刷电路板 (PCB) 上的区域,芯片将最终固定于该印刷电路板上的区域。这些特征的结果就是,以这种方式封装的芯片通常称之为晶片等级的芯片级别封装 (WLCSP)。

[0006] 为了节省间距,某些传统设计在封装或组件中堆叠多个微电子芯片或元件。这使得封装占据了基底上的表面积,该区域小于加在一起的所有堆叠的芯片的总表面积。对该技术的研发努力集中在生产晶片等级的组件,该组件可靠,或薄,或可检测,或其制作经济,或具有这些特性的组合。

发明内容

[0007] 根据本发明的一个方面,提供一种用于制作堆叠的微电子组件的方法。该方法可以包括提供多个子组件,每个均是重构晶片或重构晶片的一部分。每个重构晶片或晶片部分均具有前侧与远离前侧的后侧,并且可以包括多个分隔开的微电子元件,每个微电子元件均具有暴露在前侧处的前端面,暴露在前侧处的触点,与后侧相邻的后端面,以及在前、后端面之间延伸的边缘。每个重构晶片可以进一步包括在微电子元件后端面上面,并且在相邻的微电子元件的边缘之间延伸的填充层。

[0008] 多个线迹可以被形成于每个子组件的前侧处。线迹可以从触点延伸,以超过微电子元件的边缘。例如,通过从后侧应用的处理可以减少微电子元件中的第一个的厚度,以减少其中微电子元件的厚度。其后,子组件中的第二个可以与第一子组件相连接,以使得第二子组件的前侧与第一子组件的后侧相对,以使得第二子组件的微电子元件的前端面可以与

第一子组件的微电子元件的后端面相对。引线可以被形成于从第二子组件的后侧向下延伸的至少一个开口中,引线连接至第一与第二子组件的微电子元件的线迹。

[0009] 根据本发明的这个方面,在形成引线之前,可以将一个或多个附加的子组件与第一和第二子组件相连接,以使得在每个这种附加的子组件中的微电子元件的前端面朝向每个位于附加的子组件下面的子组件中的微电子元件的后端面。

[0010] 根据本发明的另一方面,提供一种用于制作堆叠的微电子组件的方法。根据这个方面,可以提供多个子组件,每个均为重构晶片或重构晶片的一部分。每个这种重构晶片或晶片部分均具有前侧与远离前侧的后侧,以及多个分隔开的微电子元件,该微电子元件具有暴露在前侧处的前端面,暴露在前侧处的触点,与后侧相邻的后端面,以及在前、后端面之间延伸的边缘。每个这种重构晶片可以进一步包括多个从触点延伸、以超过微电子元件的边缘的线迹,以及在微电子元件的后端面上面、并且在相邻的微电子元件的边缘之间延伸的填充层。

[0011] 可以通过应用于后侧的处理减少子组件中的第一个的厚度,以使得减少其中微电子元件的厚度。子组件中的第二个可以与第一子组件相连接,以使得第二子组件的前侧与第一子组件的后侧相对,第二子组件的微电子元件的前端面在第一子组件的微电子元件的后端面上面,并且朝向第一子组件的微电子元件的后端面。

[0012] 引线可以随后被形成于从第二子组件的后侧向下延伸的至少一个开口中,该引线导电地连接至第一与第二子组件的微电子元件的线迹。

[0013] 根据本发明的另一方面,提供一种用于制作堆叠的微电子单元的方法。根据这种方法,可以将多个微电子元件堆叠,并且连接在一起,每个微电子元件均具有前端面,远离前端面的后端面,暴露在前端面处的触点,在前、后端面之间延伸的边缘以及连接至触点的线迹,该沿前端面延伸的线迹朝向边缘。可以堆叠微电子元件,以使得至少一些微电子元件的前端面在其他微电子元件的后端面上面,并且面对其他微电子元件的后端面。可以形成多个导体,其沿微电子元件的边缘从线迹延伸至单元触点,该单元触点在该至少一些微电子元件的微电子元件的后端面上面,并且相邻于堆叠的微电子单元中的该至少一些微电子元件的微电子元件的后端面。

[0014] 根据本发明的一个方面,单元触点可以在堆叠的微电子单元中的最高的微电子元件的微电子元件的后端面上面。

[0015] 根据本发明的一个方面提供堆叠的微电子单元,堆叠的单元具有顶面,暴露在顶面处的单元触点以及远离顶面的底面。根据本发明的这方面,堆叠的单元可以包括多个竖直地堆叠的微电子元件,每个微电子元件均具有前表面,暴露在前表面处的触点,后表面以及在前、后表面之间延伸的边缘。与触点相连接的线迹可以朝向微电子元件的边缘沿前表面延伸,具有与微电子单元的顶面相邻的至少一个堆叠的微电子元件的后表面。多个导体可以沿微电子元件的边缘,从线迹向顶面延伸。导体可以导电地与单元触点相连接,以使得单元触点在与堆叠的微电子单元的顶面相邻的至少一个微电子元件的后表面上面。

[0016] 根据本发明的多个方面之一,一些单元触点可以被暴露在堆叠的微电子单元的底面处。一个或多个单元触点可以被连接至至少一个微电子元件的前表面上的触点,这种前表面与底面相邻。

[0017] 根据本发明的一个方面,提供一种堆叠的微电子单元,其可以包括第一与第二竖

直地堆叠的微电子元件。每个堆叠的微电子元件可以具有限定出横向的前表面,至少一个远离前表面延伸的边缘,暴露在前表面处的触点,以及从触点朝向边缘沿横向延伸的线迹,其中,第二微电子元件的前表面至少部分地在第一微电子元件的前表面上面,并且第二微电子元件具有至少一个从第一微电子元件的相邻边缘沿横向位移的边缘。介电层可以在微电子元件的横向位移的边缘上面,介电层限定出堆叠的单元的边缘。引线可以在微电子元件的前端面处被连接至线迹,引线沿微电子元件的边缘延伸至单元触点。

[0018] 根据本发明的更特定的方面,可以提供一种堆叠的微电子单元,其中,横向位移的边缘为第一边缘,并且微电子元件的边缘包括第二边缘,该第二边缘沿横向于第一方向的第二方向延伸,第一边缘沿该第一方向延伸。第一与第二微电子元件的每一个均可以具有至少一个第二边缘,其从第一与第二微电子元件中的另一个的相邻的第二边缘位移。介电层可以在微电子元件的第二边缘上面,第二引线可以在介电层上面,并且沿微电子元件的第二边缘延伸至单元触点。

[0019] 根据本发明的一个方面,提供一种堆叠的微电子单元。在这种微电子单元中,可以提供第一与第二竖直地堆叠的微电子元件,其中,第一水平处的第一微电子元件的至少一个第一边缘延伸超过在第一水平上面的第二水平处的第二微电子元件的对应的第一边缘。介电层可以在第一与第二微电子元件的第一边缘上面,介电层限定出堆叠的单元的第一边缘。

[0020] 根据本发明的特定方面,导电通孔可以穿过介电层延伸,通孔在微电子元件的前端面处被连接至线迹。

[0021] 根据本发明的另一方面,提供了一种堆叠的微电子单元,其中,竖直地堆叠第一与第二微电子元件,以使得第一微电子元件的前端面在第二微电子元件的前端面或后端面中的至少之一上面。第一与第二微电子元件的前端面的宽度或长度至少之一可以不同。介电层可以在第一与第二微电子元件的第一边缘上面。引线可以在微电子元件的前端面处被连接至线迹。引线可以在介电层上面,并且引线可以沿堆叠的单元的第一边缘延伸。

附图说明

[0022] 图 1A 为示例了晶片或晶片的一部分的平面图,该晶片或晶片的一部分包括多个固定在周边的微电子元件,根据本发明的实施例制作堆叠的微电子单元的方法中的步骤。

[0023] 图 1B 为穿过图 1A 的线 1B-1B 的晶片或晶片的一部分的截面图。

[0024] 图 2A, 2B, 3, 4, 5, 6, 7 以及 8A 为示例根据本发明的实施例制作堆叠的微电子单元的方法中的步骤的截面图。

[0025] 图 8B 为根据对应于图 8A 的截面图的制作步骤的堆叠的组件的不完整的局部平面图。

[0026] 图 9 与 10A 为示例了紧跟着图 8A-B 中示例的步骤的步骤的截面图,根据本发明的实施例制作堆叠的微电子单元的方法。

[0027] 图 10B 为示例了根据图 10A 示例的实施例的变型的堆叠的微电子单元的截面图。

[0028] 图 10C 为根据本发明的实施例的方法的步骤中的堆叠的组件的截面图。

[0029] 图 10D 为对应于图 10C 的截面图的不完整的局部平面图,图 10C 中的截面图穿过图 10D 的线 10C-10C。

[0030] 图 11 为堆叠的微电子单元的截面图,并且其外部与根据本发明的实施例的其他元件相互连接。

[0031] 图 12 为根据图 2A 至 10A 中示出的本发明的实施例的变型的方法的步骤中的堆叠的组件的不完整的局部平面图。

[0032] 图 13 包含示例了根据本发明的实施例制作堆叠的微电子单元的方法中的一系列连续步骤 (A) 至 (D) 的截面图。

[0033] 图 14 为示例了根据本发明的实施例制作堆叠的微电子单元的方法中紧跟图 13 的步骤 (D) 的步骤中的堆叠的组件的截面图。

[0034] 图 15 为示例了根据本发明的实施例制作堆叠的微电子单元的方法中紧跟图 14 所示的步骤的步骤中的堆叠的组件的截面图。

[0035] 图 16 为示例了包含在根据图 13 至 15 中示例的本发明的实施例的变型的堆叠的组件中的微电子元件的截面图。

[0036] 图 17 为示例了用于制作成根据本发明的一个或多个实施例的堆叠的微电子单元的重构晶片的不完整的局部平面图。

具体实施方式

[0037] 图 1A-C 示例了微电子元件的阵列,或阵列的一部分,例如可以设置在半导体晶片上。图 1A 为晶片 10 或晶片的一部分的顶视图,并且包括多个微电子元件 12,12' (12 撇),12'' (12 双撇),每个微电子元件均示出为矩形。如图 1A 中所示的,每个微电子元件并排定位,并且彼此相邻。晶片可以为圆形晶片形状。下文中,为了便于标示,晶片 10 或晶片部分标示为“晶片”。晶片 10 可以包括许多行沿 X 轴线与 Y 轴线对齐的微电子元件 12。晶片 10 可以包括任何数量的微电子元件,包括所需的那么少或那么多的行。微电子元件使用半导体制作技术彼此整体形成。晶片的每个微电子元件典型地是相同的类型。微电子元件可以具有记忆功能,逻辑或处理器功能或逻辑与处理器功能的组合,以及其他可能的类型。在具体的示例中,每个微电子元件均包括闪存。例如,每个微电子元件可以是专用闪存芯片。

[0038] 图 1A 中的晶片 10 具有顶边缘 15,右边缘 13,左边缘 11 以及底边缘 17。图 1C 为沿线 1B(图 1A)的晶片 10 的侧视图,示出了晶片 10 的左边缘 11 与右边缘 13。图 1C 还示出了晶片 10 的每个微电子元件还具有前端面 14 与相反朝向的后端面 16。在图 1C 中值得注意的是,晶片 10 的前端面 14 被翻转,以使得其朝向图中的下方。

[0039] 在图 1A 中,三个微电子元件 12,12'' 与 12' 分别出现在晶片 10 的中间行中。参考图 1A 的微电子元件 12,每个微电子元件均具有第一边缘 18,第二边缘 20,第三边缘 19 以及第四边缘 21。当微电子元件 12 为晶片 10 的阵列的一部分时,一个微电子元件 12 的第一边缘 18 邻接(或被连接至)第二及相邻的微电子元件 12 的第二边缘 20。相似地,一个微电子元件 12 的第三边缘 19(图 1A)被连接至相邻的微电子元件的第四边缘 21。因此,定位在晶片部分 10 的中间行中的微电子元件 12'' 在所有四个边缘处与相邻的微电子元件毗连,如图 1A 中所示的。当微电子元件 12 被完全从晶片 10 分开时(例如,从晶片单独出来),可以看出,第一边缘 18,第二边缘 20,第三边缘 19 以及第四边缘 21 的每一个均从微电子元件 12 的前端面 14(图 1C)延伸至后端面 16(图 1C)。

[0040] 相邻的微电子元件彼此接触的晶片 10 的部分形成锯齿线或带 23 与 25,在锯齿线

或带处,可以在不损伤单独的微电子元件的情况下切割晶片。例如,如图 1B 中所示的,微电子元件 12' 的第二边缘 20' 与微电子元件 12" 的第一边缘 18' 邻接,并且形成锯齿线 23。相似地,穿过晶片 10,锯齿线 23(图 1A 与 1C 中所示)位于微电子元件 12 彼此邻接的位置处。

[0041] 参考图 1B 的微电子元件 12",每个微电子元件均包括多个暴露在微电子元件 12 的各个前端面 14 处的触点 22"。触点 22 可以例如是微电子元件的结合衬垫或接线片,如最初形成于晶片制作设备中。未切割的晶片 10 的每个微电子元件具有器件区域 26(虚线 27 中的区域),在该区域中,布置有源半导体器件与典型地无源器件。每个微电子元件还包括非器件区域,其布置得超出了没有设置有源半导体器件或无源器件的器件区域 26 的边缘。注意,器件区域 26 的有界区域由图 1C 中的实线示出。

[0042] 在一个堆叠的组件制作实施例中,包括多个堆叠的微电子元件的组件通过同时一同地处理多个微电子元件而制作。而且,可以同时布置成阵列形式的微电子元件进行处理,相似于包含这种微电子元件的初始晶片的处理。图 2A-10A 示例了形成根据第一制作实施例的堆叠的微电子元件的封装或组件的方法中的阶段。在该实施例中,最初,晶片 10 首先被分开成单独的微电子元件,并且以阵列形式将选择的单独的微电子元件中的一些连接至承载层,用以进一步的处理。在该实施例中,选择的微电子元件的阵列可以被视为“重构晶片”,其随后可用于根据晶片等级处理技术的处理。

[0043] 图 2 示例了制作的步骤,其中通过沿切割线 23 和 25 切割,例如,锯或划晶片 10,将初始晶片 10 分开成单独的微电子元件 12(图 1A)。

[0044] 图 2A 示例了制作的阶段,其中通过沿切割线 23 和沿切割线 25 切割,例如,锯或划晶片 10,将晶片 10 分开成单独的微电子元件 12(图 1A)。从在该阶段中获得的单独微电子元件中(图 2B)选择的微电子元件 12,即,已知的良好芯片,在它们的前端面处被连接至粘合承载部 160(图 3)或其他具有粘合界面(未示出)的承载部。图 2B 表示对已知的良好芯片 12a 与不合格芯片 12b 的判定,不合格芯片从进一步的处理中移除。

[0045] 可以使用拾放工具,例如,将每个微电子元件 12 放置在承载部 160 的合适的位置处,以形成微电子元件层,该微电子元件层构成如图 3 中的截面图中所示的第一重构晶片 110。如此处所示的,重构晶片 110 包括单独的微电子元件 12,其从在图 2 的切割(锯)步骤中获得的微电子元件 12 中选择。单独的微电子元件 12 指已知的良好芯片,并且使用粘合剂 162 将单独的微电子元件 12 连接至承载部 160,具有每个芯片的前端面以及其上朝向承载部 160 的触点 22。拾放工具可以被用于将每个微电子元件 12 放置在承载部 160 上的合适的位置处,以形成重构晶片结构 90。

[0046] 处理重构晶片而不是初始晶片 10 的优势在于,构成每个重构晶片的微电子元件可以被单独地选择。当初始晶片的一些微电子元件为已知的或疑似的勉强合格的或不合格的质量时,它们不需要被处理成重构晶片。更合适地,那些微电子元件可以被留在重构晶片之外,以使得重构晶片包含更高质量的微电子元件。进入重构晶片的微电子元件的选择可以基于各种质量标准或基于例如初始晶片 10 中的微电子元件的视觉的、机械的或电的检测或位置的结果的期望的质量。在特定的实施例中,可以实际上在将每个放置入重构晶片上的位置中之前电测试微电子元件。是否基于视觉的、机械的或电的标准或其他标准来选择微电子元件,选择为包含在重构晶片中的微电子元件可以称为“已知的良好”微电子元件

或“已知的良好芯片”。

[0047] 在将微电子元件 12 连接至承载部 160 后,形成填充层 116(图 4),其填充介于相邻微电子元件之间的重构晶片 110 的空间 114。填充层还可以覆盖微电子元件 112 的后端面 118。填充层可以包括各种材料。填充层可以包括用于提供微电子元件和可与之相连接的导体之间隔离的介电材料,例如以下描述的。例如,填充层可以包括一个或更多例如氧化物,氮化物的无机介电材料,其可以包括二氧化硅,氮化硅或其他例如 SiCOH 的介电硅化合物及其他,或者可以包括有机介电体,其中为各种例如环氧树脂,聚酰亚胺,热塑性塑料,热固性塑料及其他的聚合物。填充层可以是封装物,该封装物例如通常用于形成在包覆成型封装芯片的后端面和边缘上面的包覆成型。

[0048] 随后可以移除承载部 160,以暴露微电子元件的前端面 117 以及包括微电子元件 12' 与 12'' 的各自触点 22' 与 22'' 的触点 22。此后,形成线迹 24,其从触点 22 中的每个向外延伸,超过至少一些微电子元件的边缘 18', 20', 18'' 与 20''(图 5),和可选择地超过单独的微电子元件 12 的边缘 19 与 21(图 1A)。相邻的微电子元件 12' 与 12'' 的线迹 24' 与 24'' 可以在介于相邻的微电子元件的边缘 20' 与 18'' 之间的位置处相会。线迹 24', 24''(图 5)可以实际上形成在触点 22' 与触点 22'' 之间延伸的单个线迹。然而,不需要线迹实际地彼此接触。

[0049] 合成的重构晶片 130(图 5)包括具有微电子元件 12', 12'' 的重构晶片 110,其具有包覆成型或覆盖后端面 118 和空间 114 的其它填充层 116。线迹 24, 24', 24'' 以及 24''' 从触点 22(包括触点 22', 22'', 等)沿微电子元件的前端面 117 延伸。微电子元件 12 的前端面 117 与重构晶片的前侧 132 相邻。微电子元件的后端面 118 远离前侧 132 布置,并且与重构晶片 130 的后侧 134 相邻。

[0050] 根据前述的处理,在进行如下所述的进一步的处理,以形成堆叠的微电子单元之前可以准备多个重构晶片 130。在这种进一步的处理中,每个重构晶片 130 可以被称作“子组件”,因为这种子组件可以被单独地制作,并且随后被组装与处理,以形成堆叠的微电子单元,如下所述。图 6 示例了制作的步骤,其中第一子组件 130 的前侧 132 与例如,底部介电基底的封装层 140 相连接,其可以包括有机或无机材料或其组合。粘合层 162 可以用于将子组件 130 与封装层 140 相连接。

[0051] 随后,第一子组件 130(图 7)以及其中的微电子元件 12 的厚度可以通过从其后侧 134 磨削,研磨或抛光这种子组件,以便减少其中每个微电子元件 12 的厚度。使用粘合层 162A,相似于第一子组件的第二子组件 130A 可以被结合至第一组件,以使得第二子组件的前侧 132 面对第一子组件的后侧 134,如图 7 所示。第二子组件的微电子元件 12A 与相对应的第一子组件的微电子元件 12 相对准地堆叠,以使得第二子组件的微电子元件 12A 的至少一部分直接在第一子组件的微电子元件 12 的后端面 118 上面。在如图 8A-B 中示例的一个实施例中,第二子组件 130A 的微电子元件 12A 的边缘沿竖直方向 60(横向于微电子元件 12 的前端面 117 的方向),与第一子组件 130 的微电子元件 12 的对应的边缘 18 相对齐。此外,第二子组件 130A 的微电子元件 12A 的边缘 20 可以沿竖直方向 60 与第一子组件的微电子元件 12 的对应的边缘 20 相对齐。以相似的方式,第二子组件 130A 的微电子元件 12A 的边缘 19 与 21(图 1)可以沿竖直方向与第一子组件 130 的对应的微电子元件 12 的各自的边缘 19 与 21 相对齐。

[0052] 随后,例如通过磨削,研磨或抛光而减少第二子组件的厚度,其微电子元件 12A 具有减少的厚度,如图 8A 中示例的。因此,可以去除直接在每个微电子元件 12A 上面的填充层 116 的介电材料,以使得填充层仅保留在第二子组件的相邻的微电子元件 12A 的相面对的边缘 18 与 20 之间以及相面对的边缘 19 与 21 之间,如在图 8B 的不完整的局部平面图中最佳示出的。还如在图 8B 中描绘的,第二子组件的微电子元件 12A 的边缘和在下面的第一子组件的微电子元件 12 的边缘相对齐,以便限定出堆叠的组件 30 的道 123 与 125,该堆叠的组件 30 具有布置在道中的填充层 116。还如图 8B 中示出的,线迹 22 向外延伸,超过每个芯片的边缘 18,19,20,21,进入微电子元件之间的道 123,125。

[0053] 随后,多个通道 46 被切割为与道相对齐的堆叠的组件 30,如图 9 中示例的。可以使用在图中未示出的机械切割工具来形成通道 46。这种机械切割工具的示例可以在美国专利号 6,646,289 与 6,972,480 中找到,在此以引用的方式加入其公开的内容。可替换地,激光钻孔技术可以用于形成通道。通道 46 可以在一些位置被形成于堆叠的组件 30 中,该位置在堆叠的组件 30 中的微电子元件 12,12A 的第一边缘 18 和相邻的堆叠的组件中的其他微电子元件 12,12A 的第二边缘 20 之间。通道还可以形成于一些位置处,该位置在微电子元件的第三边缘 19(图 8B)和与之相邻的微电子元件 12,12A 的第四边缘 21(图 8B)之间。通道 46 在相邻于各个子组件 130,130A 的微电子元件 12,12A 的边缘的道内向外延伸。

[0054] 如图 9 所示,可以形成通道 46,以使得它们不完全穿过堆叠的组件 30 延伸。例如,如图 9 所示,第一子组件 130 的微电子元件 12 保持彼此连接,因为通道 46 不穿过第一子组件 130 下面的承载层 140 延伸。然而,通道 46 延伸足够远,以便接触第一子组件 130 的线迹 24。相似地,通道 46 穿过连接第一与第二子组件 130,130A 的粘合层 162A 延伸。可选择地,通道可以穿过下粘合层 162 延伸,该粘合层将第一子组件连接至承载层 140。尽管示例的通道 46 具有斜壁 48,50,可选择地,壁可以是直的,也就是说,彼此平行,并且沿对于由微电子元件 12 的前端面 117 限定出的平面的法线方向定向。

[0055] 一旦在堆叠的组件 30 中产生通道 46,则引线 66(图 9)可以形成于通道 46 的壁 48,50 上。引线 66 可以通过任意合适的金属沉积技术形成,例如,包括溅射镀层或非电解镀层,光刻法与电镀法或其任意组合的处理。三维光刻法处理可以用于限定引线的位置,例如在共同拥有的美国专利号 5,716,759 中公开的,在此以引用的方式加入其公开的内容。引线 66 沿通道 46 的壁延伸,并且与各个子组件 130,130A 的微电子元件 12,12A 的线迹 24 电接触。

[0056] 在图 9 中示例的实施例中,引线 66 延伸超过通道 46 的壁 48,50,以使得引线在微电子元件 12A 的后表面 118 上面。引线 66 可以包括远离通道 46 的端部 75 或衬垫,在其上可以布置焊料块 74。每个引线 66 可以与微电子元件 12 的线迹 24 和微电子元件 12A 的线迹 24A 两者电连接,作为这些线迹 24,24A 对齐,并且暴露在例如通道 46 的壁 48 的给定的壁处的结果。

[0057] 可替换地,每个引线 66 可以与暴露在例如壁 48 的通道壁处的线迹 24,24A 中的一个电连接。这种结果可以通过将线迹 24,24A 定位到不同的平面中而获得,其发生在相对于特定部分进入和脱离该片的不同位置处,在图 9 中示例的。例如,如在图 9 中示例的,在其中发现线迹 24 的平面可以从在其中发现线迹 24A 的平面偏移,以使得当三维观测时,线迹 24 更加靠近读者。引线 66,其与线迹 24 相对齐,并且与线迹 24 相连接,还可以从线迹 24A

偏移,并且不与线迹 24A 相接触。在这种实施例中,每个线迹 24,24A 均会被连接至不同的引线 66,其会沿壁 48 或 50 延伸,并且延伸至微电子元件 12A 的后表面 118 上面的位置。

[0058] 如图 10A 中示出的,在通道 46 与包括引线 66 的各种导电元件形成在堆叠的组件 30 中之后,单独的封装 80 可以通过从堆叠的组件分离承载层 140,并且切割或折断留在介于堆叠的组件的相邻的微电子元件之间的任何材料而从堆叠的组件 30 分开。以这种方式,多个堆叠的单独的微电子单元 80 导致,每个堆叠的单独单元 80 包含多个相互堆叠的微电子元件。可替换地,承载层 140 可以保留在合适的位置,并且承载层随后与通道 46 相对齐的分开。在这种情况下,承载层的一部分将被包括在每个合成的单独的堆叠单元 80 中。

[0059] 如图 10A 中进一步示出的,引线的端部 75,具有可选择地布置于其上的块 74,该端部作为每个微电子单元 80 的顶面 90 处的单元触点 76 起作用。在每个堆叠的微电子单元 80 中,至少一个或多个微电子元件 12,12A 均具有背对堆叠的单元的顶面 90 的前端面 117 与触点 22。

[0060] 图 10B 为示例了具有四个微电子元件 412,412A,412B 与 412C 堆叠其中的单独的堆叠的微电子单元 490 的一部分的不完整的截面图,微电子元件通过粘合层 162,162A 和 162B 连接在一起。各大或更小数量的竖直堆叠的微电子元件可以被包括在封装中。一些微电子元件的前端面可以朝向微电子单元 490 中的其他微电子元件的后端面。例如,在图 10B 中,微电子元件 412A 的前端面 417 朝向微电子元件 412 的后端面 418。封装能够通过作为在单元顶面 490 上面的顶部单元触点起作用的引线的端部 475 外部地与其他元件相互连接。顶部单元触点 475 与微电子元件 412C 的后端面 418 相邻。因此,微电子元件 412,412A 的前端面背对堆叠的单元的顶面 490。

[0061] 此外,封装能够通过暴露于微电子单元的底面 492 处的底部单元触点 476 外部地相互连接。每个底部单元触点 476 可以导电地连接至一个微电子元件的仅一个线迹 424,并且没有至微电子单元中的其他微电子元件上的线迹的连接。可替换地,每个底部单元触点 476 可以导电地连接至两个,三个或更多线迹 424,424A,424B,424C,其在图 10B 中示例的部分中的平面中排列在一起。

[0062] 在以上描述的通过重构晶片的形成与连接而形成堆叠的封装的处理的变型中(图 10C),不同尺寸的微电子元件在堆叠的组件 830 中被连接在一起。图 10C 示例了在形成通道 46(图 9)的处理之前的制作阶段。图 10D 为与之对应的不完整的局部平面图,朝向微电子元件 812A 与微电子元件 812 的前端面,该微电子元件 812 位于微电子元件 812A 下面,并且沿组件的竖直方向 840 与微电子元件 812A 相对齐。如图 10C-10D 中示例的,组成堆叠的组件的上子组件 832A 的微电子元件 812A 中的一些可以具有比其中的下子组件 832 的微电子元件 812 更大或更小的尺寸。因此,在图 10D 中所示的示例中,上微电子元件 812A 的前端面 817A 的长度 834' 与宽度 836' 可以小于下微电子元件 812 的前端面 817 的长度 834 与宽度 836,该上微电子元件 812A 在该下微电子元件 812 上面。在另一示例中,堆叠的组件的竖直对齐的微电子元件 812' 与 812A' 的前端面 817',817A' 的长度与宽度相同,但这些尺寸不同于,即,小于堆叠的组件 830 中的其他微电子元件的尺寸。

[0063] 此处描述的技术的多功能性由图 10C-10D 中所示的结构示例。尤其,从微电子元件 812 上的触点 822 向外延伸的线迹 824 可以具有与线迹 824A 不同的长度,线迹 824A 从微电子元件 812A 上的触点 822A 向外延伸,因为形成包覆成型层 116(图 4)的处理留下表

面,在该表面上,不同长度的线迹可以通过连续的处理(图 5)而形成。很多变型可以由此形成,例如,上层的微电子元件具有比下层的微电子元件更大的尺寸。在又一示例中,更小尺寸的芯片可以被竖直地夹在更大尺寸的芯片之间,或更大尺寸的芯片可以被竖直地夹在更小尺寸的芯片之间。

[0064] 单个堆叠的组件 80,单元或封装(图 11)可以使用焊料块 74,在封装 80 的前端面 220 处导电地连接至互连元件 210,例如,介电元件,基底,电路板或其他其中具有终端 84,86 以及导线的元件。一个或更多附加微电子元件 230 可以被连接至封装 80 的后端面 222,并且通过连接线 82 电互连至互连元件的终端 84。这种微电子元件 230 可以包括一个或更多补充堆叠的封装 80 的功能的附加微电子元件,例如,微控制器,或可以包括一个或更多冗余元件,万一这种微电子元件出现问题时,则用于替代组件中的一个或更多微电子元件 112,112A,112B,或 112C 等。在特定的实施例中,单独的堆叠的组件或单元 80 可以被结合入其他组件中的微处理器,以及 RF 单元。一个或更多堆叠的单元 80 可以结合特定类型的微电子元件,例如闪存或动态随机存取存储器(DRAM)单元,并且被结合入包括存储器模块,存储卡等的各种单元中。其他用于将堆叠的单元 80 安装和互连至互连元件的典型布置在 2007 年 4 月 13 日提交的共同拥有的美国专利申请号 11/787,209 中示出与描述,在此以引用的方式加入其公开内容。例如,堆叠的单元 80 可以被安装成前端面面向下朝向互连元件或向上远离互连元件。此外,一个或更多附加的微电子元件可以如图 11 中所示的朝上安装或朝下安装,以使得接触球轴承面为安装至堆叠的单元 80 的倒装芯片。各种组合与结构都是可能的,例如在加入的美国专利申请号 11/787,209 中示例的。

[0065] 图 12 为示出以上实施例的变型的不完整的局部平面图,其中,在形成堆叠的组件 30(图 8)之后,省略了形成通道的步骤,该通道暴露出堆叠的微电子元件 12,12A 两者的全部线迹 24,24A。替代地,一系列单独的开口 228 形成于各个微电子元件的边缘之间,与道 218,220 相对齐。不像形成于上述实施例中的通道 46(图 9),每个开口 228 暴露出不多于各自微电子元件的单个线迹 224。如图 12 所示,连接至两个相邻的微电子元件 212 的触点的线迹 224 暴露于介于两个相邻的微电子元件之间的开口 228 中的一个内。在图 12 所示的堆叠的组件 30 中,多个连接至相同的子组件的微电子元件的线迹 224 可以暴露在单个开口 228 内。可替换地或除此之外地,多个连接至堆叠的组件的各个子组件 130,130A 的线迹 224(图 7)可以暴露在单个开口 228 内。然而,可以形成开口 228,以使得不多于每个单独的微电子元件的一个线迹暴露在每个开口 228 内。

[0066] 为了形成连接至单个线迹 224 的引线 with 外部单元触点,堆叠的组件中的所有开口 228 可以被同时填充导体,以形成连接至每个微电子元件的单个线迹的导电通孔。例如,开口可以填充有金属,通过沉积原始金属,如通过溅射沉积或化学沉积,并且随后电镀该合成结构而形成导电通孔。通过电镀步骤沉积的某些金属可以形成在微电子元件的后端面上面的层。这种金属层可以从微电子元件的后端面移除,留下暴露在每个开口 228 中的单独的导电通孔的表面。可替换地,在微电子元件 212 的后端面上面的金属层可以通过光刻法模制入从通孔延伸到在微电子元件 212 的后端面上面的位置上的单独的引线内,相似于在图 9 中的微电子元件 12A 的后端面 118 上面的引线 66。导电块,例如,焊料块为球形,可以随后形成于引线的端部处,如以上参照图 9 示出与描述的。

[0067] 在特定实施例中,金属复合材料可以通过模板或通过丝网印刷被沉积,以填充堆

叠的组件中的开口 228, 并且形成在后端面上面的引线。随后, 堆叠的组件可以被加热, 以硬化金属复合材料。开口可以同时通过与形成引线的处理相同的沉积处理而被填充, 或者开口可以在不同的时间或以与形成引线的处理不同的处理而被填充。金属复合材料可以包括, 例如, 金属填充糊, 例如环氧树脂焊料复合材料, 银填充糊, 或其他具有介电体的可流动复合材料, 例如, 加有金属颗粒的聚合物成分。形成引线的处理可以是附加的; 引线可以通过将金属复合材料通过筛或模板印刷到堆叠的组件上而被形成。

[0068] 图 13 至 16 示例了制作包含多个根据上述实施例 (图 2A 至 10A) 的变型的微电子元件的堆叠的组件的方法。图 13 包含一系列示例了制作方法中的连续阶段的截面图 (A) 至 (D)。在图 13 的阶段 (A) 中, 例如以上所示和描述的重构晶片 130 (图 5) 与粘合层 162 一起结合至承载部 160, 以形成与图 6 中所示的结构相似的结构。重构晶片与微电子元件 312 的前端面 317, 其上的触点 22, 以及相邻于承载部 160、从那里延伸的线迹 24 相结合。线迹可以是这样的, 即超过仅一个或仅一些边缘, 例如每个微电子元件的边缘 20 而延伸。

[0069] 随后, 如阶段 (B) 中示例的, 变薄重构晶片, 以通过减少每个微电子元件 312 与介电层 116 的厚度而制造重构晶片, 可以通过从微电子元件 312 的后端面 318 研磨, 磨削或抛光重构晶片 130 而减少微电子元件 312 与介电层 116 的厚度。

[0070] 在将重构晶片 310 变薄至所需的厚度之后, 第二重构晶片 130A 随后被结合至第一重构晶片 310, 微电子元件 312A 的前端面 317 朝向第一重构晶片 310 的微电子元件 312 的后端面 318 (步骤 (C))。第二重构晶片 310A 通过这样的方式被结合至第一重构晶片, 即第二重构晶片 130A 的微电子元件 312A 的边缘 340A 出现在沿横向 360、从第一重构晶片 310 的边缘 340 偏移的位置 350A 处。因此, 当将第二重构晶片的微电子元件 312A 称为上面微电子元件, 并且将第一重构晶片 310 的微电子元件 312 称为下面微电子元件时, 每个上面微电子元件 312A 具有叠盖与之结合的下面微电子元件 312 的区域。每个上面微电子元件 312A 具有边缘 340A, 该边缘沿横向 360、从下面微电子元件 312 的边缘 340 移动。在竖直地相邻的重叠微电子元件的边缘之间的横向偏移距离可以在从例如几微米至几十微米或更多的范围中。

[0071] 继续参照图 13, 阶段 (D) 示出了在以例如上述方式 (图 13, 步骤 (B)) 变薄第二重构晶片 130A 之后, 以形成重构晶片 310A 的结构。重复根据图 13 的阶段 (C) 与 (D) 所示的子处理, 用于形成包含微电子元件 312B 的第三重构晶片 310B 与包含微电子元件 312C 的第四重构晶片 310C, 以形成图 4 中所示的堆叠的组件 330。如图 15 中示例的, 在相邻的元件之间切割凹口 346, 以暴露布置在每个重构晶片 310, 310A, 310B 与 310C 中的微电子元件的前端面上的线迹的边缘。

[0072] 以这种方式形成堆叠的组件的优势在于可以提高形成引线 366 的工艺公差。堆叠的组件中的每个重叠的微电子元件相对于其覆盖的微电子元件的横向位移允许形成于其中的每个凹口 346 的侧壁的倾斜。增加的横向位移允许每个凹口 346 的侧壁更加深度地倾斜, 即, 以偏离竖直方向更大的角度。此处限定“竖直方向”为对于由微电子元件的接触球轴承面限定的平面的法线角, 例如, 该微电子元件为元件 312。尽管壁的更大的倾斜, 即使在这种线迹的长度受到限制时, 例如通过切割或激光钻孔而实现的切凹口操作暴露出线迹的边缘。

[0073] 图 16 为示例了上述实施例 (图 15) 的变型中的堆叠的组件的一个重构晶片 310

的微电子元件 312 的平面图。当微电子元件 312 具有相邻于图 16 中示例的边缘 340 与 342 的接触垫时,可以设置包括附加线迹 326 的重分布层,其在边缘 342 处的衬垫之间延伸,并且向外延伸超过微电子元件 312 的第三边缘 344。当形成堆叠的组件 330 时(图 14),每个连续地堆叠的重构晶片 310,310A,310B 与 310C 的重叠的微电子元件的边缘 344 还可以沿方向 362 从下面微电子元件的边缘 344 偏移。以这种方式,引线可以被形成于通道中,该通道沿重叠的微电子元件的第三边缘 344 暴露出线迹 328,并且还可以提高用于形成这种引线工艺公差。

[0074] 在上述实施例的特定变型中,当形成向外延伸的线迹 524 时,对齐部件 560,562(图 17)可以在制作阶段中被形成于重构晶片的每个微电子元件的前端面 517 上。对齐部件可以由金属同时与线迹 524 通过与形成线迹相同的处理而形成,这种处理参照图 5 的示例和以上描述。可替换地,对齐部件可以通过不同于形成线迹的处理而形成。以另一方式表述,可以使用与用于形成线迹的处理步骤相同的所有处理步骤来形成对齐部件或者通过完成至少一个不同于用于形成重新分布的线迹的处理步骤的处理步骤来形成对齐部件。

[0075] 当对齐部件通过不同处理而形成时,它们可以包括不包括在线迹 524 中的材料。同样地,线迹 524 可以包括材料,例如,不包括在对齐部件中的金属。可选择地,可以形成对齐部件,其包括光源波长的特定反射的材料,例如,该光源为用于照亮对齐部件的红外光源。

[0076] 对齐部件可以包括两种或更多类型的部件,例如,封闭的部件 560 与开放的部件 562,以允许区分每个微电子元件 512 的边缘,并且便于二维的每个微电子子组件的对齐。对齐部件 560,562 可以与每个下面微电子元件 512 的区域对齐,以使得对齐部件不延伸超过每个微电子元件 512 的边缘。可替换地,一些或全部对齐部件,例如,部件 560'可以仅局部地与微电子元件 512 的区域相对齐,以使得对齐部件延伸超过微电子元件 512 的边缘。在另一变型中,如参照微电子元件 512'所示的,对齐部件 560''与 562''布置在超过微电子元件 512'的边缘 518',519'的位置处。这种对齐部件 560'',562''可以与随后形成的通道 46(图 9)将占用的区域全部或部分地对齐。以这种方式,可以设置对齐部件,同时允许在微电子元件中实现紧凑的布局。

[0077] 当以例如以上所示和描述(图 7)的处理向其上装配下一子组件 130A 时,第一微电子子组件 130 的前端面 517 处的对齐部件 560,562 可以由布置在子组件 130 的微电子元件 12 的后端面上的工具照亮与检测。可替换地或除此之外地,第一微电子子组件 130 的前端面 517 处的对齐部件 560,562 以及第二微电子组件 130A 的相似的对齐部件可以由布置在承载层 140(图 7)之下以及第一子组件 130 的微电子元件 12 的前端面之下的工具照亮与检测。在这种情况下,承载层 140(图 7)具有光传输性能,该性能允许由穿过承载层 140 的厚度的光充分照亮。

[0078] 虽然此处的本发明已经参照特定实施例来描述,但应该理解的是,这些实施例仅仅是本发明的原则与应用的示例。因此应该理解的是,可以对示例性的实施例进行多种修改,并且在不脱离由权利要求限定的本发明的精神与范围的情况下,可以设计其他布置。

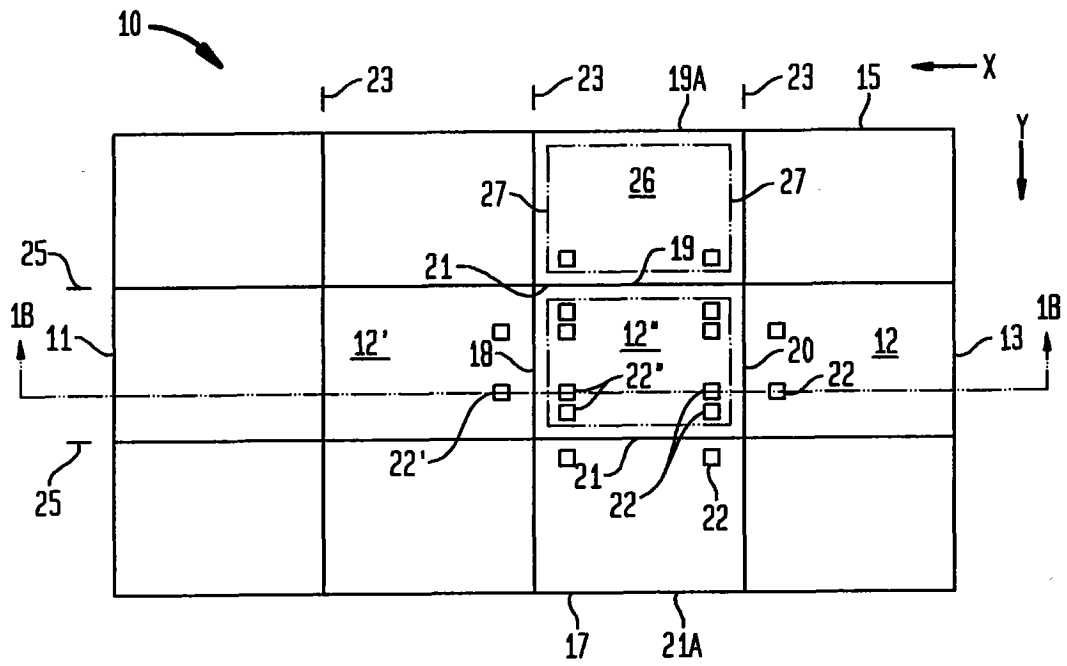


图 1A

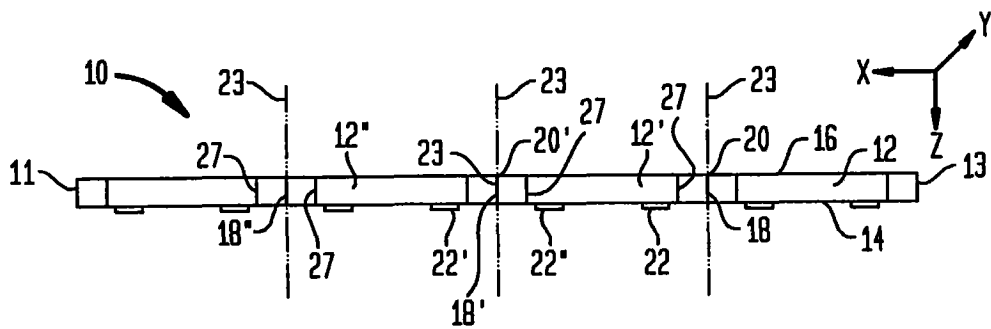


图 1B

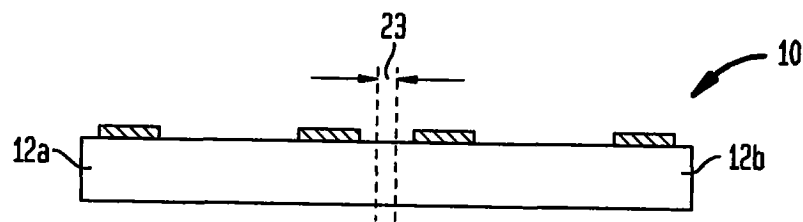


图 2A

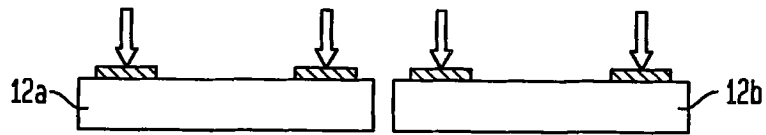


图 2B

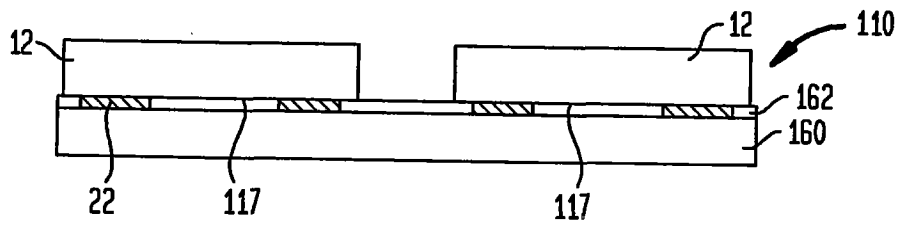


图 3

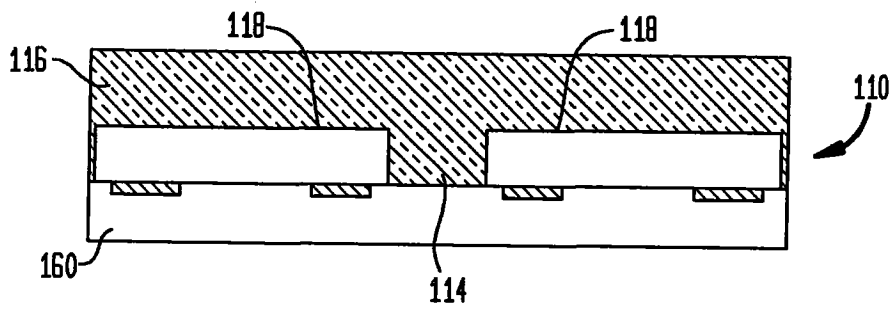


图 4

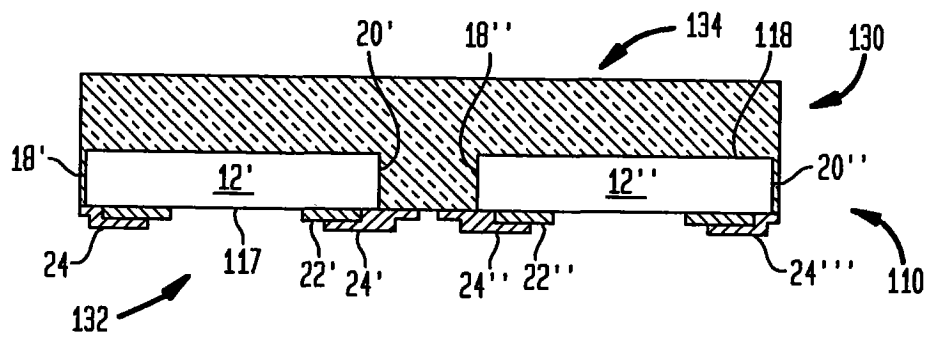


图 5

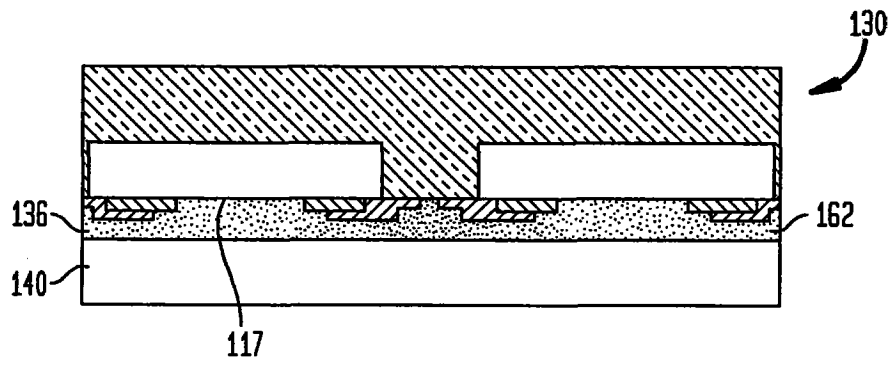


图 6

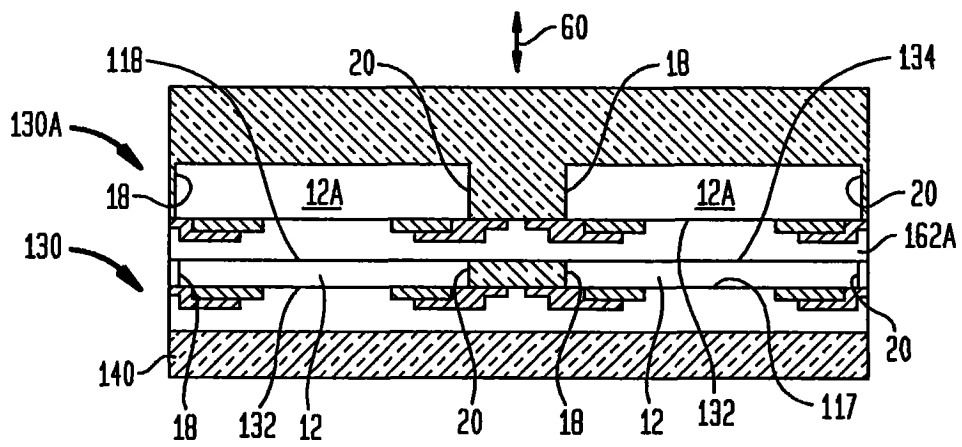


图 7

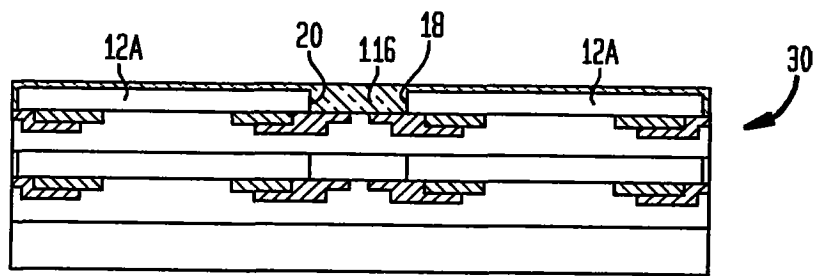


图 8A

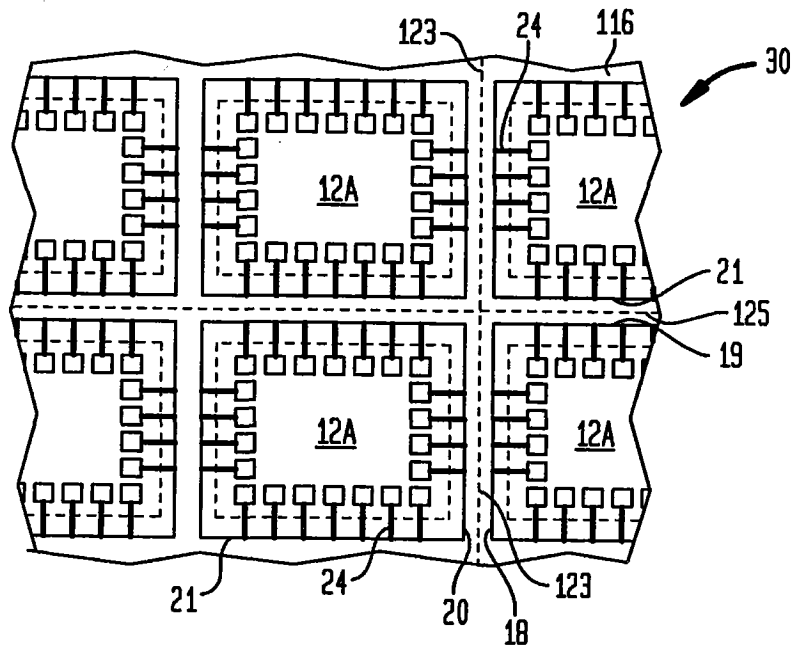


图 8B

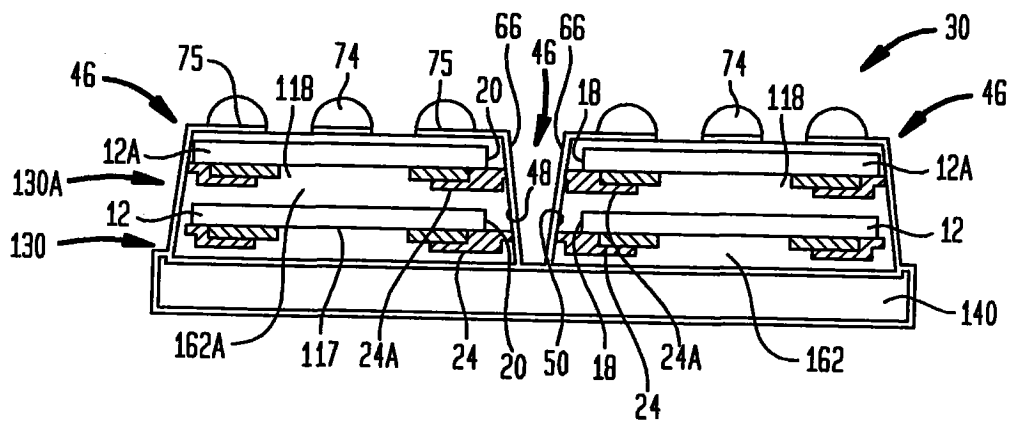


图 9

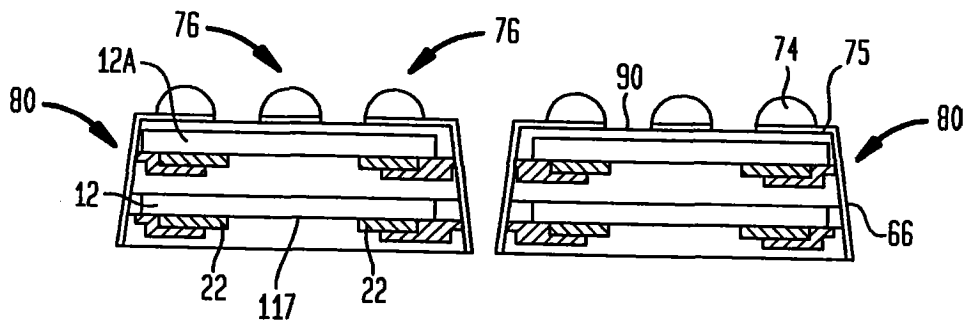


图 10A

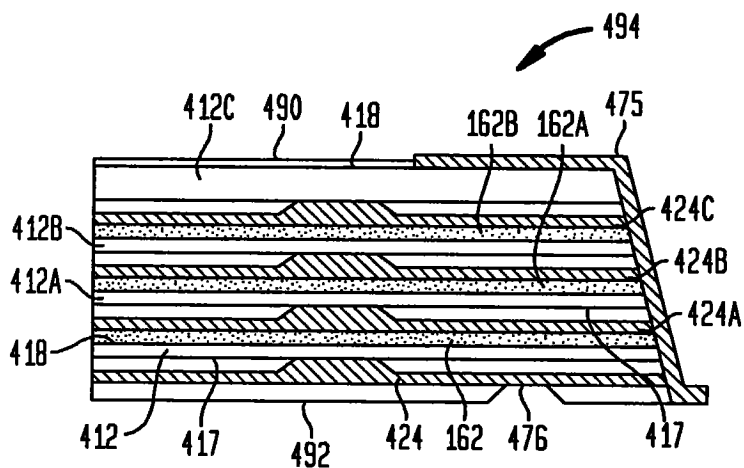


图 10B

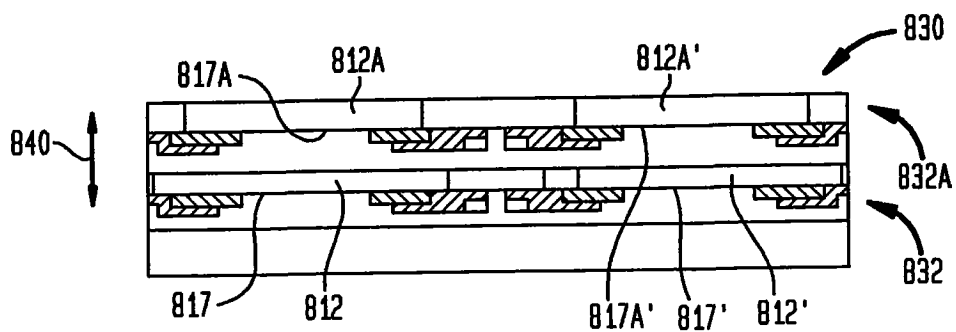


图 10C

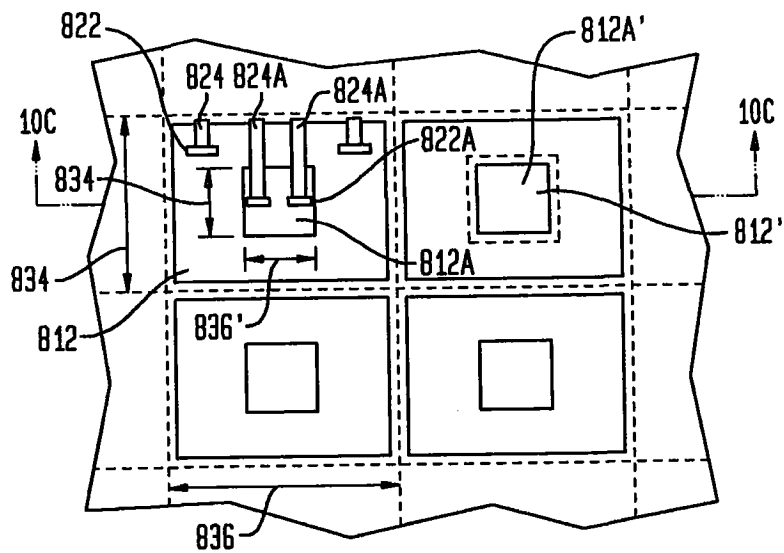


图 10D

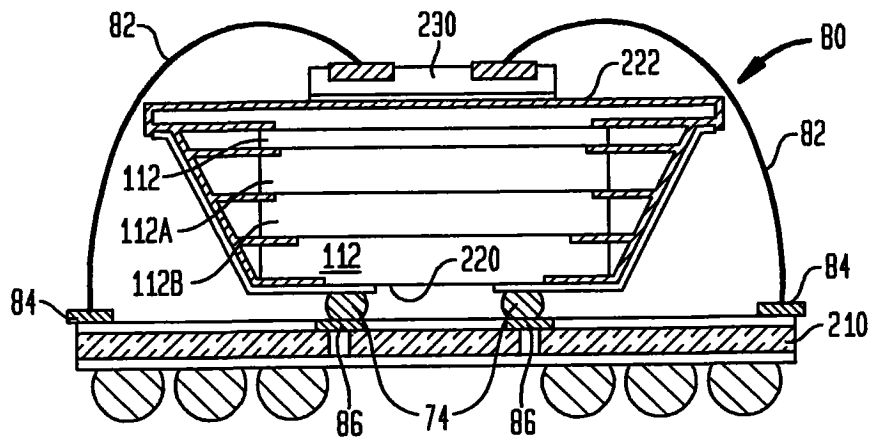


图 11

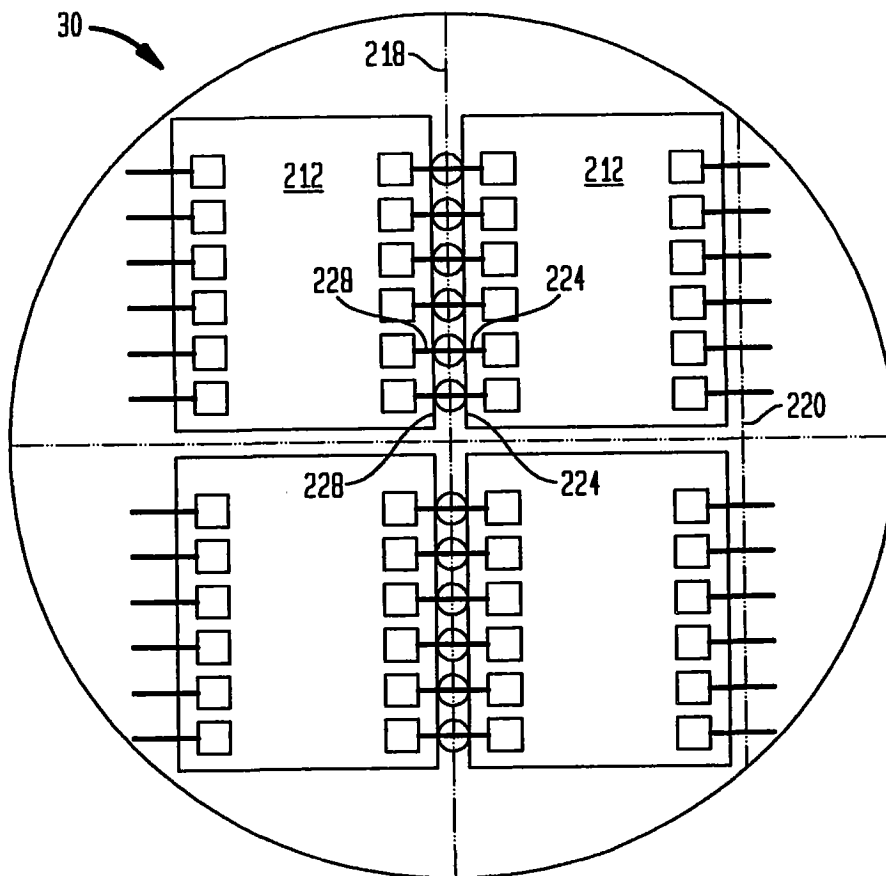


图 12

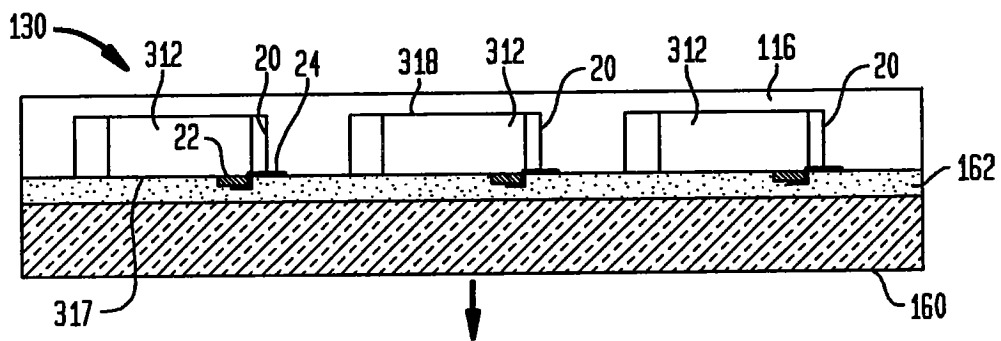


图 13A

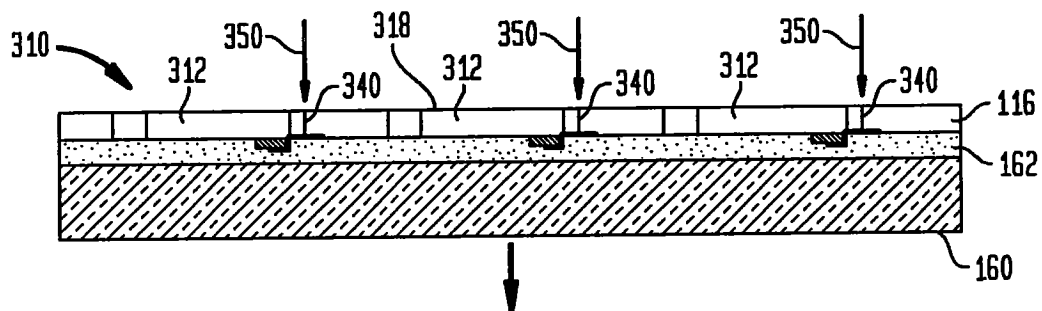


图 13B

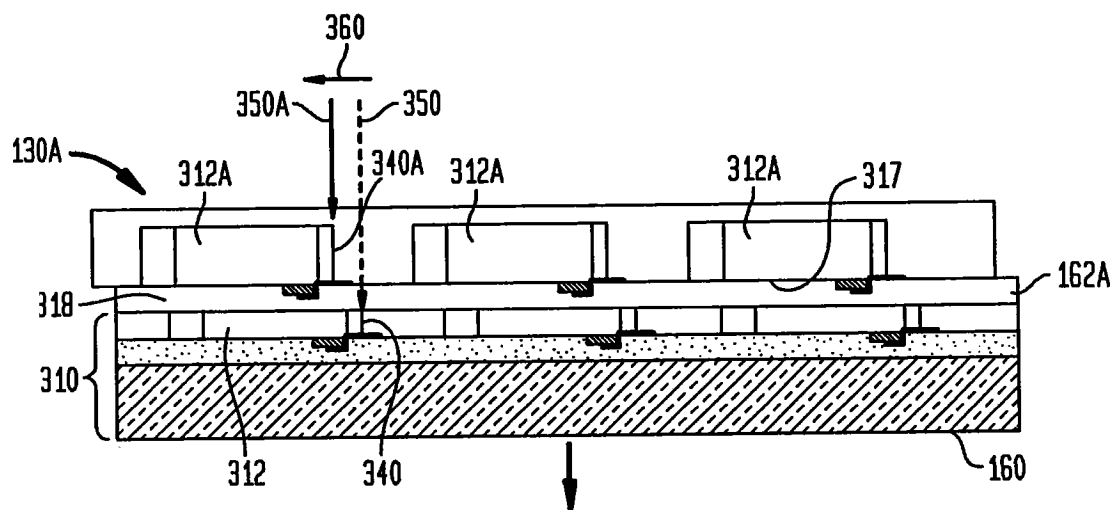


图 13C

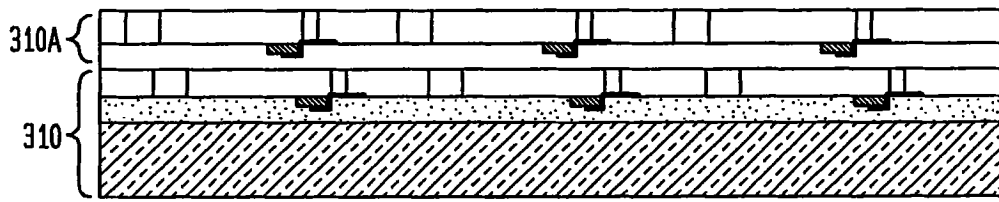


图 13D

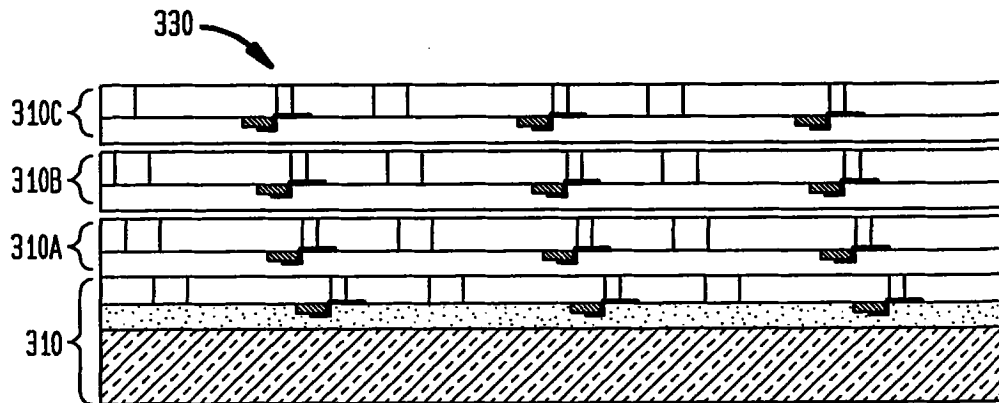


图 14

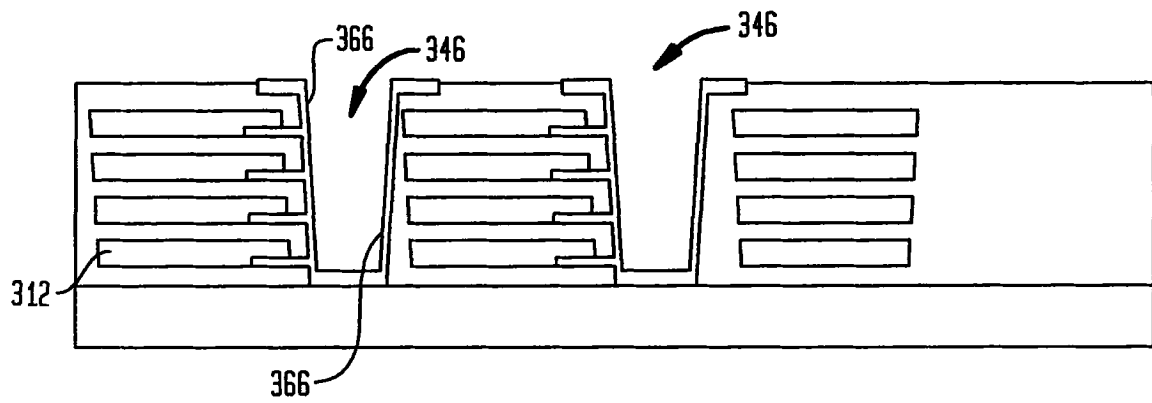


图 15

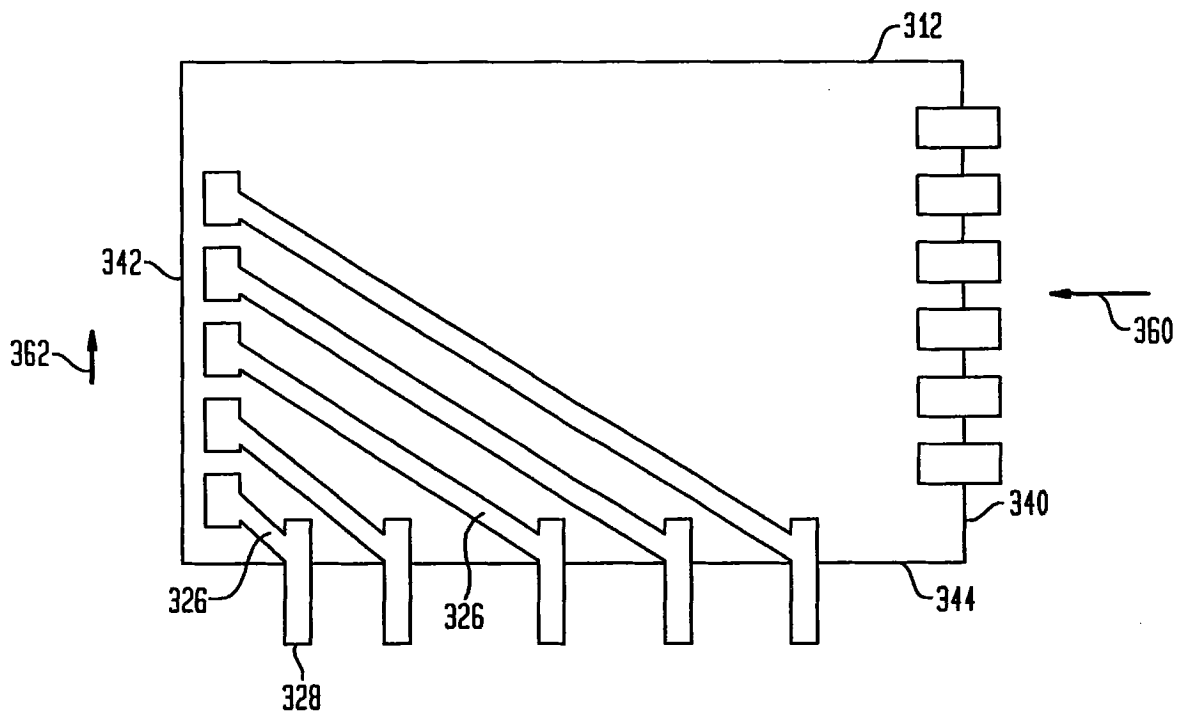


图 16

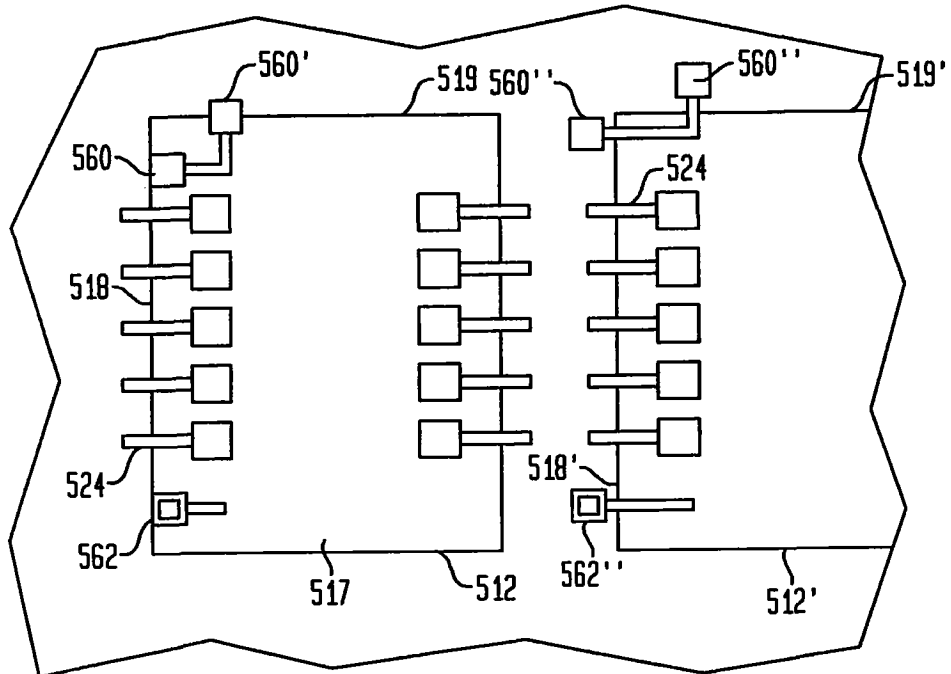


图 17