

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3762011号

(P3762011)

(45) 発行日 平成18年3月29日(2006.3.29)

(24) 登録日 平成18年1月20日(2006.1.20)

(51) Int. Cl.	F I	
G06F 7/38 (2006.01)	G06F 7/38	B
H04N 9/64 (2006.01)	H04N 9/64	Z
H04N 9/78 (2006.01)	H04N 9/78	Z
H04N 11/04 (2006.01)	H04N 11/04	Z

請求項の数 1 (全 15 頁)

(21) 出願番号	特願平8-348905	(73) 特許権者	391000818
(22) 出願日	平成8年12月26日(1996.12.26)		トムソン コンシューマ エレクトロニクス インコーポレイテッド
(65) 公開番号	特開平9-288563		THOMSON CONSUMER ELECTRONICS, INCORPORATED
(43) 公開日	平成9年11月4日(1997.11.4)		アメリカ合衆国 インディアナ州 46290-1024 インディアナポリス ノース・メリディアン・ストリート 10330
審査請求日	平成15年12月19日(2003.12.19)		
(31) 優先権主張番号	581115	(74) 代理人	100070150
(32) 優先日	平成7年12月29日(1995.12.29)		弁理士 伊東 忠彦
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 Mビットデジタル信号の最下位Nビットを対称的に短縮する装置

(57) 【特許請求の範囲】

【請求項1】

Mビットの入力信号の中の所定のNビットの最下位ビットを対称的に短縮する装置であって、

和信号を生成するため、上記Mビットの入力信号、上記Mビットの入力信号の最上位ビット及び整数Kを加算する全加算器と、

N個の少ない数の最下位ビットを有する対称的に丸められた出力信号を与えるため、上記和信号をNビットだけ切り捨てる手段と、

上記最上位ビットを上記全加算器に補数形式で供給する手段とにより構成される装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、2値信号のビットを短縮する装置に係り、特に、デジタル信号の多数の最下位ビットを対称的に短縮する装置に関する。

【0002】

【従来の技術】

上記の装置は、修正された信号に直流成分を生じさせることなく、デジタル信号の最下位ビットの数の削減を必要とする応用に一般的に利用される。以下、この処理を、デジタル信号の“対称切り捨て”、“対称丸め処理”或いは“対称ビット短縮”と称する。

【0003】

10

20

デジタル信号処理の応用において、信号は、多数の加算、演算、或いは、他の算術演算を受ける。かかる処理は、元のデジタル信号のビット位置よりも多数のビット位置を有する結果を生じる可能性がある。例えば、2個の8ビット2進数の加算は、“キャリーアウト”を生じる場合があるので、9ビットの和を生成する。減算の場合には、“ボロー”が発生するので同じことが言える。このことによる問題は、より多数の処理が行われると共に、回路素子はより多数のビットを処理する必要があり、かくして、処理のコスト及び複雑さが増大し、キャリー又はボロービットの伝搬のため潜在的なタイミングの問題が発生することである。回路を管理可能な寸法に制限するため、最下位ビットLSBが屢々無視され、即ち、2進数が切り捨てられる。

【0004】

10

【発明が解決しようとする課題】

従来の2値信号の“切り捨て”は、2値信号の最下位ビットの中の数ビットを捨てることである。これにより、単純な切り捨ては、正の切り捨てられた数と負の切り捨てられた数との間に非対称性を発生させるという問題が生じる。正の数の切り捨ては、零の方に接近する数を生じ、一方、負の数の切り捨ては、より負の方に大きくなる数を生ずる。

【0005】

一例として、プラス又はマイナス13のピーク値に関する10進数と等価な2進数の最下位2ビットの単純な除去による切り捨ては、正及び負の数に対し、夫々、+3及び-4の値を生成する。元の信号(プラス13及びマイナス13)が約零ポルトに中心が置かれた正弦波に対応したデジタル信号のピーク値を表わす場合を想定する。かかる信号の最下位2ビットを捨てることによる“単純な”切り捨ては、切り捨てられた信号に“バイアス”又は直流(DC)成分、或いは、“シフト”を生じさせることが容易に分かる。ある種の応用では、直流の偏移は、平均又はピーク信号レベルに対し重大ではない場合がある。しかし、他のシステムの場合、かかる非対称性は望まれていない結果を生じ、回避されなければならない。

20

【0006】

上記問題に対する従来の切り捨てによる解決法は、1986年5月13日に発行されたフライング(Fling)他による発明の名称「インタリーブされた直交信号と共に使用するような2の補数形式の2値信号を対称的に切り捨てる装置」の米国特許第4,589,084号明細書に記載されている。フライング他の引例の例において、2の補数は、正と負の両方の数の“対称的に切り捨てられた”値が零の方に近づくように対称的な方法で切り捨てられる。2の補数の符号ビットにตอบสนองして、上記装置は、最下位Nビットを単純に捨てることにより正の値を切り捨てる。符号ビットが負の数の存在を示す場合には、最下位Nビットは、一緒に論理和され、得られた結果が負の2進数の残りの(M-N)ビットの中の最下位ビットに加算される。

30

【0007】

本発明は、デジタル信号の最下位ビットの数の対称的な短縮を簡単に行うことを目的とする。

【0008】

【課題を解決するための手段】

40

本発明によれば、Mビットの入力信号の中の所定のNビットの最下位ビットを対称的に短縮する装置は、和信号を生成するため、上記Mビットの入力信号、上記Mビットの入力信号の最上位ビット及び整数Kを加算する全加算器と、N個の少ない数の最下位ビットを有する対称的に丸められた出力信号を与えるため上記和信号をNビットだけ切り捨てる切り捨て器とにより構成される。

【0009】

【発明の実施の形態】

本発明の上記及び他の特徴は添付図面を参照して説明される。添付図面において、類似した素子は類似した名前で示される。

図1は、複合ビデオ入力信号をルミナンス成分及びクロミナンス成分に分離する応用にお

50

いて、本発明を具現化する対称“丸め処理”又は“ビット短縮”ユニット100Aの応用の一例を示す図である。図1の複合ビデオ信号分離器10は、ルミナンス成分及びクロミナンス成分に分離されるべきアナログ複合ビデオ入力信号を受ける入力12と、例えば、8ビット分解能のデジタル複合ビデオ(CV)出力信号を与える出力とを有するアナログ/デジタル(A/D)変換器14からなる。説明の目的のため、複合ビデオ信号はNTSC規格であり、かつ、A/D変換器のサンプリングレートは色副搬送波の周波数の4倍に一致する場合を想定する。上記の条件の下で、1個の完全な色サイクルに対し4個のサンプル期間があり、2個のサンプル期間は1個の色サイクルの半分と同一であり、1ラインにつき全部で910個のサンプルがある。図1に使用された作図の規則によれば、直線を横切り、傍らに数字を有する45度のハッシュは、その直線がバスであることを示し、その数字はバスの導線(同時に1サンプルについてのビット数)を示す。

10

【0010】

デジタル形式への変換後、複合ビデオ信号CVは、複合ビデオ信号CVからクロミナンス成分Cを生成する1対の線形デジタルフィルタ20及び30に供給される。第1のフィルタ20は、1ライン(1-H)の楕形フィルタであり、複合ビデオ信号は、減算器24の被減数(+)入力26に直接供給され、1ライン(1-H)の遅延18(例えば、910個のサンプル期間又はクロック周期)を介して、減算器24の減数(-)入力22に供給される。遅延された複合ビデオ信号CVを遅延されていない複合ビデオ信号から減算することにより、減算器は、図4の(A)に示されているように(スケール処理はされていない)、周期的な通過域応答を有する楕形フィルタ応答を生成する。

20

【0011】

図4の(A)の楕形応答は、水平ラインレートの奇数倍(例えば、 $F_h/2$ 、 $3F_h/2$ 、 $5F_h/2$ 等)にピークを示し、ラインレートの倍数(例えば、 F_h 、 $2F_h$ 、 $3F_h$ 等)にヌルを示す。上記応答は複合ビデオ信号CVから2個の信号を再現する。色副搬送波の略中心にある周波数で、楕形出力信号は、主として、実質的にルミナンス成分の無いクロミナンス成分(C1)により構成される。クロミナンス信号帯域の低い方の帯域の端よりも下側の周波数で、楕形出力は、一般的に、ルミナンス信号の“垂直ディテール”成分(VD)と呼ばれる成分からなる。上記信号は、ライン・ツウ・ラインのルミナンス構造に関する情報を伝搬し、かつ、本質的にクロミナンス情報を含まない。

【0012】

クロミナンス成分だけを再現するため、楕形フィルタ20からの垂直ディテール信号を除去する必要がある。これは、楕形のクロミナンス及び垂直ディテール信号(C1+VD)が供給される入力32を有する3段の帯域通過形有限インパルス応答(FIR)フィルタ30により行われる。フィルタ30は、入力32に接続された第1の入力34と、2個の遅延素子40及び38の直列接続を介して入力32に接続された第2の入力36とを有する第1の加算器44からなり、各遅延素子は2個のサンプル期間の遅延を有する。遅延は、図の中で通例的な“Z”変換記法で示され、“Z”の負の冪数はサンプル期間の遅延の数を意味する。遅延38及び40の共通接続の遅延された信号は、乗算器49により2倍され(例えば、1ビットのシフト)、加算器44の出力42から遅延され、乗算された信号を減算する減算器46の減数(-)入力48に供給される。

30

40

【0013】

有限インパルス応答フィルタ30の最終段は、減算器46の出力に直接的に接続された第1の入力52と、4サンプル遅延素子56を介して減算器46の出力に接続された第2の入力54とを有する加算器50により形成されたフィルタにより与えられる。第1の2個の遅延素子38及び40と、加算器44との合成は、第1の帯域通過フィルタを形成する。乗算器49及び減算器46と、第1の帯域通過フィルタとの合成は、第2の帯域通過フィルタを形成する。第3のフィルタ段は、上記の如く加算器50と遅延素子56とにより形成され、全てのフィルタは、クロミナンス搬送周波数の中心にある極を有する。上記のフィルタは、加算器50の出力に生成されたクロミナンス出力信号C58が有意なルミナンス垂直ディテール成分を含まないように、楕形フィルタ20により生成された垂直ディ

50

テール成分を十分に除去し得ることが分かった。

【0014】

図4の(A)乃至(D)には、複合ビデオ分離処理の全体が示される。図4の(A)は、上記の如く、フィルタ20の周期的な櫛形応答を示す。図4の(B)は、フィルタ20の出力から垂直ディテール成分を除去し、図4の(C)に示されるようにクロミナンス成分だけを残すフィルタ30の通過帯域を示す。後で説明されるように、最終的にこの成分は、クロミナンス成分を本質的に打ち消し、図4の(D)に示されるようにルミナンス成分だけを残すため、複合ビデオ信号CVと減算的に合成される。

【0015】

クロミナンスを得るため複合ビデオ信号CVをフィルタ処理する処理の間に、上記信号は全部で4回の算術演算を受ける。例えば、櫛形フィルタ20において、遅延した複合ビデオ信号と直接の複合ビデオ信号は減算される。減算器24は“ポロー”を生成し得るので、上記の減算は、結果として得られる差信号のビット数を1ビットずつ“拡張”又は増加させる。従って、櫛形クロミナンス信号は、減算器24の出力で9ビット幅である。このことは、図の中で、数字9が傍らに書かれた減算器24の出力バスを横切って引かれた“ハッシュ”線により示される。他の信号バスは、同様にバスの“幅”に関して区別される。ある信号は、関係したビット数の指標を含む。

10

【0016】

有限インパルス応答フィルタ30において、クロミナンス成分は、加算器44及び50と減算器46とにおいて、全部で3回の算術演算を受ける。各算術演算はクロミナンス信号に他のビットを加える。その理由は、上記演算が(加算のための)キャリー、又は、(減算のための)ポローの何れかを生成するからである。従って、櫛形フィルタに供給された8ビットの複合ビデオ信号は、第1の減算後に9ビット信号に“拡張”される。9ビットの信号は、加算器44における第1の加算後に10ビットになる。加算器44の出力は、減算器46における第2の減算に起因して11ビットの信号になり、最後に、完全にフィルタ処理されたクロミナンス信号は、加算器50の最終的な加算後に12ビットまで拡張する。クロミナンス信号の8ビットから12ビットまでの拡張は、クロミナンス信号を16の倍率で乗算した場合と類似する。本発明の好ましい実施例によれば、12ビットの“ビット拡張された”クロミナンス信号は、2ビット切り捨て器60により10ビットに“ビット短縮”され、出力端子64へのアナログ出力信号としての応用のため10ビットのD/A変換器62により変換される。

20

30

【0017】

ルミナンス信号の再現には、別のクロミナンス信号処理が必要である。特に、クロミナンス信号の小さい方のビットの単純な“切り捨て”又は“切り放し”によるビット短縮の技術は、ルミナンス信号成分の再現に関する問題を生じる。ルミナンス信号は、単純な切り捨てによりクロミナンス信号のビット数を削減しようとしたとき、表示された画像内に所望されていない視覚的なアーティファクトを生成する傾向のあることが分かった。輪郭化を含む上記アーティファクトは、非常に小さいルミナンス及びクロミナンスの空間的勾配を有する画像を表示する際に視覚化されることが分かった。かかる信号の例を以下に説明する。

40

【0018】

ルミナンス信号の再現は、複合ビデオ信号の分解能(8ビット)と適合するため、クロミナンスのビット数の短縮を必要とする。これには、ビット短縮された信号に直流成分を少しも生じさせることなく、クロミナンス成分を12ビットから8ビットまで短縮する必要がある。本発明の一面によれば、このビット短縮は、以下“対称丸め処理”と呼ばれる処理により達成される。クロミナンス信号の対称丸め処理には、ルミナンス信号における所望されていない輪郭化の傾向を減少させる利点があることが認められる。

【0019】

従来の対称“丸め処理”又は“切り捨て”回路の一例は、1986年5月13日に発行されたフライング(Fling)他による発明の名称「インタリーブされた直交信号と共に使用す

50

るような2の補数形式の2値信号を対称的に切り捨てる装置」の米国特許第4,589,084号明細書に記載されている。フライング他の引例の装置によれば、2の補数形式の2進数の対称切り捨ては、正の値の最下位ビットを単純に無視し、かつ、無視された最下位ビットの中に論理的な“1”の値があるとき、切り捨て処理された負の値に“1”を加算することにより行われる。Nビットの切り捨てを行う装置は、増分器と、2入力ANDゲートと、N入力ORゲートとを含む。かかる配置はかなり複雑であるが、ルミナンス/クロミナンス分離の応用に対称丸め処理を適用する用途に相当である。好ましい対称丸め処理ユニット100Aは図1に示されている。

【0020】

図1の例における対称ビット短縮又は丸め処理は、丸め処理ユニット100Aにより与えられる。概略的に言うと、上記ユニットにおいて、Mビット（例えば、12ビット）のクロミナンス信号、そのクロミナンス信号の最上位ビット、及び、整数K（例えば、2進数の0111）は、“N”個のより低い方の最下位ビットLSBを有する対称的に丸め処理されたデジタル出力信号、又は、ビット短縮されたデジタル出力信号を与えるよう、Nビット（例えば、4ビット）ずつ切り捨てられた和を生成するため加算される。最上位ビットMSBは、所定の入力信号変化に対する対称点の周辺に異なる数の零点が配置された広い丸め処理モード又は狭い丸め処理モードを選択するため実際のままの形式、又は、補数形式で加算器に供給される。デジタル信号のビット短縮に起因した所望されていない直流シフトが阻止される点があり、これは、以下に説明するように、ルミナンス信号の“輪郭化”を低減する際に効果的であることが分かった。

【0021】

より詳細に言うと、図1の実施例において、丸め処理ユニット100Aは、12ビットの全加算器101と、4ビットの切り捨てユニット103と、2進数バイアス源102とにより構成される。上記実施例において、フィルタ30により与えられる12ビットのクロミナンス成分及び4ビットのバイアス数（例えば、“7”又は2進表現の2進数“0111”）は、加算器101の被加数及び加数入力に供給される。“2の補数の算術”を利用する上記実施例において、12ビットのクロミナンス信号の中の最上位ビット（符号ビット）は、12ビットの全加算器101のキャリーイン入力に供給され、全加算器101は、そのキャリーアウトと共に13ビットのクロミナンス信号を発生する。修正されたクロミナンス信号の最下位4ビットは、4ビット切り捨て器103により切り捨てられ、これにより、ユニット100Aの9ビットの対称的に丸め処理されたクロミナンス出力信号が生成される。換言すれば、ユニット100Aにおいて、クロミナンス信号の極性に依存して、対称丸め処理の間に、ある数がクロミナンス信号に加算される。信号が正ならば、“0111”（10進数の“7”）の値だけが加算され、加算器101のキャリーインに供給される最上位ビットMSBは零である。負の数に対し、加算器101のキャリーインに供給される最上位ビットMSBは“1”であり、かつ、“0111”と共に入力信号に加算されるので、“1000”（10進数の“8”）が有効な加算結果である。

【0022】

図1に示されたような対称ビット短縮を理解するため、対称丸め処理の“広い”モード及び“狭い”モードを夫々示す図13及び図14の図表を考慮することが有用である。広いモードはユニット100Aにおいて使用される。図13は、-11乃至+11の範囲にある信号レベルに対しユニット100Aの装置を用いて2ビットを丸める場合を示している。列(a)には、10進数表現の入力信号値が列挙されている。列(b)には、等価な2値の入力信号値が示される。列(c)は2値入力信号の最上位ビットを表わす。列(d)は、全加算器101において入力された数字とその数字の最上位ビットとに加算され、2進数バイアス源102により生成された数“K”の大きさを決めるための式を表わす。以下の式 $K = \{ (2^N) - 2 \} / 2$ から、2ビット(N)の短縮の場合のKの値は“1”である。

【0023】

列(e)は、-11乃至+11（10進数）の入力信号の場合に、“M”、“K”、及び

10

20

30

40

50

“MSB”の和に対する加算器101の出力を示している。上記の和が2ビットで切り捨てられたとき、列(f)及び列(g)に示されるように、結果として得られた切り捨てられた値は、-3乃至+3の範囲で変化し、入力信号の零点の周辺で完全に対称的である。“ステップ幅”は、零点レベルの上方又は下方の1ステップにつき4個の同一の出力値により構成される。零点の周辺の対称性のため、入力信号の零点(以下、“対称点”又はPOSと呼ぶ)に関し対称的に配置された全部で5個の零点がある。

【0024】

最下位4ビットが取り除かれたユニット100Aにおいて、最上位ビットのオーバーフロー又はキャリアアウトの可能性があるため、短縮されたビットの総数は3である。従って、12ビットの入力信号は、最終的に所望された8ビットでなく、9ビットに短縮される点に注意が必要である。かかる状況を回避するため、ユニット100Aの出力信号の最上位ビットMSBはリミッタ104によって制限される。

10

【0025】

対称ビット短縮の“狭い”モードは、ユニット100Bにより図3の例に示され、その動作は図14の図表に示される。ユニット100Aとユニット100Bとの間の相違は、ユニット100Bにおいて加算器に供給された最上位ビットMSBはインバータ300により反転される点だけである。ユニット100Bの動作に及ぶ影響は、入力又は出力信号の対称点の周辺に配置された出力零点の数の減少である。最上位ビットMSBが補数形式で(反転されて)加算器に供給される図14の狭いモードの例において、対称点には3個の零点が生成される。最上位ビットMSBが真の形式(非反転形式)で加算器に供給される図13の広いモードの例の場合、上記の如く、対称点には5個の零点が生成される。対称的にビット短縮された出力信号の“ゼロ交差点”を広げる、或いは、狭めることの随意性に利点がある。

20

【0026】

図1のルミナンス信号の再現の問題に戻ると、上記の切り捨て処理は、上記の理由のため、クロミナンス信号のビット数を13まで増大させる場合がある。これは、複合ビデオ信号CVからルミナンス成分を抽出するため要求されることの逆であると思われる。しかし、切り捨て回路は、有用な下位の4ビットからのクロミナンス情報を効率的に移動し、ビット5以上に配置するので、クロミナンス情報の重大な損失を伴うことなく下位の4ビットを切り捨てることが可能であり、これにより、ルミナンスの輪郭化の影響が低減される。

30

【0027】

要約すると、この点までの対称ビット短縮は、M、K及び最上位ビットMSBを加算し、その和を4ビット切り捨て器103によって切り捨てることにより得られる。これは、クロミナンス信号の最下位ビットLSBの数を4ずつ短縮し、かつ、最上位ビットMSBの数を1ずつ増加させ、全部で9ビットが得られる。このビット数は、複合ビデオ信号の分解能(8ビット)よりも1ビットだけ多い。この最後のビットは、8ビットクロミナンス出力信号を生成するためリミッタ104により除去される。対称丸め処理の後の制限の処理は、システム全体の輪郭化能力を低下させる訳ではないが、最下位ビットLSBの除去を要求することなく、8ビット複合ビデオ信号との減算を容易化する。換言すれば、ルミナンスの輪郭化の問題を発生させるのは、クロミナンスの最下位ビットの非対称切り捨て処理であり、従って、クロミナンス信号の最上位ビットの制限によれば、輪郭化能力は低下されないが、ルミナンス再現のための後続の8ビットの減算が容易化される。

40

【0028】

ルミナンス信号成分の再現は、被減数入力82の複合ビデオ信号CVから減数入力84の8ビットのクロミナンス信号を減算する減算器により与えられる。減算の前に、複合信号CVは遅延ユニット86において、4サンプル期間ずつ遅延される。複合ビデオ信号を1個の完全な色サイクル(4サンプル期間)だけ遅延させる理由は、帯域通過フィルタ30内で4サンプル期間の平均により遅延させられた12ビットのクロミナンス信号との時間的な調整を与えるためである。デジタル回路の“減算”は、通常、減数を2の補数化し

50

、次に、加算を行うことにより行われるので、発明の詳細な説明及び特許請求の範囲で使用されている“減算的に合成する”は、かかる通常の減算技術を含むことが意図されていることに注意が必要である。

【0029】

複合信号とクロミナス信号を減算的に結合する算術演算は、減算にルミナス“ボロー”が生じる可能性があるため1ビット拡張された9ビットの分離サレタルミナス成分を生成する。この余分なビットは、分離されたルミナス信号Yをリミッタ90において8ビットに制限することにより抑止される。アナログルミナス成分出力信号は、制限された8ビットのルミナス成分を8ビットデジタル/アナログ(D/A)変換器92を介して出力端子94に供給することにより得られる。

10

【0030】

次に、ルミナス成分を所謂“輪郭化反応”信号と呼ばれる信号から分離する図1の実施例の動作を考える。5通りの輪郭化反応信号の例が、“信号1”から“信号5”までの名前で図5に示される。各信号は、A/D変換器14の出力で得られ、色副搬送波の周波数(Fc)のクロミナスを表わす交流成分と直流成分とを有する複合ビデオ信号である。直流成分はルミナス成分を表わし、少なくとも数サイクルの副搬送波サイクルの間で一定である。5本の信号ラインは、表示されたビデオ画像の5個の連続した領域において、同一ではないが、“略等しい”5個の値を表わすルミナス信号の5個の異なる安定状態の条件を示している。A/D変換器14内のアナログクロミナス信号は、一定になるよう選択されるが、クロミナスに加算され量子化されたルミナスの変化は、デジタル分離クロミナスに変化を生じさせるので、A/D変換器の出力の“デジタルクロミナス信号”は一定ではない。

20

【0031】

図5の図表から、“信号1”から“信号5”までの変化は、4個の複合値の中の1個だけの変化である点に注意する必要がある。特に、信号1の各ラインに現れる複合値“9”は、信号2の各ラインで“10”に変化する。ここに与えられた値は一例であり、IRE単位、又は、8ビットの2進スケール(例えば、0乃至255)に変換されたIRE単位であるとみなされる。何れの表現の場合でも、信号1から信号2までの変化は非常に小さい。信号2と信号3との間の変化(各ラインで“4”が“5”に変化する)と、信号3と信号4との間の変化(“2”は“3”に変化する)と、信号4と信号5との間の変化(“7”は“8”に変化する)とに対しても同じことが言える。上記の5通りの想定された信号の間の変化は、略一定に漸増する複合ビデオ信号のルミナス成分と、一定のクロミナス成分とを表わす。

30

【0032】

図6は、図5の複合ビデオの5本のラインに対する楕形フィルタ20の出力から再現されたクロミナス(C)及び垂直ディテール(VD)成分を示す図である。上記の値は、図6の先頭部に示された“D”(差)の式から計算された安定状態の値である。特に、現在のC+VDサンプルの値は、

{現在のサンプルの値} - {直前の垂直方向のサンプル、即ち、対応する前のラインのサンプルの値}

40

と一致する。例えば、信号1に対し図6のライン2の第1のサンプルの差は、

{信号1のライン2の現在のサンプルの値(+4)} - {図5から得られた対応する信号1のライン2の前のサンプルの値(-7)}

と一致する。図6の全てのC+VDの差の値は、同様に図5から得られる。

【0033】

図1を参照して説明したように、次の処理段階は、望まれていない垂直ディテールを楕形フィルタ20の出力から除去することである。これは、図7の先頭部に示され、図6の楕形値から楕形複合信号のフィルタ処理された値を導出する“P_n”に対する伝達関数を有する帯域通過フィルタ30により行われる。現在のフィルタ処理されたクロミナスの“画素”に対する値“P_n”は、

50

{ 対応する図 6 の図表内の画素の現在の値 (P_0) } - { 時間的に 2 画素分先行するの画素の 2 倍の値 } + { 4 画素分先行する画素の値の 2 倍 } - { 6 画素分先行する画素の値の 2 倍 } + { 時間的に 8 画素分先行する画素の値 } に一致する。

【 0 0 3 4 】

例えば、帯域通過フィルタ処理された信号 1、ライン 3、画素 1 のクロミナンス信号は、以下のように定められる。現在の値は + 3、2 画素先行した値は - 3、(現在の画素の値の) 4 画素先行した値は + 3、6 画素及び 8 画素先行した値は、夫々、- 3 及び + 3 である。従って、 P_n の値は、

$$P_n = (+3) - 2(-3) + 2(+3) - 2(-3) + 3 = 3 + 6 + 6 + 6 + 3 = +24 \quad (1)$$

10

のようになる。図 7 の残りのクロミナンス画素の値も同様に計算される。

【 0 0 3 5 】

本発明の利点をもっと十分に評価するため、フィルタ 3 0 により与えられた 1 2 ビットのクロミナンス信号から 4 ビットを切り捨て、複合信号 C V から差を減算するだけでルミナンス成分の値が得られるならば、ルミナンス成分の値が何であるかを定めることが有効であると考えられる。上記の結果は、図 8 及び図 9 の図表に示されている。単純な切り捨ての場合に図 9 から得られた結果は、次に、クロミナンス信号の対称丸め処理の結果を与える図 1 1 と比較される。

【 0 0 3 6 】

図 8 は、フィルタ 3 0 の 1 2 ビットのクロミナンス信号からの 4 ビットの (対称ではない) “ 単純な ” 切り捨ての影響を示している。図 9 は、図 5 の元の複合ビデオ値からの図 8 の切り捨てられたクロミナンス値の減算の最終的な結果を示している。これにより、“ 単純な ” 切り捨て処理がクロミナンス信号に適用された場合に、減算的な輪郭化はルミナンス信号を生じることが分かる。図 2 の従来 “ 単純な ” 切り捨て器 2 0 0 を用いて切り捨てられたクロミナンス値は、図 7 の複合ビデオ値から最下位 4 ビットを落とすことにより定められる。その結果は図 8 に示される。

20

【 0 0 3 7 】

図 9 は、1 2 ビットのクロミナンス信号からの 4 ビットの単純な切り捨てが想定された状況に対するルミナンス信号レベルを示す。この配列の中で正確なルミナンス値を有する信号は、信号 3 だけである。図 9 は、図 5 の元のデジタル複合ビデオ信号値から図 8 の切り捨てられた各クロミナンスを減算することにより得られる。例えば、図 5 において、信号 3 のライン 2 の第 1 のルミナンス画素の値は、

$$\{ \text{図 5 の複合ビデオ値} \} - \{ \text{図 8 のクロミナンス値} \}$$

30

に一致する。図 5 から、複合ビデオ値 C V は “ 7 ” に一致する。図 8 から、切り捨てられたクロミナンス値は “ - 1 ” である。従って、信号 3、ライン 2、画素 1 に対し、ルミナンス信号値は “ 6 ” である。これは、以下に説明するようにルミナンス信号に対する “ 正確な ” 値である。

【 0 0 3 8 】

図 9 のルミナンス信号値の中で、正確なルミナンスの値と正確ではないルミナンスの値とを決めるため、図 7 のフィルタ処理されたクロミナンス値を検査することが有用である。同図において、信号 3、ライン 3、画素 1 に対し、フィルタ処理されたクロミナンス値は、“ 1 6 ”、又は、2 進数の “ 1 0 0 0 0 ” であることが分かる。2 進数の “ 1 0 0 0 0 ” が切り捨てられたとき、無視された最下位 4 ビットは全て零であるため、除算の誤差は発生しない。かくして、図 7 において + 1 6 又は - 1 6 と一致するか、或いは、その整数倍である全ての画素は、歪みのないクロミナンスの値を有するので、対応する図 9 の画素の位置には、ルミナンス成分の正確な値がある。例えば、図 7 の信号 3 のライン 2 及び 3 内の各画素は、1 6、又は、1 6 の倍数 (6 4) であるので、信号 3、ライン 2 及び 3 の全画素は正しい。残りの全ての信号は、ルミナンス誤差と共に切り捨てに起因したクロミナンス誤差を含むので、成分が最終的に表示されたとき、望まれていない輪郭化の影響が生じる可能性がある。更に、信号 1 及び信号 5 は、厳密に同一のクロミナンスを含むが、

40

50

ルミナンスは、1カウント又は1信号レベルの差がある。上記2個の信号レベル(6及び7)の間には、1個、即ち、信号4からの中間ルミナンス値だけが生成される。この出力は、平均化されたルミナンスレベル6.5であると見なされる。

【0039】

図10及び図11は、本発明のクロミナンスとルミナンスの分離性能を示している。図10及び図11において、分離性能は、勿論、フィルタ30からの12ビットのクロミナンス信号が、単純に切り捨てられるのではなく、複合ビデオ成分から減算される前に対称丸め処理を受ける点を除いて、図8及び図9による方法と基本的に同一の方法を用いて図5、図6及び図7から得られる。上記のクロミナンス信号の処置が再現されたルミナンス成分に与える影響を、図9の切り捨て処理の例と比較する。

10

【0040】

最初に、図11に示された平均ルミナンス出力は、常に、複合ビデオの平均と一致することに注意する必要がある。これは、ルミナンスレベルが(ある信号レベルから別の信号レベルに)変化しているときでも幾つかの信号領域に対し変わらないビデオ信号を生成する図9の単純な切り捨ての実施例よりも優れている。更に、図1の例において、入力固定状態の信号値の各変化は、異なる平均ルミナンス出力レベルを生成する。4分の3の時間には、残留副搬送波Fc成分がルミナンスに残されるが、一般的に、本発明の実施例の輪郭の見え方は、信号1乃至信号5により表わされた5通りの各領域に対するルミナンスの精度が高いため、直線的な切り捨てを採用する例よりも少ない。

【0041】

20

図12には、符号/大きさ算術処理を用いて実現された対称丸め処理と共にルミナンス/クロミナンス分離を与える本発明の応用が示されている。図12において、複合ビデオソース1200は、符号/大きさ形式の8ビット複合ビデオ信号S1をクロミナンスフィルタ1202に供給する。クロミナンスフィルタ1202は、例えば、12ビットのフィルタ処理されたクロミナンス信号S2を生成するクロミナンス成分を分離する。上記信号の大きさビットS3は、対称丸め処理ユニット1204により8ビットの大きさビットS8に短縮され、リミッタ1218により7ビットの大きさビットS9に短縮される。12ビットのクロミナンス信号S2の符号ビットS4と、7ビットの大きさビットS9は、分離されたルミナンス出力信号S12を得るため、減算器1208において複合ビデオ信号S11(遅延1210による処理後)から減算される。上記例の丸め処理ユニット1204は、大きさビットに関してのみ作用し、12ビットのクロミナンス信号S7を形成するため2進数バイアス源1214からの2値バイアス信号S6を11ビットのクロミナンス大きさ信号S3に加算する加算器1212により構成される。信号S7の最下位4ビットLSBは、切り捨て器1216により切り捨てられ、符号ビットS4と共に減算器1208に供給するためリミッタ1218により制限される。大きさビットの中の最下位4ビットは対称的に短縮されるので、この短縮は、得られた信号中に直流成分を生じさせることなく、分離されたルミナンス信号の輪郭化の影響が阻止される。

30

【0042】

図15には、オーディオ処理システムに対称ビット短縮又は丸め処理を提供する本発明の応用が示されている。上記システムは、アナログオーディオ信号S1をアナログ/デジタル変換器1504に供給するオーディオ源1502からなり、アナログ/デジタル変換器1504は、オーディオ処理ユニット1506への16ビットのデジタル出力信号S2を生成する。オーディオ処理ユニット1506の処理は、例えば、ノイズ減少等のフィルタ処理により構成され、ビット数を20まで増加させる場合を想定する。ビット数を元の信号S2の16ビットまで短縮するため、20ビットの信号が丸め処理ユニット100Cに供給される。丸め処理ユニット100Cは、信号が12ビットではなく20ビットである点を除いて図1のユニット100Aと類似している。上記丸め処理ユニットは、上記の如く、17ビットの信号S4を生成するよう動作し、17ビットの信号S4の中の4ビットは、最下位4ビットを対称的に削除することにより短縮され、加算器101からの最上位ビット位置のオーバーフローを考慮するため1ビットが追加されている。結果とし

40

50

て得られた17ビットの信号S4は、リミッタ1508により16ビットに制限され、制限された信号S5は、デジタル/アナログ変換器1510により元のアナログ信号S6に変換される。

【0043】

特許請求の範囲の請求項に記載されているように、本発明の原理の範囲内で上記実施例に他の変更が行われる。例えば、本発明のルミナンス/クロミナンス分離の応用に関して、フィルタ処理は、5個以上又は3個以下のクロミナンスビットの切り捨てを必要とする別のタイプのフィルタ処理でも構わない。同様のことは、オーディオ処理に関しても言える。更に、一例として1ライン(1-H)楕円フィルタが使用されているが、クロミナンスフィルタは、2ライン(2-H)楕円又はフレーム楕円のようなより複雑な楕円でもよい。楕円フィルタの垂直ディテール出力の排除は、3段の帯域通過有限インパルス応答クロミナンス信号フィルタにより設けられているが、複雑さの異なるレベルからなるより多数又は少数の段を有する他の適当なフィルタを使用してもよい。更に、他のクロミナンスフィルタは、高域通過タイプ、又は、高域通過タイプと帯域通過タイプの組合せでもよい。

10

【図面の簡単な説明】

【図1】デジタル複合ビデオ信号をルミナンス成分及びクロミナンス成分に分離する応用例における本発明の対称丸め処理装置のブロック図である。

【図2】切り捨てられた信号に望まれていない直流オフセットを生成する従来の単純な切り捨てによるビット短縮の方法を説明するブロック図である。

【図3】本発明の特徴に従って、対称ゾーンの幅を変更する図1の対称丸め処理装置の変形例のブロック図である。

20

【図4】(A)乃至(D)は、図1の複合ビデオ分離装置の動作を示すフィルタの図である。

【図5】図1の装置に対する5通りの想定された入力複合ビデオ信号の条件を示す空間的な画素の図である。

【図6】図5の5通りの想定された入力信号条件に対し、図5から導出された垂直ディテール成分及びクロミナンス成分を含む楕円フィルタ出力信号値を表わす図である。

【図7】図1の装置に対し、図6から導出された垂直ディテール成分から分離されビット短縮の前のクロミナンス成分信号値を示す図である。

【図8】図2に示されるように直線的な切り捨てによるビット短縮の後に生成された分離したクロミナンス信号値を表わす図7から導かれた画素の図である。

30

【図9】図2に示されるような直線的なビット短縮を用いるビット短縮の仮定の下に、図4の5通りの想定された信号条件に対するルミナンス信号値を示す図8から得られた画素の図である。

【図10】図1における本発明の実施例のビット短縮の後に生成された分離したクロミナンス信号値を示す図7から得られた画素の図である。

【図11】図4の5通りの想定された信号条件に対し、図1の実施例のような対称ビット短縮を用いて得られたルミナンス信号値を表わす図10から導出されたルミナンス信号の図である。

【図12】本発明の更なる面に従って符号-大きさ処理と共に対称ビット短縮を用いてデジタル複合ビデオ信号をルミナンス成分及びクロミナンス成分に分離する更なる実施例のブロック図である。

40

【図13】対称点(POS)の周辺に5個の零点が配置された2ビット丸め処理の場合に、図1の実施例における“広い”対称性のある丸め処理を示す伝達関数の図表である。

【図14】対称点(POS)の周辺に3個の零点が配置された2ビット丸め処理の場合に、図1の実施例における“狭い”対称性のある丸め処理を示す伝達関数の図表である。

【図15】オーディオ信号処理の応用において、制限処理と共に広い対称丸め処理を表わすブロック図である。

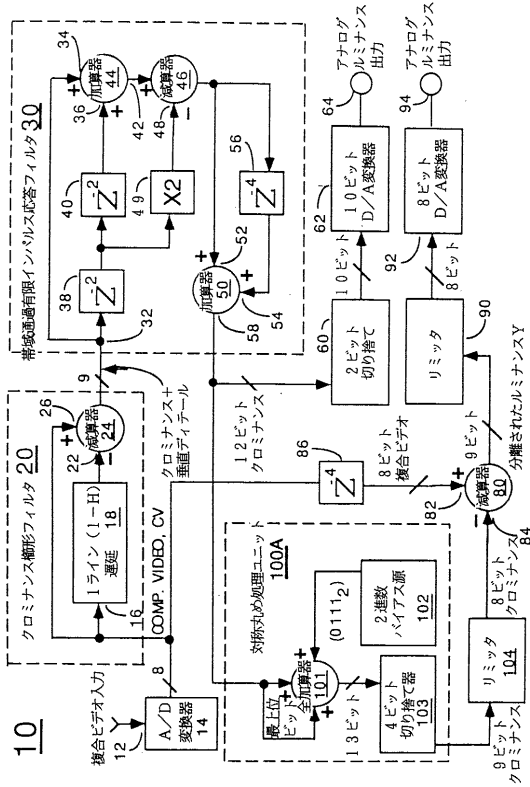
【符号の説明】

10 複合ビデオ信号分離器

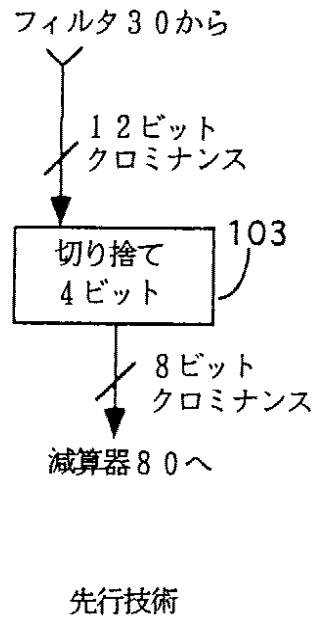
50

1 2 , 3 2 , 3 4 , 3 6 , 5 2 , 5 4	入力	
1 4 , 1 5 0 4	アナログ/デジタル変換器	
1 8	遅延	
2 0 , 3 0	線形デジタルフィルタ	
2 2 , 4 8 , 8 4	減数入力	
2 4 , 4 6 , 8 0 , 1 2 0 8	減算器	
2 6 , 8 2	被減数入力	
3 0	帯域通過形有限インパルス応答フィルタ	
3 8 , 4 0 , 5 6 , 8 6	遅延素子	
4 2	出力	10
4 4 , 5 0 , 1 2 1 2	加算器	
4 9	乗算器	
5 8	クロミナンス出力信号	
6 0	2ビット切り捨て器	
6 2 , 9 2 , 1 5 1 0	デジタル/アナログ変換器	
6 4 , 9 4	出力端子	
9 0 , 1 0 4 , 1 2 1 8 , 1 5 0 8	リミッタ	
1 0 0 A , 1 0 0 B , 1 0 0 C , 1 2 0 4	対称丸め処理ユニット	
1 0 1	全加算器	
1 0 2 , 1 2 1 4	2進数バイアス源	20
1 0 3 , 2 0 0 , 1 2 1 6	切り捨てユニット	
3 0 0	インバータ	
1 2 0 0	複合ビデオソース	
1 2 0 2	クロミナンスフィルタ	
1 5 0 2	オーディオ源	
1 5 0 6	オーディオ処理ユニット	

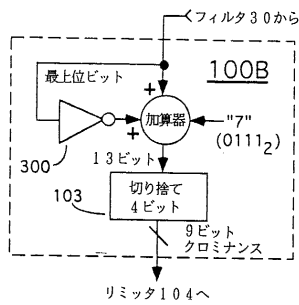
【 図 1 】



【 図 2 】



【 図 3 】

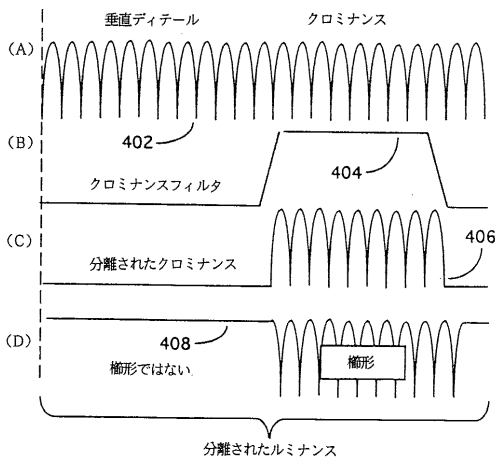


【 図 5 】

5本のラインに対するA/D出力信号

信号1	ライン1: 7 2 4 9 7 2 4 9 7 2
信号2	ライン1: 7 2 4 10 7 2 4 10 7 2
信号3	ライン1: 7 2 5 10 7 2 5 10 7 2
信号4	ライン1: 7 3 5 10 7 3 5 10 7 3
信号5	ライン1: 8 3 5 10 8 3 5 10 8 3

【 図 4 】



【 図 6 】

クロミナンス楕円形フィルタ 20 の出力 $D = L_n - L_{n-1}$

信号1	ライン2: -3 +7 +3 -7 -3 +7 +3 -7
信号2	ライン2: -3 +8 +3 -8 -3 +8 +3 -8
信号3	ライン2: -2 +8 +2 -8 -2 +8 +2 -8
信号4	ライン2: -2 +7 +2 -7 -2 +7 +2 -7
信号5	ライン2: -3 +7 +3 -7 -3 +7 +3 -7

【 図 7 】

$$P_n = P_8 - 2P_6 + 2P_4 - 2P_2 + P_0$$

クロミナンス帯域通過フィルタ30の出力

信号1	ライン2	-24	+56	+24	-56	-24	+56	+24
	ライン3	+24	-56	-24	+56	+24	-56	-24
信号2	ライン2	-24	+64	+24	-64	-24	+64	+24
	ライン3	+24	-64	-24	+64	+24	-64	-24
信号3	ライン2	-16	+64	+16	-64	-16	+64	+16
	ライン3	+16	-64	-16	+64	+16	-64	-16
信号4	ライン2	-16	+56	+16	-56	-16	+56	+16
	ライン3	+16	-56	-16	+56	+16	-56	-16
信号5	ライン2	-24	+56	+24	-56	-24	+56	+24
	ライン3	+24	-56	-24	+56	+24	-56	-24

【 図 9 】

“単純な”切り捨て(図8)を用いたルミナンス出力

信号1	ライン2	+6	+6	+6	+6	+6	+6	+6	+6	+6	+6	+6	+6
	ライン3	+6	+6	+6	+6	+6	+6	+6	+6	+6	+6	+6	+6
信号2	ライン2	+6	+6	+6	+6	+6	+6	+6	+6	+6	+6	+6	+6
	ライン3	+6	+6	+6	+6	+6	+6	+6	+6	+6	+6	+6	+6
信号3	ライン2	+6	+6	+6	+6	+6	+6	+6	+6	+6	+6	+6	+6
	ライン3	+6	+6	+6	+6	+6	+6	+6	+6	+6	+6	+6	+6
信号4	ライン2	+6	+7	+6	+7	+6	+7	+6	+7	+6	+7	+6	+7
	ライン3	+6	+7	+6	+7	+6	+7	+6	+7	+6	+7	+6	+7
信号5	ライン2	+7	+7	+7	+7	+7	+7	+7	+7	+7	+7	+7	+7
	ライン3	+7	+7	+7	+7	+7	+7	+7	+7	+7	+7	+7	+7

【 図 8 】

“単純な”切り捨てにより生成されたクロミナンス

信号1	ライン2	-2	+3	+1	-4	-2	+3	+1	-4	-2	+3	+1	-4
	ライン3	+1	-4	-2	+3	+1	-4	-2	+3	+1	-4	-2	+3
信号2	ライン2	-2	+4	+1	-4	-2	+4	+1	-4	-2	+4	+1	-4
	ライン3	+1	-4	-2	+4	+1	-4	-2	+4	+1	-4	-2	+4
信号3	ライン2	-1	+4	+1	-4	-1	+4	+1	-4	-1	+4	+1	-4
	ライン3	+1	-4	-1	+4	+1	-4	-1	+4	+1	-4	-1	+4
信号4	ライン2	-1	+3	+1	-4	-1	+3	+1	-4	-1	+3	+1	-4
	ライン3	+1	-4	-1	+3	+1	-4	-1	+3	+1	-4	-1	+3
信号5	ライン2	-2	+3	+1	-4	-2	+3	+1	-4	-2	+3	+1	-4
	ライン3	+1	-4	-2	+3	+1	-4	-2	+3	+1	-4	-2	+3

【 図 10 】

図1の対称丸め処理により生成されたクロミナンス

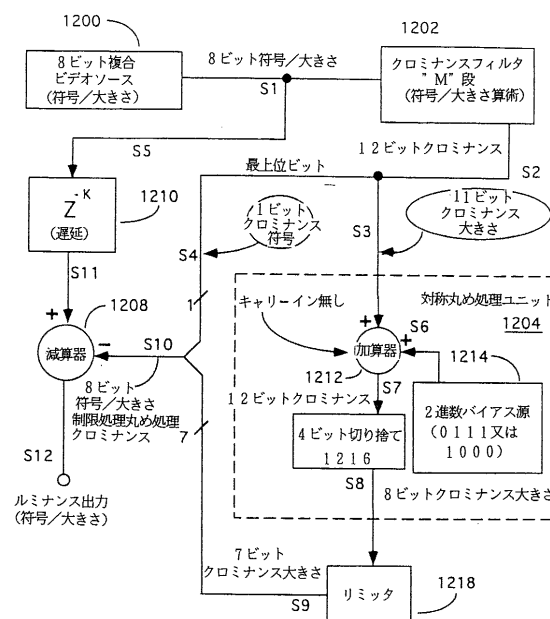
信号1	ライン2	-1	+3	+1	-3	-1	+3	+1	-3	-1	+3	+1	-3
	ライン3	+1	-3	-1	+3	+1	-3	-1	+3	+1	-3	-1	+3
信号2	ライン2	-1	+4	+1	-4	-1	+4	+1	-4	-1	+4	+1	-4
	ライン3	+1	-4	-1	+4	+1	-4	-1	+4	+1	-4	-1	+4
信号3	ライン2	-1	+4	+1	-4	-1	+4	+1	-4	-1	+4	+1	-4
	ライン3	+1	-4	-1	+4	+1	-4	-1	+4	+1	-4	-1	+4
信号4	ライン2	-1	+3	+1	-3	-1	+3	+1	-3	-1	+3	+1	-3
	ライン3	+1	-3	-1	+3	+1	-3	-1	+3	+1	-3	-1	+3
信号5	ライン2	-1	+3	+1	-3	-1	+3	+1	-3	-1	+3	+1	-3
	ライン3	+1	-3	-1	+3	+1	-3	-1	+3	+1	-3	-1	+3

【 図 11 】

図1の対称丸め処理を用いたルミナンス出力

信号1	ライン2	+5	+6	+6	+5	+5	+6	+6	+5	+6	+6	+5	+6
	ライン3	+6	+6	+5	+5	+6	+6	+5	+6	+6	+5	+6	+6
信号2	ライン2	+5	+6	+6	+6	+5	+6	+6	+5	+6	+6	+5	+6
	ライン3	+6	+6	+5	+6	+6	+6	+5	+6	+6	+5	+6	+6
信号3	ライン2	+6	+6	+6	+6	+6	+6	+6	+6	+6	+6	+6	+6
	ライン3	+6	+6	+6	+6	+6	+6	+6	+6	+6	+6	+6	+6
信号4	ライン2	+6	+7	+6	+6	+6	+7	+6	+6	+6	+7	+6	+6
	ライン3	+6	+6	+6	+7	+6	+6	+6	+7	+6	+6	+6	+6
信号5	ライン2	+6	+7	+7	+6	+6	+7	+7	+6	+6	+7	+7	+6
	ライン3	+7	+6	+6	+7	+7	+6	+6	+7	+7	+6	+6	+6

【 図 12 】



【 図 1 3 】

* 広い* 対称丸め処理 (N=2, 5の零点)

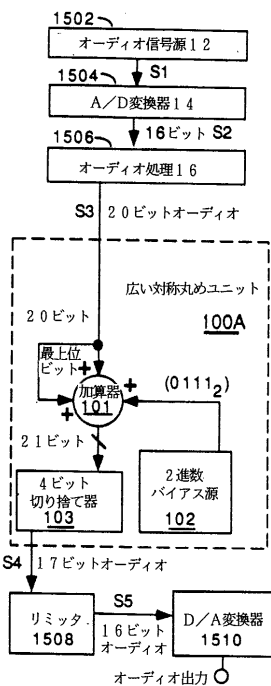
(A)	(B)	(C)	(D)	(E)	(F)	(G)
入力 10進数	Mビット 2進数		K= [(2 ^N)-2]/2	加算 和	切り捨て	10進数 出力
M	M	MSB	N=2 に対するK	"M"+ MSB+ "K"	-2 LSB	
+11	01011	0	1	01100	101	3
+10	01010	0	1	01011	010	2
+9	01001	0	1	01010	010	2
+8	01000	0	1	01001	010	2
+7	00111	0	1	01000	010	2
+6	00110	0	1	00111	001	1
+5	00101	0	1	00110	001	1
+4	00100	0	1	00101	001	1
+3	00011	0	1	00100	001	1
+2	00010	0	1	00011	000	0
+1	00001	0	1	00010	000	0
0	00000	0	1	00001	000	0
-1	11111	1	1	00001	000	0
-2	11110	1	1	00000	000	0
-3	11101	1	1	11111	111	-1
-4	11100	1	1	11110	111	-1
-5	11011	1	1	11101	111	-1
-6	11010	1	1	11101	111	-1
-7	11001	1	1	11011	110	-2
-8	11000	1	1	11010	110	-2
-9	10111	1	1	11001	110	-2
-10	10110	1	1	11000	110	-2
-11	10101	1	1	10111	101	-3

【 図 1 4 】

* 狭い* 対称丸め処理 (N=2, 3の零点)

(A)	(B)	(C)	(D)	(E)	(F)	(G)
入力 10進数	Mビット 2進数	キャリー イン	K= [(2 ^N)-2]/2	加算 和	切り捨て	10進数 出力
M	M	反転 (MSB)	N=2 に対するK	"M"+ "K"+ 反転された MSB	-2 LSB	
+11	01011	1	1	01101	011	+3
+10	01010	1	1	01100	011	+3
+9	01001	1	1	01011	010	+2
+8	01000	1	1	01010	010	+2
+7	00111	1	1	01001	010	+2
+6	00110	1	1	01000	010	+2
+5	00101	1	1	00111	001	+1
+4	00100	1	1	00110	001	+1
+3	00011	1	1	00101	001	+1
+2	00010	1	1	00100	001	+1
+1	00001	1	1	00011	000	0
0	00000	1	1	00010	000	0
-1	11111	0	1	00000	000	0
-2	11110	0	1	11111	111	-1
-3	11101	0	1	11110	111	-1
-4	11100	0	1	11101	111	-1
-5	11011	0	1	11100	111	-1
-6	11010	0	1	11011	110	-2
-7	11001	0	1	11010	110	-2
-8	11000	0	1	11001	110	-2
-9	10111	0	1	11000	110	-2
-10	10110	0	1	10111	101	-3
-11	10101	0	1	10110	101	-3

【 図 1 5 】



フロントページの続き

- (72)発明者 ジョン アラン ヘーグ
アメリカ合衆国 インディアナ州 インディアナポリス ノース・ブロードウェイ・ストリート
5770
- (72)発明者 グレグ アラン クラノウエッター
アメリカ合衆国 インディアナ州 インディアナポリス ベイウッド・ドライブ 11205
- (72)発明者 ドナルド ヘンリー ウィリス
アメリカ合衆国 インディアナ州 インディアナポリス イースト・セヴンティフォース・プレイ
ス 5175

審査官 田中 友章

- (56)参考文献 特開平04 - 085621 (JP, A)
特開平05 - 265710 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F 7/38
H04N 9/64
H04N 9/78
H04N 11/04