

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY PATENTU TYMCZASOWEGO

97673

Patent tymczasowy dodatkowy
do patentu _____

Zgłoszono: 08.04.76 (P. 188646)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 28.02.77

Opis patentowy opublikowano: 31.07.1978

MKP

H03k 13/243

G06f 13/02

Int. Cl².

H03K 13/243

G06F 13/02

CZYTELNIA

Urzędu Patentowego

Polish Patent Office

Twórca wynalazku: Andrzej Dziech

Uprawniony z patentu tymczasowego: Politechnika Świętokrzyska,
Kielce (Polska)

Układ dekodujący z pamięcią dynamiczną

Przedmiotem wynalazku jest układ dekodujący przeznaczony do dekodowania przesyłanych szeregowo ciągów kodowych binarnych, pozycyjno-impulsowych, mający zastosowanie w systemach sterowania cyfrowego.

Budowa dotychczas znanych układów dekodujących opiera się o zastosowanie takich układów, jak: rozdzielacz, bramki logiczne AND, pamięć statyczna dekodera, układ deszyfrujący. Konieczne są również układy uzupełniające dla odczytu informacji, jak również układy zerowania.

Znane układy są złożone co w dalszej konsekwencji prowadzi do zmniejszenia niezawodności pracy systemu przesyłania informacji.

Celem wynalazku jest opracowanie prostego układu dekodującego spełniającego wszystkie funkcje realizowane przez istniejące układy dekodujące o rozbudowanej strukturze. Cel ten został osiągnięty przez zastosowanie dwóch identycznych pamięci dynamicznych, połączonych układem negacji. Odpowiednie wyjścia obu układów pamięci dynamicznej są połączone z odpowiednimi wejściami każdego układu koincydencji. Liczba wyjść jest równa liczbie jedynek i zer w ciągu kodowym.

Jako pamięć dynamiczną można stosować analogowe linie opóźniające, lub z uwagi na niezawodność działania i prostotę realizacji cyfrowe rejestry przesuwające.

Układ według wynalazku jest prostym układem, realizuje wszystkie funkcje układów dekodujących o rozbudowanej strukturze. Przy zastosowaniu jako pamięci dynamicznej analogowych linii opóźniających stwarza on ponadto możliwość wyeliminowania w systemach przesyłania informacji cyfrowych układu synchronizacji.

Przedmiot wynalazku jest pokazany w przykładzie wykonania na rysunku, na którym fig. 1 przedstawia schemat układu dekodującego z pamięcią dynamiczną, fig. 2 schemat układu według wynalazku dla przypadku czterowyjściowych układów pamięci dynamicznej (dla ciągu kodowego przedstawionego w tabeli – fig. 3), fig. 3 – tabelę z ciągiem kodowym.

W układzie według wynalazku czas opóźnienia między kolejnymi wyjściami pamięci dynamicznej PD i pamięci dynamicznej PD' powinien być równy ustalonemu odstępowi na osi czasu między dwoma kolejnymi symbolami w przesyłanych ciągach kodowych. Układ negacji realizuje funkcję zamiany określonego symbolu

binarnego (0,1) na jego wejściu, na symbol przeciwny, tj. zero zamienia w jedynkę lub jedynkę zamienia w zero. Z wyjścia układu negacji na wejście pamięci dynamicznej PD' podawany jest ciąg kodowy będący dopełnieniem odbieranego ciągu kodowego; na przykład: jeżeli odbiera się 1010 to na wejściu pamięci dynamicznej PD' otrzymuje się ciąg 0101.

Istota dekodowania polega na koincydencji jedynek (impulsów) z odpowiednich wyjść pamięci dynamicznych PD i PD' i zarejestrowaniu odbioru określonego ciągu kodowego. Jeżeli kolejne symbole w dekodowanym ciągu kodowym oznaczy się numerami $n, (n-1), (n-2) \dots 2, 1$, a wyjścia z pamięci dynamicznej PD oznaczy się numerami $1, 2 \dots (n-2), (n-1), n$ i z pamięci dynamicznej PD' oznaczy się $1', 2' \dots (n-2)', (n-1)', n'$, to wejścia układu koincydencji łączy się z tymi wyjściami pamięci dynamicznej PD, które odpowiadają numerami jedynek w ciągu kodowym.

Natomiast pozostałe wejścia układu koincydencji łączy się z wyjściami pamięci dynamicznej PD' odpowiadającymi numerom zer w ciągu kodowym. Powyższe postępowanie powtarza się dla każdego ciągu kodowego. Przykładowo. Numerując poszczególne pozycje (symbole) w ciągu kodowym tak, jak to przedstawiono w tabeli na rysunku fig. 3 i rozpatrując ciąg kodowy oznaczony nr 1, po odebraniu danego ciągu w kolejności 1100, na wyjściach 3 i 4 pamięci dynamicznej PD otrzyma się impulsy (jedynki). Jednocześnie impulsy pojawią się na wyjściach 1' i 2' pamięci dynamicznej PD'. Koincydencja impulsów z wyjść 1, 2, 3', 4', jest potwierdzeniem odbioru drugiego ciągu kodowego, jak pokazano na rysunku fig. 2 itd. Ponieważ symbole ciągu kodowego w obu pamięciach dynamicznych są przesuwane w prawo, to po pewnym czasie pamięć dynamiczna PD i pamięć dynamiczna PD' osiągną stan zerowy.

Zastrzeżenia patentowe

1. Układ dekodujący z pamięcią dynamiczną, z n a m i e n n y t y m, że zawiera dwa identyczne układy pamięci dynamicznej (PD i PD') połączone za pomocą układu negacji (UN), przy czym odpowiednie wyjścia obu układów pamięci dynamicznej (PD i PD') są połączone z odpowiednimi wejściami każdego układu koincydencji.
2. Układ według zastrz. 1, z n a m i e n n y t y m, że liczba wyjść obu układów pamięci dynamicznej (PD i PD') jest równa liczbie jedynek i zer w ciągu kodowym.
3. Układ według zastrz. 1, z n a m i e n n y t y m, że układ pamięci dynamicznej (PD) i układ pamięci dynamicznej (PD') stanowią analogowe linie opóźniające.
4. Układ według zastrz. 1, z n a m i e n n y t y m, że układ pamięci dynamicznej (PD) i układ pamięci dynamicznej (PD') stanowią cyfrowe rejestry przesuwające.

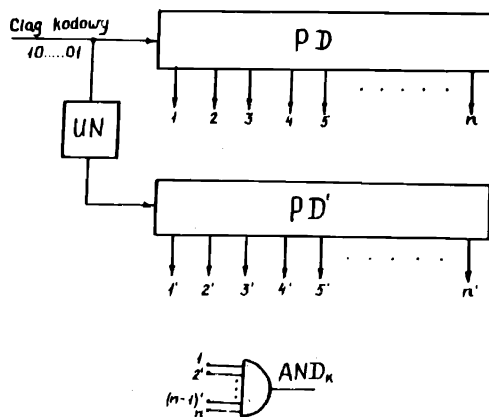


fig. 1

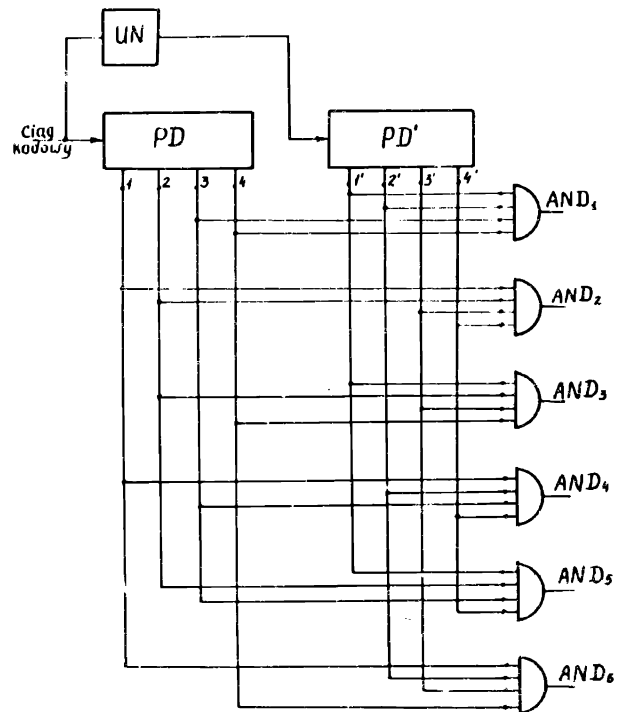


fig. 2

L _P	Wzrosty/jk PD			
	4	3	2	1
1	1	1	0	0
2	0	0	1	1
3	1	0	1	0
4	0	1	0	1
5	0	1	1	0
6	1	0	0	1

fig. 3