

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일

2018 년 10 월 25 일 (25.10.2018) WIPO | PCT



(10) 국제공개번호

WO 2018/194293 A1

(51) 국제특허분류:

H01L 29/78 (2006.01)

H01L 29/10 (2006.01)

H01L 29/66 (2006.01)

H01L 27/108 (2006.01)

(21) 국제출원번호:

PCT/KR2018/003852

(22) 국제출원일:

2018 년 4 월 2 일 (02.04.2018)

(25) 출원언어:

한국어

(26) 공개언어:

한국어

(30) 우선권정보:

10-2017-0050443 2017 년 4 월 19 일 (19.04.2017) KR

(71) 출원인: 경북대학교산학협력단 (KYUNGPOOK NATIONAL UNIVERSITY INDUSTRY-ACADEMIC COOPERATION FOUNDATION) [KR/KR]; 41566 대구시 북구 대학로 80, Daegu (KR).

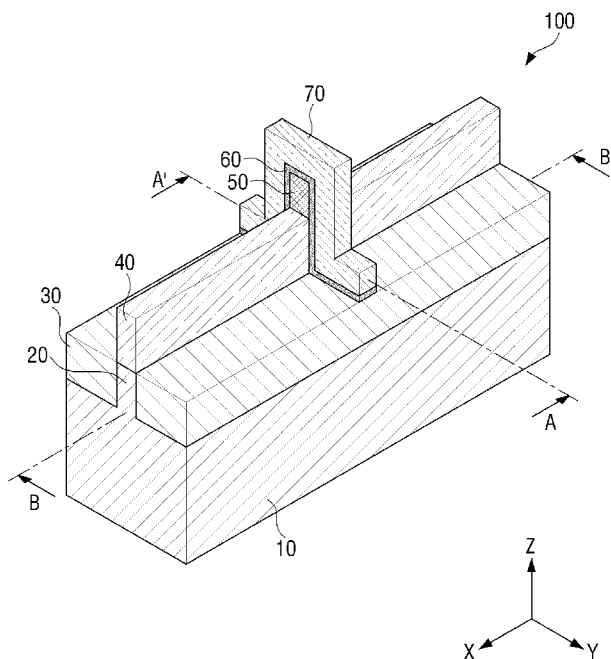
(72) 발명자: 강인만 (KANG, In Man); 42090 대구시 수성구 달구벌대로 2570, 307호, Daegu (KR). 윤영준 (YOON, Young Jun); 41574 대구시 북구 대현남로 28, 109동704호, Daegu (KR).

(74) 대리인: 김태현 (KIM, Tae-hun); 06626 서울시 서초구 강남대로 343 신덕빌딩 9층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(54) 발명의 명칭: 반도체 소자 및 그 제조방법



(57) Abstract: A semiconductor device and a manufacturing method therefor are disclosed. The disclosed semiconductor device comprises: a bulk silicon substrate; a wall type body formed on the bulk silicon substrate and including a first fin region and a second fin region which are formed in a wall shape having a predetermined height and width and a predetermined length; an insulating layer made of an electrically insulating material and formed up to the surface of the bulk silicon substrate and the height of the first fin region; a hole storage region formed in the upper central portion of the second fin region with respect to the longitudinal direction of the second fin region; a gate insulating layer formed on a sidewall of the second fin region and the hole storage region and on the upper portion of the hole storage region; a gate formed on the upper portion of the gate insulating layer; a body region formed at a position corresponding

[다음 쪽 계속]

SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

to a gate in the second fin region; and source/drain regions respectively formed in both side regions of the body region.

(57) 요약서: 반도체 소자 및 그 제조방법에 개시된다. 개시된 반도체 소자는, 벌크 실리콘 기판, 벌크 실리콘 기판에 형성되고, 소정의 높이와 폭 및 소정의 길이를 갖는 담장 형태로 이루어지는 제1 핀 영역 및 제2 핀 영역을 포함하는 담장형 바디, 전기적 절연 물질로 이루어지며, 벌크 실리콘 기판의 표면 및 제1 핀 영역의 높이까지 형성되는 절연층, 제2 핀 영역의 길이 방향을 기준으로 제2 핀 영역의 상부 중앙부에 형성되는 정공저장영역, 제2 핀 영역과 정공저장영역의 측벽 및 정공저장영역의 상부에 형성되는 게이트 절연층, 게이트 절연층의 상부에 형성되는 게이트 및 제2 핀 영역 중 게이트와 대응되는 위치에 형성되는 바디 영역 및 바디 영역의 양측 영역에 각각 형성되는 소스/드레인 영역을 포함한다.

명세서

발명의 명칭: 반도체 소자 및 그 제조방법

기술분야

- [1] 본 발명은 밴드간 터널링 현상을 이용하여 낮은 누설 전류를 갖는 핀 전계 효과 반도체 소자 및 그 제조방법에 관한 것이다.

배경기술

- [2] 일반적으로 디램(DRAM)은 하나의 트랜지스터와 하나의 커패시터(1T/1C)를 이용하여 1 비트의 정보를 기록하는 셀 소자로 구성되어, 미세화 과정에서 트랜지스터뿐만 아니라 커패시터도 미세화해야 하는 어려움이 있어 고집적화에 한계가 있었다.
- [3] 최근에는 커패시터 없이 하나의 트랜지스터만으로 1 비트의 정보를 저장할 수 있는 셀이 구현되는 1T 디램의 연구가 활발하게 진행되고 있다. 1T 디램 셀은 기존 1T/1C 디램 셀에 비하여 미세화가 쉽고, 동작속도가 빠르며 CMOS 공정에 통합되기 쉬우므로 생산비용을 감소할 수 있다는 장점을 가진다.
- [4] 이러한 1T 디램의 동작은 플로팅 바디에 정공의 저장 유무를 통하여 '1'과 '0'을 구분하기 때문에 정공을 저장하기 위한 다양한 프로그래밍 방법들이 제안되고 있다.
- [5] 이들 중 가장 전통적인 프로그래밍 방법은 MOSFET(모스 전계 효과 트랜지스터(Metal Oxide Silicon Field Effect transistor))에 전류가 흐르도록 게이트에 전압을 인가한 후, 드레인에 높은 전압을 인가하여 충돌 이온화(impact ionization)을 통해 정공을 생성하여 바디에 저장하는 것이다.
- [6] 이 이외에도, 리드 동작 시에 큰 센싱 마진을 가지는 BJT(Bipolar Junction Transistor)동작 기반의 프로그래밍 방법과, 프로그램 동작 시에 전력 소모가 작은 GIDL(Gate Induced Drain Leakage) 기반의 프로그램 방법이 있다.
- [7] 그러나, 종래 프로그래밍 방법들 중 MOSFET 기반의 이온화 충돌 프로그래밍 방법이나, BJT 동작 기반의 프로그래밍 방법은 리드 동작보다 프로그램 동작 시에 전력소모는 작을 수는 있으나, GIDL 전류 크기가 상대적으로 작기 때문에 빠르게 프로그래밍하기 위해서는 높은 게이트 전압이 필요하다는 문제점이 있다.

발명의 상세한 설명

기술적 과제

- [8] 본 발명은 밴드간 터널링 현상을 이용한 반도체 소자 및 그 제조방법을 제공하고자 한다.

과제 해결 수단

- [9] 이상과 같은 목적을 달성하기 위한 본 발명의 일 실시 예에 따른 반도체 소자는, 벌크 실리콘 기판; 상기 벌크 실리콘 기판에 형성되고, 소정의 높이와 폭 및

소정의 길이를 갖는 담장 형태로 이루어지는 제1 핀 영역 및 제2 핀 영역을 포함하는 담장형 바디; 전기적 절연 물질로 이루어지며, 상기 벌크 실리콘 기판의 표면 및 상기 제1 핀 영역의 높이까지 형성되는 절연층; 상기 제2 핀 영역의 길이 방향을 기준으로 상기 제2 핀 영역의 상부 중앙부에 형성되는 정공저장영역; 상기 제2 핀 영역과 상기 정공저장영역의 측벽 및 상기 정공저장영역의 상부에 형성되는 게이트 절연층; 상기 게이트 절연층의 상부에 형성되는 게이트; 및 상기 제2 핀 영역 중 상기 게이트와 대응되는 위치에 형성되는 바디 영역 및 상기 바디 영역의 양측 영역에 각각 형성되는 소스/드레인 영역을 포함한다.

- [10] 상기 제1 핀 영역은 상기 벌크 실리콘 기판과 동일한 P형 불순물 도핑영역(P-영역)이고, 상기 제2 핀 영역은 N형 불순물 도핑영역(N+ 영역)이고, 상기 정공저장영역은 상기 제1 핀 영역보다 고농도로 도핑된 P형 불순물 도핑영역(P+ 영역)일 수 있다.
- [11] 상기 게이트에 기 설정된 제1 음의 전압을 인가하고, 상기 드레인 영역에 기 설정된 제1 양의 전압을 각각 인가할 경우, 상기 드레인 영역의 정공이 상기 바디 영역으로 터널링되고, 상기 바디 영역으로 터널링된 정공은 확산과 드리프트 현상에 의해 상기 정공저장영역으로 이동하여 프로그램(write'1') 동작이 수행될 수 있다.
- [12] 상기 게이트 및 상기 소스/드레인 영역이 모두 접지될 경우, 상기 정공저장영역으로 이동된 정공이 유지됨으로써 홀드(hold'1') 동작이 수행될 수 있다.
- [13] 상기 게이트에 상기 제1 양의 전압보다 작은 제2 양의 전압을 인가하고, 상기 드레인 영역에 상기 제2 양의 전압보다 작은 제3 양의 전압을 인가하여 상기 드레인 영역과 상기 소스 영역 사이에 흐르는 드레인 전류를 확인하여 정공의 유무를 리드(read'1') 동작이 수행될 수 있다.
- [14] 상기 게이트에 기 설정된 제1 양의 전압을 인가하고, 상기 드레인 영역에 기 설정된 제1 음의 전압을 각각 인가할 경우, 상기 정공저장영역의 정공이 확산과 드리프트 현상에 의해 상기 드레인 영역으로 배출되어 이레이즈(write'0') 동작이 수행될 수 있다.
- [15] 상기 게이트 및 상기 소스/드레인 영역이 모두 접지될 경우, 상기 제2 핀 영역의 정공이 상기 정공저장영역으로 유입되는 것을 차단할 수 있다.
- [16] 상기 게이트에 상기 제1 양의 전압보다 작은 제2 양의 전압을 인가하고, 상기 드레인 영역에 상기 제2 양의 전압보다 작은 제3 양의 전압을 인가하여 상기 드레인 영역과 상기 소스 영역 사이에 흐르는 드레인 전류를 확인하여 정공의 유무를 리드(read'0') 동작이 수행될 수 있다.
- [17] 상기 제2 핀 영역은 전체적으로 동일한 타입의 불순물이 동일한 농도로 주입되고, 소스 및 드레인 콘택 메탈에 전기적으로 연결되어 무접합될 수 있다.
- [18] 상기 제1 핀 영역은 상기 벌크 실리콘 기판과 동일한 N형 불순물 도핑영역(N-

영역)이고, 상기 제2 핀 영역은 P형 불순물 도핑영역(P+ 영역)이고, 상기 정공저장영역은 상기 제1 핀 영역보다 고농도로 도핑된 N형 불순물 도핑영역(N+ 영역)일 수 있다.

- [19] 한편, 본 발명의 일 실시 예에 따른 반도체 소자 제조방법은, 벌크 실리콘 기판층 상에 제2 핀 영역층 및 정공저장영역층을 순차적으로 형성하는 단계; 상기 벌크 실리콘 기판층과 상기 제2 핀 영역층 및 상기 정공저장영역층을 패터닝하여 소정의 높이와 폭 및 소정의 길이를 갖는 담장 형태로 이루어지는 제1 핀 영역과 제2 핀 영역 및 정공저장영역부를 형성하는 단계; 상기 벌크 실리콘 기판층 상에 상기 제1 핀 영역의 높이까지 절연층을 형성하는 단계; 상기 제2 핀 영역과 상기 정공저장영역부의 측벽 및 상기 정공저장영역부의 상부에 게이트 절연층을 형성하는 단계; 상기 제2 핀 영역의 길이 방향을 기준으로 상기 게이트 및 상기 게이트 절연층이 중앙부에 위치하도록 패터닝하는 단계; 상기 정공저장영역부를 상기 게이트와 대응되는 폭과 길이를 가지도록 식각하여 정공저장영역을 형성하는 단계; 및 상기 게이트를 중심으로 양측에 각각 소스 메탈 및 드레인 메탈을 각각 증착하는 단계를 포함한다.
- [20] 상기 제2 핀 영역층은 N형 불순물로 도핑되고, 상기 정공저장영역층은 상기 벌크 실리콘 기판층보다 고농도인 P형 불순물로 도핑될 수 있다.
- [21] 상기 제2 핀 영역층은 P형 불순물로 도핑되고, 상기 정공저장영역층은 상기 벌크 실리콘 기판층보다 고농도인 N형 불순물로 도핑될 수 있다.
- [22] 상기 절연층을 형성하는 단계는, STI(shallow trench isolation) 공정을 통해 형성될 수 있다.
- [23] 상기 정공저장영역을 형성하는 단계는, 자가정렬패터닝(self aligned patterning) 공정을 통해 상기 정공저장영역부를 부분적으로 식각하여 상기 정공저장영역이 형성될 수 있다.

발명의 효과

- [24] 본 발명의 일 실시 예에 따른 반도체 소자는, 정공저장영역을 바디영역의 상부에 구성함으로써, 반도체 소자(1T 디램 셀 소자)의 정공 보유 능력을 향상시킬 수 있다. 정공저장영역은 바디영역의 상부에 형성되어 소자의 전류가 흐르는 영역과 분리됨에 따라, 정공을 보유할 수 있는 공간을 확보할 수 있고, 반도체 소자의 홀드 동작에서 바디영역에 의해 형성된 에너지 장벽이 정공저장영역으로 전공이 유출되거나 유입되는 것을 최소화할 수 있도록 하여 데이터 '1'과 '0'을 오랫동안 유지할 수 있도록 한다.
- [25] 아울러, 에너지 장벽으로 인해 정공이 제1 핀 영역으로 빠져나가는 것을 막아주므로, 벌크 실리콘 기판에서도 쉽게 제작할 수 있다는 큰 장점을 가진다고 할 수 있다.

도면의 간단한 설명

- [26] 도 1은 본 발명의 일 실시 예에 따른 반도체 소자를 도시한 사시도이다.

- [27] 도 2는 도 1에 도시한 본 발명의 일 실시 예에 따른 반도체 소자를 A-A' 방향에서 바라본 단면도이다.
- [28] 도 3은 도 1에 도시한 본 발명의 일 실시 예에 따른 반도체 소자를 B-B' 방향에서 바라본 단면도이다.
- [29] 도 4는 본 발명의 일 실시 예에 따른 반도체 소자의 제조 과정을 설명하기 위한 도면이다.
- [30] 도 5는 본 발명의 일 실시 예에 따른 반도체 소자의 데이터 '1'과 '0' 상태에 따른 전류 값의 변화를 보여주는 그래프이다.
- [31] 도 6은 본 발명의 일 실시 예에 따른 반도체 소자의 밴드 간 터널링 동작 원리를 나타내는 단면도이다.
- [32] 도 7은 도 6에 도시한 본 발명의 일 실시 예에 따른 반도체 소자의 프로그램 동작에서의 에너지 밴드를 나타내는 도면이다.
- [33] 도 8은 도 6에 도시한 본 발명의 일 실시 예에 따른 반도체 소자의 이레이즈 동작에서의 에너지 밴드를 나타내는 도면이다.
- [34] 도 9는 도 6에 도시한 본 발명의 일 실시 예에 따른 반도체 소자의 홀드 동작에서의 에너지 밴드를 나타내는 도면이다.
- [35] 도 10은 도 6에 도시한 본 발명의 일 실시 예에 따른 반도체 소자의 리드 동작을 설명하기 위한 도면이다.
- [36] 도 11은 본 발명의 일 실시 예에 따른 반도체 소자의 각 동작에 따른 드레인 전류의 크기를 도시한 그래프이다.
- [37] 도 12는 프로그램 후 홀드 시간에 따른 리드 전류의 크기 변화를 도시한 그래프이다.
- [38] 도 13은 본 발명의 일 실시 예에 따른 반도체 소자의 제조 과정을 설명하기 위한 흐름도이다.

발명의 실시를 위한 최선의 형태

- [39] 본 발명에 대하여 구체적으로 설명하기에 앞서, 본 명세서 및 도면의 기재 방법에 대하여 설명한다.
- [40] 먼저, 본 명세서 및 청구범위에서 사용되는 용어는 본 발명의 다양한 실시 예들에서의 기능을 고려하여 일반적인 용어들을 선택하였다 하지만, 이러한 용어들은 당 분야에 종사하는 기술자의 의도나 법률적 또는 기술적 해석 및 새로운 기술의 출현 등에 따라 달라질 수 있다. 또한, 일부 용어는 출원인이 임의로 선정한 용어도 있다. 이러한 용어에 대해서는 본 명세서에 정의된 의미로 해석될 수 있으며, 구체적인 용어 정의가 없으면 본 명세서의 전반적인 내용 및 당해 기술분야의 통상적인 기술 상식을 토대로 해석될 수도 있다.
- [41] 또한, 본 명세서에 첨부된 각 도면에 기재된 동일한 참조번호 또는 부호는 실질적으로 동일한 기능을 수행하는 부품 또는 구성요소를 나타낸다. 설명 및 이해의 편의를 위해서 서로 다른 실시 예들에서도 동일한 참조번호 또는 부호를

사용하여 설명한다. 즉, 복수의 도면에서 동일한 참조 번호를 가지는 구성요소를 모두 도시되어 있다고 하더라도, 복수의 도면들이 하나의 실시 예를 의미하는 것은 아니다.

- [42] 또한, 본 명세서 및 청구범위에서는 구성요소들 간의 구별을 위하여 "제1", "제2" 등과 같이 서수를 포함하는 용어가 사용될 수 있다. 이러한 서수는 동일 또는 유사한 구성요소들을 서로 구별하기 위하여 사용하는 것이며 이러한 서수 사용으로 인하여 용어의 의미가 한정 해석되어서는 안 된다. 일 예로, 이러한 서수와 결합된 구성요소는 그 숫자에 의해 사용 순서나 배치 순서 등이 제한되어서는 안 된다. 필요에 따라서는, 각 서수들은 서로 교체되어 사용될 수도 있다.
- [43] 본 명세서에서 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "구성되다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [44] 또한, 본 발명의 실시 예에서, 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적인 연결뿐 아니라, 다른 매체를 통한 간접적인 연결의 경우도 포함한다. 또한, 어떤 부분이 어떤 구성요소를 포함한다는 의미는, 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [45] 아울러, 이하에서 사용되는 “무접합”은 전계효과 트랜지스터 구조(MOSFET)에서 도전형을 달리하는 소스, 드레인, 바디를 형성함에 따른 pn 접합이 없는 것을 의미할 수 있다. 또한, 이하에서 설명하는 반도체 소자는 1T 디램 셀을 예시하나, 이에 한정하는 바는 아니다.
- [46] 이하, 첨부된 도면을 이용하여 본 발명에 대하여 구체적으로 설명한다. 도 1은 본 발명의 일 실시 예에 따른 반도체 소자를 도시한 사시도이고, 도 2는 도 1에 도시한 본 발명의 일 실시 예에 따른 반도체 소자를 A-A' 방향에서 바라본 단면도이며, 도 3은 도 1에 도시한 본 발명의 일 실시 예에 따른 반도체 소자를 B-B' 방향에서 바라본 단면도이다.
- [47] 도 1 내지 도 3을 참조하면, 본 발명의 일 실시 예에 따른 반도체 소자(100)(예컨대, 1T 디램 셀)는 벌크 실리콘 기판(10)상에 형성되는 담장형 바디(20, 40) 및 절연층(30), 그리고, 담장형 바디(20, 40)의 상부에 형성되는 정공저장영역(50), 담장형 바디(20, 40)와 정공저장영역(50) 그리고 절연층(30)의 상부에 형성된 게이트(70)를 포함한다. 또한, 본 발명의 일 실시 예에 따른 반도체 소자(100)는 게이트(70)와 담장형 바디(20, 40)에 포함된 제2 영역층(40), 정공저장영역(50), 절연층(30) 사이에 게이트 절연막(60)을 더 포함한다.
- [48] 일례로, 담장형 바디(20, 40)는 제1 편 영역(20) 및 제2 편 영역(40)이라 말할 수

있다. 담장형 바디(20, 40)는 벌크 실리콘 기판(10)상에 형성되고, 소정의 높이와 폭 및 소정의 길이를 갖는 담장 형태로 이루어질 수 있다.

- [49] 담장형 바디(20, 40)는 벌크 실리콘 기판(10)상에 서로 다른 불순물을 도핑함으로써, 제1 편 영역(20) 및 제2 편 영역(40)이 형성될 수 있다. 구체적으로, P-형 벌크 실리콘 기판(10)에 고농도 N형 불순물을 도핑하여 제2 편 영역(40)을 형성한 후, 고농도 P형 불순물을 도핑하여 P+형 정공저장영역(50)을 형성할 수 있다. 이러한 이온 주입 방식은 이온 주입의 에너지를 설정하여 주입된 깊이를 조절할 수 있으므로, 제2 편 영역(40)과 정공저장영역(50)을 용이하게 형성할 수 있다.
- [50] 한편, 본 발명의 일 실시 예에 따른 반도체 소자(100)의 제2 편 영역(40)과 정공저장영역(50)의 형성 과정은 이에 한정하지 않으며, 제2 편 영역(40)은 이온 주입 도핑 공정으로 형성시킨 후에, 제2 편 영역(40)의 상부에 에피택셜 방식을 통해 정공저장영역(50)을 제작될 수도 있다.
- [51] 여기서, 제1 편 영역(20)은 벌크 실리콘 기판(10)을 패터닝(patterning)하여 형성되므로, 벌크 실리콘 기판(10)과 제1 편 영역(20)은 벌크 실리콘 기판(10)과 동일한 도핑농도를 가질 수 있다. 이때, 벌크 실리콘 기판(10)은 P형 불순물 도핑영역(P- 영역)을 가질 수 있다.
- [52] 또한, 제2 편 영역(40)은 고농도 N형 불순물 도핑영역(N+ 영역)(예컨대, 도핑농도: $1 \times 10^{19} \text{ cm}^{-3}$)일 수 있고, V족 원소 중 어느 하나로 구성될 수 있다. 제2 편 영역(40)은 전체적으로 동일한 타입의 불순물이 동일한 농도로 주입되고, 소스 및 드레인 콘택 메탈(도시안함)에 전기적으로 연결되어 무접합될 수 있다. 이로 인해, 제2 편 영역(40)은 게이트(70)가 형성되지 않은 영역에 소스영역(401) 및 드레인 영역(403)이 형성될 수 있다. 바디영역(402)은 소스영역(401) 및 드레인 영역(403) 사이에 형성되고, 게이트(70)의 폭과 같거나 크게 형성될 수 있다.
- [53] 정공저장영역(50)은 제1 편 영역(20)보다 고농도로 도핑된 P형 불순물 도핑영역(P+ 역)(예컨대, 도핑농도: $1 \times 10^{19} \text{ cm}^{-3}$)을 가질 수 있고, III족 원소 중 어느 하나로 구성될 수 있다. 한편, 이상에서 예시한 본 발명의 일 실시 예에 따른 반도체 소자(100)의 제1 편 영역(20), 제2 편 영역(40) 및 정공저장영역(50)의 도핑농도의 수치를 최적화하여 변경될 수 있다.
- [54] 또한, 전자저장영역(50)의 저장 수단, 즉 전자를 저장하는 전하로 사용할 경우에는 상술한 제1 편 영역(20), 제2 편 영역(40) 및 정공저장영역(50)이 모두 반대되는 타입으로 형성될 수 있다. 일례로, 벌크 실리콘 기판(10)과 제1 편 영역(20)은 N형 불순물 도핑영역(N- 영역)이고, 제2 편 영역(40)은 P형 불순물 도핑영역(P+ 영역)이며, 정공저장영역(50)은 제1 편 영역(20)보다 고농도로 도핑된 N형 불순물 도핑영역(N+)일 수 있다.
- [55] 이하에서는, 본 발명의 일 실시 예에 따른 반도체 소자(100)의 제조 과정을 설명하기로 한다.

- [56] 도 4a 내지 도 4e는 본 발명의 일 실시 예에 따른 반도체 소자의 제조 과정을 설명하기 위한 도면이고, 도 13은 본 발명의 일 실시 예에 따른 반도체 소자의 제조 과정을 설명하기 위한 흐름도이다.
- [57] 먼저, 도 4a 및 도 13을 참조하면, 벌크 실리콘 기판층(10a)상에 N형 불순물 및 P형 불순물을 각각 도핑하여 제2 핀 영역층(40a) 및 정공저장영역층(50a)이 형성된다(S100).
- [58] 이후, 도 4b 및 도 13을 참조하면, 벌크 실리콘 기판층(10a)과 제2 핀 영역층(40a) 및 정공저장영역층(50a)을 패터닝하여 소정의 높이와 폭 및 소정의 길이를 갖는 담장 형태로 이루어진 제1 핀 영역(20)과 제2 핀 영역(40) 및 정공저장영역부(50a)를 형성한다(S200). 아울러, 벌크 실리콘 기판(10)상에 제1 핀 영역(20)의 높이까지 절연층이 형성한다(S300).
- [59] 절연층(30) 형성 과정에서 제1 핀 영역(20)이 형성되고, 제1 핀 영역(20)은 벌크 실리콘 기판(10)과 동일한 도핑농도를 가진다.
- [60] 여기서, 절연층(30)은 소자 분리를 위함이고, STI(shallow trench isolation) 공정을 통해 형성될 수 있다. STI 공정은 반도체 기판에 트렌치를 형성하고, 트렌치 내부를 절연막으로 매립함으로써 소자분리막을 형성하는 기법으로, 종래의 소자분리기술에 비하여 소자분리특성이 우수하고 점유 면적도 작기 때문에 반도체 소자의 고집적화에 적합한 기술이라 말할 수 있다.
- [61] 다음으로, 도 4c 및 도 13을 참조하면, 절연층(30)의 상면, 제2 핀 영역(40) 및 정공저장영역부(50)의 측벽, 정공저장영역부(50)의 상면에 게이트 절연층부(60a)가 형성된다. 또한, 게이트 절연층부(60a)의 상부에는 게이트부(70a)가 형성된다(S400).
- [62] 일례로, 게이트 절연층부(60a)은 산화 실리콘(silicon oxide), 질화막, 산화 알루미늄(aluminum oxide), 산화 하프늄(hafnium oxide), 산화질화 하프늄(hafnium oxynitride), 산화 아연(zinc oxide) 또는 이들의 임의의 조합 중 어느 하나로 이루어질 수 있다.
- [63] 게이트부(70a)는 알루미늄(Al), 몰리브덴(Mo), 마그네슘(Mg), 크롬(Cr), 파라듐(Pd), 금(Au), 백금(Pt), 니켈(Ni), 타이타늄(Ti) 또는 이들의 임의의 조합 중 어느 하나로 이루어질 수 있다.
- [64] 다음으로, 도 4d 및 도 13을 참조하면, 게이트 절연층부(60a) 및 게이트부(70a)가 제2 핀 영역(40)의 길이 방향을 기준으로 제2 핀 영역(40)의 중앙부에 위치하도록 패터닝하여, 게이트 절연층(60) 및 게이트(70)를 형성한다(S500).
- [65] 이후, 도 4e 및 도 13과 같이, 정공저장영역부(50b)를 게이트(70)와 대응되는 폭과 길이를 가지도록 식각하여 정공저장영역(50)을 형성한다(S600). 한편, 도시하지는 않았으나, 이후에 게이트(70)를 중심으로 양측에 각각 소스 메탈 및 드레인 메탈을 각각 증착(S700)함으로써, 본 발명의 일 실시 예에 따른 반도체 소자(100)를 제조할 수 있다.
- [66] 게이트 절연층부(60a) 및 게이트부(70a)를 패터닝한 이후, 소스 영역(401)과

드레인 영역(403)을 형성하기 위해 자가정렬 패터닝(self aligned patterning) 기술을 이용하여 정공저장영역부(50b)를 부분적인 식각 공정을 통해 정공저장영역(50)을 형성할 수 있다.

- [67] 여기서, 자가정렬은 소스 영역(401) 및 드레인 영역(403)과 게이트(70)가 저절로 정렬되는 공정이라 말할 수 있으며, 이후 고온 확산 공정을 통해 주입된 이온을 기판 표면 아래쪽으로 더 깊이 분포하도록 할 수도 있다.
- [68] 즉, 본 발명의 일 실시 예에 따른 반도체 소자(100)는, 공정과정에서 기존의 벌크 실리콘 반도체 기판의 핀타입 MOSFET(모스 전계 효과 트랜지스터(Metal Oxide Silicon Field Effect transistor)) 공정과정과 대응되므로, 제조과정 측면에서 바라볼 때, 기존 공정 장비를 활용하여 제작할 수 있다.
- [69] 아울러, 추가적인 소자 기술을 통하여 반도체 소자의 성능을 향상시킬 수 있다. 예컨대, 전체적인 핀 높이를 높여 정공저장영역(50)의 높이 증가를 통해, 정공저장공간을 확장시켜 정공 보유 능력을 향상시키거나, 제2 핀 영역(40)의 높이 증가를 통해, 전류 특성을 향상시킬 수 있다.
- [70] 또한, 정공저장영역(50)을 에너지 밴드갭(energy bandgap)이 작고, 전자친화도(electron affinity)의 값이 거의 같은 반도체(일례로, SiGe, Ge)를 증착할 경우, 더 높은 정공 에너지 장벽을 형성하여 정공 보유 능력을 향상시킬 수도 있다.
- [71] 뿐만 아니라, 실리콘 이외에도 별도의 III-V족 화합물 반도체 물질(일례로, InGaAs, InP, InAs 등)을 본 발명의 일 실시 예에 따른 반도체 소자(100)에 단일접합 또는 동종접합(homojunction) 또는 이종접합(heterojunction)의 형태로 적용이 가능하므로, 향후 더 우수한 데이터 보유시간과 전류 센싱 마진을 가지는 반도체 소자(100)를 제작할 수 있다.
- [72] 이상에서 설명한 본 발명의 일 실시 예에 따른 반도체 소자(100)는, 벌크 실리콘 기판층(10a)이 P형 불순물로 도핑될 경우, 제2 핀 영역층(40a)은 N형 불순물로 도핑되고, 정공저장영역층(50a)은 벌크 실리콘 기판층(10a)보다 고농도인 P형 불순물로 도핑될 수 있다.
- [73] 한편, 이와 반대로 벌크 실리콘 기판층(10a)이 N형 불순물로 도핑될 경우, 제2 핀 영역층(40a)은 P형 불순물로 도핑되고, 정공저장영역층(50a)은 벌크 실리콘 기판층(10a)보다 고농도인 N형 불순물로 도핑될 수도 있다.
- [74] 이하에서는, 상술한 본 발명의 일 실시 예에 따른 반도체 소자(100)의 전류 특성 및 동작 과정에 대해 자세히 살펴보기로 한다.
- [75] 도 5는 본 발명의 일 실시 예에 따른 반도체 소자의 데이터 '1'과 '0' 상태에 따른 전류 값의 변화를 보여주는 그래프이다.
- [76] 도 5를 참조하면, 본 발명의 일 실시 예에 따른 반도체 소자(100)는 드레인 전류 값의 차이를 센싱 마진(Sensing Margin)으로 하여 '1'과 '0'을 구분하는 방식으로 메모리 동작을 수행할 수 있다. 본 발명의 일 실시 예에 따른 반도체 소자(100)는 무접합 트랜지스터의 밴드갭 터널링 현상을 이용하여 정공을 생성시키고, P+형

정공저장영역(50)에 정공을 보유할 경우(데이터'1'), 문턱전압의 감소와 함께 드레인 전류 값이 높아지게 된다.

- [77] 한편, P+형 정공저장영역(50)에 정공이 없을 경우(데이터'0'), 문턱전압은 증가하고, 드레인 전류 값은 감소하게 된다. 이로 인해, 본 발명의 일 실시 예에 따른 반도체 소자(100)는 전류 센싱 마진을 확보하고 데이터 '1'과 데이터 '0'을 구분할 수 있다.
- [78] 도 6은 본 발명의 일 실시 예에 따른 반도체 소자의 밴드 간 터널링 동작 원리를 나타내는 단면도이다.
- [79] 구체적으로, 도 6은 밴드 간 터널링 동작 및 프로그램, 이레이즈, 홀드 및 리드 동작을 설명하기 위해, 도 1에 도시한 본 발명의 일 실시 예에 따른 반도체 소자(100)의 구성 중 적층 순서를 기준으로 벌크 실리콘 기판(10), 제1 핀 영역(20), 제2 핀 영역(40)(소스(401)/바디(402)/드레인(403)), 정공저장영역(50), 게이트 절연층(60) 및 게이트(70)를 도시한 단면도이다.
- [80] 도 7은 도 6에 도시한 본 발명의 일 실시 예에 따른 반도체 소자의 프로그램 동작에서의 에너지 밴드를 나타내는 도면이다. 구체적으로, 도 7a는 프로그램 동작에서의 도 6에 도시한 X-X'선의 에너지 밴드를 나타내는 도면이고, 도 7b는 프로그램 동작에서의 도 6에 도시한 Y-Y'선의 에너지 밴드를 나타내는 도면이다.
- [81] 도 6 및 도 7를 참조하면, 본 발명의 일 실시 예에 따른 반도체 소자(100)의 프로그램(Write'1') 동작은 무접합 트랜지스터 내의 밴드간 터널링 현상을 이용하여 정공을 형성하는 원리라 말할 수 있다. 일례로, 게이트(70)에 음의 전압(예컨대, -2.0 V)을 인가하고 드레인 영역(403)에는 양의 전압(예컨대, 2.0 V)을 각각 인가하게 되면, 도 7a에 도시한 바와 같이, 제2 핀 영역(40) 내 N+형 바디 영역(402)과 드레인 영역(403) 사이에서 에너지 밴드 경사가 증가하게 되며 밴드 간의 간격이 좁아져 터널링 현상으로 인하여 N+형 바디 영역(402)에 정공이 형성된다. 형성된 정공은 도 7b와 같이, 확산과 드리프트 현상에 의하여 P+형 정공저장영역(50)으로 이동하게 된다. P+형 정공저장영역(50)에 정공이 쌓이면서 반도체 소자(1T 1R 셀)은 데이터 '1'인 상태가 된다.
- [82] 도 8은 도 6에 도시한 본 발명의 일 실시 예에 따른 반도체 소자의 이레이즈 동작에서의 에너지 밴드를 나타내는 도면이다. 구체적으로, 도 8a는 이레이즈 동작에서의 Y-Y'선의 에너지 밴드를 나타내는 도면이고, 도 8b는 이레이즈 동작에서의 X-X'선의 에너지 밴드를 나타내는 도면이다.
- [83] 도 6 및 도 8을 참조하면, 본 발명의 일 실시 예에 따른 반도체 소자(100)의 이레이즈(Write'0') 동작은 P+형 정공저장영역(50)에 저장된 정공을 제2 핀 영역(40) 내의 N+형 바디 영역(402)으로 배출시키기 위한 것이므로, 게이트(70)에 양의 전압(예컨대, 2.0 V)과 드레인 영역(403)에 음의 전압(예컨대, -2.0 V)을 인가한다.
- [84] 이와 같은 전압 인가할 경우, 도 8a와 같이 P+형 정공저장영역(50)의 에너지 밴드가 내려오게 되면서 상대적으로 정공의 이동을 제한하던 에너지 장벽이

감소하게 되며 전공저장영역(50)의 정공은 제2 편 영역(40) 내의 N+형 바디 영역(402)으로 이동하게 된다. 그 후, 도 8b와 같이 확산과 드리프트 현상에 의하여 N+형 바디 영역(402)으로 이동했던 정공이 드레인 영역(403)으로 배출되게 된다. 이로 인해, P+형 전공저장영역(50)에는 정공이 없게 되며, 반도체 소자(1T 디램 셀)은 데이터 '0'인 상태가 된다.

- [85] 도 9는 도 6에 도시한 본 발명의 일 실시 예에 따른 반도체 소자의 홀드 동작에서의 에너지 밴드를 나타내는 도면이다. 구체적으로, 도 9a는 홀드 '1' 동작에서의 Y-Y'선의 에너지 밴드를 나타내는 도면이고, 9b는 홀드 '0' 동작에서의 Y-Y'선의 에너지 밴드를 나타내는 도면이다.
- [86] 홀드 동작은 리드, 프로그램, 이레이즈 동작 전에 P+형 전공저장영역(50)에 정공을 보유한 상태(데이터 '1' 상태) 또는 정공이 없는 상태(데이터 '0' 상태)를 유지하는 동작으로 반도체 소자(1T 디램 셀)의 보유시간(retention time) 특성을 결정한다.
- [87] 따라서, 홀드 동작은 데이터 '1'과 '0'의 상태에 따라서 각각 홀드 '1'과 홀드 '0'의 동작으로 나뉘며, 모든 영역을 접지한 상태에서 동작을 수행한다. 여기서, 모든 영역은 게이트(70), 소스(401) 및 드레인 영역(403)이 모두 접지된 상태라 말할 수 있다.
- [88] 도 9a를 참조하면, 홀드 '1' 동작 수행 시에는 N+형 바디 영역(402)에 의하여 형성된 에너지 장벽은 P+형 전공저장영역(50)에 있는 정공들이 이동하지 못하고 유지가 되는 것을 확인할 수 있다.
- [89] 아울러, 도 9b를 참조하면, 홀드 '0' 동작 수행 시에는 에너지 장벽은 정공이 P+형 전공저장영역(50)으로 유입되는 것을 막아주므로 정공이 없는 상태를 유지한다.
- [90] 도 10은 도 6에 도시한 본 발명의 일 실시 예에 따른 반도체 소자의 리드 동작을 설명하기 위한 도면이다. 구체적으로, 도 10a는 리드 '1', '0' 동작에서의 X-X'선의 에너지 밴드를 나타내는 도면이고, 도 10b는 리드 '1' 동작에서의 Y-Y'선의 전류 분포도이고, 도 10c는 리드 '0' 동작에서의 Y-Y'선의 전류 분포도이다.
- [91] 리드 동작은 전공저장영역(50)에 정공이 저장되어 있는지 여부를 읽기 위한 동작으로, 게이트(70)에 양의 전압 (예컨대, 0.5 V)과 드레인 영역(403)에 작은 양의 전압 (예컨대, 0.1 V)을 인가하고 드레인 영역(403)과 소스 영역(401) 사이에 흐르는 드레인 전류를 확인함으로써, 정공의 유무(데이터 '1' 또는 데이터 '0')를 확인할 수 있다.
- [92] 데이터 '1' 일 경우, 리드 동작을 리드 '1'로 구분하고 데이터 '0' 일 경우, 리드 동작을 리드 '0'로 구분할 수 있다. 예컨대, 전공저장영역(50)에 정공이 저장되어 있는 상태의 경우(데이터 '1' 상태), 도 10a와 같이 P+형 전공저장영역(50)에 보유되어 있는 정공에 의하여 제2 편 영역(40) 내의 N+형 바디 영역(402)의 에너지 밴드가 내려가게 되어 무접합 트랜지스터의 문턱전압의 감소와 함께 드레인 전류 값이 증가하게 된다.

- [93] 이와 반대로 리드 '0'의 경우, 정공저장영역에 정공이 없는 상태(데이터 '0' 상태)이므로 제2 편 영역 내의 N+형 바디영역의 에너지 밴드는 데이터 '1'의 상태일 때의 에너지 밴드보다 높은 상태가 되고 상대적으로 높은 문턱전압을 가지면서 드레인 전류 값이 감소하게 된다.
- [94] 즉, 리드 동작은, 반도체 소자(1T 디램 셀)의 데이터 '1'과 '0'의 상태(저장영역의 정공 유무)에 따라 반도체 소자(100)의 문턱전압이 변하게 되고 리드 동작시 같은 게이트 전압에 드레인 전류 값의 차이가 발생된다. 이 경우, 발생된 드레인 전류 값의 차이가 반도체 소자의 전류 센싱 마진 (current sensing margin)이 된다.
- [95] 또한, 리드 동작시 흐르는 드레인 전류는 제2 편 영역(40) 내부에 흐르는 벌크 전류를 이용한다. 따라서 데이터 '1'과 데이터 '0'에 따른 드레인 전류의 변화는 제2 편 영역(40) 내부에 흐르는 벌크 전류가 흐르는 면적의 변화에 의하여 발생한다.
- [96] 도면 10b 및 도 10c를 참조하면, 리드 '1' 동작시 전류가 흐르는 면적이 리드 '0' 동작시 흐르는 전류 면적보다 넓게 분포한다. 이와 같은 현상은 P+ 정공저장영역(50)에 저장되어 있는 정공이 제2 편 영역(40)에 전체적으로 영향을 미치므로, 제2 편 영역(40)의 높이와 폭이 커짐에 따라 전류 센싱 마진 향상이 가능하다.
- [97] 아래의 표 1은 앞서 설명한 프로그램, 이레이즈, 리드, 홀드 각각의 동작에서의 게이트, 드레인, 소스에 각각 전가되는 전압을 예시한 표이다.
- [98] [표1]

본 발명의 일 실시예에 따른 반도체 소자(디램 셀 소자)의 전압 인가 예시				
동작	프로그램(write '1')	이레이즈(write '0')	리드('1', '0')	홀드('1', '0')
게이트 전압(V)	-2.0	2.0	0.5	0
드레인 전압(V)	2.0	-2.0	0.1	0
소스 전압(V)	0	0	0	0

- [99] 도 11은 본 발명의 일 실시예에 따른 반도체 소자의 각 동작에 따른 드레인 전류의 크기를 도시한 그래프이다. 구체적으로, 도 11a는 홀드 동작 시간이 10ms이고, 도 11b는 홀드 동작 시간이 100ms일 경우의 전기적 특성도이다. 또한, 도 12는 프로그램 후 홀드 시간에 따른 리드 전류의 크기 변화를 도시한 그래프이다.
- [100] 도 11을 참조하면, 본 발명의 일 실시예에 따른 반도체 소자(100)는 P+형 정공저장영역(50)과 N+형 바디 영역(402)의 PN 접합으로 인해 높은 에너지 장벽을 형성할 수 있으며, 높은 에너지 장벽의 차단에 의하여 P+형

전공저장영역(50)에 갇힌 정공들의 유출 및 유입을 최대한 차단할 수 있기에 드레인 전류가 흐르지 않는 상태에서 보유시간을 높일 수 있는 장점을 지니고 있다.

- [101] 이와 같은 장점은 전산모사를 통해 추출한 도 12에 도시한 바와 같이, 100 ms에서도 '1'과 '0'의 전류 값의 차이(디램의 전류 센싱 마진)을 유지하는 것을 확인하였으며, 현재 ITRS 로드맵이 제시하고 있는 보유시간은 64 ms라는 것을 감안했을 때 본 특허가 제안하는 커패시터리스 1T 디램 셀이 우수한 보유 능력을 가지는 것을 보여준다.
- [102] 또한, N+형 바디 영역(402)으로 형성된 높은 에너지 장벽에 의하여 P+형 전공저장영역(50)의 정공보유능력을 향상시킨 방식은 P-형 바디 영역을 가지는 MOSFET에서는 높은 에너지 장벽을 가지기 힘든 부분이므로, 무접합 트랜지스터에서만 가능한 방식이며, 동시에 에너지 장벽으로 인해 정공이 제1 핀 영역(20)으로 빠져나가는 것을 막아주므로 벌크 실리콘 기판(10)에서도 쉽게 제작할 수 있다는 큰 장점을 가진다고 할 수 있다.
- [103] 특히, 본 발명의 일 실시 예에 따른 반도체 소자(100)는, P+ 전공저장영역(50)을 N+형 바디 영역(402)의 상부에 구성함으로써, 반도체 소자(1T 디램)의 정공 보유능력을 향상시킬 수 있다. P+ 전공저장영역(50)은 N+형 바디 영역(402)의 상부에 형성되어 소자의 전류가 흐르는 영역과 분리됨에 따라, 정공을 보유할 수 있는 공간을 확보할 수 있고, 1T 디램의 홀드 동작에서 N+형 바디 영역(402)에 의해 형성된 에너지 장벽이 P+형 전공저장영역(50)으로 정공이 유출되거나 유입되는 것을 최소화할 수 있도록 하여 데이터 '1'과 '0'을 오랫동안 유지할 수 있도록 한다.
- [104] 본 발명에 제안하는 반도체 소자(100)는 벌크 실리콘 기판(10)의 무접합 트랜지스터는 기존 벌크 실리콘 기판의 MOSFET 제조 공정 기술을 활용할 수 있을 뿐만 아니라 일반적인 벌크 실리콘 기판의 MOSFET와 달리 소스영역(401), 바디영역(402), 드레인영역(403)의 도핑 타입과 농도로 되어있으므로, 소스영역(401)과 드레인영역(403)을 형성시키기 위한 포토리소그래피 및 도핑 공정이 줄어 공정과정을 최소화 할 수 있다는 장점이 있다.
- [105] 또한, 게이트(70)가 핀을 감싸고 있는 형태로 구성한 핀타입 무접합 트랜지스터는 게이트 장악력이 우수하여 누설전류를 최소화할 수 있으며, 이와 같은 벌크 실리콘 기판의 핀타입 무접합 트랜지스터를 이용한 커패시터리스 1T 디램 셀은 낮은 전력 소모 특성을 확보하여 우수한 저전력 성능을 가진 디램 셀 어레이 및 시스템으로 활용 가능하다.
- [106] 아울러, N+형 바디영역(402) 위에 P+형 전공저장영역(50)을 형성한 구조는 기판으로 정공이 유출되거나 유입되는 것을 최소화하므로, 종래의 SOI 기판 플로팅 효과를 이용한 커패시터리스 1T 디램 셀과 달리 기판과의 분리를 위한 추가 공정 없이 벌크실리콘 기판 위에 제작 가능하며 생산 비용 측면과 공정 호환성 측면에서 우수한 장점이 있다.

[107] 이상에서는 본 발명의 바람직한 실시예에 대하여 도시하고 설명하였지만, 본 발명은 상술한 특정의 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진자에 의해 다양한 변형실시가 가능한 것은 물론이고, 이러한 변형실시들은 본 발명의 기술적 사상이나 전망으로부터 개별적으로 이해 되어져서는 안될 것이다.

[108]

청구범위

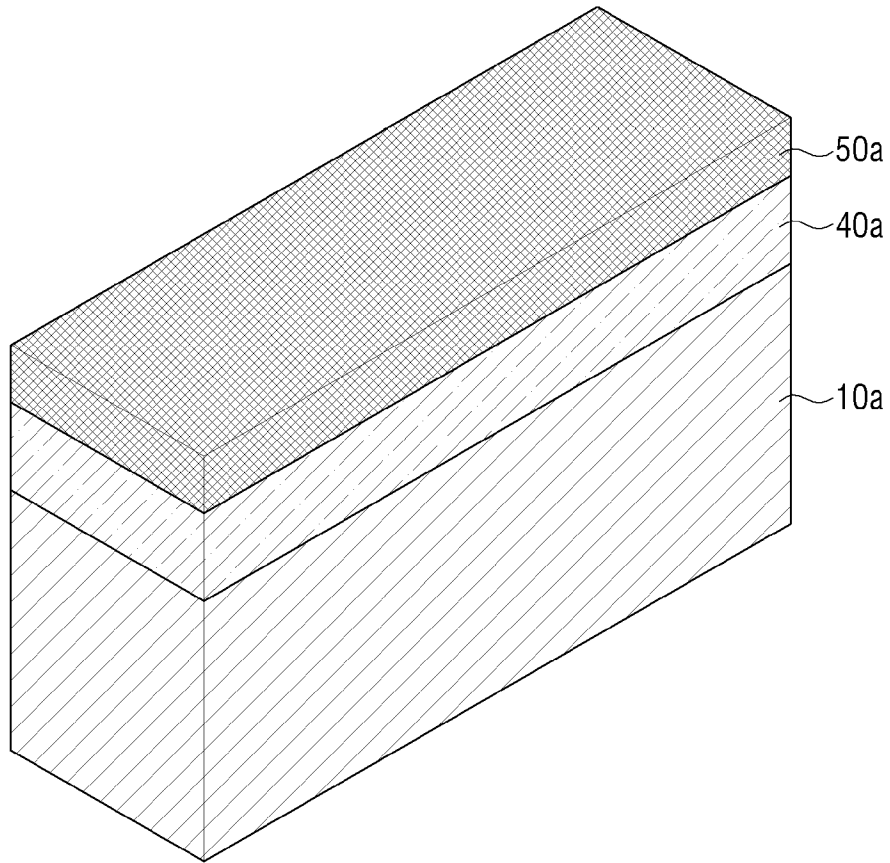
- [청구항 1] 벌크 실리콘 기판;
 상기 벌크 실리콘 기판에 형성되고, 소정의 높이와 폭 및 소정의 길이를 갖는 담장 형태로 이루어지는 제1 편 영역 및 제2 편 영역을 포함하는 담장형 바디;
 전기적 절연 물질로 이루어지며, 상기 벌크 실리콘 기판의 표면 및 상기 제1 편 영역의 높이까지 형성되는 절연층;
 상기 제2 편 영역의 길이 방향을 기준으로 상기 제2 편 영역의 상부 중앙부에 형성되는 정공저장영역;
 상기 제2 편 영역과 상기 정공저장영역의 측벽 및 상기 정공저장영역의 상부에 형성되는 게이트 절연층;
 상기 게이트 절연층의 상부에 형성되는 게이트; 및
 상기 제2 편 영역 중 상기 게이트와 대응되는 위치에 형성되는 바디 영역 및 상기 바디 영역의 양측 영역에 각각 형성되는 소스/드레인 영역을 포함하는, 반도체 소자.
- [청구항 2] 제1항에 있어서,
 상기 제1 편 영역은 상기 벌크 실리콘 기판과 동일한 P형 불순물 도핑영역(P- 영역)이고,
 상기 제2 편 영역은 N형 불순물 도핑영역(N+ 영역)이고,
 상기 정공저장영역은 상기 제1 편 영역보다 고농도로 도핑된 P형 불순물 도핑영역(P+ 영역)인, 반도체 소자.
- [청구항 3] 제2항에 있어서,
 상기 게이트에 기 설정된 제1 음의 전압을 인가하고, 상기 드레인 영역에 기 설정된 제1 양의 전압을 각각 인가할 경우,
 상기 드레인 영역의 정공이 상기 바디 영역으로 터널링되고, 상기 바디 영역으로 터널링된 정공은 확산과 드리프트 현상에 의해 상기 정공저장영역으로 이동하여 프로그램(write'1') 동작이 수행되는, 반도체 소자.
- [청구항 4] 제3항에 있어서,
 상기 게이트 및 상기 소스/드레인 영역이 모두 접지될 경우, 상기 정공저장영역으로 이동된 정공이 유지됨으로써 홀드(hold'1') 동작이 수행되는, 반도체 소자.
- [청구항 5] 제3항에 있어서,
 상기 게이트에 상기 제1 양의 전압보다 작은 제2 양의 전압을 인가하고, 상기 드레인 영역에 상기 제2 양의 전압보다 작은 제3 양의 전압을 인가하여 상기 드레인 영역과 상기 소스 영역 사이에 흐르는 드레인 전류를 확인하여 정공의 유무를 리드(read'1') 동작이 수행되는, 반도체

- 소자.
- [청구항 6] 제3항에 있어서,
상기 게이트에 기 설정된 제1 양의 전압을 인가하고, 상기 드레인 영역에 기 설정된 제1 음의 전압을 각각 인가할 경우, 상기 정공저장영역의 정공이 확산과 드리프트 현상에 의해 상기 드레인 영역으로 배출되어 이레이즈(write'0') 동작이 수행되는, 반도체 소자.
- [청구항 7] 제6항에 있어서,
상기 게이트 및 상기 소스/드레인 영역이 모두 접지될 경우, 상기 제2 핀 영역의 정공이 상기 정공저장영역으로 유입되는 것을 차단하는, 반도체 소자.
- [청구항 8] 제6항에 있어서,
상기 게이트에 상기 제1 양의 전압보다 작은 제2 양의 전압을 인가하고, 상기 드레인 영역에 상기 제2 양의 전압보다 작은 제3 양의 전압을 인가하여 상기 드레인 영역과 상기 소스 영역 사이에 흐르는 드레인 전류를 확인하여 정공의 유무를 리드(read'0') 동작이 수행되는, 반도체 소자.
- [청구항 9] 제1항에 있어서,
상기 제2 핀 영역은 전체적으로 동일한 타입의 불순물이 동일한 농도로 주입되고, 소스 및 드레인 컨택 메탈에 전기적으로 연결되어 무접합되는, 반도체 소자.
- [청구항 10] 제1항에 있어서,
상기 제1 핀 영역은 상기 벌크 실리콘 기판과 동일한 N형 불순물 도핑영역(N- 영역)이고,
상기 제2 핀 영역은 P형 불순물 도핑영역(P+ 영역)이고,
상기 정공저장영역은 상기 제1 핀 영역보다 고농도로 도핑된 N형 불순물 도핑영역(N+ 영역)인, 반도체 소자.
- [청구항 11] 벌크 실리콘 기판층 상에 제2 핀 영역층 및 정공저장영역층을 순차적으로 형성하는 단계;
상기 벌크 실리콘 기판층과 상기 제2 핀 영역층 및 상기 정공저장영역층을 패터닝하여 소정의 높이와 폭 및 소정의 길이를 갖는 담장 형태로 이루어지는 제1 핀 영역과 제2 핀 영역 및 정공저장영역부를 형성하는 단계;
상기 벌크 실리콘 기판층 상에 상기 제1 핀 영역의 높이까지 절연층을 형성하는 단계;
상기 제2 핀 영역과 상기 정공저장영역부의 측벽 및 상기 정공저장영역부의 상부에 게이트 절연층을 형성하는 단계;
상기 제2 핀 영역의 길이 방향을 기준으로 상기 게이트 및 상기 게이트 절연층이 중앙부에 위치하도록 패터닝하는 단계;

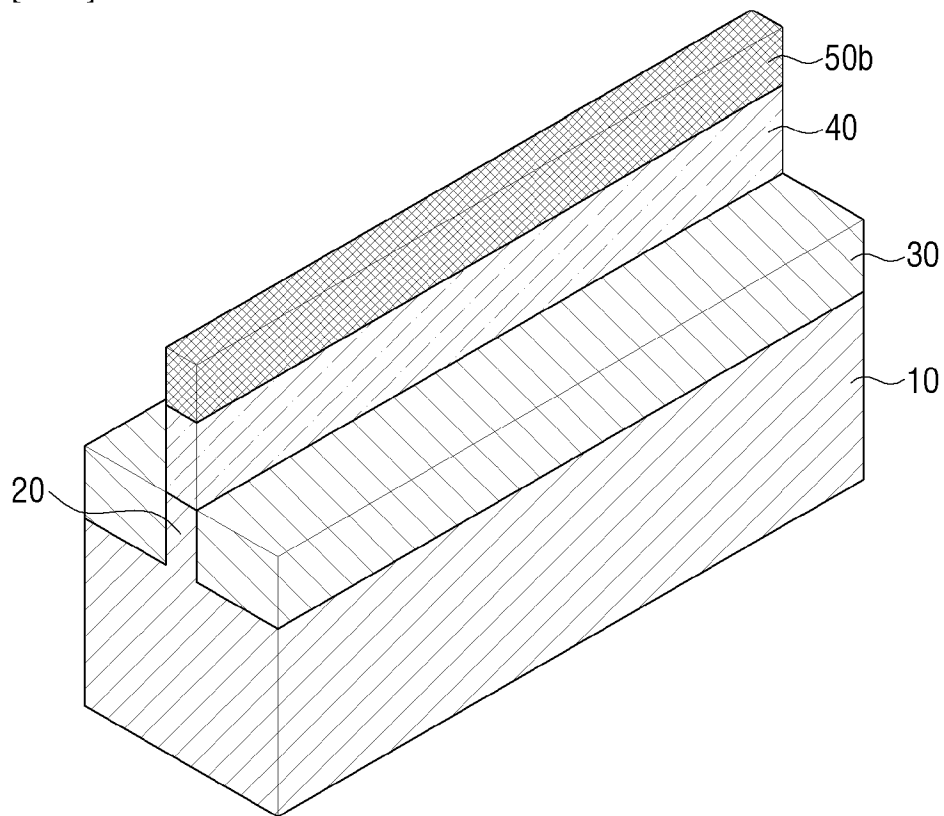
상기 정공저장영역부를 상기 게이트와 대응되는 폭과 길이를 가지도록 식각하여 정공저장영역을 형성하는 단계; 및
상기 게이트를 중심으로 양측에 각각 소스 메탈 및 드레인 메탈을 각각 증착하는 단계를 포함하는, 반도체 소자 제조방법.

- [청구항 12] 제11항에 있어서,
상기 제2 핀 영역층은 N형 불순물로 도핑되고,
상기 정공저장영역층은 상기 벌크 실리콘 기판층보다 고농도인 P형 불순물로 도핑되는, 반도체 소자 제조방법.
- [청구항 13] 제11항에 있어서,
상기 제2 핀 영역층은 P형 불순물로 도핑되고,
상기 정공저장영역층은 상기 벌크 실리콘 기판층보다 고농도인 N형 불순물로 도핑되는, 반도체 소자 제조방법.
- [청구항 14] 제11항에 있어서,
상기 절연층을 형성하는 단계는,
STI(shallow trench isolation) 공정을 통해 형성되는, 반도체 소자 제조방법.
- [청구항 15] 제11항에 있어서,
상기 정공저장영역을 형성하는 단계는,
자가정렬패터닝(self aligned patterning) 공정을 통해 상기
정공저장영역부를 부분적으로 식각하여 상기 정공저장영역이 형성되는,
반도체 소자 제조방법.

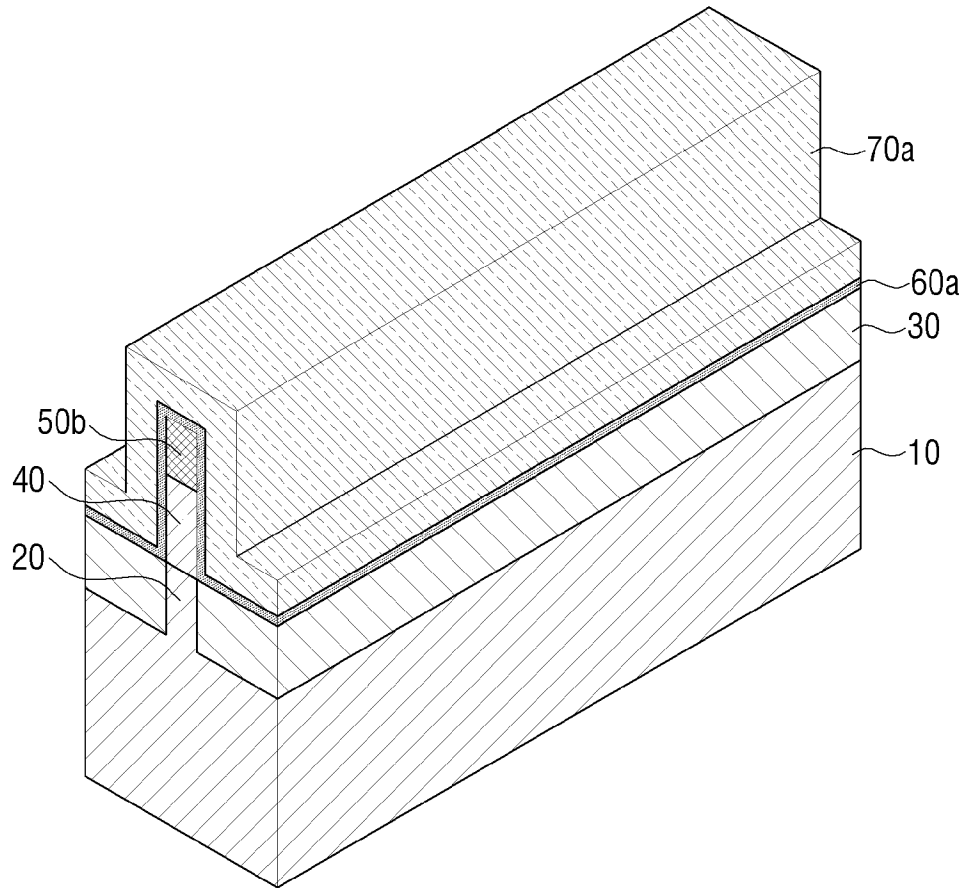
[도4a]



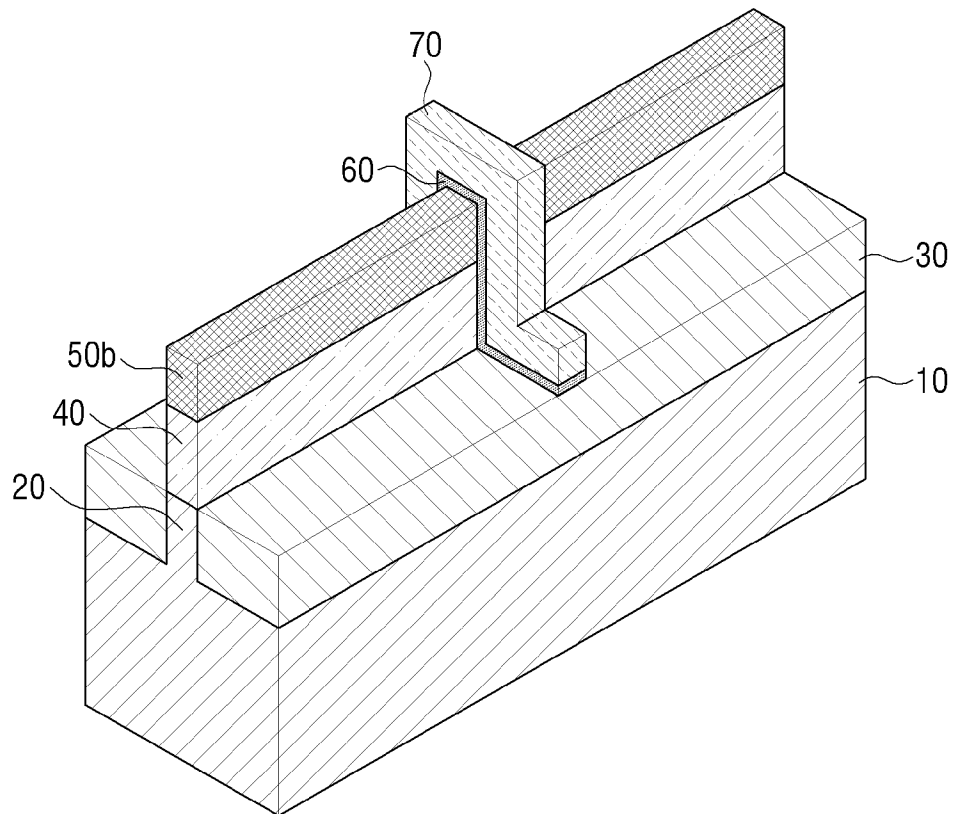
[도4b]



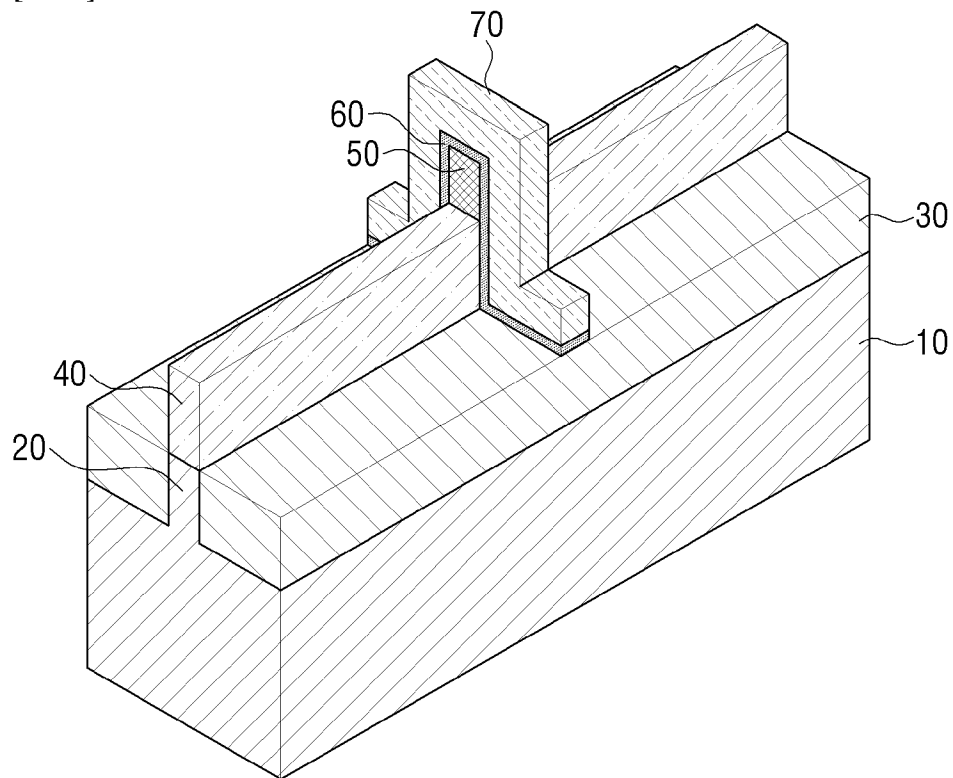
[도4c]



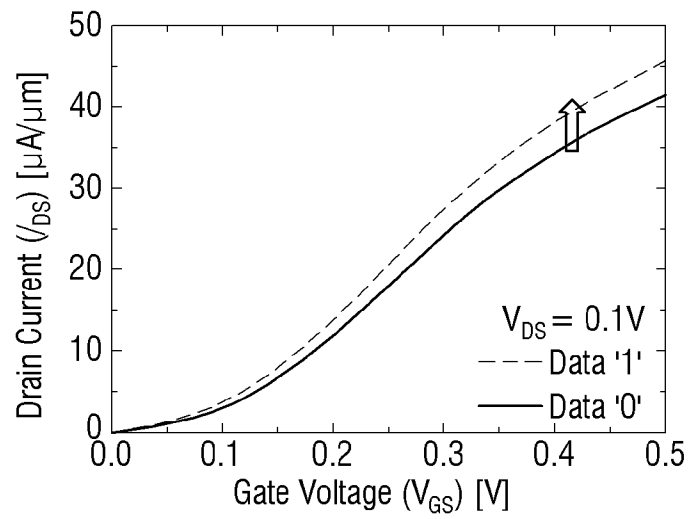
[도4d]



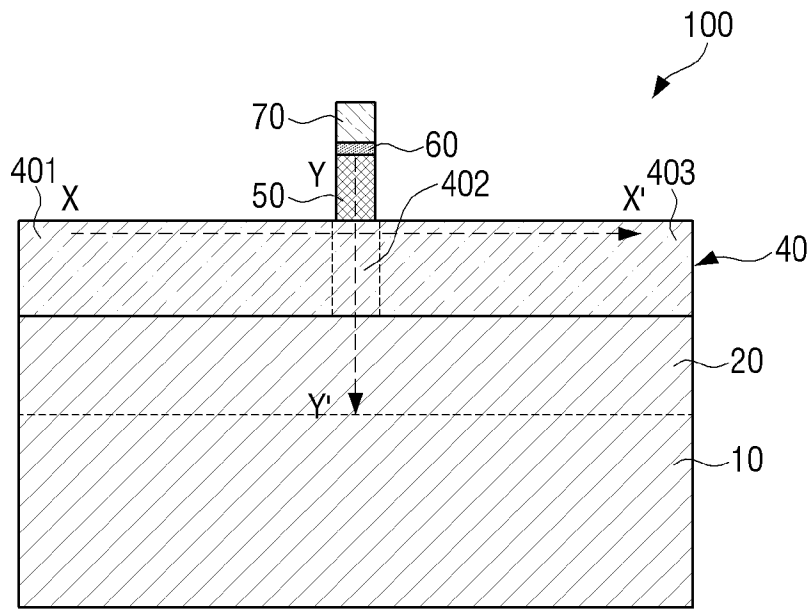
[도4e]



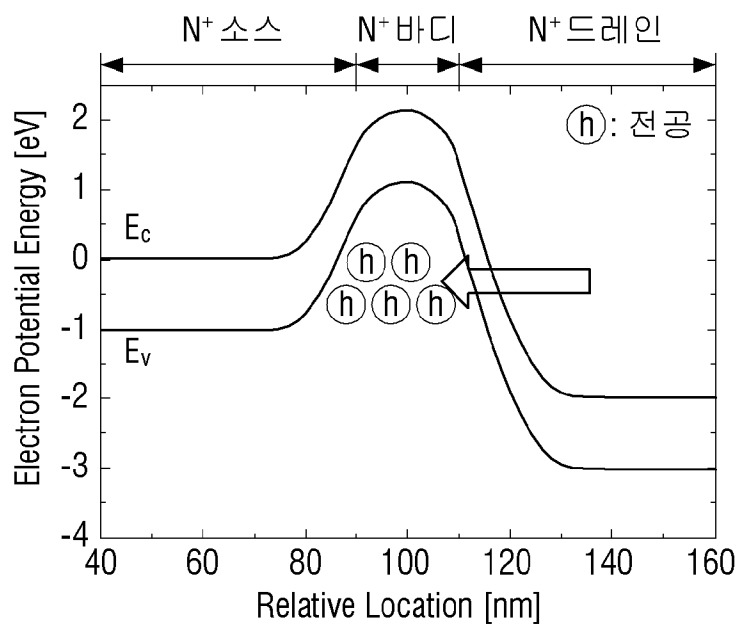
[도5]



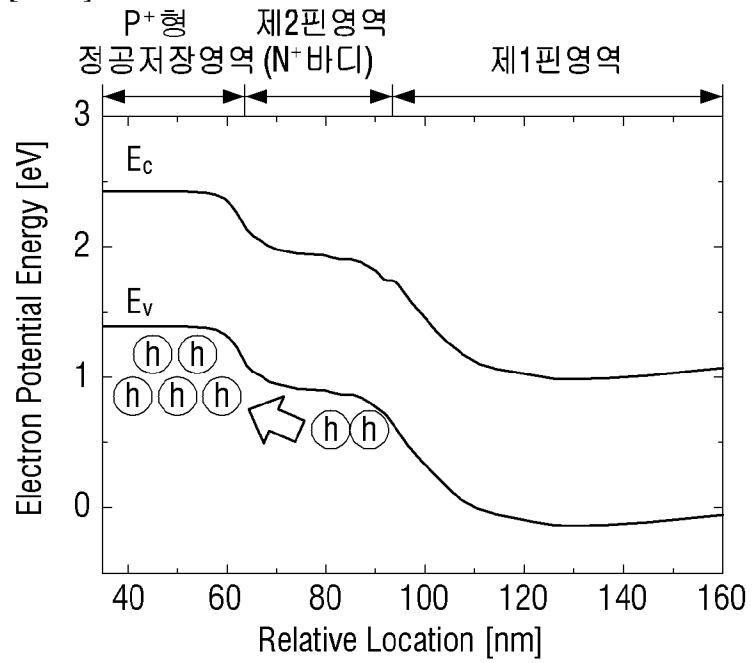
[도6]



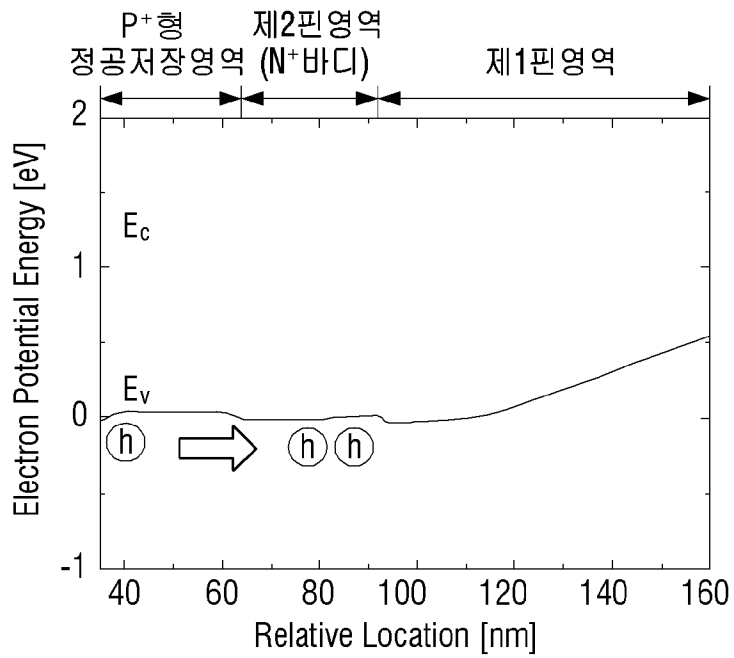
[도7a]



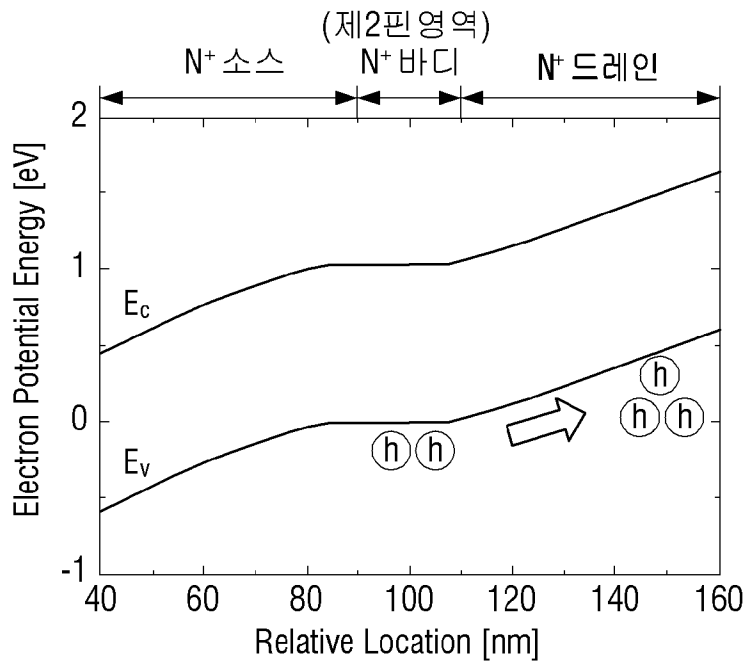
[도7b]



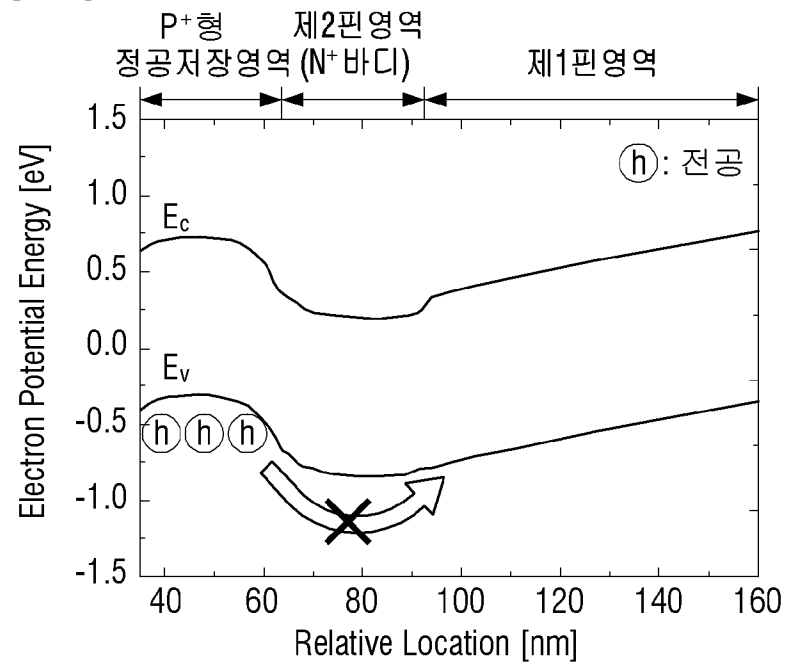
[도8a]



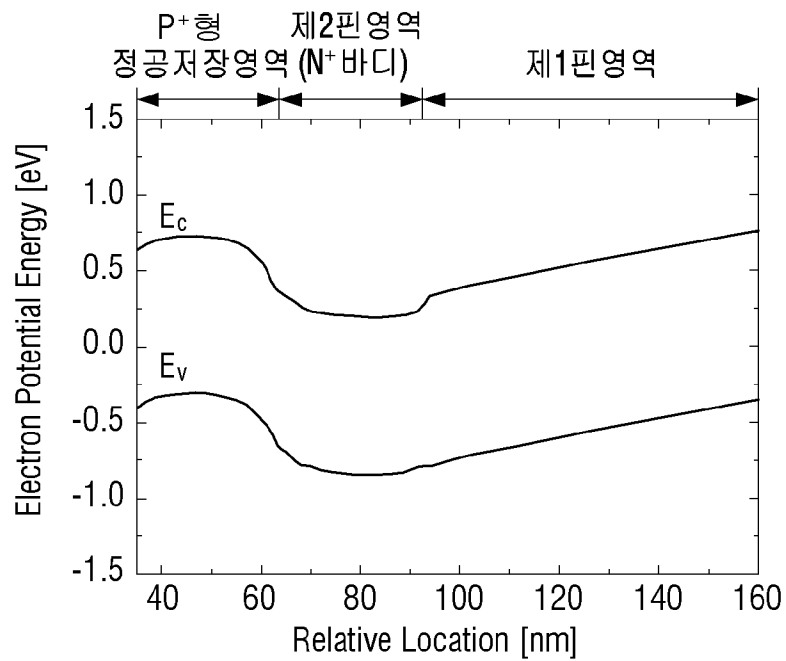
[도8b]



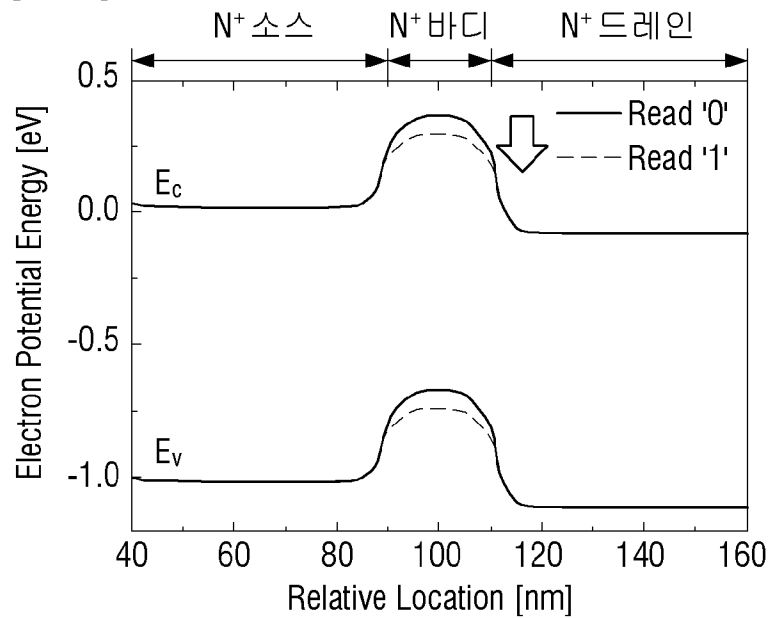
[도9a]



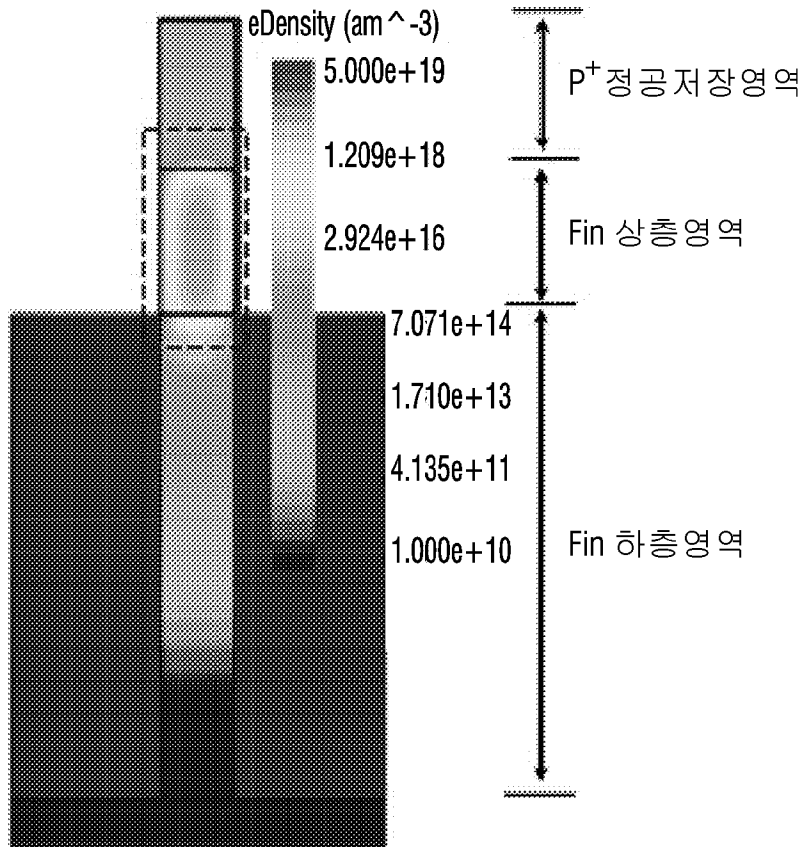
[도9b]



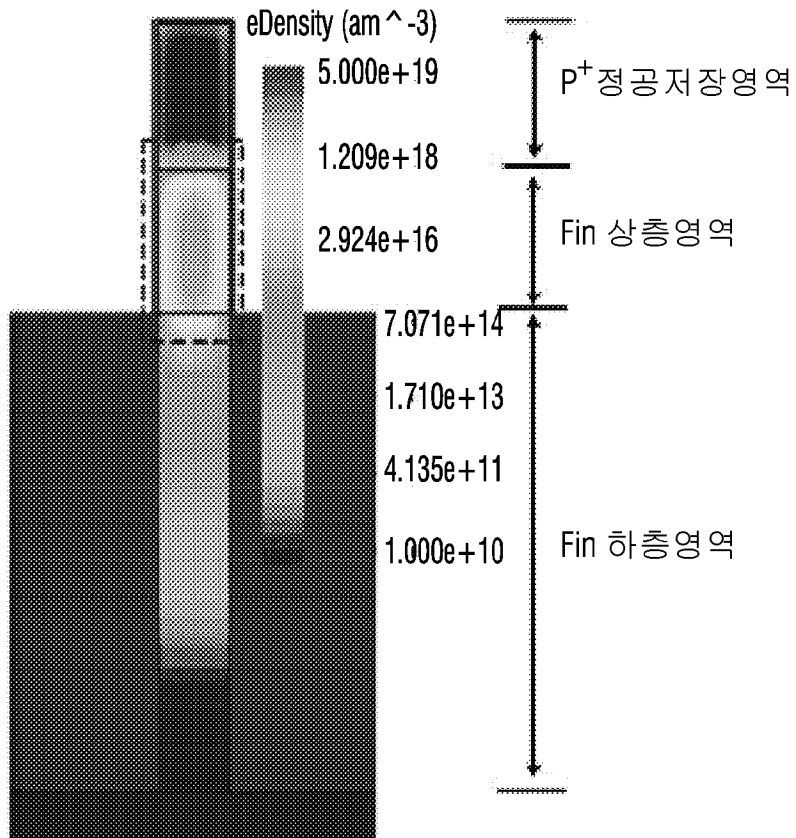
[도10a]



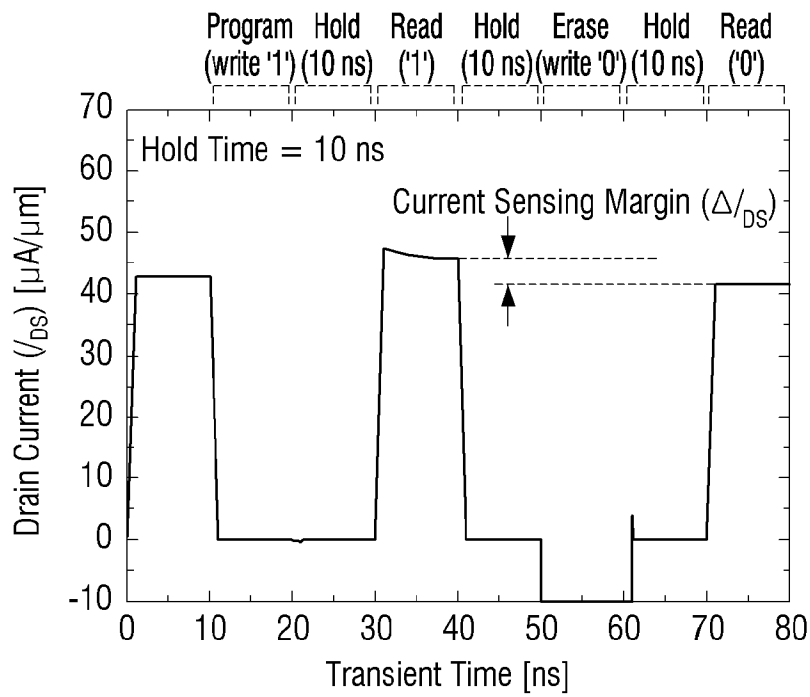
[도10b]



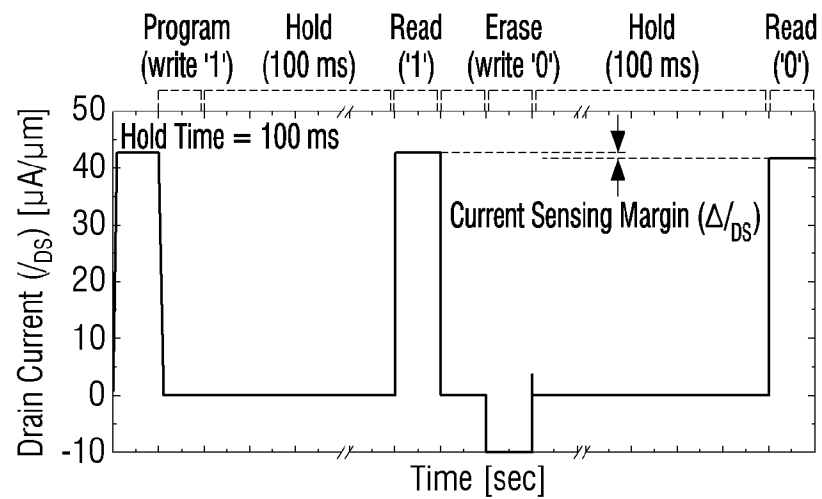
[도10c]



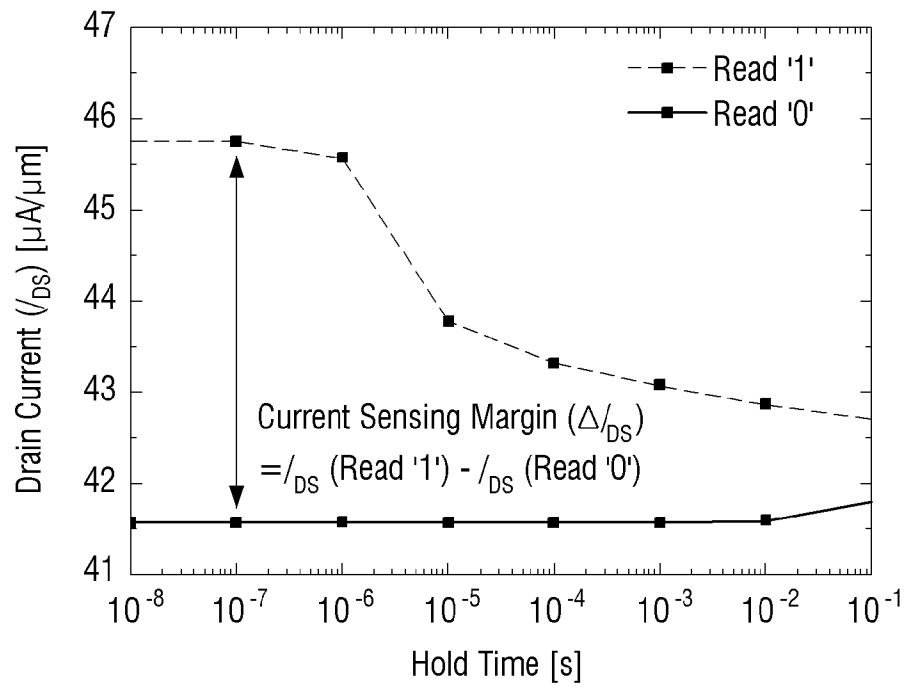
[도11a]



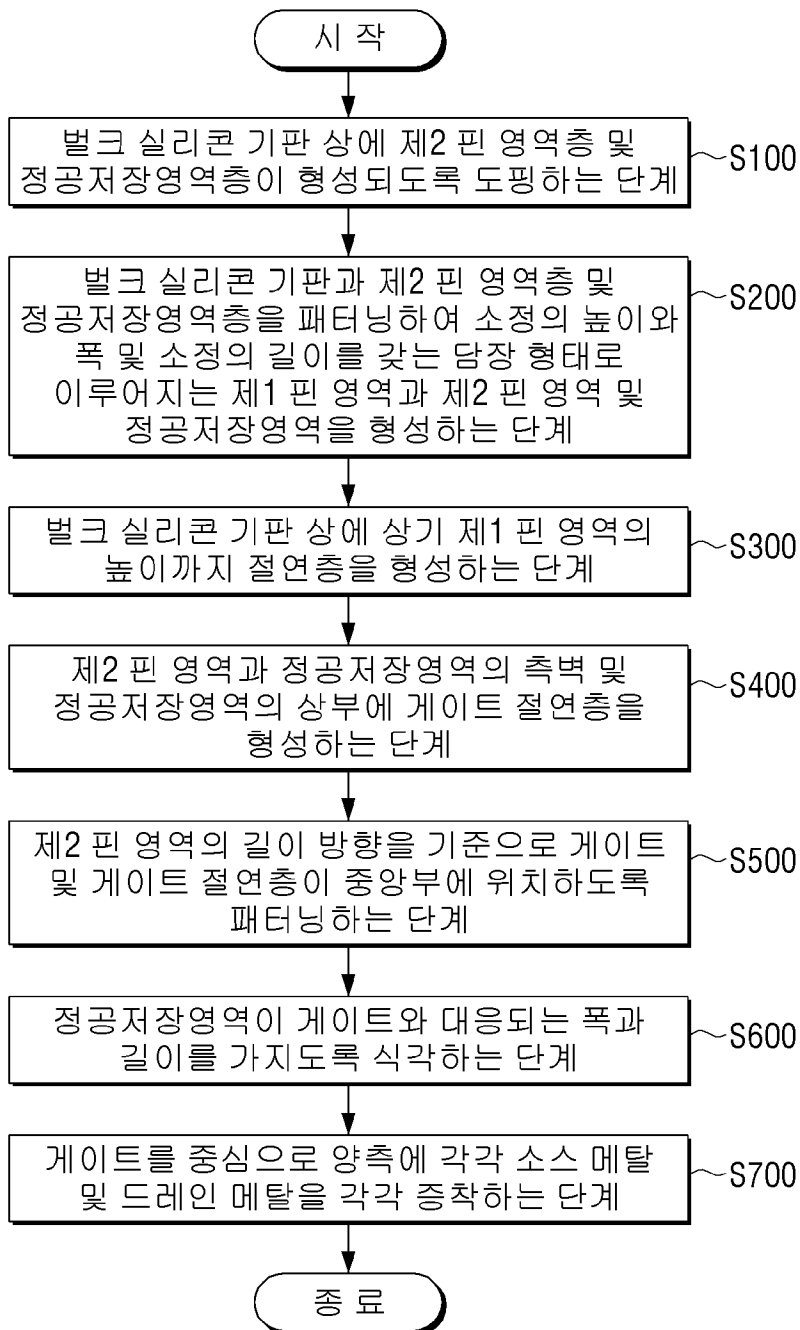
[도11b]



[도 12]



[도13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2018/003852

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78(2006.01)i, H01L 29/10(2006.01)i, H01L 29/66(2006.01)i, H01L 27/108(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 29/78; H01L 27/115; H01L 21/336; H01L 21/8242; H01L 27/108; H01L 21/8247; H01L 29/10; H01L 29/66

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: bulk silicon substrate, pin area, insulation layer, hole storage area, gate insulation layer, semiconductor element

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2009-0011886 A (SAMSUNG ELECTRONICS CO., LTD.) 02 February 2009. See paragraphs [0049]-[0061]; claims 1, 12; and figures 2-3, 6.	1-15
Y	KR 10-2015-0111807 A (SAMSUNG ELECTRONICS CO., LTD.) 06 October 2015. See paragraphs [0043], [0052]; and figures 1-2.	1-15
Y	KR 10-1430415 B1 (SEOUL NATIONAL UNIVERSITY R&DB FOUNDATION) 14 August 2014. See paragraph [0034]; and figures 1, 3.	2-8,10,12-13
A	KR 10-2010-0130407 A (SEOUL NATIONAL UNIVERSITY R&DB FOUNDATION) 13 December 2010. See paragraphs [0014]-[0025]; and figure 4.	1-15
A	KR 10-1356405 B1 (BROADCOM CORPORATION) 27 January 2014. See paragraphs [0054]-[0067]; and figures 2, 3a-3c.	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

13 JULY 2018 (13.07.2018)

Date of mailing of the international search report

16 JULY 2018 (16.07.2018)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Sconsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2018/003852

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2009-0011886 A	02/02/2009	CN 101355086 A	28/01/2009
		JP 2009-033149 A	12/02/2009
		US 2009-0026519 A1	29/01/2009
		US 7933143 B2	26/04/2011
KR 10-2015-0111807 A	06/10/2015	CN 105047698 A	11/11/2015
		TW 201543678 A	16/11/2015
		US 2015-0279995 A1	01/10/2015
		US 2017-0018645 A1	19/01/2017
		US 9431537 B2	30/08/2016
		US 9893186 B2	13/02/2018
KR 10-1430415 B1	14/08/2014	KR 10-2013-0138052 A	18/12/2013
		US 2013-0329499 A1	12/12/2013
		US 8964475 B2	24/02/2015
KR 10-2010-0130407 A	13/12/2010	KR 10-1089659 B1	06/12/2011
KR 10-1356405 B1	27/01/2014	CN 103378166 A	30/10/2013
		CN 103378166 B	01/03/2017
		CN 202905723 U	24/04/2013
		KR 10-2013-0122501 A	07/11/2013
		TW 201344907 A	01/11/2013
		TW 1463667 B	01/12/2014
		US 2013-0285135 A1	31/10/2013
		US 8816421 B2	26/08/2014

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 29/78(2006.01)i, H01L 29/10(2006.01)i, H01L 29/66(2006.01)i, H01L 27/108(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 29/78; H01L 27/115; H01L 21/336; H01L 21/8242; H01L 27/108; H01L 21/8247; H01L 29/10; H01L 29/66

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 벌크 실리콘 기관, 핀 영역, 절연층, 정공저장영역, 게이트 절연층, 반도체 소자

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2009-0011886 A (삼성전자주식회사) 2009.02.02. 단락 [0049]-[0061]; 청구항 1, 12; 및 도면 2-3, 6 참조.	1-15
Y	KR 10-2015-0111807 A (삼성전자주식회사) 2015.10.06. 단락 [0043], [0052]; 및 도면 1-2 참조.	1-15
Y	KR 10-1430415 B1 (서울대학교산학협력단) 2014.08.14. 단락 [0034]; 및 도면 1, 3 참조.	2-8, 10, 12-13
A	KR 10-2010-0130407 A (서울대학교산학협력단) 2010.12.13. 단락 [0014]-[0025]; 및 도면 4 참조.	1-15
A	KR 10-1356405 B1 (브로드콤 코포레이션) 2014.01.27. 단락 [0054]-[0067]; 및 도면 2, 3a-3c 참조.	1-15

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2018년 07월 13일 (13.07.2018)

국제조사보고서 발송일

2018년 07월 16일 (16.07.2018)

ISA/KR의 명칭 및 우편주소



대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

강성철

전화번호 +82-42-481-8405



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2009-0011886 A	2009/02/02	CN 101355086 A JP 2009-033149 A US 2009-0026519 A1 US 7933143 B2	2009/01/28 2009/02/12 2009/01/29 2011/04/26
KR 10-2015-0111807 A	2015/10/06	CN 105047698 A TW 201543678 A US 2015-0279995 A1 US 2017-0018645 A1 US 9431537 B2 US 9893186 B2	2015/11/11 2015/11/16 2015/10/01 2017/01/19 2016/08/30 2018/02/13
KR 10-1430415 B1	2014/08/14	KR 10-2013-0138052 A US 2013-0329499 A1 US 8964475 B2	2013/12/18 2013/12/12 2015/02/24
KR 10-2010-0130407 A	2010/12/13	KR 10-1089659 B1	2011/12/06
KR 10-1356405 B1	2014/01/27	CN 103378166 A CN 103378166 B CN 202905723 U KR 10-2013-0122501 A TW 201344907 A TW I463667 B US 2013-0285135 A1 US 8816421 B2	2013/10/30 2017/03/01 2013/04/24 2013/11/07 2013/11/01 2014/12/01 2013/10/31 2014/08/26