

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4364207号
(P4364207)

(45) 発行日 平成21年11月11日(2009.11.11)

(24) 登録日 平成21年8月28日(2009.8.28)

(51) Int.Cl.

F I

G 1 1 C 16/02 (2006.01)

G 1 1 C 17/00 6 4 1

G 1 1 C 16/04 (2006.01)

G 1 1 C 17/00 6 1 1 G

G 1 1 C 17/00 6 2 2 E

請求項の数 9 (全 50 頁)

(21) 出願番号	特願2006-113868 (P2006-113868)	(73) 特許権者	000003078
(22) 出願日	平成18年4月17日 (2006.4.17)		株式会社東芝
(62) 分割の表示	特願平8-61443の分割		東京都港区芝浦一丁目1番1号
原出願日	平成8年3月18日 (1996.3.18)	(74) 代理人	100058479
(65) 公開番号	特開2006-228427 (P2006-228427A)		弁理士 鈴江 武彦
(43) 公開日	平成18年8月31日 (2006.8.31)	(74) 代理人	100091351
審査請求日	平成18年4月17日 (2006.4.17)		弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100109830
			弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項 1】

“0”状態が消去状態であり、“1”状態、“2”状態、…、“n”状態が書き込み状態であるような、電氣的書き替え可能な $n+1$ 値（nは3以上の自然数）を記憶するメモリセルがマトリクス状に配置されたメモリセルアレイと、

メモリセルに書き込むデータを保持するデータ回路と、

前記メモリセルの書き込み動作後の状態が所望のデータの記憶状態になっているか否かを確認する書き込みベリファイ手段とを備え、

書き込み時に、“1”～“n”の書き込み状態に書き込みを行う書き込み動作として、“k”状態、…、及び“n”状態（但し、 k は $2 \leq k \leq n$ を満たす自然数）に書き込みを行うメモリセルにほぼ同時に第1の書き込み動作を行い、前記第1の書き込み動作の前あるいは後に、“1”状態、…、及び“ $k-1$ ”状態に書き込みを行うメモリセルに第2の書き込みを行うことを特徴とする不揮発性半導体記憶装置。

【請求項 2】

“0”状態が消去状態であり、“1”状態、“2”状態、…、“n”状態が書き込み状態であるような、電氣的書き替え可能な $n+1$ 値（nは3以上の自然数）を記憶するメモリセルがマトリクス状に配置されたメモリセルアレイと、

メモリセルに書き込むデータを保持するデータ回路と、

前記メモリセルの書き込み動作後の状態が所望のデータの記憶状態になっているか否かを確認する書き込みベリファイ手段とを備え、

10

20

書き込み時に、“ 1 ”～“ n ”の書き込み状態に書き込みを行う書き込み動作として、“ 2 ”状態、…、及び“ n ”状態に書き込みを行うメモリセルにほぼ同時に第 1 の書き込み動作を行い、前記第 1 の書き込み動作の前あるいは後に、“ 1 ”状態に書き込みを行うメモリセルに第 2 の書き込みを行うことを特徴とする不揮発性半導体記憶装置。

【請求項 3】

前記“ 1 ”～“ n ”の n 個の書き込み状態に関し、“ 1 ”状態、“ 2 ”状態、…“ n ”状態の順で書き込みしきい値電圧が大きいことを特徴とする請求項 1 または 2 に記載の不揮発性半導体記憶装置。

【請求項 4】

4 値データ“ 0 ”、“ 1 ”、“ 2 ”、“ 3 ”を記憶可能な複数のメモリセルと、
前記複数のメモリセルの一つに対応し、前記複数のメモリセルに書き込まれる書き込みデータ“ 0 ”、“ 1 ”、“ 2 ”、“ 3 ”を記憶する複数のデータ記憶回路と、

前記複数のメモリセルのうち、前記書き込みデータ“ 1 ”を記憶した前記データ記憶回路に対応するメモリセルに同時にデータ“ 1 ”を書き込む第 1 の書き込みシーケンスと、
前記複数のメモリセルのうち、前記書き込みデータ“ 2 ”もしくは“ 3 ”を記憶した前記データ記憶回路に対応する前記複数のメモリセルに同時にデータ“ 2 ”もしくはデータ“ 3 ”を書き込む第 2 の書き込みシーケンスとを実行する書き込み制御回路とを具備し、

前記第 1 書き込みシーケンスにおいて、前記複数のメモリセルに、前記書き込みデータ“ 1 ”を書き込むための第 1 電圧を与え、データ“ 1 ”の書き込み成功を判断し、

前記第 2 書き込みシーケンスにおいて、前記複数のメモリセルに、前記書き込みデータ“ 2 ”もしくは前記書き込みデータ“ 3 ”を書き込むための第 2 電圧を与え、前記書き込みデータ“ 2 ”を記憶した前記データ記憶回路に対応する前記複数のメモリセルへのデータ“ 2 ”の書き込み成功、及び前記書き込みデータ“ 3 ”を記憶した前記データ記憶回路に対応する前記複数のメモリセルへのデータ“ 3 ”の書き込み成功を判断することを特徴とする不揮発性半導体記憶装置。

【請求項 5】

前記第 1 書き込みシーケンスは前記第 2 書き込みシーケンスが終了した後、実行されることを特徴とする請求項 4 に記載の不揮発性半導体記憶装置。

【請求項 6】

前記データ“ 0 ”を記憶するメモリセルは消去状態であり、前記データ“ 1 ”、“ 2 ”及び“ 3 ”を記憶するメモリセルはそれぞれ、第 1 のしきい値電圧、第 2 のしきい値電圧及び第 3 のしきい値電圧を有することを特徴とする請求項 4 に記載の不揮発性半導体記憶装置。

【請求項 7】

前記第 1 のしきい値電圧は、前記第 2、第 3 のしきい値電圧よりも小さいことを特徴とする請求項 6 に記載の不揮発性半導体記憶装置。

【請求項 8】

前記データ記憶回路の各々は、2 ビットレジスタに前記書き込みデータを記憶することを特徴とする請求項 4 に記載の不揮発性半導体記憶装置。

【請求項 9】

前記 2 ビットレジスタは 2 つの CMOS 型フリップフロップから構成されることを特徴とする請求項 8 に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、電氣的書き換え可能な不揮発性半導体記憶装置（EEPROM）に係わり、特に 1 つのメモリセルに、1 ビットより多い情報を記憶させる多値記憶 EEPROM に関する。

【背景技術】

【0002】

EEPROMの大容量化を実現する手法の一つとして、1つのメモリセルに n ($n \geq 3$) 値の情報を記憶させる、多値記憶EEPROMが知られている。例えば、4値記憶式では、4種類のしきい値電圧の1つをそれぞれのセルが有し、これを(0、0)、(0、1)、(1、0)、(1、1)と表される2ビットの情報に対応させるものである。

【0003】

n 値を記憶したメモリセルのデータを読みとるには、セルから読み出したデータを、($n-1$) 個の基準電圧と比較する。このため、従来、($n-1$) 個のセンスアンプを必要とした(例えば、特許文献1特開昭61-117796号公報)。

【0004】

4値記憶式のEEPROMでは、2値記憶式セルのEEPROMと比べ、メモリセルの記憶密度は2倍となり、メモリセルが占める面積は $1/2$ になったのに対し、センスアンプが占める面積は3倍となり、高密度化の効果を減少させる。特に、ページ読み出しを行うためにビット線毎にセンスアンプを設けるタイプのEEPROMでは、センスアンプ数の増加が大容量化の妨げとなる。

【0005】

これに対して特許文献2には、セルデータを判別したセンスアンプの出力によって、他のセンスアンプの基準電圧を制御することにより、センスアンプの数を減らした事を特徴とした読みとり専用メモリが開示されている。

【0006】

一方、メモリセルに n ($n \geq 3$) 種類のしきい値電圧を記憶する多値記憶EEPROMでは、記憶データを書き込むときに、それぞれのしきい値電圧を、より狭い範囲に分布させる必要がある。このため、書き込みを小刻みに行き、書き込みと書き込みとの間に、それぞれのメモリセルが目的とするしきい値範囲に書き込まれたか否かをチェックし、書き込み不足のセルがあればそのセルにのみ追加書き込みを行い、それぞれのメモリセル毎に、最適の書き込みがなされるよう制御するビット毎ベリファイが有効となっている。なお、ビット毎ベリファイは特許文献3に開示されている。

【0007】

また、多値記憶EEPROMに対するビット毎ベリファイは、特許文献4に開示されている。しかし、特許文献4に開示された装置では、センスアンプ及びベリファイ回路をそれぞれ、($n-1$) 個ずつ必要としている。よって、メモリセルは、より多くのデータを記憶することにより、同じ面積のチップに大容量のデータを蓄積できるようになっているものの、データの読み出し/書き込みを制御する回路が大規模になり、高集積化に難点があった。

【0008】

また、3値データを記憶するメモリセルに対する書き込みデータを2個のフリップフロップFF1、2に保持する不揮発性半導体記憶装置は、特許文献5に記載されている。

【0009】

さらに、書き込み後のベリファイ読み出し時に、メモリセルのゲート電極に、“2”状態に達したか否か、“1”または“2”に達したか否かを検出するための各検出電圧を印加する不揮発性半導体記憶装置は、特許文献4に記載されている。

【特許文献1】特開昭61-117796号公報

【特許文献2】特開昭62-54896号公報

【特許文献3】特開平3-295098号公報

【特許文献4】特開平7-93979号公報

【特許文献5】特開平7-161852号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

このように、従来、ベリファイ機能を有した多値記憶EEPROMでは、多値のデータの数を“ $n \geq 3$ ”としたとき、($n-1$) 個のベリファイ回路を必要としていた。このた

10

20

30

40

50

め、センスアンプ・データラッチ回路も、ベリファイ回路に応じ、 $(n-1)$ 個必要としている。

【0011】

以上のような事情により、ビット線に接続される回路、つまりカラム系回路の回路規模、特にセンスアンプ回路、データラッチ回路、ベリファイ回路の数が膨大なものとなって、高集積化のネックになっている。

【0012】

この発明は、カラム系回路の回路規模を、特にセンスアンプ回路、データラッチ回路、ベリファイ回路の数を減ずることによって小さくし、高集積化に適した不揮発性半導体記憶装置を提供する。

10

【課題を解決するための手段】

【0013】

この発明の第1態様に係る不揮発性半導体記憶装置は、“0”状態が消去状態であり、“1”状態、“2”状態、…、“ n ”状態が書き込み状態であるような、電氣的書き替え可能な $n+1$ 値 (n は3以上の自然数)を記憶するメモリセルがマトリクス状に配置されたメモリセルアレイと、メモリセルに書き込むデータを保持するデータ回路と、前記メモリセルの書き込み動作後の状態が所望のデータの記憶状態になっているか否かを確認する書き込みベリファイ手段とを備え、書き込み時に、“1”～“ n ”の書き込み状態に書き込みを行う書き込み動作として、“ k ”状態、…、及び“ n ”状態 (但し、 k は $2 \leq k \leq n$ を満たす自然数)に書き込みを行うメモリセルにほぼ同時に第1の書き込み動作を行い、前記第1の書き込み動作の前あるいは後に、“1”状態、…、及び“ $k-1$ ”状態に書き込みを行うメモリセルに第2の書き込みを行う。

20

【0014】

この発明の第2態様に係る不揮発性半導体記憶装置は、“0”状態が消去状態であり、“1”状態、“2”状態、…、“ n ”状態が書き込み状態であるような、電氣的書き替え可能な $n+1$ 値 (n は3以上の自然数)を記憶するメモリセルがマトリクス状に配置されたメモリセルアレイと、メモリセルに書き込むデータを保持するデータ回路と、前記メモリセルの書き込み動作後の状態が所望のデータの記憶状態になっているか否かを確認する書き込みベリファイ手段とを備え、書き込み時に、“1”～“ n ”の書き込み状態に書き込みを行う書き込み動作として、“2”状態、…、及び“ n ”状態に書き込みを行うメモリセルにほぼ同時に第1の書き込み動作を行い、前記第1の書き込み動作の前あるいは後に、“1”状態に書き込みを行うメモリセルに第2の書き込みを行う。

30

【0015】

この発明の第3態様に係る不揮発性半導体記憶装置は、4値データ“0”、“1”、“2”、“3”を記憶可能な複数のメモリセルと、前記複数のメモリセルの一つに対応し、前記複数のメモリセルに書き込まれる書き込みデータ“0”、“1”、“2”、“3”を記憶する複数のデータ記憶回路と、前記複数のメモリセルのうち、前記書き込みデータ“1”を記憶した前記データ記憶回路に対応するメモリセルに同時にデータ“1”を書き込む第1の書き込みシーケンスと、前記複数のメモリセルのうち、前記書き込みデータ“2”もしくは“3”を記憶した前記データ記憶回路に対応する前記複数のメモリセルに同時にデータ“2”もしくはデータ“3”を書き込む第2の書き込みシーケンスとを実行する書き込み制御回路とを具備し、前記第1書き込みシーケンスにおいて、前記複数のメモリセルに、前記書き込みデータ“1”を書き込むための第1電圧を与え、データ“1”の書き込み成功を判断し、前記第2書き込みシーケンスにおいて、前記複数のメモリセルに、前記書き込みデータ“2”もしくは前記書き込みデータ“3”を書き込むための第2電圧を与え、前記書き込みデータ“2”を記憶した前記データ記憶回路に対応する前記複数のメモリセルへのデータ“2”の書き込み成功、及び前記書き込みデータ“3”を記憶した前記データ記憶回路に対応する前記複数のメモリセルへのデータ“3”の書き込み成功を判断する。

40

【発明の効果】

50

【0016】

この発明によれば、カラム系回路の回路規模を、特にセンスアンプ回路、データラッチ回路、ベリファイ回路の数を減ずることによって小さくしたことで、高集積化に適した不揮発性半導体記憶装置を提供できる。

【発明を実施するための最良の形態】

【0017】

以下、図面を参照して、この発明の実施の形態を説明する。

【0018】

<実施の形態1>

図1は、この発明の第1の実施の形態に係る多値記憶NAND型EEPROMの構成を示す構成図である。

10

【0019】

図1に示すように、第1の実施の形態に係る多値記憶NAND型EEPROMは、オープンビット型と呼ばれる構成を有している。オープンビット型の多値記憶NAND型EEPROMは、メモリセルがマトリクス状に配置されて構成されるメモリセルアレイ1A、1Bそれぞれに対して設けられたロウ系回路2A、2Bと、メモリセルアレイ1A、1Bそれぞれで共通に使用されるカラム系回路3**とを有している。

【0020】

ロウ系回路2A、2Bには、アドレス入力回路（アドレスバッファ）4から出力されたアドレス信号を受け、受けたアドレス信号に基いて、メモリセルアレイのロウを選択するロウデコーダと、ロウデコーダの出力に基いて、メモリセルアレイのワード線を駆動するワード線駆動回路が含まれている。NAND型EEPROMの場合、ワード線は、選択ゲートSG（SGA、SGB）および制御ゲートCG（CGA、CGB）を指す。そして、ワード線駆動回路は、制御ゲート／選択ゲート駆動回路と読み替えられる。

20

【0021】

また、メモリセルアレイ1A、1Bそれぞれで共通に使用されるカラム系回路3**には、アドレスバッファ4から出力されたアドレス信号を受け、受けたアドレス信号に基いて、メモリセルアレイのカラムを選択するカラムデコーダと、カラムデコーダの出力に基いて、メモリセルアレイのカラムを選択するカラム選択線を駆動するカラム選択線駆動回路とが含まれている。

30

【0022】

さらに、カラム系回路3**には、メモリセルへの書き込みデータを一時的に保持したり、メモリセルのデータを読み出したりするためのデータ回路（ビット線制御回路）が含まれている。

【0023】

ビット線制御回路は、データ入出力線IOを介して、データ入出力回路（データ入出力バッファ）5に接続されている。また、ビット線制御回路は、ビット線BLaを介して、メモリセルアレイ1Aのメモリセルに、ビット線BLbを介して、メモリセルアレイ1Bのメモリセルにそれぞれ接続されている。

【0024】

ビット線制御回路は、データを書き込むとき、書き込みデータを、データ入出力バッファ5から受け、受けた書き込みデータをメモリセルへ入力する。また、ビット線制御回路は、データを読み出すとき、読み出しデータを、メモリセルから受け、受けた読み出しデータをデータ入出力バッファ5へ出力する。

40

【0025】

データ入出力バッファ5は、データ入出力制御を行うもので、EEPROMの外部から入力された書き込みデータをメモリコアへ導いたり、メモリコアから読み出された読み出しデータを、EEPROMの外部へ出力したりする。

【0026】

書き込み終了検知回路18は、ビット線制御回路の出力に基いて、データ書き込みが終

50

了したか否かを検知する。

【0027】

図2は、図1に示すメモリセルアレイ、およびカラム系回路の構成を示す構成図である。図3は、図2に示すメモリセルからデータを読み出すときを示す図で、(a)図は電圧の入力状態を示す図、(b)図は電圧の入力波形と、ビット線に現れる出力波形とを示す図である。

【0028】

図2に示すように、メモリセルアレイ1A、1Bにはそれぞれ、メモリセルMCがマトリクス状に配置されている。

【0029】

また、カラム系回路3**には、m個のデータ回路(ビット線制御回路)6**が含まれている。ビット線制御回路6**は、1本のビット線BLa、および1本のビット線BLbに接続されている。

【0030】

また、図3(a)に示すように、NAND型EEPROMでは、1つのセルMCには、互いに直列に接続された複数のメモリセルトランジスタM1~M4が含まれ、NAND型のセルMCを構成している。セルMCの一端は、選択トランジスタS1を介してビット線BLに接続され、その他端は、選択トランジスタS2を介して、ソース線Vsに接続される。制御ゲートCGを共有するメモリセルトランジスタMのグループは、“ページ”と呼ばれる単位を形成する。データの書き込みおよび読み出しは、“ページ”で同時に行われる。また、4本の制御ゲートCG1~CG4に接続されるメモリセルトランジスタMのグループは、“ブロック”と呼ばれる単位を形成する。“ページ”、および“ブロック”はそれぞれ、制御ゲート/選択ゲート駆動回路によって選択される。

【0031】

メモリセルトランジスタMは、多値のデータは、しきい値のレベルにより記憶する。そして、この発明に係る装置では、しきい値のレベルを、図3(a)および(b)に示されるようにして読み出す。ここでは制御ゲートCG2を有するメモリセルトランジスタM2が選択されている。図3(a)に見られるように電圧を各部に印加し、ビット線BLはフローティングにする。ビット線BLを前もって0Vにリセットしておく、ビット線BLは共通ソース線VsによってNANDセルを通して充電される。この充電されたビット線BLの電位が選択されたメモリセルM2のしきい値によって決まるように、各選択ゲート、制御ゲート電圧は制御される。

【0032】

この例では、選択ゲートSG1、2、制御ゲートCG1、CG3~4を6Vに、選択された制御ゲートCG2を2Vに、共通ソース線Vsを6Vにする。各部の電圧波形は図3(b)に示されている。例えばビット線BLの電位が0Vであればしきい値は2V以上、ビット線電位が3.5Vであればしきい値は-1.5V以下である。ただし以下の実施の形態では、説明を簡略化するため、しきい値という表現は、バックバイアスを考慮したものとする。

【0033】

消去動作によってメモリセルの浮遊ゲートから電子が放出された後、書き込みデータに従う書き込み動作によって電子が浮遊ゲートに注入される。

【0034】

図4は、ビット線に現れる出力電圧と、メモリセルの数とを関係を示す図である。

【0035】

1つのメモリセルに3つの状態(データ“0”、“1”、“2”)を持たせる場合、例えば図4の様に読みだし時のビット線出力電圧が3.5~4.5Vとなる状態(しきい値で約-2.5V~-1.5V)をデータ“0”(消去状態)、ビット線出力電圧が1.5~2.5Vとなる状態(しきい値で約-0.5V~0.5V)をデータ“1”、ビット線出力電圧が0~0.5Vとなる状態(しきい値で約1.5V~2.5V)をデータ“2”

10

20

30

40

50

とすればよい。

【0036】

図5は、図2に示すデータ回路の回路図である。図5に示すデータ回路は、3値記憶を例に構成されている。

【0037】

図5に示すように、nチャンネルMOSトランジスタQn21、Qn22、Qn23とpチャンネルMOSトランジスタQp9、Qp10、Qp11により構成されるフリップフロップFF1と、nチャンネルMOSトランジスタQn29、Qn30、Qn31とpチャンネルMOSトランジスタQp16、Qp17、Qp18により構成されるFF2とは、書き込み／読み出しデータがラッチされる。また、これらはセンスアンプとしても動作する。

10

【0038】

フリップフロップFF1は「“0”書き込みをするか、あるいは“1”書き込みまたは“2”書き込みをするか」を書き込みデータ情報としてラッチし、メモリセルが「“0”の情報を持しているか、あるいは“1”の情報を持しているか、または“2”の情報を保持しているか」を読み出しデータ情報としてセンスしラッチする。フリップフロップFF2は「“1”書き込みをするか、または“2”書き込みをするか」を書き込みデータ情報としてラッチし、メモリセルが「“1”の情報を持しているか、あるいは“2”の情報を保持しているか」を読み出しデータ情報としてセンスしラッチする。

【0039】

20

データ入出力線IOA、IOBとフリップフロップFF1は、nチャンネルMOSトランジスタQn28、Qn27を介して接続される。データ入出力線IOC、IODとフリップフロップFF2は、nチャンネルMOSトランジスタQn35、Qn36を介して接続される。データ入出力線IOA、IOB、IOC、IODは、図1中のデータ入出力バッファ5にも接続される。

【0040】

nチャンネルMOSトランジスタQn27、Qn28、Qn35、Qn36のゲートは、NAND論理回路G2とインバータI4で構成されるカラムアドレスデコーダの出力に接続される。nチャンネルMOSトランジスタQn26、Qn34は、それぞれフリップフロップFF1、FF2を信号ECH1、ECH2が“H”となってイコライズする。nチャンネルMOSトランジスタQn24、Qn32は、フリップフロップFF1、FF2とMOSキャパシタQd1の接続を制御する。nチャンネルMOSトランジスタQn25、Qn33は、フリップフロップFF1、FF2とMOSキャパシタQd2の接続を制御する。

30

【0041】

pチャンネルMOSトランジスタQp12、Qp13で構成される回路は、活性化信号VRFYBAによって、フリップフロップFF1のデータに応じて、MOSキャパシタQd1のゲート電圧を変更する。pチャンネルMOSトランジスタQp14、Qp15で構成される回路は、活性化信号VRFYBBによって、フリップフロップFF1のデータに応じて、MOSキャパシタQd2のゲート電圧を変更する。nチャンネルMOSトランジスタQn1、Qn2で構成される回路は、活性化信号VRFYBA1によって、フリップフロップFF2のデータに応じて、MOSキャパシタQd1のゲート電圧を変更する。nチャンネルMOSトランジスタQn3、Qn4で構成される回路は、活性化信号VRFYBB1によって、フリップフロップFF2のデータに応じて、MOSキャパシタQd2のゲート電圧を変更する。

40

【0042】

MOSキャパシタQd1、Qd2は、ディプリーション型nチャンネルMOSトランジスタで構成され、ビット線容量より十分小さくされる。nチャンネルMOSトランジスタQn37は、信号PREAによってMOSキャパシタQd1を電圧VAに充電する。nチャンネルMOSトランジスタQn38は、信号PREBによってMOSキャパシタQd2を電圧VBに充電する。nチャンネルMOSトランジスタQn39、Qn40は、信号BLCA、

50

B L C Bによって、データ回路3とビット線B L a、B L bの接続をそれぞれ制御する。nチャンネルM O SトランジスタQ n 3 7、Q n 3 8で構成される回路はビット線電圧制御回路を兼ねる。pチャンネルM O SトランジスタQ p 1 2、Q p 1 3で構成される回路、pチャンネルM O SトランジスタQ p 1 4、Q p 1 5で構成される回路、nチャンネルM O SトランジスタQ n 1、Q n 2で構成される回路、およびnチャンネルM O SトランジスタQ n 3、Q n 4で構成される回路は、ビット線電圧制御回路でもある。

【0043】

次に、このように構成されたE E P R O Mの動作を、動作波形図に従って説明する。以下では制御ゲートC G 2 Aが選択されている場合を示す。

【0044】

<読み出し動作>

図6は、読み出し動作を示す動作波形図である。

【0045】

図6に示すように、まず、時刻t 1 Rに、制御ゲート・選択ゲート駆動回路によって選択されたブロックの選択された制御ゲートC G 2 Aは2 V、非選択制御ゲートC G 1 A、C G 3 A、C G 4 Aと選択ゲートS G 1 A、S G 2 Aは6 Vにされる。メモリセルのソース電位は6 Vにされる。メモリセルが“0”の場合にはビット線B L aは3. 5 V以上に、“1”の場合にはビット線B L aは1. 5 V以上2. 5 V以下に、“2”の場合には0. 5 V以下になる。ダミービット線B L bはV Bから3 Vに充電される。nチャンネルM O SトランジスタQ n 4 0のしきい値分の電圧降下が問題になるときは、信号B L C Aを昇圧すればよい。

【0046】

時刻t 2 RにキャパシタQ d 1、Q d 2のノードN 1、N 2が1. 5 Vにされた後フローティングにされる。時刻t 3 RにB L C A、B L C BがV C C（例えば5 V）になり、ビット線B L a、B L bの電位がN 1、N 2に転送される。その後、再度、信号B L C A、B L C Bが“L”となって、ビット線B L aとM O SキャパシタQ d 1、ビット線B L bとM O SキャパシタQ d 2は切り離される。信号S A N 1、S A P 1がそれぞれ“L”、“H”となってフリップフロップF F 1が非活性化され、信号E C H 1が“H”となってイコライズされる。この後、信号R V 1 A、R V 1 Bが“H”となる。nチャンネルM O SトランジスタQ n 2 4、Q n 2 5のしきい値分の電圧降下が問題になるときは、信号R V 1 A、R V 1 Bを昇圧すればよい。時刻t 4 Rに再度、信号S A N 1、S A P 1がそれぞれ“H”、“L”となることで、ノードN 1、N 2の電圧がセンスされラッチされる。これで、「メモリセルのデータが“0”或いは、“1”または“2”か」がフリップフロップF F 1によってセンスされ、その情報はラッチされる。

【0047】

次に、メモリセルが“1”であるかまたは“2”であるかがセンスされる。

【0048】

時刻t 5 Rにダミービット線B L bがV Bから1 Vに充電される。時刻t 6 RにキャパシタQ d 1、Q d 2のノードN 1、N 2が1. 5 Vにされた後フローティングにされる。再度、信号B L C A、B L C Bが“L”となって、ビット線B L aとM O SキャパシタQ d 1、ビット線B L bとM O SキャパシタQ d 2は切り離される。信号S A N 2、S A P 2がそれぞれ“L”、“H”となってフリップフロップF F 2が非活性化され、信号E C H 2が“H”となってイコライズされる。この後、信号R V 2 A、R V 2 Bが“H”となる。時刻t 7 Rに再度、信号S A N 2、S A P 2がそれぞれ“H”、“L”となることで、ノードN 1の電圧がセンスされラッチされる。これで、メモリセルのデータが“1”であるか“2”であるかがフリップフロップF F 2によってセンスされ、その情報はラッチされる。

【0049】

図7は、フリップフロップF F 1、F F 2がセンスし、ラッチする読み出しデータを示す図である。

10

20

30

40

50

【0050】

この時のフリップフロップFF1、FF2のデータは、図7のようになり、データ入出力線IOA、IOB、IOC、IODに読み出しデータが出力される。

【0051】

チップ外部への出力データは、入出力バッファ5で、データ入力線IOA、IOB、IOC、IODに出力された信号をもとに変換したものもよい。

【0052】

＜書き込み動作＞

書き込み動作前に、入力された2ビット分のデータは、データ入出力バッファ4で変換されて、データ回路6**に入力される。

10

【0053】

図8は、データ回路6**に入力され、フリップフロップFF1、FF2がラッチする書き込みデータを示す図である。4値データとデータ入出力線IOA、IOB、IOC、IODの関係は図8のとおりである。

【0054】

変換された3値データは、カラム活性化信号CENBが“H”で、アドレス信号で指定されたカラム番地のデータ回路に転送される。

【0055】

図9は、書き込み動作を示す動作波形図である。

【0056】

20

時刻t1wに、電圧VAがビット線書き込み制御電圧1Vとなってビット線BLaが1Vとされる。nチャネルMOSトランジスタQn39のしきい値分の電圧降下分が問題になるときは、信号BLCAを昇圧すればよい。続いて、信号PREが“L”となってビット線がフローティングにされる。次に、時刻t2wに信号RV2Aが1.5Vとされる。これによって、データ“2”が保持されているカラムではビット線制御電圧0Vがビット線に印加される。nチャネルMOSトランジスタQn32のしきい値を1Vとすると、“0”または“1”書き込み時にはnチャネルMOSトランジスタQn32は“OFF”、“2”書き込み時には“ON”となる。その後、時刻t3wにVRFYBAが0Vになり、データ“0”が保持されているデータ回路からはビット線書き込み制御電圧VCC（例えば5V）がビット線に出力される。

30

【0057】

その結果、“0”書き込みするビット線はVCC、“1”書き込みするビット線は1V、“2”書き込みするビット線は0Vになる。

【0058】

時刻t1wに制御ゲート・選択ゲート駆動回路によって、選択されたブロックの選択ゲートSG1A、制御ゲートCG1A～CG4AがVCCとなる。選択ゲートSG2Aは0Vである。次に、選択された制御ゲートCG2Aが高電圧VPP（例えば20V）、非選択制御ゲートCG1A、CG3A、CG4AがVM（例えば10V）となる。データ“2”が保持されているデータ回路に対応するメモリセルでは、0Vのチャンネル電位と制御ゲートのVPPの電位差によって、浮遊ゲートに電子が注入されしきい値が上昇する。データ“1”が保持されているデータ回路に対応するメモリセルでは、1Vのチャンネル電位と制御ゲートのVPPの電位差によって、浮遊ゲートに電子が注入されしきい値が上昇する。チャンネル電位を1Vにしているのは、“2”データ書き込みより電子の注入量が少なくてよいからである。データ“0”が保持されているデータ回路に対応するメモリセルでは、チャンネル電位と制御ゲートのVPPの電位差が小さいため、実効的には浮遊ゲートに電子は注入されない。よって、メモリセルのしきい値は変動しない。書き込み動作中、信号SAN1、SAN2、VRFYBB、PREB、BLCBは“H”、信号SAP1、SAP2、RV1A、RV1B、RV2B、ECH1、ECH2は“L”、電圧VBは0Vである。

40

【0059】

50

<ベリファイ読み出し動作>

図10は、ベリファイ読み出し動作を示す動作波形図である。

【0060】

まず、時刻 t_1 RVに、制御ゲート・選択ゲート駆動回路によって選択されたブロックの選択された制御ゲートCG2Aは2V、非選択制御ゲートCG1A、CG3A、CG4Aと選択ゲートSG1A、SG2Aは6Vにされる。メモリセルのソース電位は6Vにされる。“0”書き込みの場合にはビット線BLaは3.5V以上になる。“1”書き込み十分の場合にはビット線BLaは2.5V以下に、“1”書き込み不十分の場合には1.5V以上になる。“2”書き込み十分の場合には0.5V以下に、“2”書き込み不十分の場合には0.5V以上になる。ダミービット線BLbはVBから2.5Vに充電される。ダミービット線BLbの電位を“1”読み出し時の3Vよりも0.5Vだけ小さくしているのは、メモリセルを十分に書き込むためである。またnチャネルMOSトランジスタQn40のしきい値分の電圧降下分が問題になるときは、信号BLCAを昇圧すればよい。

10

【0061】

時刻 t_2 RVにキャパシタQd1、Qd2のノードN1、N2が1.5Vにされた後フローティングにされる。そして、時刻 t_3 RVにVRFYBB1が“H”になる。この時、図7からわかるように、ノードN6が“H”なのは“2”書き込みの場合だけである。従って“2”書き込みするダミービット線BLbはVrefから0.5Vになる。“2”書き込みのダミービット線BLbの電位を“2”読み出し時の1Vよりも0.5Vだけ小さくしているのは、メモリセルを十分に書き込むためである。“0”または“1”書き込みの場合にはN6が“L”なのでnチャネルMOSトランジスタQn4はオフし、ダミービット線BLbは2.5Vを保つ。

20

【0062】

時刻 t_4 RVに、BLCA、BLCBがVCC（例えば5V）になり、ビット線BLa、BLbの電位がN1、N2に転送される。その後、再度、信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。

【0063】

時刻 t_5 RVにRV1Aが1.5Vになる。これによって、データ“0”書き込みするカラムではN1が接地される。nチャネルMOSトランジスタQn24のしきい値を1Vとすると、“1”または“2”書き込み時にはnチャネルMOSトランジスタQn24は“OFF”、“0”書き込み時には“ON”となる。

30

【0064】

信号SAN1、SAP1がそれぞれ“L”、“H”となってフリップフロップFF1が非活性化され、信号ECH1が“H”となってイコライズされる。この後、信号RV1A、RV1Bが“H”となる。nチャネルMOSトランジスタQn24、Qn25のしきい値分の電圧降下分が問題になるときは、信号RV1A、RV1Bを昇圧すればよい。時刻 t_4 Rに再度、信号SAN1、SAP1がそれぞれ“H”、“L”となることで、ノードN1、N2の電圧がセンスされラッチされる。

40

【0065】

以上のようにして、“1”書き込みデータを保持しているデータ回路では、対応するメモリセルのデータが十分“1”書き込み状態となったか否かを検出する。メモリセルのデータが“1”であれば、フリップフロップFF1でノードN1の電圧をセンスしラッチすることで書き込みデータは“1”に変更される。メモリセルのデータが“1”でなければ、フリップフロップFF1でノードN1の電圧をセンスしラッチすることで書き込みデータは“1”に保持される。また、“2”書き込みデータを保持しているデータ回路では、対応するメモリセルのデータが十分“2”書き込み状態となったか否かを検出する。メモリセルのデータが“2”であれば、フリップフロップFF1でノードN1の電圧をセンスしラッチすることで書き込みデータは“0”に変更される。メモリセルのデータが“2”

50

でなければ、フリップフロップ F F 1 でノード N 1 の電圧をセンスしラッチすることで書き込みデータは“ 2 ”に保持される。“ 0 ”書き込みデータを保持しているデータ回路の書き込みデータは変更されない。

【 0 0 6 6 】

書き込みベリファイ中、信号 V R F Y B B は“ H ”、電圧 V s は 0 V とする。

【 0 0 6 7 】

“ 1 ”書き込みまたは“ 2 ”書き込みする全ての選択されたメモリセルが所望のしきい値に達していれば、データ回路のノード N 4 はすべて“ L ”になる。つまり“ 1 ”書き込みまたは“ 2 ”書き込みする選択されたすべてのメモリセルが十分に書き込まれると、すべてのデータ回路 6^{**}-0、6^{**}-1、…、6^{**}-m-1、6^{**}-m のノード N 3 が“ H ”、N 4 が“ L ”になる。これを検出すると、“ 2 ”書き込みまたは“ 3 ”書き込みする全ての選択されたメモリセルが所望のしきい値に達したか否かがわかる。“ 2 ”書き込みおよび“ 3 ”書き込み終了の検出は例えば、図 5 のように“ 2 ”、“ 3 ”書き込み終了一括検知トランジスタ Q n 5 を用いればよい。ベリファイリード後、V R T を例えば V C C にプリチャージする。“ 1 ”または“ 2 ”書き込みが不十分なメモリセルが 1 つでもあると、そのデータ回路のノード N 4 は“ H ”なので n チャネル MOS トランジスタ Q n 5 はオンし、V R T は接地される。すべての“ 1 ”または“ 2 ”書き込みするメモリセルが十分に書き込まれると、データ回路 6^{**}-0、6^{**}-1、…、6^{**}-m-1、6^{**}-m のノード N 4 が“ L ”になる。その結果、全てのデータ回路内の n チャネル MOS トランジスタ Q n 5 がオフになるので V R T はプリチャージ電位を保つ。

【 0 0 6 8 】

上記第 1 の実施の形態に係る多値記憶 N A N D 型 E E P R O M では、データの書き込みを行う際に、少なくとも 1 つのビット線電圧制御回路によって、ビット線を所望のビット線書き込み制御電圧に充電する。このような装置であると、簡単な回路構成を持つ、n (n ≥ 2) 値書き込みデータに応じたビット線書き込み制御電圧を、ビット線に印加するビット線電圧制御回路を実現することができる。

【 0 0 6 9 】

よって、カラム系回路 3 の回路規模が、特にセンスアンプ回路、データラッチ回路、ベリファイ回路の数が減ずることによって小さくなり、高集積化に適した不揮発性半導体記憶装置を得ることができる。

【 0 0 7 0 】

< 実施の形態 2 >

次に、この発明の第 2 の実施の形態に係る多値記憶 N A N D 型 E E P R O M を説明する。

【 0 0 7 1 】

第 1 の実施の形態に係る E E P R O M は、多値のデータの数を、3 値とした例を説明したが、第 2 の実施の形態に係る E E P R O M 以降は、多値のデータの数を 4 値とした例を説明する。

【 0 0 7 2 】

なお、第 2 の実施の形態に係る E E P R O M は、図 1、図 2 に示した構成と同様な構成を持つ。

【 0 0 7 3 】

図 1 1 は、4 値記憶のときのメモリセルトランジスタのしきい値分布を示す図である。

【 0 0 7 4 】

E E P R O M を 4 値記憶式とするときには、1 つのメモリセルトランジスタ M に、4 つの書き込み状態を設ける。4 つの書き込み状態はそれぞれ、メモリセルトランジスタ M のしきい値電圧により、互いに区別される。

【 0 0 7 5 】

図 1 1 に示すように、電源電圧 V C C が 3 V である E E P R O M では、データ“ 0 ”の状態は、データ消去後の状態と同じとし、例えば負のしきい値を持たせる。また、データ

“ 1 ”の状態には、例えば 0.5 V から 0.8 V の間のしきい値を持たせる。データ “ 2 ”の状態には、例えば 1.5 V から 1.8 V の間のしきい値を持たせる。データ “ 3 ”の状態には、例えば 2.5 V から 2.8 V の間のしきい値を持たせる。

【0076】

メモリセルトランジスタ M からデータを読み出すときには、制御ゲート CG に、3 つの読み出し電圧 VCG2R、VCG3R、VCG1R の順で印加する。

【0077】

まず、制御ゲート CG に、読み出し電圧 VCG2R を印加する。これにより、メモリセルトランジスタ M が「ON」するか「OFF」するかで、記憶されているデータが「“ 0 ”、“ 1 ”」か、「“ 2 ”、“ 3 ”」かが検出される。続けて、読み出し電圧 VCG3R を印加すると、記憶されているデータが「“ 2 ”」か、「“ 3 ”」かが検出され、さらに、読み出し電圧 VCG1R を印加すると、データが「“ 0 ”」か、「“ 1 ”」かが検出される。読み出し電圧 VCG1R、VCG2R、VCG3R の一つの例は、それぞれ 0 V、1 V、2 V である。

【0078】

また、図 11 に示す電圧 VCG1V、VCG2V、VCG3V は、ベリファイ読み出し電圧と呼ばれるもので、データが十分に書き込まれたか否かをチェックするとき（ベリファイ動作）に使用される読み出し電圧である。ベリファイ読み出し電圧は、データを書き込んだ後に制御ゲート CG に印加される。ベリファイ読み出し電圧が制御ゲート CG に印加されたとき、メモリセルトランジスタ M が「ON」するか「OFF」するかで、メモリセルトランジスタ M のしきい値が、書き込まれたデータに応じた範囲までシフトされているか否かを知ることができる。これを利用して、十分な書き込みが行われたか否かをチェックする。ベリファイ読み出し電圧 VCG1V、VCG2V、VCG3V の一つの例は、それぞれ 0.5 V、1.5 V、2.5 V である。

【0079】

図 12 は、この発明の第 2 の実施の形態に係る EEPROM が有するデータ回路の回路図である。図 12 に示すデータ回路は、4 値記憶を例に構成されている。

【0080】

図 12 に示すように、n チャネル MOS トランジスタ Qn21、Qn22、Qn23 と p チャネル MOS トランジスタ Qp9、Qp10、Qp11 により構成されるフリップフロップ FF1 と、n チャネル MOS トランジスタ Qn29、Qn30、Qn31 と p チャネル MOS トランジスタ Qp16、Qp17、Qp18 により構成される FF2 とには、書き込み／読み出しデータがラッチされる。また、これらはセンスアンプとしても動作する。

【0081】

フリップフロップ FF1、FF2 は、「“ 0 ”書き込みをするか、“ 1 ”書き込みをするか、“ 2 ”書き込みをするか、“ 3 ”書き込みをするか」を書き込みデータ情報としてラッチし、メモリセルが「“ 0 ”の情報保持しているか、“ 1 ”の情報保持しているか、“ 2 ”の情報保持しているか、“ 3 ”の情報保持しているか」を読み出しデータ情報としてセンスしラッチする。

【0082】

データ入出力線 IOA、IOB とフリップフロップ FF1 は、n チャネル MOS トランジスタ Qn28、Qn27 を介して接続される。データ入出力線 IOC、IOD とフリップフロップ FF2 は、n チャネル MOS トランジスタ Qn35、Qn36 を介して接続される。データ入出力線 IOA、IOB、IOC、IOD は、図 1 に示したデータ入出力バッファ 5 にも接続される。

【0083】

n チャネル MOS トランジスタ Qn27、Qn28、Qn35、Qn36 のゲートは、NAND 論理回路 G2 とインバータ I4 で構成されるカラムアドレスデコーダの出力に接続される。n チャネル MOS トランジスタ Qn26、Qn34 は、それぞれフリップフロ

10

20

30

40

50

ップFF1、FF2を信号ECH1、ECH2が“H”となってイコライズする。nチャネルMOSトランジスタQn24、Qn32は、フリップフロップFF1、FF2とMOSキャパシタQd1の接続を制御する。nチャネルMOSトランジスタQn25、Qn33は、フリップフロップFF1、FF2とMOSキャパシタQd2の接続を制御する。

【0084】

pチャネルMOSトランジスタQp12、Qp13で構成される回路は、活性化信号VRFYBAによって、フリップフロップFF1のデータに応じて、MOSキャパシタQd1のゲート電圧を変更する。pチャネルMOSトランジスタQp14、Qp15で構成される回路は、活性化信号VRFYBBによって、フリップフロップFF1のデータに応じて、MOSキャパシタQd2のゲート電圧を変更する。nチャネルMOSトランジスタQn1、Qn2で構成される回路は、活性化信号VRFYBA1によって、フリップフロップFF2のデータに応じて、MOSキャパシタQd1のゲート電圧を変更する。nチャネルMOSトランジスタQn3、Qn4で構成される回路は、活性化信号VRFYBB1によって、フリップフロップFF2のデータに応じて、MOSキャパシタQd2のゲート電圧を変更する。

【0085】

MOSキャパシタQd1、Qd2は、ディプリーション型nチャネルMOSトランジスタで構成され、ビット線容量より十分小さくされる。nチャネルMOSトランジスタQn37は、信号PREAによってMOSキャパシタQd1を電圧VAに充電する。nチャネルMOSトランジスタQn38は、信号PREBによってMOSキャパシタQd2を電圧VBに充電する。nチャネルMOSトランジスタQn39、Qn40は、信号BLCA、BLCBによって、データ回路3とビット線BLa、BLbの接続をそれぞれ制御する。nチャネルMOSトランジスタQn37、Qn38で構成される回路はビット線電圧制御回路を兼ねる。pチャネルMOSトランジスタQp12、Qp13で構成される回路、pチャネルMOSトランジスタQp14、Qp15で構成される回路、nチャネルMOSトランジスタQn1、Qn2で構成される回路、およびnチャネルMOSトランジスタQn3、Qn4で構成される回路は、ビット線電圧制御回路でもある。また、フリップフロップFF2とnチャネルMOSトランジスタQn32、Qn33で構成される回路もビット線電圧制御回路を兼ねる。

【0086】

次に、このように構成されたEEPROMの動作を、動作波形図に従って説明する。以下では制御ゲートCG2Aが選択されている場合を示す。

【0087】

<読み出し動作>

図13は、読み出し動作を示す動作波形図である。

【0088】

図13に示すように、まず、時刻t1Rに、電圧VA、VBがそれぞれ1.8V、1.5Vとなって、ビット線BLa、BLbはそれぞれ1.8V、1.5Vになる。信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離され、ビット線BLa、BLbはフローティングとなる。信号PREA、PREBが“L”となって、MOSキャパシタQd1、Qd2のゲート電極であるノードN1、N2はフローティング状態になる。続いて、時刻t2Rに制御ゲート・選択ゲート駆動回路によって選択されたブロックの選択された制御ゲートCG2Aは1V、非選択制御ゲートCG1A、CG3A、CG4Aと選択ゲートSG1A、SG2AはVCCにされる。選択されたメモリセルのしきい値が1V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が1V以上なら、ビット線電圧は1.8Vのままとなる。この後、時刻t3Rに信号BLCA、BLCBが“H”となりビット線のデータがMOSキャパシタQd1、Qd2に転送される。その後、再度、信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。信号SAN1、SAP1がそれ

ぞれ“L”、“H”となってフリップ・フロップFF1が非活性化され、信号ECH1が“H”となってイコライズされる。この後、信号RV1A、RV1Bが“H”となる。時刻t4Rに再度、信号SAN1、SAP1がそれぞれ“H”、“L”となることで、ノードN1、N2の電圧がセンスされラッチされる。これで、「メモリセルのデータが“0”または“1”か、或いは“2”または“3”か」がフリップ・フロップFF1によってセンスされ、その情報はラッチされる。

【0089】

また、時刻t3Rの後、MOSキャパシタQd1、Qd2をビット線BLa、BLbから切り離した状態で、選択された制御ゲートCG2Aを1Vから2Vにする。選択されたメモリセルのしきい値が2V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が2V以上なら、ビット線電圧は1.8Vのままとなる。この後、制御ゲートCG1A～CG4A、選択ゲートSG1A、SG2Aの全てを0Vにする。次に、時刻t5Rに信号PREA、PREBが“H”となって、MOSキャパシタQd1、Qd2のゲート電極であるノードN1、N2はそれぞれ1.8V、1.5Vになる。信号PREA、PREBが“L”となって、MOSキャパシタQd1、Qd2のゲート電極であるノードN1、N2はフローティング状態になる。この後、時刻t6Rに信号BLCA、BLCBが“H”となりビット線のデータがMOSキャパシタQd1、Qd2に転送される。その後、再度、信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。信号SAN2、SAP2がそれぞれ“L”、“H”となってフリップ・フロップFF2が非活性化され、信号ECH2が“H”となってイコライズされる。この後、信号RV2A、RV2Bが“H”となる。時刻t7Rに再度、信号SAN2、SAP2がそれぞれ“H”、“L”となることで、ノードN1の電圧がセンスされラッチされる。これで、メモリセルのデータが“3”か否かがフリップ・フロップFF2によってセンスされ、その情報はラッチされる。

【0090】

図14は、時刻t7RのときにフリップフロップFF1、FF2がセンスし、ラッチしている読み出しデータを示す図である。

【0091】

最後にメモリセルに書き込まれたデータが「“0”か否か」がセンスされる。まず時刻t8Rに、ビット線BLa、BLbはそれぞれ1.8V、1.5Vに充電された後、フローティングになる。また、MOSキャパシタQd1、Qd2のゲート電極であるノードN1、N2もフローティング状態になる。続いて、時刻t9Rに制御ゲート・選択ゲート駆動回路によって選択されたブロックの選択された制御ゲートCG2Aは0Vを維持し、非選択制御ゲートCG1A、CG3A、CG4Aと選択ゲートSG1A、SG2AはVCCにされる。選択されたメモリセルのしきい値が0V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が0V以上なら、ビット線電圧は1.8Vのままとなる。この後、時刻t10Rに信号BLCA、BLCBが“H”となりビット線のデータがMOSキャパシタQd1、Qd2に転送される。その後、再度、信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。MOSキャパシタのデータをセンスするに先立ち、時刻t11RにVRFYBA1がVCCになる。図14からわかるように、ノードN5が“high level”なのは“3”データの場合のみである。従って“3”データの場合のみnチャネルMOSトランジスタQn2がオンし、ノードN1は接地される。そして、信号SAN2、SAP2がそれぞれ“L”、“H”となってフリップ・フロップFF2が非活性化され、信号ECH2が“H”となってイコライズされる。この後、信号RV2A、RV2Bが“H”となる。時刻t12Rに再度、信号SAN2、SAP2がそれぞれ“H”、“L”となることで、ノードN1の電圧がセンスされラッチされる。これで、「メモリセルのデータが“0”か否か」がフリップ・フロップFF2によってセンスされ、その情報はラッチされる。

10

20

30

40

50

【0092】

図15は、フリップフロップFF1、FF2がセンスし、ラッチする読み出しデータを示す図である。

【0093】

以上の読み出し動作の結果、4値のデータが図15のようにフリップフロップFF1、FF2にラッチされる。

【0094】

図中の各データのしきい値分布は次のとおりである。

【0095】

データ“0”・・・しきい値：0V以下

データ“1”・・・しきい値0.5V以上0.8V以下

データ“2”・・・しきい値1.5V以上1.8V以下

データ“3”・・・しきい値2.5V以上2.8V以下

読み出し中、信号VRFYBA、VRFYBBは“H”である。また、電圧Vs（Vsa、Vsb）は0Vとする。

【0096】

カラムアドレスデコーダに入力されるカラム活性化信号CENBが“H”となると、アドレス信号によって選択されたデータ回路に保持されているデータがデータ入出力線IOA、IOB、IOC、IODに出力され、データ入出力バッファ5を介してEEPROM外部へ出力される。

【0097】

メモリセルに記憶されているデータ、しきい値、データ入出力線IOA、IOB、IOC、IODに読み出し後に出力されるレベルの関係は、図15のとおりである。

【0098】

チップ外部への出力データは、データ入出力バッファ5でデータ入力線IOA、IOB、IOC、IODに出力された信号をもとに変換したものもよい。

【0099】

<書き込み動作>

図16は、書き込み動作の概略を示す概略図である。

【0100】

図16に示すように、まず、書き込みデータがフリップフロップFF1、FF2にロードされる。その後、プログラム第1サイクルで“2”データおよび“3”データがほぼ同時に書き込まれる。そして“2”データ、“3”データが十分書き込まれたかを調べるベリファイリード第1サイクルが行われ、書き込み不十分のメモリセルがある場合には、再書き込みが行われる。“2”書き込みおよび“3”書き込みするメモリセルがすべて十分に書き込まれると、次に“1”書き込みするメモリセルにほぼ同時に書き込みが行われる（プログラム第2サイクル）。そして“1”書き込みが十分に行われたかを調べるベリファイリード第2サイクルが行われる。“1”書き込み不十分のメモリセルには再書き込みが行われ、またすべてのメモリセルが十分に書き込まれると書き込みが終了する。

【0101】

以下、プログラム第1サイクル、ベリファイリード第1サイクル、プログラム第2サイクル、ベリファイリード第2サイクルの順に詳細に説明する。

【0102】

（1）プログラム第1サイクル

書き込み動作前に、入力された2ビット分のデータは、データ入出力バッファ4で変換されて、データ回路6**に入力される。

【0103】

図17は、データ回路6**に入力され、フリップフロップFF1、FF2がラッチする書き込みデータを示す図である。4値データとデータ入出力線IOA、IOB、IOC、IODの関係は図17のとおりである。

【0104】

変換された4値データは、カラム活性化信号CENBが“H”で、アドレス信号で指定されたカラム番地のデータ回路に転送される。

【0105】

図18は、書き込み動作（プログラム第1サイクル）を示す動作波形図である。

【0106】

時刻 t_{1w} に、電圧VAがビット線書き込み制御電圧1Vとなってビット線BLaが1Vとされる。nチャネルMOSトランジスタQn39のしきい値分の電圧降下分が問題になるときは、信号BLCAを昇圧すればよい。続いて、信号PREが“L”となってビット線がフローティングにされる。次に、時刻 t_{2w} に信号RV2Aが1.5Vとされる。これによって、データ“1”または“3”が保持されているカラムではビット線制御電圧0Vがビット線に印加される。nチャネルMOSトランジスタQn32のしきい値を1Vとすると、“0”または“2”書き込み時にはnチャネルMOSトランジスタQn32は“OFF”、“1”または“3”書き込み時には“ON”となる。その後、時刻 t_{3w} にVRFYBAが0Vになり、データ“0”またはデータ“1”が保持されているデータ回路からはビット線書き込み制御電圧VCCがビット線に出力される。

【0107】

その結果、“0”書き込みまたは“1”書き込みするビット線はVCC、“2”書き込みするビット線は1V、“3”書き込みするビット線は0Vになる。

【0108】

時刻 t_{1w} に制御ゲート・選択ゲート駆動回路によって、選択されたブロックの選択ゲートSG1A、制御ゲートCG1A～CG4AがVCCとなる。選択ゲートSG2Aは0Vである。次に、選択された制御ゲートCG2Aが高電圧VPP（例えば20V）、非選択制御ゲートCG1A、CG3A、CG4AがVM（例えば10V）となる。データ“3”が保持されているデータ回路に対応するメモリセルでは、0Vのチャネル電位と制御ゲートのVPPの電位差によって、浮遊ゲートに電子が注入されしきい値が上昇する。データ“2”が保持されているデータ回路に対応するメモリセルでは、1Vのチャネル電位と制御ゲートのVPPの電位差によって、浮遊ゲートに電子が注入されしきい値が上昇する。チャネル電位を1Vにしているのは、“3”データ書き込みより電子の注入量が少なくてよいからである。データ“0”またはデータ“1”が保持されているデータ回路に対応するメモリセルでは、チャネル電位と制御ゲートのVPPの電位差が小さいため、実効的には浮遊ゲートに電子は注入されない。よって、メモリセルのしきい値は変動しない。書き込み動作中、信号SAN1、SAN2、VRFYBB、PREB、BLCBは“H”、信号SAP1、SAP2、RV1A、RV1B、RV2B、ECH1、ECH2は“L”、電圧VBは0Vである。

【0109】

（2）ベリファイ読み出し第1サイクル

書き込み動作後、“2”書き込みするメモリセルと“3”書き込みするメモリセルのしきい値を検出する（書き込みベリファイ）。もし、所望のしきい値に達していれば、データ回路のデータを“0”に変更する。もし、所望のしきい値に達していなければ、データ回路のデータを保持して再度書き込み動作を行う。書き込み第1サイクルと書き込みベリファイ第1サイクルは全ての“2”書き込みするメモリセルおよび“3”書き込みするメモリセルが所望のしきい値に達するまで繰り返される。

【0110】

図19は、ベリファイ読み出し動作（ベリファイ読み出し第1サイクル）を示す動作波形図である。

【0111】

まず、時刻 t_{1v} に、電圧VA、VBがそれぞれ1.8V、1.5Vとなって、ビット線BLa、BLbはそれぞれ1.8V、1.5Vになる。信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシ

10

20

30

40

50

タQ d 2は切り離され、ビット線B L a、B L bはフローティングとなる。信号P R E A、P R E Bが“ L ”となって、M O SキャパシタQ d 1、Q d 2のゲート電極であるノードN 1、N 2はフローティング状態になる。続いて時刻t 2vに、制御ゲート・選択ゲート駆動回路によって選択されたブロックの選択された制御ゲートC G 2 Aは1. 5 V、非選択制御ゲートC G 1 A、C G 3 A、C G 4 Aと選択ゲートS G 1 A、S G 2 AはV C Cにされる。選択されたメモリセルのしきい値が1. 5 V以下なら、ビット線電圧は1. 5 Vより低くなる。選択されたメモリセルのしきい値が1. 5 V以上なら、ビット線電圧は1. 8 Vのままとなる。時刻t 3vに、信号B L C A、B L C Bが“ H ”とされ、ビット線の電位がN 1、N 2に転送される。その後、信号B L C A、B L C Bが“ L ”となって、ビット線B L aとM O SキャパシタQ d 1、ビット線B L bとM O SキャパシタQ d 2は切り離される。この後時刻t 4vに、信号R V 2 Aが例えばV C C以下の1. 5 Vとされる。nチャネルM O SトランジスタQ n 3 2のしきい値が1 Vの場合、“ 3 ”書き込みデータが保持されているデータ回路ではnチャネルM O SトランジスタQ n 3 2は“ O N ”で、ノードN 1は0 Vとなる。“ 2 ”書き込みデータが保持されているデータ回路で、メモリセルが十分に“ 2 ”書き込みされている場合にはnチャネルM O SトランジスタQ n 3 2は“ O F F ”で、ノードN 1は1. 5 V以上に保たれる。“ 2 ”書き込み不十分の場合には、ノードN 1は1. 5 V以下である。時刻t 5vに信号V R F Y B Aが“ L ”となると、“ 0 ”または“ 1 ”書き込みデータが保持されているデータ回路では、pチャネルM O SトランジスタQ p 1 3が“ O N ”であり、ノードN 1はV C Cとなる。信号S A N 1、S A P 1がそれぞれ“ L ”、“ H ”となってフリップ・フロップF F 1が非活性化され、信号E C H 1が“ H ”となってイコライズされる。この後、信号R V 1 A、R V 1 Bが“ H ”となる。再度、信号S A N 1、S A P 1がそれぞれ“ H ”、“ L ”となることで、時刻t 6vにノードN 1の電圧がセンスされラッチされる。これで、“ 2 ”書き込みデータを保持しているデータ回路のみ、対応するメモリセルのデータが十分“ 2 ”書き込み状態となったか否かを検出する。メモリセルのデータが“ 2 ”であれば、フリップ・フロップF F 1でノードN 1の電圧をセンスしラッチすることで書き込みデータは“ 0 ”に変更される。メモリセルのデータが“ 2 ”でなければ、フリップ・フロップF F 1でノードN 1の電圧をセンスしラッチすることで書き込みデータは“ 2 ”に保持される。“ 0 ”または“ 1 ”または“ 3 ”書き込みデータを保持しているデータ回路の書き込みデータは変更されない。

【0 1 1 2】

また、時刻t3Vの後、M O SキャパシタQ d 1、Q d 2をビット線B L a、B L bから切り離した状態で、選択された制御ゲートC G 2 Aを1. 5 Vから2. 5 Vにする。選択されたメモリセルのしきい値が2. 5 V以下なら、ビット線電圧は1. 5 Vより低くなる。選択されたメモリセルのしきい値が2. 5 V以上なら、ビット線電圧は1. 8 Vのままとなる。この後時刻t 7vに、信号B L C A、B L C Bが“ H ”とされ、ビット線の電位がN 1、N 2に転送される。再度、信号B L C A、B L C Bが“ L ”となって、ビット線B L aとM O SキャパシタQ d 1、ビット線B L bとM O SキャパシタQ d 2は切り離される。この後、信号V R F Y B Cが“ L ”となると、“ 0 ”または“ 1 ”書き込みデータが保持されているデータ回路、および“ 2 ”書き込みが十分に行われたデータ回路では、pチャネルM O SトランジスタQ p 1 2 Cが“ O N ”であり、ノードN 1はV C Cとなる。信号S A N 1、S A P 1がそれぞれ“ L ”、“ H ”となってフリップ・フロップF F 1が非活性化され、信号E C H 1が“ H ”となってイコライズされる。この後、信号R V 1 A、R V 1 Bが“ H ”となる。その後時刻t 8vに、信号S A N 1、S A P 1がそれぞれ“ H ”、“ L ”となることで、ノードN 1の電圧がセンスされラッチされる。

【0 1 1 3】

この後、図19に示されるように、書き込みデータの変換が更に行われる。時刻t 9 vに、信号B L C A、B L C Bが“ H ”とされ、ビット線の電位がN 1、N 2に転送される。再度、信号B L C A、B L C Bが“ L ”となって、ビット線B L aとM O SキャパシタQ d 1、ビット線B L bとM O SキャパシタQ d 2は切り離される。この後時刻t 10 v

に、信号V R F Y B A 1が“ H ”となると、“ 0 ”または“ 2 ”書き込みデータが保持されているデータ回路では、nチャネルM O S トランジスタQ n 2が“ O N ”であり、ノードN 1はV C Cとなる。信号S A N 2、S A P 2がそれぞれ“ L ”、“ H ”となってフリップフロップF F 2が非活性化され、信号E C H 2が“ H ”となってイコライズされる。この後、信号R V 2 A、R V 2 Bが“ H ”となる。その後時刻t 1 1 vに、信号S A N 2、S A P 2がそれぞれ“ H ”、“ L ”となることで、ノードN 1の電圧がセンスされラッチされる。

【0 1 1 4】

上記第2の実施の形態では、時刻t 1 0 vにV R F Y B A 1をV C Cにすることにより、“ 0 ”書き込みおよび“ 2 ”書き込みする場合のM O S キャパシタQ d 1のノードN 1を、ノードN 2の電位（1. 5 V）よりも高くなるように充電している。t 1 0 vにR V 2 Bを例えば1. 5 Vにしても良い。この場合、“ 0 ”書き込みまたは“ 2 ”書き込みの場合には、ノードN 6が0 VなのでnチャネルM O S トランジスタQ n 3 3がオンし、N 2は0 Vになる。一方、“ 1 ”または“ 3 ”書き込みの場合には、ノードN 6がV C C、N 2が1. 5 VなのでnチャネルM O S トランジスタQ n 3 3はオフし、N 2は1. 5 Vを保たれる。時刻t 1 0 vにV R F Y B A 1をV C Cにして行う、“ 0 ”書き込みおよび“ 2 ”書き込みする場合のN 1への充電はN 2の電位（0 V）よりも大きければよいので、N 1の充電は例えば0. 5 V程度の低い電圧でよい。

【0 1 1 5】

以上のようにして、“ 3 ”書き込みデータを保持しているデータ回路のみ、対応するメモリセルのデータが十分“ 3 ”書き込み状態となったか否かを検出する。メモリセルのデータが“ 3 ”であれば、フリップフロップF F 1、F F 2でノードN 1の電圧をセンスしラッチすることで書き込みデータは“ 0 ”に変更される。メモリセルのデータが“ 3 ”でなければ、フリップフロップF F 1、F F 2でノードN 1の電圧をセンスしラッチすることで書き込みデータは“ 3 ”に保持される。“ 0 ”または“ 1 ”または“ 2 ”書き込みデータを保持しているデータ回路の書き込みデータは変更されない。

【0 1 1 6】

書き込みベリファイ中、信号V R F Y B Bは“ H ”、電圧V sは0 Vとする。

【0 1 1 7】

図20は、“ 2 ”または“ 3 ”書き込みが充分に行われた後、フリップフロップF F 1、F F 2が、ラッチしているデータを示す図である。

【0 1 1 8】

“ 2 ”書き込みまたは“ 3 ”書き込みする全ての選択されたメモリセルが所望のしきい値に達していれば、データ回路のデータは図20のようになる。つまり“ 2 ”書き込みまたは“ 3 ”書き込みする選択されたすべてのメモリセルが十分に書き込まれると、すべてのデータ回路6^{**}-0、6^{**}-1、…、6^{**}-m-1、6^{**}-mのノードN 3が“ H ”、N 4が“ L ”になる。これを検出すると、“ 2 ”書き込みまたは“ 3 ”書き込みする全ての選択されたメモリセルが所望のしきい値に達したか否かがわかる。

【0 1 1 9】

図21は、書き込み終了一括検知トランジスタを有したデータ回路の回路図である。

【0 1 2 0】

“ 2 ”書き込みおよび“ 3 ”書き込み終了の検出は、例えば図21に示されるような“ 2 ”、“ 3 ”書き込み終了一括検知トランジスタQ n 5を用いればよい。V R Tは、ベリファイリード第1サイクル後、例えばV C Cにプリチャージされる。“ 2 ”または“ 3 ”書き込みが不十分なメモリセルが1つでもあると、そのデータ回路のノードN 4は“ H ”なのでnチャネルM O S トランジスタQ n 5はオンし、V R Tは接地される。すべての“ 2 ”または“ 3 ”書き込みするメモリセルが十分に書き込まれると、データ回路6^{**}-0、6^{**}-1、…、6^{**}-m-1、6^{**}-mのノードN 4が“ L ”になる。その結果、全てのデータ回路内のnチャネルM O S トランジスタQ n 5がオフし、V R Tはプリチャージ電位を保つ。

【0121】

(3) プログラム第2サイクル

“2”および“3”書き込みがすべて終了した後は、“1”書き込み（プログラム第2サイクル）が行われる。“1”書き込み時のフリップフロップのノード電位は図20である。つまり“1”書き込みの場合には、ノードN5が“L”になりビット線に書き込み電位が印加され、“1”書き込み以外ではノードN5が“H”になり、ビット線に書き込み非選択電位が印加される。

【0122】

図22は、書き込み動作（プログラム第2サイクル）を示す動作波形図である。

【0123】

時刻 t_{1p} に、電圧 V_{RFYBA1} が“H”になり、“0”または“2”または“3”書き込みするビット線 BLa が書き込み非選択電圧 V_{CC} に充電される。 n チャネルMOSトランジスタ Q_{n39} のしきい値分の電圧降下分が問題になるときは、信号 $BLCA$ を昇圧すればよい。続いて、信号 $RV2A$ が V_{CC} とされる。これによって、データ“0”または“2”または“3”が保持されているデータ回路からは書き込み非選択電圧 V_{CC} がビット線 BLa に印加される。データ“1”が保持されているデータ回路からはビット線 BLa に書き込みビット線電位 $0V$ が印加される。

【0124】

制御ゲート・選択ゲート駆動回路によって、選択されたブロックの選択ゲート $SG1A$ 、制御ゲート $CG1A \sim CG4A$ が V_{CC} となる。選択ゲート $SG2A$ は $0V$ である。次に、時刻 t_{2p} に選択された制御ゲート $CG2A$ が高電圧 V_{PP} （例えば $20V$ ）、非選択制御ゲート $CG1A$ 、 $CG3A$ 、 $CG4A$ が V_M （例えば $10V$ ）となる。データ“1”が保持されているデータ回路に対応するメモリセルでは、 $0V$ のチャネル電位と制御ゲートの V_{PP} の電位差によって、浮遊ゲートに電子が注入されしきい値が上昇する。データ“0”または“2”または“3”が保持されているデータ回路に対応するメモリセルでは、チャネル電位と制御ゲートの V_{PP} の電位差が小さいため、実効的には浮遊ゲートに電子は注入されない。よって、メモリセルのしきい値は変動しない。書き込み動作中、信号 $SAN1$ 、 $SAN2$ 、 V_{RFYBB} 、 $PREB$ 、 $BLCB$ は“H”、信号 $SAP1$ 、 $SAP2$ 、 $RV1A$ 、 $RV1B$ 、 $ECH1$ 、 $ECH2$ は“L”、電圧 VB は $0V$ である。

【0125】

(4) ベリファイ読み出し第2サイクル

書き込み第2サイクル終了後、“1”書き込みするメモリセルのしきい値を検出する（書き込みベリファイ第2サイクル）。もし、所望のしきい値に達していれば、データ回路のデータを“0”に変更する。もし、所望のしきい値に達していなければ、データ回路のデータを保持して再度書き込み動作を行う。書き込み動作と書き込みベリファイは全ての“1”書き込みするメモリセルが所望のしきい値に達するまで繰り返される。

【0126】

図23は、ベリファイ読み出し動作（ベリファイ読み出し第2サイクル）を示す動作波形図である。

【0127】

まず、時刻、 t_{1y} に、電圧 VA 、 VB がそれぞれ $1.8V$ 、 $1.5V$ となって、ビット線 BLa 、 BLb はそれぞれ $1.8V$ 、 $1.5V$ になる。信号 $BLCA$ 、 $BLCB$ が“L”となって、ビット線 BLa とMOSキャパシタ Q_{d1} 、ビット線 BLb とMOSキャパシタ Q_{d2} は切り離され、ビット線 BLa 、 BLb はフローティングとなる。信号 $PREA$ 、 $PREB$ が“L”となって、MOSキャパシタ Q_{d1} 、 Q_{d2} のゲート電極であるノード $N1$ 、 $N2$ はフローティング状態になる。続いて時刻 t_{2y} に、制御ゲート・選択ゲート駆動回路によって選択されたブロックの選択された制御ゲート $CG2A$ は $0.5V$ 、非選択制御ゲート $CG1A$ 、 $CG3A$ 、 $CG4A$ と選択ゲート $SG1A$ 、 $SG2A$ は V_{CC} にされる。選択されたメモリセルのしきい値が $0.5V$ 以下なら、ビット線電圧は $1.5V$ より低くなる。選択されたメモリセルのしきい値が $0.5V$ 以上なら、ビット線電

10

20

30

40

50

圧は1.8Vのままとなる。時刻 t_{3y} に、信号BLCA、BLCBが“H”とされ、ビット線の電位がN1、N2に転送される。その後、信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。この後、時刻 t_{4y} に信号VRFYBA1が“H”となると、“0”または“2”または“3”書き込みデータが保持されているデータ回路では、nチャンネルMOSトランジスタQn2が“ON”であり、ノードN1はVCCとなる。

【0128】

信号SAN2、SAP2がそれぞれ“L”、“H”となってフリップフロップFF2が非活性化され、信号ECH2が“H”となってイコライズされる。この後、信号RV2A、RV2Bが“H”となる。再度、信号SAN2、SAP2がそれぞれ“H”、“L”となることで、時刻 t_{5y} にノードN1の電圧がセンスされラッチされる。これで、“1”書き込みデータを保持しているデータ回路のみ、対応するメモリセルのデータが十分“1”書き込み状態となったか否かを検出する。メモリセルのデータが“1”であれば、フリップフロップFF2でノードN1の電圧をセンスしラッチすることで書き込みデータは“0”に変更される。メモリセルのデータが“1”でなければ、フリップフロップFF1でノードN2の電圧をセンスしラッチすることで書き込みデータは“1”に保持される。“0”または“2”または“3”書き込みデータを保持しているデータ回路の書き込みデータは変更されない。

【0129】

図24は、“1”書き込みが充分に行われた後、フリップフロップFF1、FF2が、ラッチしているデータを示す図である。

【0130】

“1”書き込みする全ての選択されたメモリセルが所望のしきい値に達していれば、データ回路のデータは図24のようになる。つまり“1”書き込みするすべてのメモリセルが十分に書き込まれると、すべてのデータ回路 $6^{**}-0$ 、 $6^{**}-1$ 、 $\dots$ 、 $6^{**}-m-1$ 、 $6^{**}-m$ のノードN5が“H”、N6が“L”になる。これを検出すると、全ての選択されたメモリセルが所望のしきい値に達したか否かがわかる。

【0131】

プログラムサイクル2の書き込み終了の検出は、例えば図21に示されるような書き込み終了一括検知トランジスタQn6を用いればよい。VREDは、ベリファイリード第2サイクル後、例えばVCCにプリチャージされる。“1”書き込みが不十分なメモリセルが1つでもあると、そのデータ回路のノードN6は“H”なのでnチャンネルMOSトランジスタQn6はオンし、VREDは接地される。すべてのメモリセルが十分に書き込まれると、データ回路 $6^{**}-0$ 、 $6^{**}-1$ 、 $\dots$ 、 $6^{**}-m-1$ 、 $6^{**}-m$ のノードN6が“L”になる。その結果、全てのデータ回路内のnチャンネルMOSトランジスタQn6がオフし、VREDはプリチャージ電位を保つ。

【0132】

以上、第2の実施の形態に係るEEPROMを説明したが、ベリファイ読み出し、書き込み、通常の読み出し等は、他の動作が可能である。

【0133】

図25は、他のベリファイ読み出し動作（ベリファイ読み出し第1サイクル）を示す動作波形図である。

【0134】

例えばベリファイ読み出し第1サイクルは、図25の動作波形図のように動作させても良い。

【0135】

図25に示すベリファイ読み出し第1サイクルでは、時刻 t_{7v} までの動作は、図19に示すベリファイ読み出し第1サイクルと同様であり、時刻 t_{7v} 以降の動作が異なっている。

【0136】

時刻 t_{7v} に信号 $BLCA$ 、 $BLCB$ が “H” とされ、ビット線の電位が $N1$ 、 $N2$ に転送される。メモリセルのしきい値が $2.5V$ 以上である場合にはビット線 BLa は $1.5V$ 以上、 $2.5V$ 以下である場合にはビット線 BLb は $1.5V$ 以下である。その後、信号 $BLCA$ 、 $BLCB$ が “L” となって、ビット線 BLa と MOS キャパシタ $Qd1$ 、ビット線 BLb と MOS キャパシタ $Qd2$ は切り離される。この後、時刻 t_{8z} に信号 $VRFYBA1$ が “H” となると、“0” または “2” 書き込みデータが保持されているデータ回路では、 n チャンネル MOS トランジスタ $Qn2$ が “ON” であり、ノード $N1$ は $1.5V$ 以上となる。信号 $SAN2$ 、 $SAP2$ がそれぞれ “L”、“H” となってフリップフロップ $FF2$ が非活性化され、信号 $ECH2$ が “H” となってイコライズされる。この後、信号 $RV2A$ 、 $RV2B$ が “H” となる。その後時刻 t_{9z} に、信号 $SAN2$ 、 $SAP2$ がそれぞれ “H”、“L” となることで、ノード $N1$ の電圧がセンスされラッチされる。

10

【0137】

この後、図 25 に示されるように、書き込みデータの変換が更に行われる。時刻 t_{10z} に、信号 $BLCA$ 、 $BLCB$ が “H” とされ、ビット線の電位が $N1$ 、 $N2$ に転送される。再度、信号 $BLCA$ 、 $BLCB$ が “L” となって、ビット線 BLa と MOS キャパシタ $Qd1$ 、ビット線 BLb と MOS キャパシタ $Qd2$ は切り離される。この後時刻 t_{11z} に、信号 $VRFYBA$ が “L” となると、“0” または “1” 書き込みデータが保持されているデータ回路、および “2” 書き込みが十分におこなわれたデータ回路では、 p チャンネル MOS トランジスタ $Qp13$ が “ON” であり、ノード $N1$ は VCC となる。信号 $SAN1$ 、 $SAP1$ がそれぞれ “L”、“H” となってフリップフロップ $FF1$ が非活性化され、信号 $ECH1$ が “H” となってイコライズされる。この後、信号 $RV1A$ 、 $RV1B$ が “H” となる。その後、時刻 t_{12z} に、信号 $SAN1$ 、 $SAP1$ がそれぞれ “H”、“L” となることで、ノード $N1$ の電圧がセンスされラッチされる。

20

【0138】

以上のように、“3” 書き込みデータを保持しているデータ回路のみ、対応するメモリセルのデータが十分 “3” 書き込み状態となったか否かを検出できる。メモリセルのデータが “3” であれば、フリップフロップ $FF1$ 、 $FF2$ でノード $N1$ の電圧をセンスしラッチすることで書き込みデータは “0” に変更される。メモリセルのデータが “3” でなければ、フリップフロップ $FF1$ 、 $FF2$ でノード $N1$ の電圧をセンスしラッチすることで書き込みデータは “3” に保持される。“0” または “1” または “2” 書き込みデータを保持しているデータ回路の書き込みデータは変更されない。“2” 書き込みまたは “3” 書き込みする全ての選択されたメモリセルが所望のしきい値に達していれば、データ回路のデータは図 20 のようになる。つまり、“2” 書き込みまたは “3” 書き込みする選択されたすべてのメモリセルが十分に書き込まれると、すべてのデータ回路 $6^{**}-0$ 、 $6^{**}-1$ 、…、 $6^{**}-m-1$ 、 $6^{**}-m$ のノード $N3$ が “H”、 $N4$ が “L” になる。これを検出することにより、“2” 書き込みまたは “3” 書き込みする全ての選択されたメモリセルが所望のしきい値に達したか否かがわかる。

30

【0139】

また、データ回路の回路構成も、図 12、図 21 に示す回路構成に限られるものではなく、他の回路構成であっても良い。

40

【0140】

図 26 および図 27 はそれぞれ、データ回路の他の回路図である。

【0141】

図 26 に示すデータ回路の、 $VRFYBA1$ 、 $VRFYBB1$ の動作タイミングは、図 12、図 21 のデータ回路と同様の動作タイミングを用いた場合（動作波形図；図 13、図 18、図 19、図 22、図 23、図 25）、 VCC を $0V$ 、 $0V$ を VCC にすればよい。なお、 $VRFYBA$ 、 $VRFYBB$ の動作タイミングは、図 12、図 21 のデータ回路を用いた場合と同様である。

【0142】

50

また、図 27 に示すデータ回路の、V R F Y B A、V R F Y B B の動作タイミングは、図 12、図 21 のデータ回路と同様な動作タイミングを用いた場合（動作波形図；図 13、図 18、図 19、図 22、図 23、図 25）、V C C を 0 V、0 V を V C C にすればよい。なお、V R F Y B A 1、V R F Y B B 1 の動作タイミングは、図 12、図 21 のデータ回路を用いた場合と同様である。

【0143】

上記第 2 の実施の形態では、まず“2”、“3”データを同時に書いてから、次に“1”データの書き込みを行ったが、書き込む順番は大いに任意性を有する。例えば“1”、“2”を書き込んでから、次に“3”を書き込んでもいいし、“1”、“3”を書き込んでから“2”を書き込んでもいい。

10

【0144】

<実施の形態 3>

次に、この発明の第 3 の実施の形態に係る多値記憶 N A N D 型 E E P R O M を説明する。

【0145】

上記第 2 の実施の形態では、まず、“2”状態および“3”状態をほぼ同時に書き込んでから、“1”状態を書き込むものを例示したが、この第 3 の実施の形態では、“1”状態、“2”状態、および“3”状態をほぼ同時に書き込むものである。

【0146】

なお、第 3 の実施の形態に係る E E P R O M は、第 2 の実施の形態に係る E E P R O M と同様に、図 1、図 2 に示した構成と同様な構成を持つ。

20

【0147】

図 28 は、この発明の第 3 の実施の形態に係る E E P R O M が有するデータ回路の回路図である。図 28 に示すデータ回路は、4 値記憶を例に構成されている。

【0148】

図 28 に示すように、メモリセル M1～M4 が直列に接続され、N A N D 型セルを構成している。その両端は、選択トランジスタ S1、S2 を介して、それぞれビット線 B L、ソース線 V s に接続される。制御ゲート C G を共有するメモリセル M 群は、“ページ”と呼ばれる単位を形成し、同時にデータ書き込み・読み出しされる。また、4 本の制御ゲート C G1～C G4 に繋がるメモリセル群でブロックを形成する。“ページ”、“ブロック”は制御ゲート・選択ゲート駆動回路によって選択される。各ビット線 B L0～B Lm には、データ回路 6^{**}-0、6^{**}-1、…、6^{**}-m-1、6^{**}-m が接続され、対応するメモリセルへの書き込みデータを一時的に記憶したりする。

30

【0149】

メモリセルの書き込み状態としきい値との関係は、第 1 の実施の形態と同様であり、例えば図 11 に示すとおりである。

【0150】

図 28 に示すように、n チャネル MOS トランジスタ Q n 2 1、Q n 2 2、Q n 2 3 と p チャネル MOS トランジスタ Q p 9、Q p 1 0、Q p 1 1 により構成されるフリップフロップ F F 1 と、n チャネル MOS トランジスタ Q n 2 9、Q n 3 0、Q n 3 1 と p チャネル MOS トランジスタ Q p 1 6、Q p 1 7、Q p 1 8 により構成される F F 2 とには、書き込み／読み出しデータがラッチされる。また、これらはセンスアンプとしても動作する。

40

【0151】

フリップフロップ F F 1、F F 2 は、「“0”書き込みをするか、“1”書き込みをするか、“2”書き込みをするか、“3”書き込みをするか」を書き込みデータ情報としてラッチし、メモリセルが「“0”の情報保持しているか、“1”の情報保持しているか、“2”の情報保持しているか、“3”の情報保持しているか」を読み出しデータ情報としてセンスしラッチする。

【0152】

50

データ入出力線 I O A、I O B とフリップフロップ F F 1 は、n チャンネル M O S トランジスタ Q n 2 8、Q n 2 7 を介して接続される。データ入出力線 I O C、I O D とフリップフロップ F F 2 は、n チャンネル M O S トランジスタ Q n 3 5、Q n 3 6 を介して接続される。データ入出力線 I O A、I O B、I O C、I O D は、図 1 中のデータ入出力バッファ 4 にも接続される。

【0153】

n チャンネル M O S トランジスタ Q n 2 7、Q n 2 8、Q n 3 5、Q n 3 6 のゲートは、N A N D 論理回路 G 2 とインバータ I 4 で構成されるカラムアドレスデコーダの出力に接続される。n チャンネル M O S トランジスタ Q n 2 6、Q n 3 4 は、それぞれフリップフロップ F F 1、F F 2 を信号 E C H 1、E C H 2 が “ H ” となってイコライズする。n チャンネル M O S トランジスタ Q n 2 4、Q n 3 2 は、フリップフロップ F F 1、F F 2 と M O S キャパシタ Q d 1 の接続を制御する。n チャンネル M O S トランジスタ Q n 2 5、Q n 3 3 は、フリップフロップ F F 1、F F 2 と M O S キャパシタ Q d 2 の接続を制御する。

【0154】

p チャンネル M O S トランジスタ Q p 1 2 C、Q p 1 3 C で構成される回路は、活性化信号 V R F Y B A C によって、フリップフロップ F F 1 のデータに応じて、M O S キャパシタ Q d 1 のゲート電圧を変更する。p チャンネル M O S トランジスタ Q p 1 4 C、Q p 1 5 C で構成される回路は、活性化信号 V R F Y B B C によって、フリップフロップ F F 1 のデータに応じて、M O S キャパシタ Q d 2 のゲート電圧を変更する。p チャンネル M O S トランジスタ Q p 1 2 C、Q p 1 9 C、Q p 2 0 C で構成される回路は、活性化信号 V R F Y B A 2 C によって、フリップフロップ F F 1 および F F 2 のデータに応じて、M O S キャパシタ Q d 1 のゲート電圧を変更する。p チャンネル M O S トランジスタ Q p 1 4 C、Q p 2 1 C、Q p 2 2 C で構成される回路は、活性化信号 V R F Y B B 2 C によって、フリップフロップ F F 1 および F F 2 のデータに応じて、M O S キャパシタ Q d 2 のゲート電圧を変更する。n チャンネル M O S トランジスタ Q n 1 C、Q n 2 C で構成される回路は、活性化信号 V R F Y B A 1 C によって、フリップフロップ F F 2 のデータに応じて、M O S キャパシタ Q d 1 のゲート電圧を変更する。n チャンネル M O S トランジスタ Q n 3 C、Q n 4 C で構成される回路は、活性化信号 V R F Y B B 1 C によって、フリップフロップ F F 2 のデータに応じて、M O S キャパシタ Q d 2 のゲート電圧を変更する。

【0155】

M O S キャパシタ Q d 1、Q d 2 は、ディブリーション型 n チャンネル M O S トランジスタで構成され、ビット線容量より十分小さくされる。n チャンネル M O S トランジスタ Q n 3 7 は、信号 P R E A によって M O S キャパシタ Q d 1 を電圧 V A に充電する。n チャンネル M O S トランジスタ Q n 3 8 は、信号 P R E B によって M O S キャパシタ Q d 2 を電圧 V B に充電する。n チャンネル M O S トランジスタ Q n 3 9、Q n 4 0 は、信号 B L C A、B L C B によって、データ回路 3 とビット線 B L a、B L b の接続をそれぞれ制御する。n チャンネル M O S トランジスタ Q n 3 7、Q n 3 8 で構成される回路はビット線電圧制御回路を兼ねる。

【0156】

次に、このように構成された E E P R O M の動作を、動作波形図に従って説明する。以下では制御ゲート C G 2 A が選択されている場合を示す。

【0157】

<読み出し動作>

図 29 は、読み出し動作を示す動作波形図である。

【0158】

図 29 に示すように、まず、電圧 V A、V B がそれぞれ 1.8 V、1.5 V となって、ビット線 B L a、B L b はそれぞれ 1.8 V、1.5 V になる。時刻 t 1 R C に信号 B L C A、B L C B が “ L ” となって、ビット線 B L a と M O S キャパシタ Q d 1、ビット線 B L b と M O S キャパシタ Q d 2 は切り離され、ビット線 B L a、B L b はフローティングとなる。信号 P R E A、P R E B が “ L ” となって、M O S キャパシタ Q d 1、Q d 2 の

ゲート電極であるノードN1、N2はフローティング状態になる。続いて、時刻t2RCに制御ゲート・選択ゲート駆動回路によって選択されたブロックの選択された制御ゲートCG2Aは0V、非選択制御ゲートCG1A、CG3A、CG4Aと選択ゲートSG1A、SG2AはVCCにされる。選択されたメモリセルのしきい値が0V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が0V以上なら、ビット線電圧は1.8Vのままとなる。この後、時刻t3RCに信号BLCA、BLCBが“H”となり、ビット線のデータがMOSキャパシタQd1、Qd2に転送される。その後、再度、信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。信号SAN1、SAP1がそれぞれ“L”、“H”となってフリップ・フロップFF1が非活性化され、信号ECH1が“H”となってイコライズされる。この後、信号RV1A、RV1Bが“H”となる。時刻t4RCに再度、信号SAN1、SAP1がそれぞれ“H”、“L”となることで、ノードN1の電圧がセンスされラッチされる。これで、「メモリセルのデータが“0”か、或いは“1”または“2”または“3”か」がフリップ・フロップFF1によってセンスされ、その情報はラッチされる。

【0159】

また、時刻t3RCの後、MOSキャパシタQd1、Qd2をビット線BLa、BLbから切り離した状態で、選択された制御ゲートCG2Aを0Vから1Vにする。選択されたメモリセルのしきい値が1V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が1V以上なら、ビット線電圧は1.8Vのままとなる。次に、時刻t5RCに信号PREA、PREBが“H”となって、MOSキャパシタQd1、Qd2のゲート電極であるノードN1、N2はそれぞれ1.8V、1.5Vになる。信号PREA、PREBが“L”となって、MOSキャパシタQd1、Qd2のゲート電極であるノードN1、N2はフローティング状態になる。この後、時刻t6RCに信号BLCA、BLCBが“H”とされる。再度、信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。信号SAN2、SAP2がそれぞれ“L”、“H”となってフリップ・フロップFF2が非活性化され、信号ECH2が“H”となってイコライズされる。この後、信号RV2A、RV2Bが“H”となる。時刻t7RCに再度、信号SAN2、SAP2がそれぞれ“H”、“L”となることで、ノードN1の電圧がセンスされラッチされる。これで、「メモリセルのデータが“0”または“1”か、或いは“2”または“3”か」がフリップ・フロップFF2によってセンスされ、その情報はラッチされる。

【0160】

図30は、時刻t7RCのときにフリップフロップFF1、FF2がセンスし、ラッチしている読み出しデータを示す図である。この時のフリップフロップFF1、FF2のノードN3C、N5Cの電位は図30のようになる。

【0161】

最後にメモリセルに書き込まれたデータが「“2”または“3”か」がセンスされる。時刻t6RCの後、MOSキャパシタQd1、Qd2をビット線BLa、BLbから切り離した状態で、選択された制御ゲートCG2Aを1Vから2Vにする。選択されたメモリセルのしきい値が2V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が2V以上なら、ビット線電圧は1.8Vのままとなる。この後、制御ゲートCG1A～CG4A、選択ゲートSG1A、SG2Aの全てを0Vにする。次に、時刻t8RCに信号PREA、PREBが“H”となって、MOSキャパシタQd1、Qd2のゲート電極であるノードN1、N2はそれぞれ1.8V、1.5Vになる。信号PREA、PREBが“L”となって、MOSキャパシタQd1、Qd2のゲート電極であるノードN1、N2はフローティング状態になる。この後、時刻t10RCに信号BLCA、BLCBが“H”とされる。その後、再度、信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。MOSキャパシタのデータをセンスするに先立ち、時刻t11RCにVRFYBA2C

10

20

30

40

50

が 0 V になる。図 2 2 からわかるように、ノード N 5 C が “Low level ” およびノード N 3 C が “Highlevel ” (つまりノード N 4 C が “Low level ”) になるのは “ 1 ” データの場合のみである。従って “ 1 ” データの場合のみ p チャンネル MOS トランジスタ Q p 1 2 C, Q p 1 9 C, Q p 2 0 C がオンし、ノード N 1 が V C C になる。その後、信号 S A N 1、S A P 1 がそれぞれ “ L ”、“ H ” となってフリップ・フロップ F F 1 が非活性化され、信号 E C H 1 が “ H ” となってイコライズされる。この後、信号 R V 1 A、R V 1 B が “ H ” となる。時刻 t 12RC に再度、信号 S A N 1、S A P 1 がそれぞれ “ H ”、“ L ” となることで、ノード N 1 の電圧がセンスされラッチされる。これで、「メモリセルのデータが “ 2 ” か “ 3 ” か」がフリップ・フロップ F F 1 によってセンスされ、その情報はラッチされる。

10

【0162】

図 3 1 は、フリップフロップ F F 1、F F 2 がセンスし、ラッチする読み出しデータを示す図である。

【0163】

以上の読み出し動作の結果、4 値のデータが、図 3 1 のようにフリップフロップ F F 1、F F 2 にラッチされる。図中の各データのしきい値分布は次のとおりである。

【0164】

データ “ 0 ” …… しきい値：0 V 以下

データ “ 1 ” …… しきい値 0. 5 V 以上 0. 8 V 以下

データ “ 2 ” …… しきい値 1. 5 V 以上 1. 8 V 以下

データ “ 3 ” …… しきい値 2. 5 V 以上 2. 8 V 以下

20

読み出し中、信号 V R F Y B A C、V R F Y B B C は “ H ”、信号 V R F Y B A 1 C、V R F Y B B 1 C は “ L ” である。また、電圧 V s は 0 V とする。

【0165】

カラムアドレスデコーダに入力されるカラム活性化信号 C E N B が “ H ” となると、アドレス信号によって選択されたデータ回路に保持されているデータがデータ入出力線 I O A、I O B、I O C、I O D に出力され、データ入出力バッファ 4 を介して E E P R O M 外部へ出力される。

【0166】

メモリセルに記憶されているデータ、しきい値、データ入出力線 I O A、I O B、I O C、I O D に読み出し後に出力されるレベルの関係は図 3 1 のとおりである。

30

【0167】

チップ外部への出力データは、データ入出力バッファ 5 でデータ入力線 I O A、I O B、I O C、I O D に出力された信号をもとに変換したものもよい。

【0168】

<書き込み動作>

まず、書き込みデータがフリップフロップ F F 1、F F 2 にロードされる。その後、“ 1 ” データ、“ 2 ” データおよび “ 3 ” データがほぼ同時に書き込まれる。そして “ 1 ” データ、“ 2 ” データ、“ 3 ” データが十分書き込まれたかを調べるベリファイリードが行われ、書き込み不十分のメモリセルがある場合には、再書き込みが行われる。すべてのメモリセルが十分に書き込まれることを、書き込み終了検知回路が検知することにより書き込みが終了する。

40

【0169】

以下では、まず、プログラムについて説明し、次にベリファイリードについて説明する。

【0170】

(1) プログラム

書き込み動作前に、入力された 2 ビット分のデータは、データ入出力バッファ 5 で変換されて、データ回路 6 ** に入力される。

【0171】

50

図32は、データ回路6**に入力され、フリップフロップFF1、FF2がラッチする書き込みデータを示す図である。4値データとデータ入出力線IOA、IOB、IOC、IODの関係は図32のとおりである。

【0172】

変換された4値データは、カラム活性化信号CENBが“H”で、アドレス信号で指定されたカラム番地のデータ回路に転送される。

【0173】

図33は、書き込み動作を示す動作波形図である。

【0174】

まず、時刻t1sに、電圧VAがビット線書き込み制御電圧1Vとなってビット線BLaが1Vとされる。nチャンネルMOSトランジスタQn39のしきい値分の電圧降下分が問題になるときは、信号BLCAを昇圧すればよい。続いて、信号PREが“L”となってビット線がフローティングにされる。次に、時刻t2sに信号RV2Aが1.5Vとされる。これによって、データ“1”または“3”が保持されているからはビット線制御電圧0Vがビット線に印加される。nチャンネルMOSトランジスタQn32のしきい値を1Vとすると、“0”または“2”書き込み時にはnチャンネルMOSトランジスタQn32は“OFF”、“1”または“3”書き込み時には“ON”となる。その後、時刻t3sにVRFYBACが0Vになり、データ“0”またはデータ“1”が保持されているデータ回路からはビット線書き込み制御電圧VCCがビット線に出力される。

【0175】

そして、時刻t4sにVRFYBA2Cが0Vになり、データ“1”が保持されているデータ回路からはV1を介してビット線“1”書き込み電位2Vがビット線に出力される。

【0176】

その結果、“0”書き込みするビット線はVCC、“1”書き込みするビット線は2V、“2”書き込みするビット線は1V、“3”書き込みするビット線は0Vになる。

【0177】

時刻t1sに制御ゲート・選択ゲート駆動回路によって、選択されたブロックの選択ゲートSG1A、制御ゲートCG1A～CG4AがVCCとなる。選択ゲートSG2Aは0Vである。次に、選択された制御ゲートCG2Aが高電圧VPP（例えば20V）、非選択制御ゲートCG1A、CG3A、CG4AがVM（例えば10V）となる。データ“3”が保持されているデータ回路に対応するメモリセルでは、0Vのチャンネル電位と制御ゲートのVPPの電位差によって、浮遊ゲートに電子が注入されしきい値が上昇する。データ“2”が保持されているデータ回路に対応するメモリセルでは、1Vのチャンネル電位と制御ゲートのVPPの電位差によって、浮遊ゲートに電子が注入されしきい値が上昇する。データ“1”が保持されているデータ回路に対応するメモリセルでは、2Vのチャンネル電位と制御ゲートのVPPの電位差によって、浮遊ゲートに電子が注入されしきい値が上昇する。“2”書き込みの場合のチャンネル電位を1V、“1”書き込みの場合のチャンネル電位を2Vにしているのは、電子の注入量を“3”データ書き込みの場合、“2”書き込みの場合、“1”書き込みの場合の順番で少なくするためある。データ“0”が保持されているデータ回路に対応するメモリセルでは、チャンネル電位と制御ゲートのVPPの電位差が小さいため、実効的には浮遊ゲートに電子は注入されない。よって、メモリセルのしきい値は変動しない。書き込み動作中、信号SAN1、SAN2、PREB、BLCBは“H”、信号SAP1、SAP2、VRFYBA1C、RV1A、RV1B、RV2B、ECH1、ECH2は“L”、電圧VBは0Vである。

【0178】

(2) ベリファイ読み出し

書き込み動作後、書き込みが充分に行われたかを検出する（書き込みベリファイ）。もし、所望のしきい値に達していれば、データ回路のデータを“0”に変更する。もし、所望のしきい値に達していなければ、データ回路のデータを保持して再度書き込み動作を行

10

20

30

40

50

う。書き込み動作と書き込みベリファイは全ての“1”書き込みするメモリセル、“2”書き込みするメモリセルおよび“3”書き込みするメモリセルが所望のしきい値に達するまで繰り返される。

【0179】

図34および図35はそれぞれ、ベリファイ読み出し動作を示す動作波形図である。

【0180】

以下、図34および図35を参照し、書き込みベリファイ動作を説明する。

【0181】

はじめに、“1”書き込みするメモリセルが所定のしきい値に達しているかを検出する。

10

【0182】

まず、図34に示すように、時刻 t_{1yc} に、電圧 V_A 、 V_B がそれぞれ1.8V、1.5Vとなって、ビット線 BL_a 、 BL_b はそれぞれ1.8V、1.5Vになる。信号 $BLCA$ 、 $BLCB$ が“L”となって、ビット線 BL_a とMOSキャパシタ Q_{d1} 、ビット線 BL_b とMOSキャパシタ Q_{d2} は切り離され、ビット線 BL_a 、 BL_b はフローティングとなる。信号 $PREA$ 、 $PREB$ が“L”となって、MOSキャパシタ Q_{d1} 、 Q_{d2} のゲート電極であるノード $N1$ 、 $N2$ はフローティング状態になる。続いて時刻 t_{2yc} に、制御ゲート・選択ゲート駆動回路によって選択されたブロックの選択された制御ゲート $CG2A$ は0.5V、非選択制御ゲート $CG1A$ 、 $CG3A$ 、 $CG4A$ と選択ゲート $SG1A$ 、 $SG2A$ は V_{CC} にされる。選択されたメモリセルのしきい値が0.5V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が0.5V以上なら、ビット線電圧は1.8Vのままとなる。時刻 t_{3yc} に、信号 $BLCA$ 、 $BLCB$ が“H”とされ、ビット線の電位が $N1$ 、 $N2$ に転送される。その後、信号 $BLCA$ 、 $BLCB$ が“L”となって、ビット線 BL_a とMOSキャパシタ Q_{d1} 、ビット線 BL_b とMOSキャパシタ Q_{d2} は切り離される。この後時刻 t_{4yc} に $RV1A$ が1.5Vになり、“2”書き込みの場合および“3”書き込みの場合には、ノード $N1$ が0Vに放電される。時刻 t_{5yc} に信号 $VRIFYBA1C$ が“H”となると、“0”または“2”書き込みデータが保持されているデータ回路では、 n チャンネルMOSトランジスタ Q_{n2} が“ON”であり、ノード $N1$ は V_{CC} となる。その結果、ノード $N1$ は“0”書き込みまたは“2”書き込みの場合には V_{CC} 、“3”書き込みの場合には0Vになる。

20

30

【0183】

信号 $SAN2$ 、 $SAP2$ がそれぞれ“L”、“H”となってフリップフロップ $FF2$ が非活性化され、信号 $ECH2$ が“H”となってイコライズされる。この後、信号 $RV2A$ 、 $RV2B$ が“H”となる。再度、信号 $SAN2$ 、 $SAP2$ がそれぞれ“H”、“L”となることで、時刻 t_{6yc} にノード $N1$ の電圧がセンスされラッチされる。これで、“1”書き込みデータを保持しているデータ回路のみ、対応するメモリセルのデータが十分“1”書き込み状態となったか否かを検出する。メモリセルのデータが“1”であれば、フリップフロップ $FF2$ でノード $N1$ の電圧をセンスしラッチすることで書き込みデータは“0”に変更される。メモリセルのデータが“1”でなければ、フリップフロップ $FF1$ でノード $N2$ の電圧をセンスしラッチすることで書き込みデータは“1”に保持される。“0”または“2”または“3”書き込みデータを保持しているデータ回路の書き込みデータは変更されない。

40

【0184】

また、時刻 t_{3yc} の後、MOSキャパシタ Q_{d1} 、 Q_{d2} をビット線 BL_a 、 BL_b から切り離した状態で、選択された制御ゲート $CG2A$ を0.5Vから1.5Vにする。選択されたメモリセルのしきい値が1.5V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が1.5V以上なら、ビット線電圧は1.8Vのままとなる。次に、時刻 t_{7yc} に $PREA$ 、 $PREB$ が V_{CC} になりノード $N1$ 、 $N2$ が1.8V、1.5Vになった後、フローティングになる。この後、図35に示すように、時刻 t_{8yc} に、信号 $BLCA$ 、 $BLCB$ が“H”とされ、ビット線の電位が $N1$ 、 $N2$ に転送

50

される。その後、信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。この後、時刻t9ycに、信号RV2Aが例えばVCC以下の1.5Vとされる。nチャネルMOSトランジスタQn32のしきい値が1Vの場合、“3”書き込みデータが保持されているデータ回路ではnチャネルMOSトランジスタQn32は“ON”で、ノードN1は0Vとなる。“2”書き込みデータが保持されているデータ回路で、メモリセルが十分に“2”書き込みされている場合にはnチャネルMOSトランジスタQn32は“OFF”で、ノードN1は1.5V以上に保たれる。“2”書き込み不十分の場合には、ノードN1は1.5V以下である。時刻t10ycに信号VRFYBACが“L”となると、“0”または“1”書き込みデータが保持されているデータ回路では、pチャネルMOSトランジスタQp13が“ON”であり、ノードN1はVCCとなる。

10

【0185】

信号SAN1、SAP1がそれぞれ“L”、“H”となってフリップフロップFF1が非活性化され、信号ECH1が“H”となってイコライズされる。この後、信号RV1A、RV1Bが“H”となる。再度、信号SAN1、SAP1がそれぞれ“H”、“L”となることで、時刻t11ycにノードN1の電圧がセンスされラッチされる。これで、“2”書き込みデータを保持しているデータ回路のみ、対応するメモリセルのデータが十分“2”書き込み状態となったか否かを検出する。メモリセルのデータが“2”であれば、フリップフロップFF1でノードN1の電圧をセンスしラッチすることで書き込みデータは“0”に変更される。メモリセルのデータが“2”でなければ、フリップフロップFF1でノードN1の電圧をセンスしラッチすることで書き込みデータは“2”に保持される。“0”または“1”または“3”書き込みデータを保持しているデータ回路の書き込みデータは変更されない。

20

【0186】

また、時刻t8ycの後、MOSキャパシタQd1、Qd2をビット線BLa、BLbから切り離した状態で、選択された制御ゲートCG2Aを1.5Vから2.5Vにする。選択されたメモリセルのしきい値が2.5V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が2.5V以上なら、ビット線電圧は1.8Vのままとなる。次に、時刻t12ycに、信号BLCA、BLCBが“H”とされ、ビット線の電位がN1、N2に転送される。再度、信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。この後時刻t13ycに、信号VRFYBACが“L”となると、“0”または“1”書き込みデータが保持されているデータ回路および、“2”書き込みが十分に行われたデータ回路では、pチャネルMOSトランジスタQp13cが“ON”であり、ノードN1はVCCとなる。信号SAN1、SAP1がそれぞれ“L”、“H”となってフリップ・フロップFF1が非活性化され、信号ECH1が“H”となってイコライズされる。この後、信号RV1A、RV1Bが“H”となる。その後時刻t14ycに、信号SAN1、SAP1がそれぞれ“H”、“L”となることで、ノードN1の電圧がセンスされラッチされる。

30

【0187】

この後、図35に示すように、書き込みデータの変換が更に行われる。時刻t15ycに、信号BLCA、BLCBが“H”とされ、ビット線の電位がN1、N2に転送される。再度、信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。この後時刻t16ycに、信号VRFYBA1Cが“H”となると、“0”または“2”書き込みデータが保持されているデータ回路および“1”書き込み十分のデータ回路では、nチャネルMOSトランジスタQn2Cが“ON”であり、ノードN1はVCCとなる。信号SAN2、SAP2がそれぞれ“L”、“H”となってフリップフロップFF2が非活性化され、信号ECH2が“H”となってイコライズされる。この後、信号RV2A、RV2Bが“H”となる。その後時刻t17ycに、信号SAN2、SAP2がそれぞれ“H”、“L”となることで、ノードN1の電圧がセンスされラッチされる。

40

50

【0188】

上記実施の形態では時刻 t_{16yc} に $V_{RFYBA1C}$ を V_{CC} にすることにより、“0”書き込みおよび“2”書き込みする場合のMOSキャパシタ Q_{d1} のノード $N1$ を、ノード $N2$ の電位 ($1.5V$) よりも高くなるように充電している。 t_{16yc} に R_{VB} を例えば $1.5V$ にしても良い。この場合、“0”書き込みまたは“2”書き込みの場合には、ノード $N6C$ が $0V$ なので n チャンネルMOSトランジスタ Q_{n33} がオンし $N2$ は $0V$ になる。一方、“1”または“3”書き込みの場合には、ノード $N6C$ が V_{CC} 、 $N2$ が $1.5V$ なので n チャンネルMOSトランジスタ Q_{n33} はオフし、 $N2$ は $1.5V$ を保たれる。時刻 t_{16yc} に $V_{RFYBA1C}$ を V_{CC} にして行う、“0”書き込みおよび“2”書き込みする場合の $N1$ への充電は $N2$ の電位 ($0V$) よりも大きければよいので、 $N1$ の充電は例えば $0.5V$ 程度の低い電圧でよい。

10

【0189】

以上のようにして、“3”書き込みデータを保持しているデータ回路のみ、対応するメモリセルのデータが十分“3”書き込み状態となったか否かを検出する。メモリセルのデータが“3”であれば、フリップフロップ $FF1$ 、 $FF2$ でノード $N1$ の電圧をセンスしラッチすることで書き込みデータは“0”に変更される。メモリセルのデータが“3”でなければ、フリップフロップ $FF1$ 、 $FF2$ でノード $N1$ の電圧をセンスしラッチすることで書き込みデータは“3”に保持される。“0”または“1”または“2”書き込みデータを保持しているデータ回路の書き込みデータは変更されない。

20

【0190】

書き込みベリファイ中、信号 V_{RFYBBC} は“H”、信号 $V_{RFYBB1C}$ は“L”、電圧 V_s は $0V$ とする。

【0191】

全ての選択されたメモリセルが所望のしきい値に達していれば、データ回路のデータは“0”データになる。つまり書き込みが終了すると、ノード $N4C$ 、 $N6C$ が“L”になる。これを検出することにより、全ての選択されたメモリセルが所望のしきい値に達したか否かがわかる。

【0192】

図28は、書き込み終了一括検知トランジスタを有したデータ回路の回路図である。

【0193】

書き込み終了の検出は例えば、図28に示すように書き込み終了一括検知トランジスタ Q_{n5C} 、および Q_{n6C} を用いればよい。ベリファイ読み出し後、まず、 V_{RTC} を、例えば V_{CC} にプリチャージする。書き込みが不十分なメモリセルが1つでもあると、そのデータ回路のノード $N4C$ または $N6C$ の少なくとも一方は“H”なので n チャンネルMOSトランジスタ Q_{n5C} と Q_{n6C} の少なくとも1つはオンし、 V_{RTC} はプリチャージ電位から低下する。すべてのメモリセルが十分に書き込まれると、データ回路 $6^{**}-0$ 、 $6^{**}-1$ 、…、 $6^{**}-m-1$ のノード $N4C$ 、 $N6C$ が“L”になる。その結果、全てのデータ回路内の n チャンネルMOSトランジスタ Q_{n5C} および Q_{n6C} がオフになるので V_{RTC} はプリチャージ電位を保つ。

30

【0194】

以上、第3の実施の形態に係るEEPROMを説明したが、ベリファイ読み出し、書き込み、通常の読み出し等は、他の動作が可能である。

40

【0195】

図36は、他のベリファイ読み出し動作を示す動作波形図である。

【0196】

例えばベリファイ読み出しは、図36の動作波形図のように動作させても良い。

【0197】

図36に示すベリファイ読み出しでは、時刻 t_{12yc} までの動作は、図35に示すベリファイ読み出しと同様であり、時刻 t_{12yc} 以降の動作が異なっている。

【0198】

50

時刻 t_{12yc} に信号 $BLCA$ 、 $BLCB$ が “H” とされ、ビット線の電位が $N1$ 、 $N2$ に転送される。メモリセルのしきい値が $2.5V$ 以上である場合にはビット線 BLa は $1.5V$ 以上、 $2.5V$ 以下である場合にはビット線 BLb は $1.5V$ 以下である。その後、信号 $BLCA$ 、 $BLCB$ が “L” となって、ビット線 BLa と MOS キャパシタ $Qd1$ 、ビット線 BLb と MOS キャパシタ $Qd2$ は切り離される。この後、時刻 t_{13zc} に信号 $VRFYBA1C$ が “H” となると、“0” または “2” 書き込みデータが保持されているデータ回路及び “1” 書き込み十分のデータ回路では、 n チャンネル MOS トランジスタ $Qn2$ が “ON” であり、ノード $N1$ は $1.5V$ 以上となる。信号 $SAN2$ 、 $SAP2$ がそれぞれ “L”、“H” となってフリップフロップ $FF2$ が非活性化され、信号 $ECH2$ が “H” となってイコライズされる。この後、信号 $RV2A$ 、 $RV2B$ が “H” と

10

なる。その後時刻 t_{14zc} に、信号 $SAN2$ 、 $SAP2$ がそれぞれ “H”、“L” となることで、ノード $N1$ の電圧がセンスされラッチされる。

【0199】

この後、図 36 に示されるように、書き込みデータの変換が更に行われる。時刻 t_{15zc} に、信号 $BLCA$ 、 $BLCB$ が “H” とされ、ビット線の電位が $N1$ 、 $N2$ に転送される。再度、信号 $BLCA$ 、 $BLCB$ が “L” となって、ビット線 BLa と MOS キャパシタ $Qd1$ 、ビット線 BLb と MOS キャパシタ $Qd2$ は切り離される。この後時刻 t_{16zc} に、信号 $VRFYBAC$ が “L” となると、“0” または “1” 書き込みデータが保持されているデータ回路、および “2” 書き込みが十分におこなわれたデータ回路では、 p チャンネル MOS トランジスタ $Qp13$ が “ON” であり、ノード $N1$ は VCC となる

20

。信号 $SAN1$ 、 $SAP1$ がそれぞれ “L”、“H” となってフリップフロップ $FF1$ が非活性化され、信号 $ECH1$ が “H” となってイコライズされる。この後、信号 $RV1A$ 、 $RV1B$ が “H” となる。その後、時刻 t_{17zc} に、信号 $SAN1$ 、 $SAP1$ がそれぞれ “H”、“L” となることで、ノード $N1$ の電圧がセンスされラッチされる。また、データ回路の回路構成も、図 20 に示す回路構成に限られるものではなく、他の回路構成であっても良い。

【0200】

図 37、図 38、図 39 および図 40 はそれぞれ、データ回路の他の回路図である。

【0201】

図 37 に示すデータ回路の、 $VRFYBA1C$ 、 $VRFYBB1C$ の動作タイミングは、図 28 のデータ回路と同様の動作タイミングを用いた場合（動作波形図：図 29、図 33、図 34、図 35、図 36）、 VCC を $0V$ 、 $0V$ を VCC にすればよい。なお、 $VRFYBAC$ 、 $VRFYBBC$ 、 $VRFYBA2C$ 、 $VRFYBB2C$ のタイミングは、図 28 のデータ回路を用いた場合と同様である。

30

【0202】

また、図 38 に示すデータ回路の、 $VRFYBAC$ 、 $VRFYBBC$ 、 $VRFYBA2C$ 、 $VRFYBB2C$ の動作タイミングは、図 28 のデータ回路を用いた場合（動作波形図；図 29、図 33、図 34、図 35、図 36）、 VCC を $0V$ 、 $0V$ を VCC にすればよい。なお、 $VRFYBA1C$ 、 $VRFYBB1C$ の動作タイミングは、図 28 のデータ回路を用いた場合と同様である。

40

【0203】

また、図 39 に示すデータ回路の、 $VRFYBAC$ 、 $VRFYBBC$ の動作タイミングは、図 28 のデータ回路を用いた場合（動作波形図：図 29、図 33、図 34、図 35、図 36）、 VCC を $0V$ 、 $0V$ を VCC にすればよい。なお、 $VRFYBA1C$ 、 $VRFYBB1C$ 、 $VRFYBA2C$ 、 $VRFYBB2C$ の動作タイミングは、図 28 のデータ回路を用いた場合と同様である。

【0204】

また、図 40 に示すデータ回路の、 $VRFYBA2C$ 、 $VRFYBB2C$ の動作タイミングは、図 28 のデータ回路を用いた場合（動作波形図：図 29、図 33、図 34、図 35、図 36）、 VCC を $0V$ 、 $0V$ を VCC にすればよい。なお、 $VRFYBA1C$ 、 V

50

R F Y B B 1 C、V R F Y B A C、V R F Y B B Cの動作タイミングは、図28のデータ回路を用いた場合と同様である。さらに、V R F Y B A 2 C、V R F Y B B 2 C、V R F Y B A 1 C、V R F Y B B 1 CをV C Cにする場合に、V C Cの代わりに、 $V C C + V_{th}$ (V_{th} はnチャンネルMOSトランジスタのしきい値電圧)、あるいは $V C C + 2 V_{th}$ にしても良い。この場合、nチャンネルMOSトランジスタは、実質的な“しきい値落ち”を発生させずに、電位を転送できる。

【0205】

また、上記第3の実施の形態では、読み出しおよびベリファイ読み出し時に、ビット線をプリチャージした後、非選択コントロールゲートC G 1 A、C G 3 A、C G 4 AをV C Cにすることにより、C G 1 A、C G 3 A、C G 4 Aをゲート電極とするメモリセルをオンさせている。

10

【0206】

これを、例えば非選択コントロールゲートC G 1 A、C G 3 A、C G 4 AはV C Cにした後、フローティングにし、その後、ビット線をプリチャージしても良い。あるいは、ビット線をプリチャージした後、非選択コントロールゲートをV C Cにし、その後、非選択コントロールゲートをフローティングにしても良い。この場合、メモリセルを通じて、ビット線からソース線に読み出し電流が流れる間に非選択コントロールゲートはフローティング状態である。読み出し電流が流れる間は、非選択コントロールゲートをゲート電極とするメモリセルのチャンネルは0 Vから大きくなり、その結果、チャンネルと非選択コントロールゲート間の容量結合によって非選択コントロールゲートの電位はV C Cよりも大きくなる。このように非選択コントロールゲートの電位がV C Cよりも大きくなると、非選択コントロールゲートをゲート電極とするメモリセルの抵抗が小さくなり、その結果読み出し電流が大きくなり、読み出しが高速化される。

20

【0207】

<実施の形態4>

次に、この発明の第4の実施の形態に係る多値記憶NAND型E E P R O Mを説明する。

【0208】

なお、第4の実施の形態に係るE E P R O Mは、第2の実施の形態に係るE E P R O Mなどと同様に、図1、図2に示した構成と同様な構成を持つ。

30

【0209】

図41は、この発明の第4の実施の形態に係るE E P R O Mが有するデータ回路の回路図である。図41に示すデータ回路は、4値記憶を例に構成されている。

【0210】

図41に示すデータ回路は、2つのラッチ回路（第1のラッチ回路及び第2のラッチ回路）を含む。書き込みの際には、2ビットの書き込みデータはこの2つのラッチ回路に蓄えられる。読み出しの際には、読み出した4値データはこの2つのラッチ回路に蓄えられ、その後I O A ~ I O Dを介してチップの外部へ出力される。

【0211】

図41に示すように、nチャンネルMOSトランジスタQ n 2 1、Q n 2 2、Q n 2 3とpチャンネルMOSトランジスタQ p 9、Q p 1 0、Q p 1 1により構成されるフリップフロップF F 1とnチャンネルMOSトランジスタQ n 2 9、Q n 3 0、Q n 3 1とpチャンネルMOSトランジスタQ p 1 6、Q p 1 7、Q p 1 8により構成されるF F 2に、書き込み／読み出しデータをラッチする。また、これらはセンスアンプとしても動作する。

40

【0212】

フリップフロップF F 1、F F 2は、「“0”書き込みをするか、“1”書き込みをするか、“2”書き込みをするか、“3”書き込みをするか」を書き込みデータ情報としてラッチし、メモリセルが「“0”の情報保持しているか、“1”の情報保持しているか、“2”の情報保持しているか、“3”の情報保持しているか」を読み出しデータ情報としてセンスしラッチする。

50

【0213】

データ入出力線 I O A、I O B とフリップフロップ F F 1 は、n チャンネル M O S トランジスタ Q n 2 8、Q n 2 7 を介して接続される。データ入出力線 I O C、I O D とフリップフロップ F F 2 は、n チャンネル M O S トランジスタ Q n 3 5、Q n 3 6 を介して接続される。データ入出力線 I O A、I O B、I O C、I O D は、図 1 に示されたデータ入出力バッファ 5 にも接続される。n チャンネル M O S トランジスタ Q n 2 7、Q n 2 8 のゲートは、N A N D 論理回路 G 3 とインバータ I 5 で構成されるカラムアドレスデコーダの出力に接続される。

【0214】

n チャンネル M O S トランジスタ Q n 2 6、Q n 3 4 は、それぞれフリップフロップ F F 1、F F 2 を信号 E C H 1、E C H 2 が “ H ” となってイコライズする。n チャンネル M O S トランジスタ Q n 2 4、Q n 3 2 は、フリップフロップ F F 1、F F 2 と M O S キャパシタ Q d 1 の接続を制御する。n チャンネル M O S トランジスタ Q n 2 5、Q n 3 3 は、フリップフロップ F F 1、F F 2 と M O S キャパシタ Q d 2 の接続を制御する。

【0215】

n チャンネル M O S トランジスタ Q n 5 0 C、Q n 5 1 C で構成される回路は、活性化信号 V R F Y B A C によって、フリップフロップ F F 1 のデータに応じて、M O S キャパシタ Q d 1 のゲート電圧を変更する。n チャンネル M O S トランジスタ Q n 5 2 C、Q n 5 3 D で構成される回路は、活性化信号 V R F Y B B C によって、フリップフロップ F F 1 のデータに応じて、M O S キャパシタ Q d 2 のゲート電圧を変更する。n チャンネル M O S トランジスタ Q n 5 3 C、Q n 5 4 C、Q n 5 5 C で構成される回路は、活性化信号 V R F Y B A 2 C によって、フリップフロップ F F 1 および F F 2 のデータに応じて、M O S キャパシタ Q d 1 のゲート電圧を変更する。n チャンネル M O S トランジスタ Q n 5 6 C、Q n 5 7 C、Q n 5 8 C で構成される回路は、活性化信号 V R F Y B B 2 C によって、フリップフロップ F F 1 および F F 2 のデータに応じて、M O S キャパシタ Q d 2 のゲート電圧を変更する。n チャンネル M O S トランジスタ Q n 1 C、Q n 2 C で構成される回路は、活性化信号 V R F Y B A 1 C によって、フリップフロップ F F 2 のデータに応じて、M O S キャパシタ Q d 1 のゲート電圧を変更する。n チャンネル M O S トランジスタ Q n 3 C、Q n 4 C で構成される回路は、活性化信号 V R F Y B B 1 C によって、フリップフロップ F F 2 のデータに応じて、M O S キャパシタ Q d 2 のゲート電圧を変更する。

【0216】

M O S キャパシタ Q d 1、Q d 2 は、ディブリーション型 n チャンネル M O S トランジスタで構成され、ビット線容量より十分小さくされる。n チャンネル M O S トランジスタ Q n 3 7 は、信号 P R E A によって M O S キャパシタ Q d 1 を電圧 V A に充電する。n チャンネル M O S トランジスタ Q n 3 8 は、信号 P R E B によって M O S キャパシタ Q d 2 を電圧 V B に充電する。n チャンネル M O S トランジスタ Q n 3 9、Q n 4 0 は、信号 B L C A、B L C B によって、データ回路 3 とビット線 B L a、B L b の接続をそれぞれ制御する。n チャンネル M O S トランジスタ Q n 3 7、Q n 3 8 で構成される回路はビット線電圧制御回路を兼ねる。

【0217】

次に、このように構成された E E P R O M の動作を、動作波形図に従って説明する。以下では制御ゲート C G 2 A が選択されている場合を示す。

【0218】

<読み出し動作>

図 4 2 は、読み出し動作を示す動作波形図である。

【0219】

図 4 2 に示すように、まず、時刻 t w 1、電圧 V A、V B がそれぞれ 1. 8 V、1. 5 V となって、ビット線 B L a、B L b はそれぞれ 1. 8 V、1. 5 V になる。次に、信号 P R E A、P R E B が “ L ” となって、ビット線 B L a、B L b はフローティングとなる。続いて、時刻 t w 2 に、制御ゲート・選択ゲート駆動回路によって選択されたブロック

10

20

30

40

50

の選択された制御ゲートCG2Aは1V、非選択制御ゲートCG1A、CG3A、CG4Aと選択ゲートSG1A、SG2AはVCCにされる。選択されたメモリセルのしきい値が1V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が1V以上なら、ビット線電圧は1.8Vのままとなる。その後、信号SAN1、SAP1がそれぞれ“L”、“H”となってフリップフロップFF1が非活性化され、信号ECH1が“H”となってイコライズされる。この後、時刻tw3に、信号RV1A、RV1Bが“H”となる。時刻tw4に、再度、信号SAN1、SAP1がそれぞれ“H”、“L”となることで、ノードN1の電圧がセンスされラッチされる。これで、「メモリセルのデータが“0”または“1”か、或いは“2”または“3”か」がフリップフロップFF1によってセンスされ、その情報はラッチされる。

10

【0220】

次に、メモリセルのしきい値が0V以上か或いは、0V以下かが判定される。時刻tw5に、ビット線BLaが1.8Vに、ダミービット線BLbが1.5Vにプリチャージされ、その後フローティングにされる。その後、時刻tw6に選択された制御ゲートが0Vにされる。選択されたメモリセルのしきい値が0V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が0V以上なら、ビット線電圧は1.8Vのままとなる。信号SAN2、SAP2がそれぞれ“L”、“H”となってフリップフロップFF2が非活性化され、信号ECH2が“H”となってイコライズされる。この後、時刻tw7に信号RV2A、RV2Bが“H”となる。時刻tw8に、信号SAN2、SAP2がそれぞれ“H”、“L”となることで、ノードN1の電圧がセンスされラッチされる。これで、「メモリセルのデータが“0”か、或いは“1”または“2”または“3”か」がフリップフロップFF2によってセンスされ、その情報はラッチされる。

20

【0221】

図43は、時刻tw8のときにフリップフロップFF1、FF2がセンスし、ラッチしている読み出しデータを示す図である。この時のフリップフロップFF1、FF2のノードN3C、N5Cの電位は図43のようになる。

【0222】

最後に、メモリセルに書き込まれたデータが「“0”または“1”または“2”か、あるいは“3”か」がセンスされる。時刻tw9にビット線BLaが1.8Vに、ダミービット線BLbが1.5Vにプリチャージされ、その後フローティングにされる。その後、時刻tw10に選択された制御ゲートが2Vにされる。選択されたメモリセルのしきい値が2V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が2V以上なら、ビット線電圧は1.8Vのままとなる。時刻tw11にVRFYBA2CがVCCになる。

30

【0223】

図43からわかるように、ノードN5Cが“high level”およびノードN3Cが“Low level”（つまりノードN4Cが“high level”）になるのは“1”データの場合のみである。従って“1”データの場合のみnチャネルMOSトランジスタQn54C、Qn55C、Qn53Cがオンし、ノードN1がVCCになる。その後、信号SAN2、SAP2がそれぞれ“L”、“H”となってフリップフロップFF2が非活性化され、信号ECH2が“H”となってイコライズされる。この後、時刻tw12に、信号RV2A、RV2Bが“H”となる。時刻tw13に、再度、信号SAN2、SAP2がそれぞれ“H”、“L”となることで、ノードN1の電圧がセンスされラッチされる。これで、「メモリセルのデータが“0”または“1”または“2”であるか、あるいは“3”か」がフリップフロップFF2によってセンスされ、その情報はラッチされる。

40

【0224】

図44は、フリップフロップFF1、FF2がセンスし、ラッチする読み出しデータを示す図である。

【0225】

50

フリップフロップ F F 1 および F F 2 に保持された 2 ビットのデータは時刻 t_{w14} に C E N B が活性化されることにより、チップ外部に出力される。

【0226】

書き込み動作、および書き込みベリファイ読み出し動作はそれぞれ、第 3 の実施の形態と、ほぼ同様に行えばよい。

【0227】

また、第 4 の実施の形態では、ワード線に所定の読み出し電圧（例えば 0 V、1 V、2 V）を印加する前に、毎回ビット線及びダミービット線をプリチャージしている。

【0228】

これに対し、第 3 の実施の形態では、読み出し及びベリファイ読み出し時に、最初にビット線及びダミービット線をプリチャージし、その後はプリチャージせず、ワード線の読み出し電圧を変化（例えば 0 V から 1 V、2 V）させている。このような第 3 の実施の形態においても、読み出し、あるいはベリファイ読み出し時に、ワード線に読み出し電圧（例えば 0 V、1 V、2 V）を印加する毎に、上記第 4 の実施の形態のようにビット線及びダミービット線をプリチャージするようにしても良い。

10

【0229】

以上、この発明を第 1 ～ 第 4 の実施の形態により説明したが、これら第 1 ～ 第 4 の実施の形態において、下記のような、さらなる変形が可能である。

【0230】

図 4 5 は、変形されたカラム構成を有する E E P R O M の構成図である。

20

【0231】

上記第 1 ～ 第 4 の実施の形態では、左右一つずつのビット線 B L に、一つのデータ回路 6^{**} が対応したものを説明したが、左右複数ずつビット線 B L に、一つのデータ回路 6^{**} が対応した形に変更することができる。

【0232】

図 4 5 に示すように、変形されたカラム構成を有する E E P R O M では、4 本のビット線 B L a i -1 ～ B L a i -4、または B L b i -1 ～ B L b i -4（i は 0 ～ 3）に対して、データ回路 6^{**}-0 ～ 6^{**}-m のうちの 하나가設けられている。

【0233】

以下、メモリセルアレイ 1 A 側を例にとり説明する。

30

【0234】

4 本のビット線 B L a i -1 ～ B L a i -4 のうち、例えば B L a i -1 を選択するときには、データ回路側のトランスファゲート回路 7^{*}A を駆動する駆動信号 B L C 1 ～ B L C 4 のうち、信号 B L C 1 を “ H ” レベルとし、他の信号 B L C 2 ～ 4 をそれぞれ、 “ L ” レベルとする。

【0235】

また、同時に、非選択ビット線制御回路側のトランスファゲート回路 7^{**}A を駆動する駆動信号 B L C 1 D ～ B L C 4 D のうち、信号 B L C 1 D を “ L ” レベルとし、他の信号 B L C 2 D ～ 4 D をそれぞれ、 “ H ” レベルとする。これにより、選択されたビット線 B L i -1 だけがデータ回路 6^{**}-0 ～ 6^{**}-m に接続される。

40

【0236】

これにより、選択されたビット線 B L a i -1 だけがデータ回路 6^{**}-0 ～ 6^{**}-m に接続され、選択されていないビット線 B L a i -2 ～ B L a i -4 はそれぞれ、非選択ビット線制御回路 2 0 -0 A ～ 2 0 -m A に接続される。非選択ビット線制御回路 2 0 -0 A ～ 2 0 -m A は、選択されていないビット線 B L a i -2 ～ B L a i -4 の電位を制御する。

【0237】

また、メモリセルアレイ 1 A、1 B に集積されるメモリセルは、N A N D 型のセルに限られることはなく、以下に説明するようなセルでも、この発明の実施が可能である。

【0238】

図 4 6 は、N O R 型のセルが集積されたメモリセルアレイを示す図である。図 4 6 に示

50

すNOR型のセルは、ビット線BLに、選択ゲートを介して接続されている。

【0239】

図47は、他のNOR型のセルが集積されたメモリセルアレイを示す図である。図47に示すNOR型のセルは、ビット線BLに、直接に接続されている。

【0240】

図48は、グラントアレイ型のセルが集積されたメモリセルアレイを示す図である。図48に示すように、グラントアレイ型のセルは、ビット線BLとソース線Vsとを並行に配置したものである。グラントアレイ型のセルは、NOR型のメモリの一つである。

【0241】

図49は、他のグラントアレイ型のセルが集積されたメモリセルアレイを示す図である。図49に示すグラントアレイ型のセルは、データを消去するときを使用される消去ゲートEGを有している。また、制御ゲートCGの一部を、メモリセルトランジスタのチャンネルにオーバーラップさせた、いわゆるスプリットチャンネル型になっている。

【0242】

図50は、交互グラントアレイ型のセルが集積されたメモリセルアレイを示す図である。図50に示すように、交互グラントアレイ型のセルは、ビット線BLとソース線Vsとを並行に配置した点でグラントアレイ型のセルと一致するが、ビット線BLとソース線Vsとを交互に切り替えることが可能な点が相違している。

【0243】

図51は、他の交互グラントアレイ型のセルが集積されたメモリセルアレイを示す図である。図51に示す交互グラントアレイ型のセルは、図50に示したグラントアレイ型のセルと同様な構成を有している。

【0244】

図52は、DINOR (Divided NOR) 型のセルが集積されたメモリセルアレイを示す図である。図52に示すように、DINOR型のセルは、ビット線BLとソース線Vsとの間に、ビット線側選択トランジスタを介して、例えば4つのメモリセルトランジスタが並列に接続されて構成される。

【0245】

図53は、AND型のセルが集積されたメモリセルアレイを示す図である。図53に示すように、AND型のセルは、ビット線BLとソース線Vsとの間に、ビット線側選択トランジスタおよびソース線側選択トランジスタを介して、例えば4つのメモリセルトランジスタが並列に接続されて構成される。

【0246】

上記第1～第4の実施の形態によれば、データ書き込みを行う際に、少なくとも1つのビット線電圧制御回路によって、ビット線を所望のビット線書き込み制御電圧に充電する。これにより、簡単な回路構成で、n値書き込みデータに応じたビット線書き込み制御電圧をビット線に印加するビット線電圧制御回路を実現できる。よって、カラム系回路の規模が小さくなり、チップサイズを小さくでき、低コストのn値記憶EEPROMを得ることができる。

【0247】

例えばメモリセルへの書き込みデータをラッチ、およびメモリセルからの読み出しデータをセンス・ラッチする、多値のデータの数を 2^m (m は2以上の自然数) = n値としたとき、フリップフロップ回路の数をm個にできるので、カラム系回路の回路規模を小さくできる。そして、ベリファイ中、再度、書き込みを行うか否かを判断する判断回路とを具備するが、この判断回路を、前記ベリファイ中に、データラッチ・センスアンプ回路に、ベリファイ読み出し結果に応じて、更新されていく書き込みデータによって制御するように構成している。

【0248】

なお、上記多値のデータの数nは、 $2^{(m-1)} < n \leq 2^m$ を満たす自然数であれば良い。

10

20

30

40

50

【図面の簡単な説明】

【0249】

【図1】図1はこの発明の第1の実施の形態に係る多値記憶NAND型EEPROMの構成を示す構成図。

【図2】図2は図1に示すメモリセルアレイおよびカラム系回路の構成を示す構成図。

【図3】図3は図2に示すメモリセルからデータを読み出すときを示す図で、(a)図は電圧の入力状態を示す図、(b)図は電圧の入力波形とビット線に現れる出力波形とを示す図。

【図4】図4はビット線に現れる出力電圧とメモリセルの数とを関係を示す図。

【図5】図5は図2に示すデータ回路の回路図。

10

【図6】図6は読み出し動作を示す動作波形図。

【図7】図7はフリップフロップがセンスしラッチする読み出しデータを示す図。

【図8】図8はフリップフロップがラッチする書き込みデータを示す図。

【図9】図9は書き込み動作を示す動作波形図。

【図10】図10はベリファイ読み出し動作を示す動作波形図。

【図11】図11は4値記憶のときのメモリセルトランジスタのしきい値分布を示す図。

【図12】図12はこの発明の第2の実施の形態に係るEEPROMが有するデータ回路の回路図。

【図13】図13は読み出し動作を示す動作波形図。

【図14】図14はフリップフロップがセンスしラッチしている読み出しデータを示す図。

20

【図15】図15はフリップフロップがセンスしラッチする読み出しデータを示す図。

【図16】図16は書き込み動作の概略を示す概略図。

【図17】図17はフリップフロップがラッチする書き込みデータを示す図。

【図18】図18は書き込み動作（プログラム第1サイクル）を示す動作波形図。

【図19】図19はベリファイ読み出し動作（ベリファイ読み出し第1サイクル）を示す動作波形図。

【図20】図20はフリップフロップがラッチしているデータを示す図。

【図21】図21は書き込み終了一括検知トランジスタを有したデータ回路の回路図。

【図22】図22は書き込み動作（プログラム第2サイクル）を示す動作波形図。

30

【図23】図23はベリファイ読み出し動作（ベリファイ読み出し第2サイクル）を示す動作波形図。

【図24】図24はフリップフロップがラッチしているデータを示す図。

【図25】図25は他のベリファイ読み出し動作（ベリファイ読み出し第1サイクル）を示す動作波形図。

【図26】図26はデータ回路の他の回路図。

【図27】図27はデータ回路の他の回路図。

【図28】図28はこの発明の第3の実施の形態に係るEEPROMが有するデータ回路の回路図。

【図29】図29は読み出し動作を示す動作波形図。

40

【図30】図30はフリップフロップがセンスしラッチしている読み出しデータを示す図。

【図31】図31はフリップフロップがセンスしラッチする読み出しデータを示す図。

【図32】図32はフリップフロップがラッチする書き込みデータを示す図。

【図33】図33は書き込み動作を示す動作波形図。

【図34】図34はベリファイ読み出し動作を示す動作波形図。

【図35】図35はベリファイ読み出し動作を示す動作波形図。

【図36】図36は他のベリファイ読み出し動作を示す動作波形図。

【図37】図37はデータ回路の他の回路図。

【図38】図38はデータ回路の他の回路図。

50

【図 3 9】図 3 9 はデータ回路の他の回路図。

【図 4 0】図 4 0 はデータ回路の他の回路図。

【図 4 1】図 4 1 はこの発明の第 4 の実施の形態に係る E E P R O M が有するデータ回路の回路図。

【図 4 2】図 4 2 は読み出し動作を示す動作波形図。

【図 4 3】図 4 3 はフリップフロップがセンスしラッチしている読み出しデータを示す図

。

【図 4 4】図 4 4 はフリップフロップがセンスし、ラッチする読み出しデータを示す図。

【図 4 5】図 4 5 は変形されたカラム構成を有する E E P R O M の構成図。

【図 4 6】図 4 6 は N O R 型のセルが集積されたメモリセルアレイを示す図。

10

【図 4 7】図 4 7 は他の N O R 型のセルが集積されたメモリセルアレイを示す図。

【図 4 8】図 4 8 はグラウンドアレイ型のセルが集積されたメモリセルアレイを示す図。

【図 4 9】図 4 9 は他のグラウンドアレイ型のセルが集積されたメモリセルアレイを示す図

。

【図 5 0】図 5 0 は交互グラウンドアレイ型のセルが集積されたメモリセルアレイを示す図

。

【図 5 1】図 5 1 は他の交互グラウンドアレイ型のセルが集積されたメモリセルアレイを示す図。

【図 5 2】図 5 2 は D I N O R 型のセルが集積されたメモリセルアレイを示す図。

【図 5 3】図 5 3 は A N D 型のセルが集積されたメモリセルアレイを示す図。

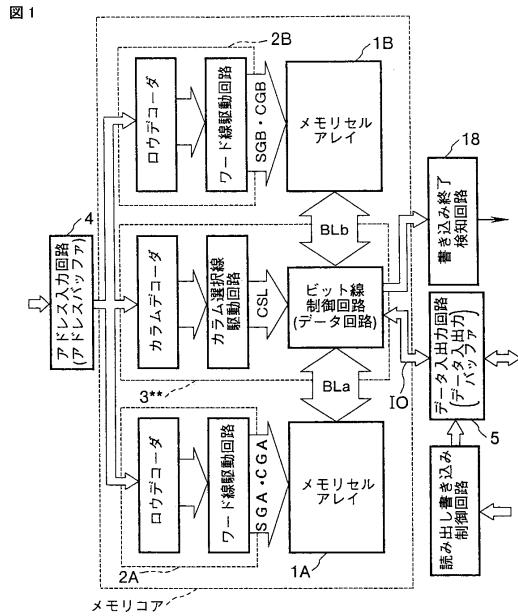
20

【符号の説明】

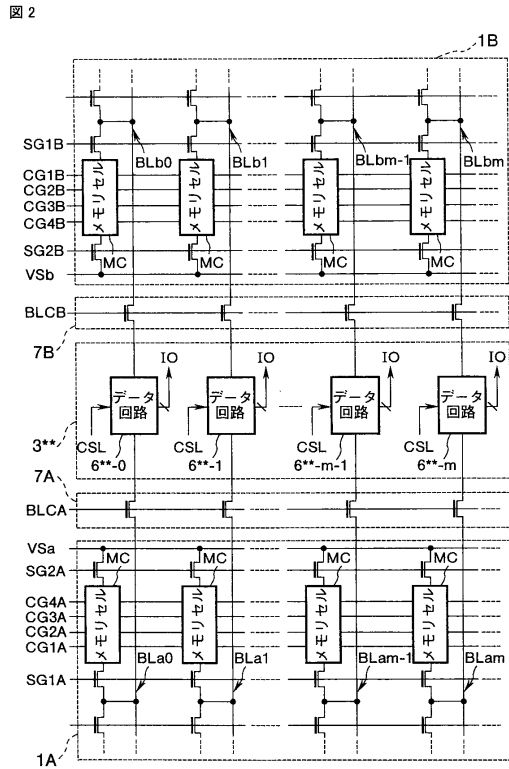
【 0 2 5 0 】

1 …メモリセルアレイ、2 …ロウ系回路、3 …カラム系回路、4 …アドレスバッファ、5 …データ入出力回路、6 ** …データ回路、7 …トランスファゲート回路、M C …メモリセル、M …メモリセルトランジスタ、S …選択トランジスタ、S G …選択ゲート、C G …制御ゲート、B L …ビット線、F F …フリップフロップ回路。

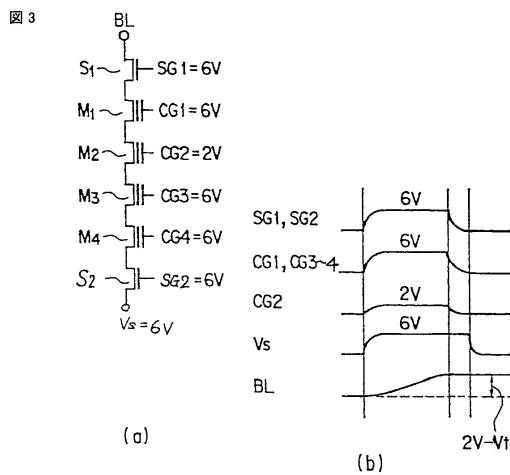
【図 1】



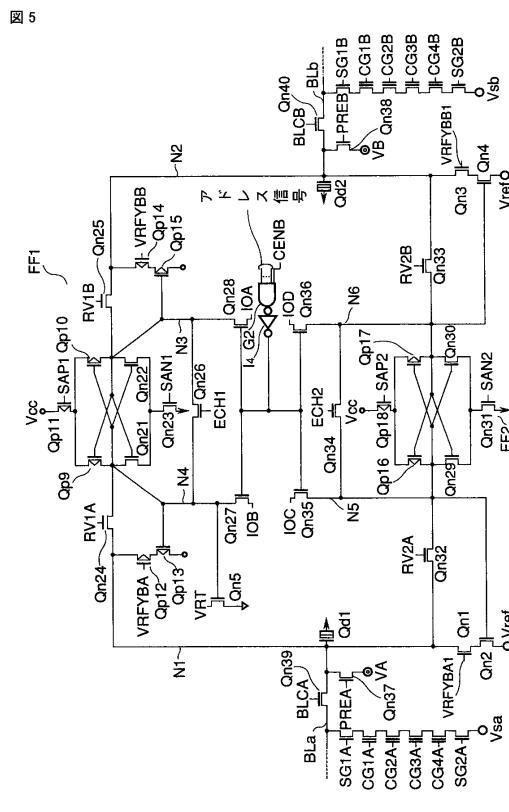
【図 2】



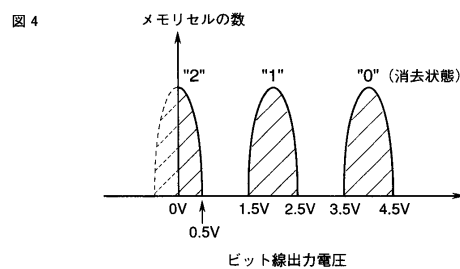
【図 3】



【図 5】

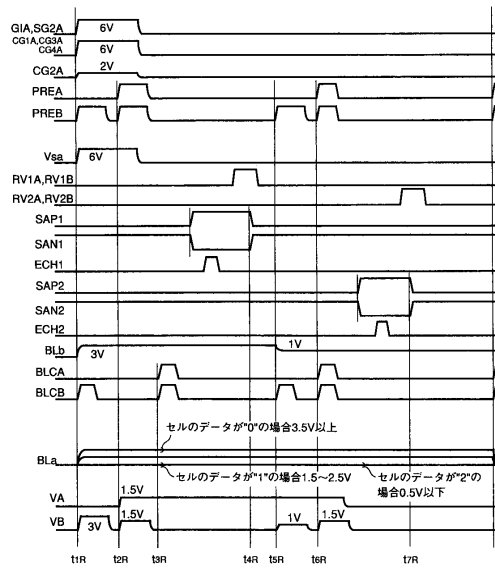


【図 4】



【図 6】

図 6



【図 7】

図 7

	"0"	"1"	"2"
IOA(N3)	L	H	H
IOB(N4)	H	L	L
IOC(N5)	H	H	L
IOD(N6)	L	L	H

読み出しデータ

【図 8】

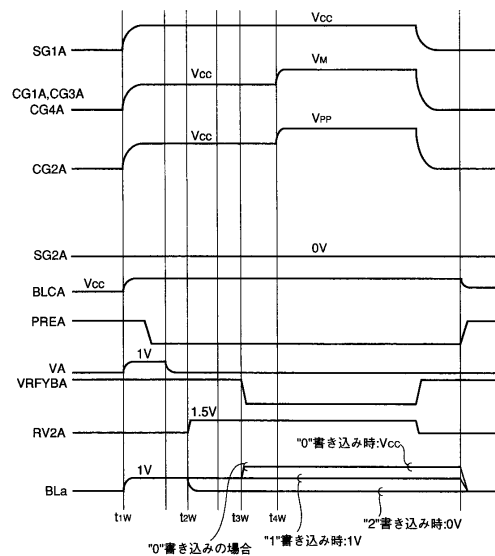
図 8

	"0"	"1"	"2"
IOA(N3)	H	L	L
IOB(N4)	L	H	H
IOC(N5)	H	H	L
IOD(N6)	L	L	H

書き込みデータ

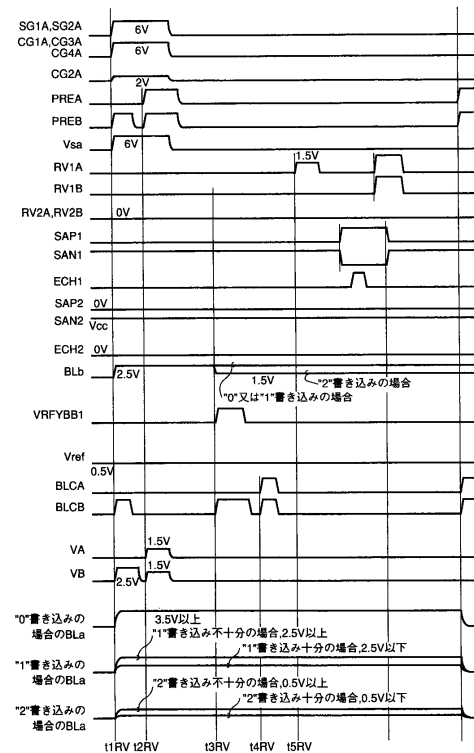
【図 9】

図 9



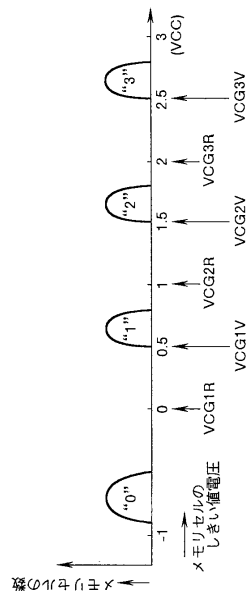
【図 10】

図 10



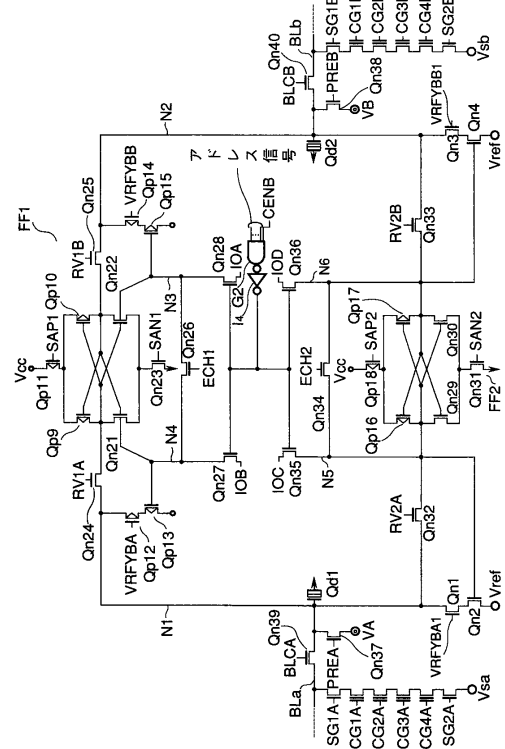
【図 1 1】

图 11



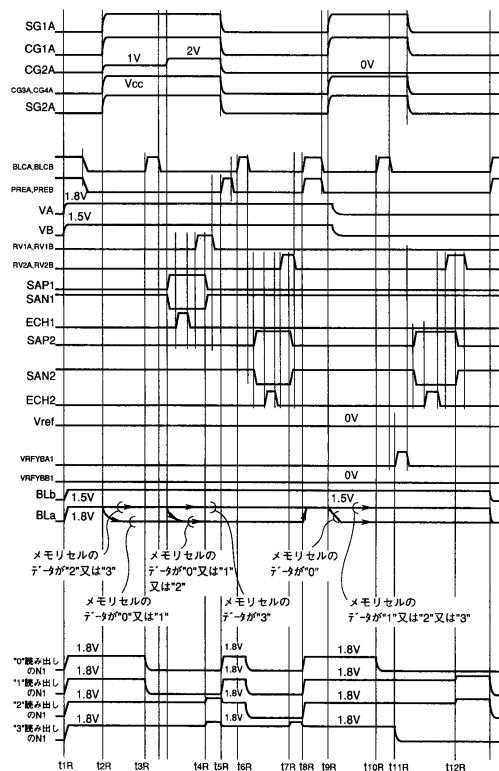
【図 1 2】

图 12



【図 1 3】

图 13



【図 14】

图 14

	"0"	"1"	"2"	"3"
N3	L	L	H	H
N5	L	L	L	H

読み出し時、時刻 t_{7R} での
クリップフロップ FF1, FF2 のノードの電位

【図 15】

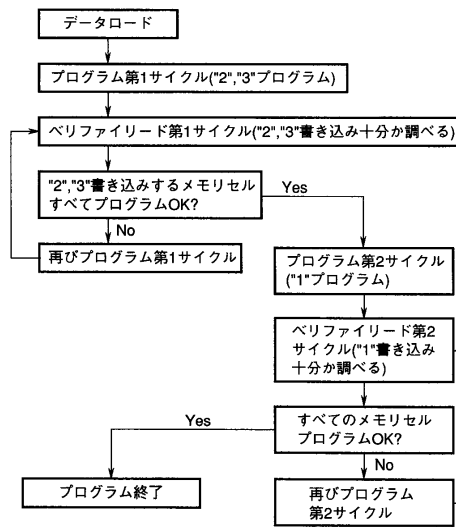
图 15

	"0"	"1"	"2"	"3"
IOA(N3)	L	L	H	H
IOB(N4)	H	H	L	L
IOC(N5)	L	H	H	L
IOD(N6)	H	L	L	H

読み出しデータ

【図 16】

図 16



【図 17】

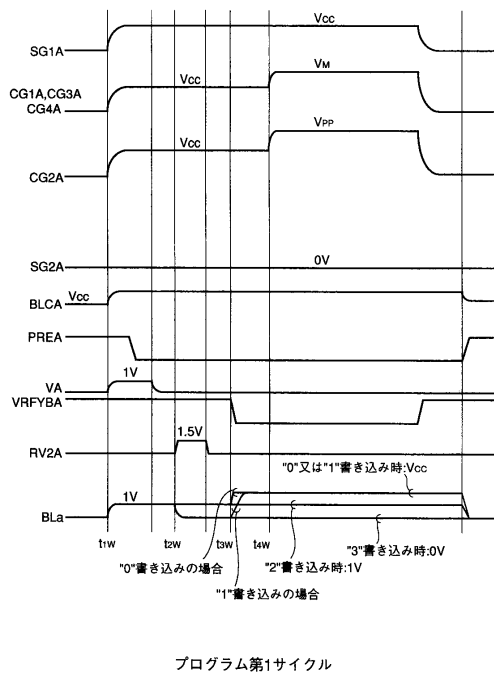
図 17

	"0"	"1"	"2"	"3"
IOA(N3)	H	H	L	L
IOB(N4)	L	L	H	H
IOC(N5)	H	L	H	L
IOD(N6)	L	H	L	H

書き込みデータ

【図 18】

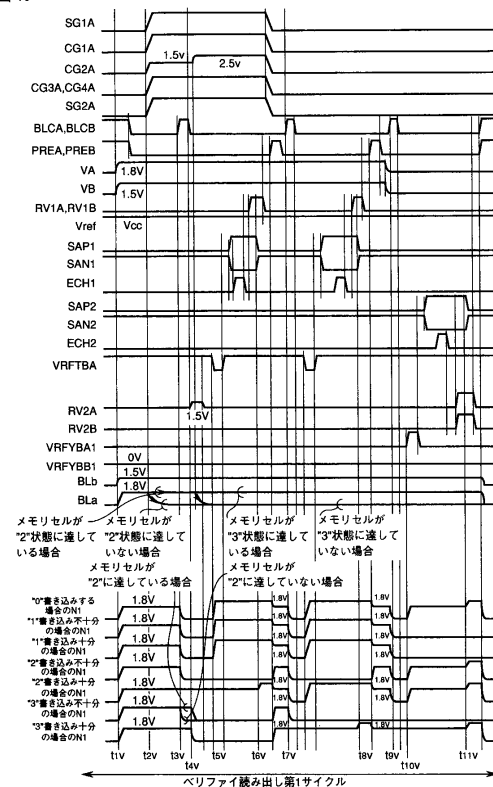
図 18



プログラム第1サイクル

【図 19】

図 19



【図 20】

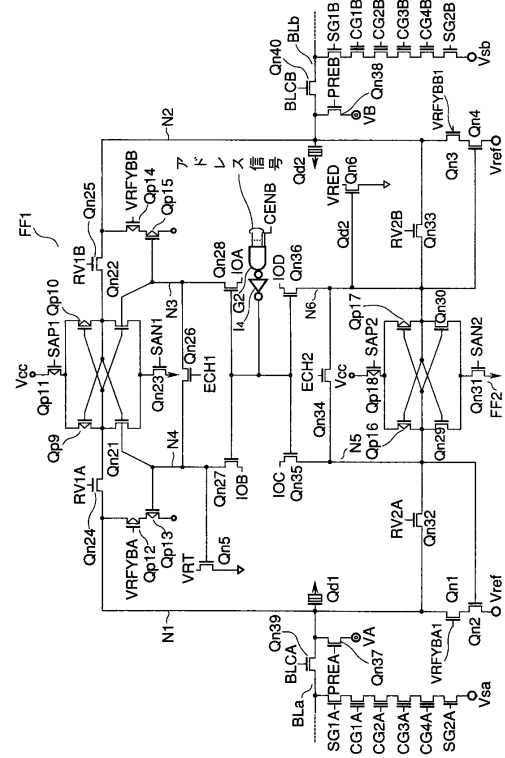
図 20

	"0"	"1"	"2"	"3"
N3	H	H	H	H
N4	L	L	L	L
N5	H	L	H	H
N6	L	H	L	L

"2"書き込みおよび"3"書き込みするメモリセルがすべて十分に書き込まれた時のクリップフロップのノードの電位

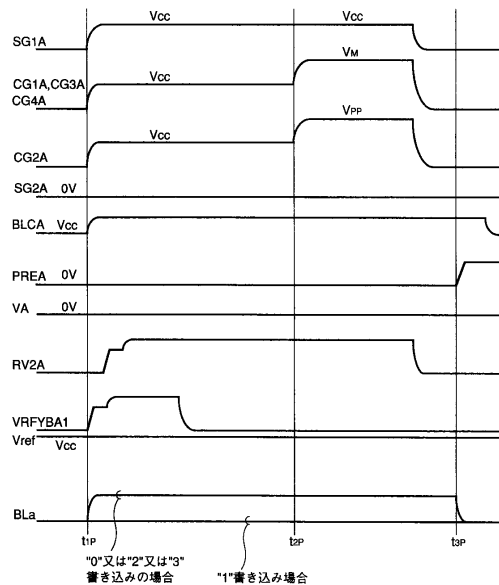
【図 21】

図 21



【図 22】

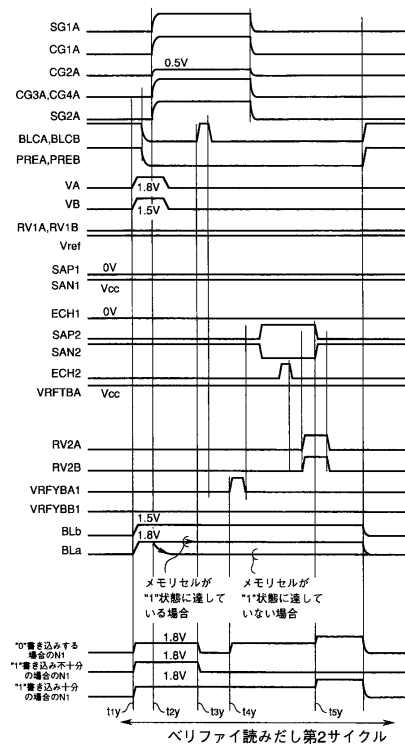
図 22



プログラム第2サイクル

【図 23】

図 23



ベリファイ読みだし第2サイクル

【図 24】

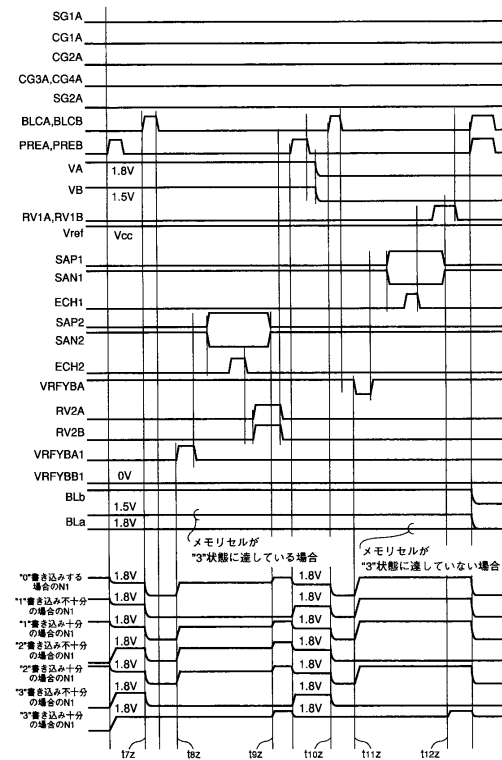
図 24

	"0"	"1"	"2"	"3"
N3	H	H	H	H
N4	L	L	L	L
N5	H	H	H	H
N6	L	L	L	L

すべての選択メモリセルが十分に書き込まれた時のクリップフロップのノードの電位

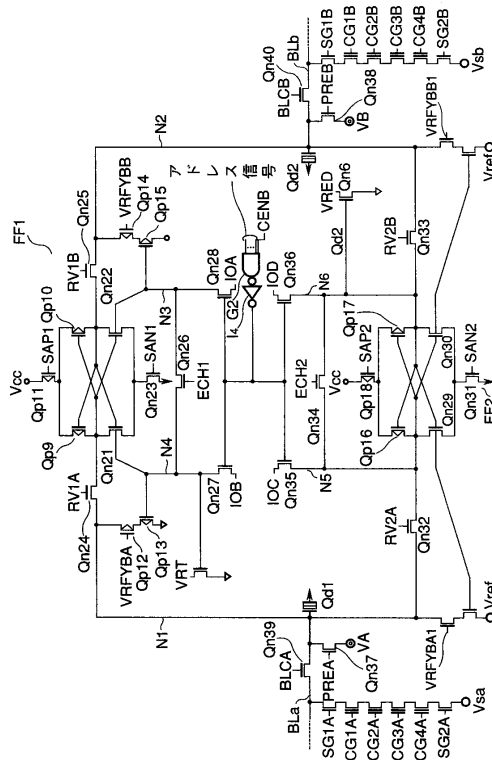
【図 25】

図 25



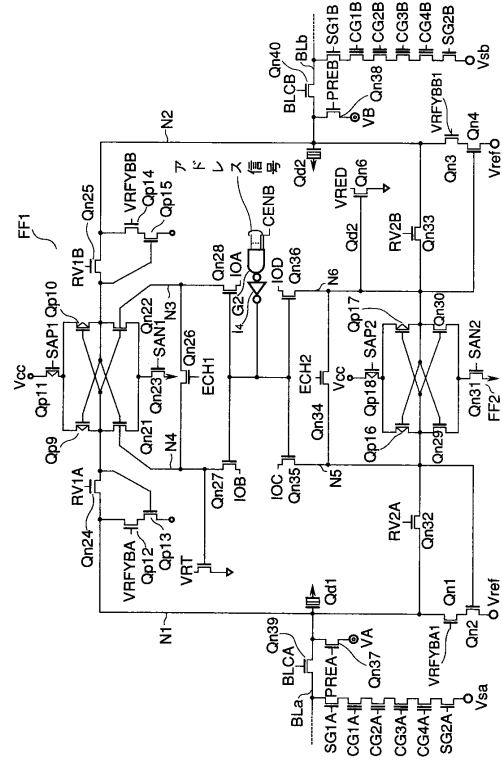
【図 26】

図 26



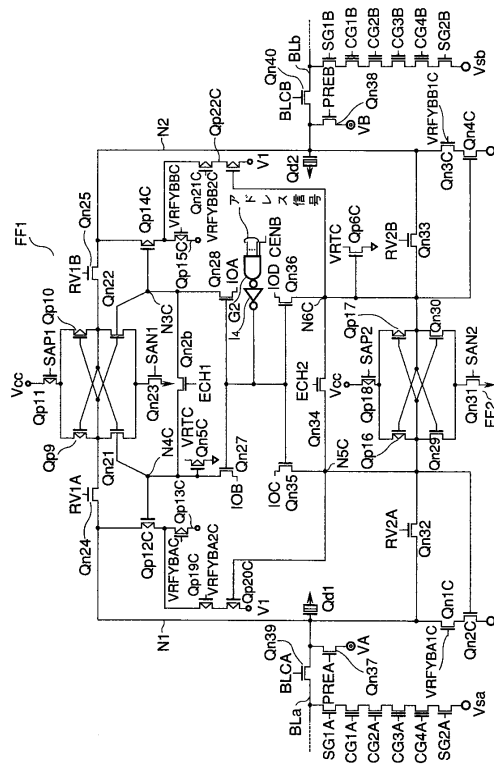
【図 27】

図 27

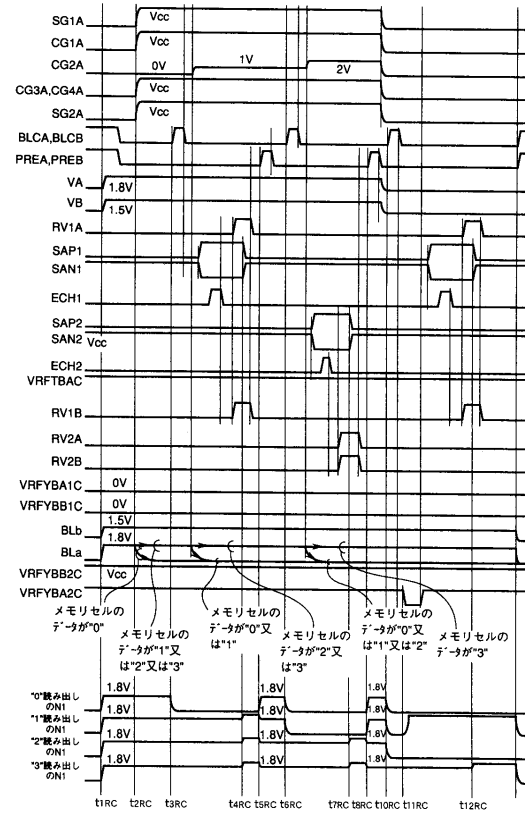


【図 28】

図 28



【図 29】



【図 30】

図 30

	"0"	"1"	"2"	"3"
IOA(N3C)	L	H	L	H
IOB(N4C)	H	L	H	L
IOC(N5C)	L	L	H	H
IOD(N6C)	H	H	L	L

読み出しデータ

【図 32】

図 32

	"0"	"1"	"2"	"3"
IOA(N3C)	H	H	L	L
IOB(N4C)	L	L	H	H
IOC(N5C)	H	L	H	L
IOD(N6C)	L	H	L	H

書き込みデータ

【図 31】

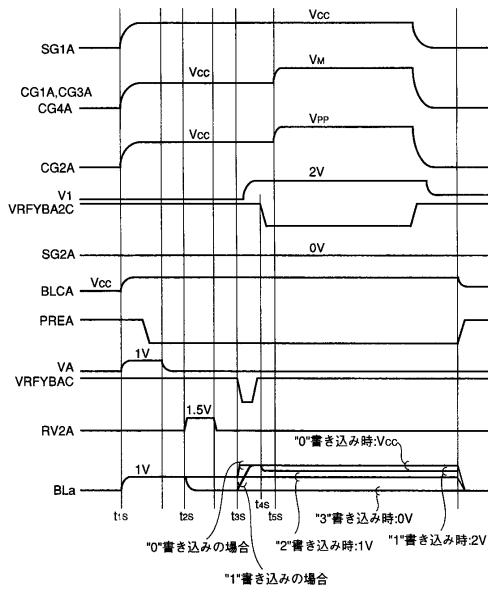
図 31

	"0"	"1"	"2"	"3"
N3C	L	H	H	H
N5C	L	L	H	H

読み出し時、時刻 t_{RC} での
クリップフロップFF1, FF2のノードの電位

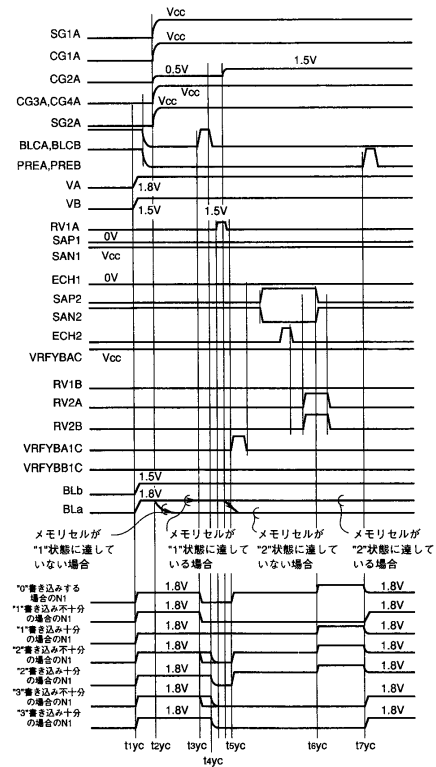
【図 3 3】

図 33



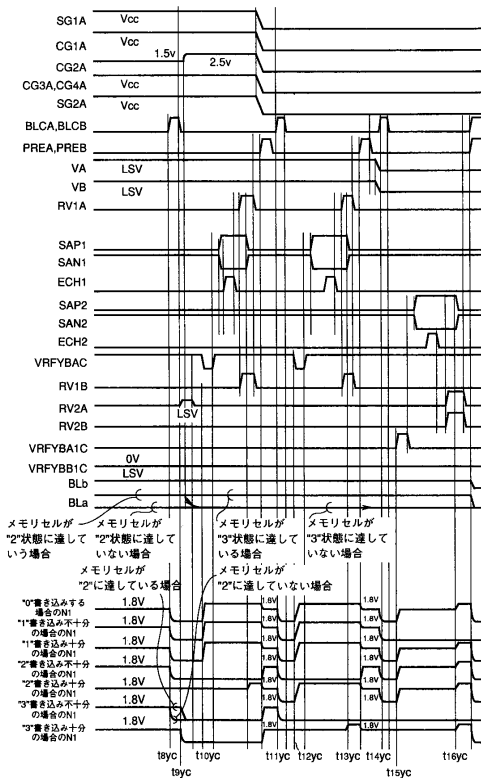
【図 3 4】

図 34



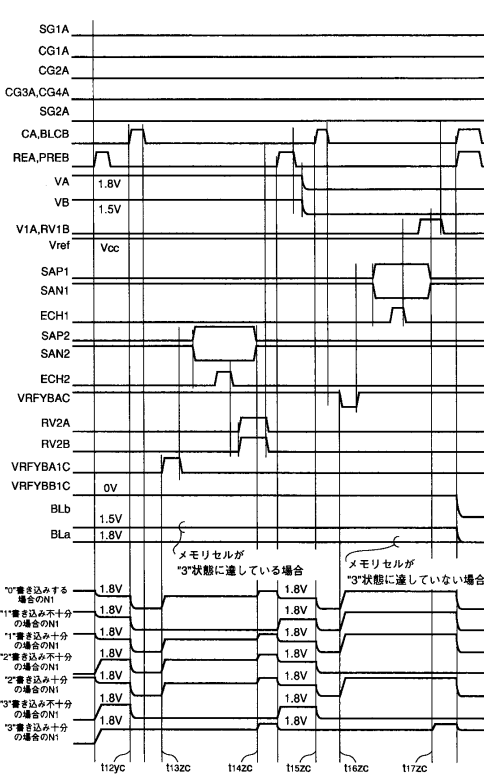
【図 3 5】

図 35



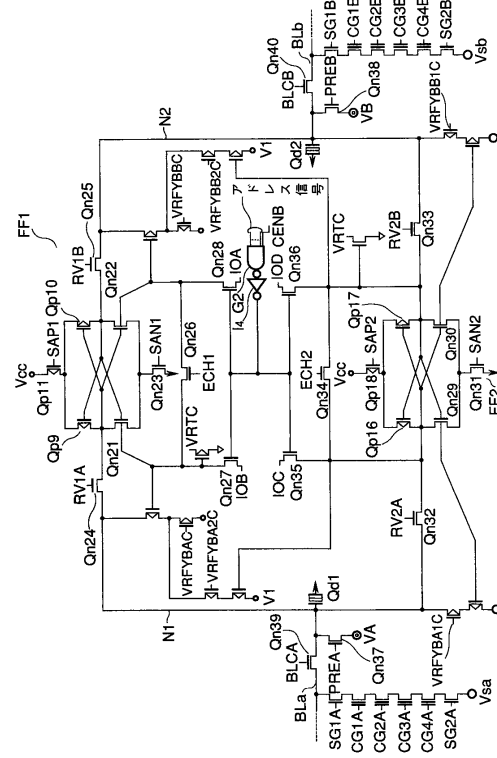
【図 3 6】

図 36



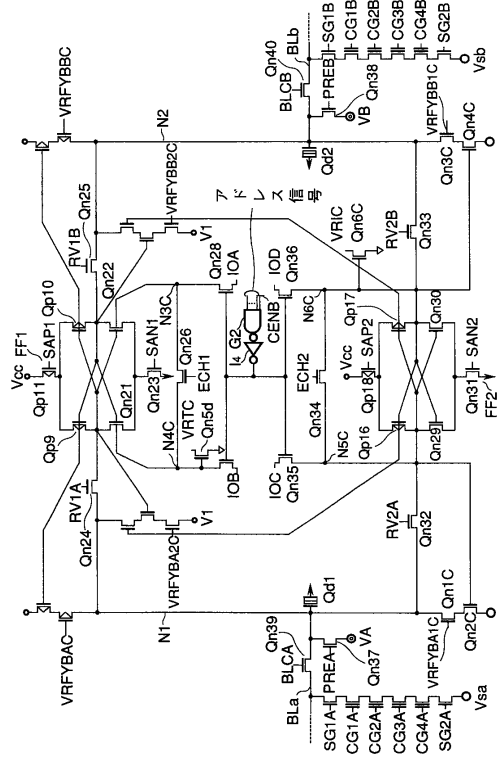
【図 3 8】

图 38



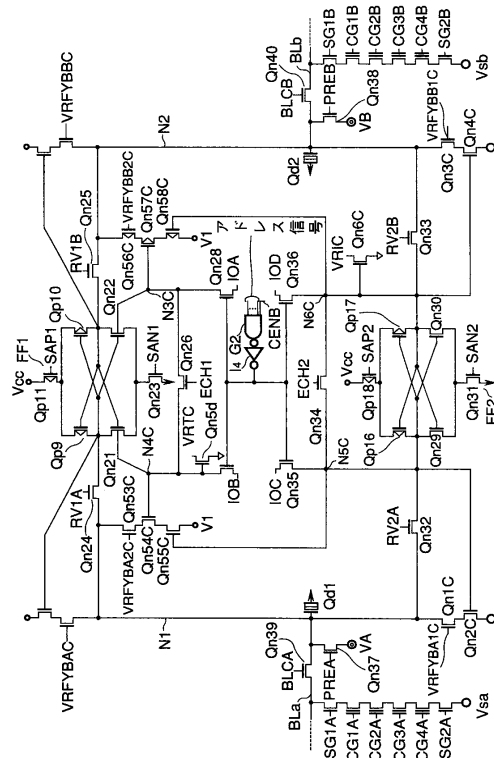
【図 40】

图 40



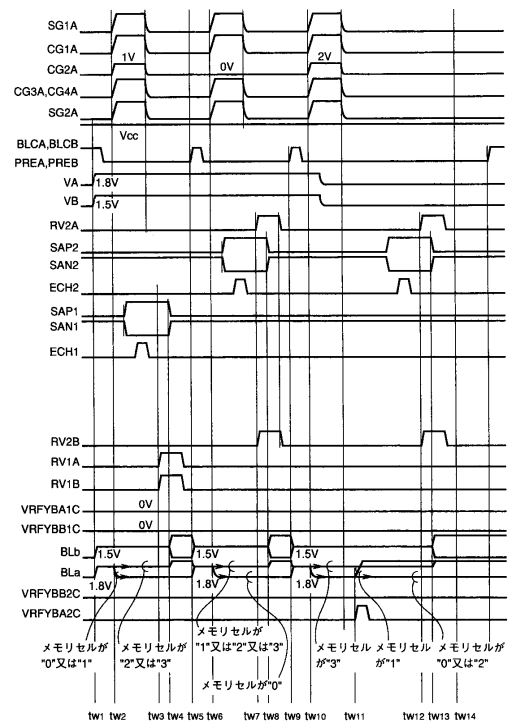
【図 4 1】

図 41



【図 4 2】

図 42



【図 4 3】

図 43

	"0"	"1"	"2"	"3"
N3C	L	L	H	H
N5C	L	H	H	H

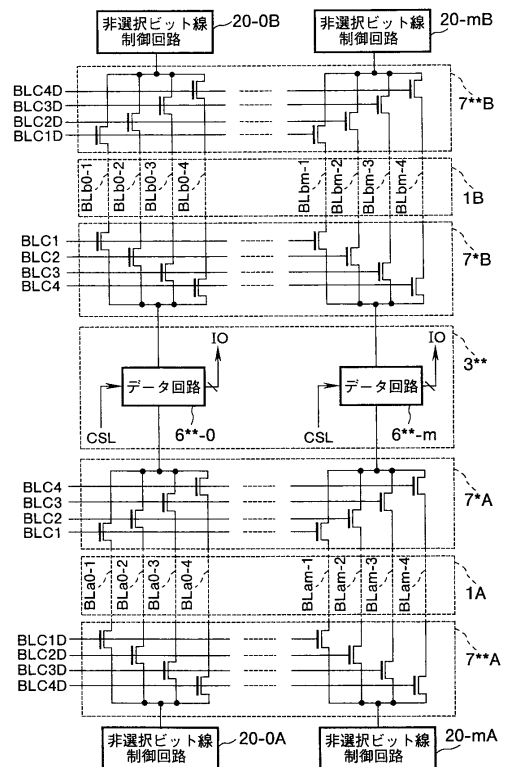
【図 4 4】

図 44

	"0"	"1"	"2"	"3"
N3C	L	L	H	H
N5C	L	H	L	H

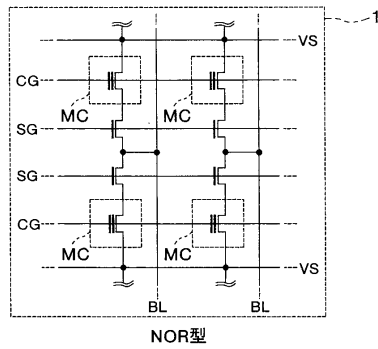
【図 4 5】

図 45



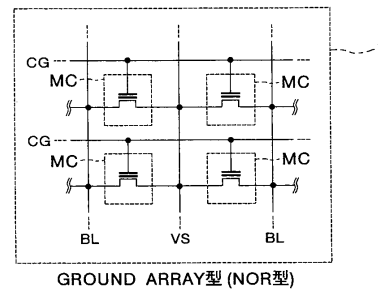
【図 4 6】

図 46



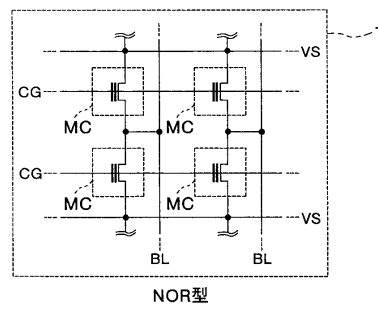
【図 4 8】

図 48



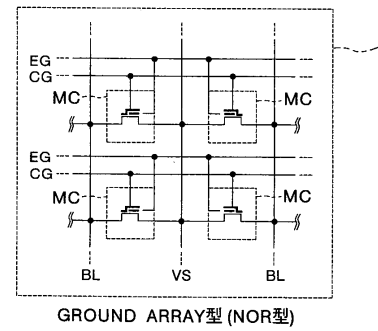
【図 4 7】

図 47



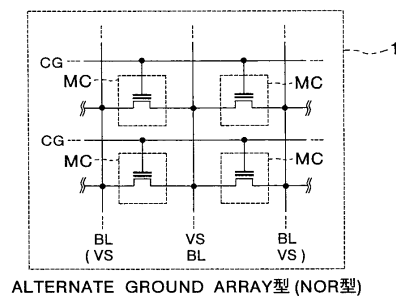
【図 4 9】

図 49



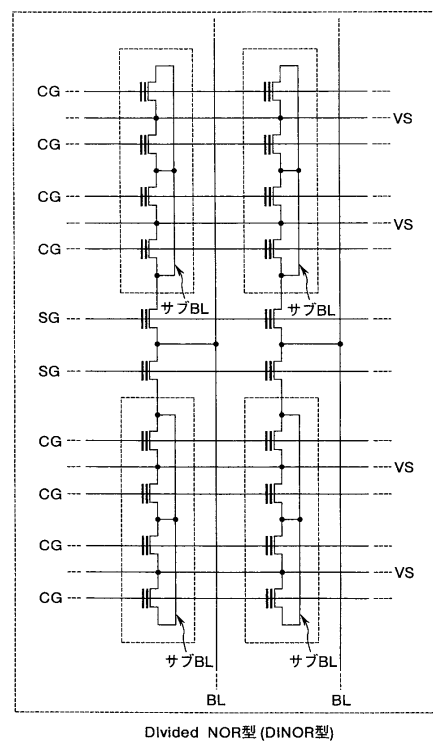
【図 5 0】

図 50



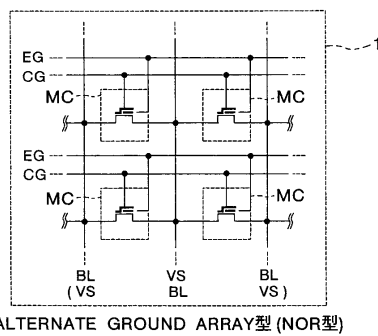
【図 5 2】

図 52



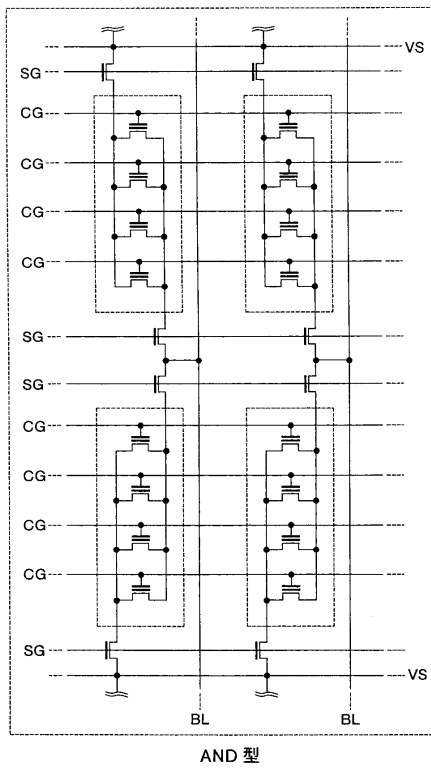
【図 5 1】

図 51



【図 53】

図 53



フロントページの続き

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 竹内 健

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 田中 智晴

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

審査官 高野 芳徳

(56)参考文献 特開平07-093979 (JP, A)

特開平07-161852 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/00