



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0021096

(43) 공개일자 2014년02월20일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01) *H01L 21/336* (2006.01)

(21) 출원번호 10-2012-0086234

(22) 출원일자 2012년08월07일

심사청구일자 없음

기술이전 희망 : 기술양도, 실시권허여, 기술지도

(71) 출원인

한국전자통신연구원

대전광역시 유성구 가정로 218 (가정동)

(72) 발명자

황치선

대전 유성구 전민로 71, 113동 1003호 (전민동, 삼성푸른아파트)

박상희

대전 유성구 엑스포로 448, 501동 701호 (전민동,
엑스포아파트)

오힘찬

서울특별시 관악구 대학동 대학마을 3동 310호

(74) 대리인

박영복, 김용인

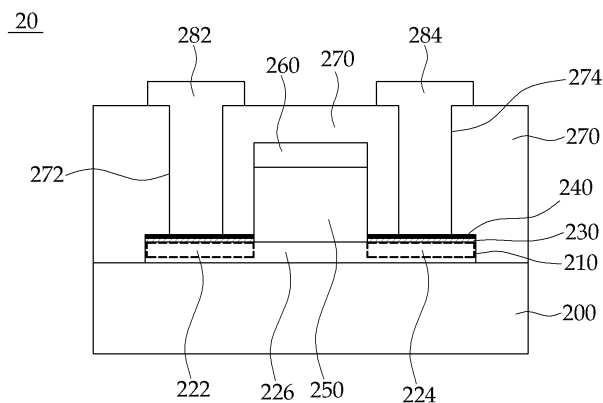
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 **도핑 베리어를 가지는 자기 정렬 박막 트랜지스터 및 그 제조 방법**

(57) 요약

본 발명은 자기 정렬 구조를 가지는 박막 트랜지스터에서 도핑 베리어를 이용하여 도핑 물질의 확산 정도를 조절하는 자기 정렬 박막 트랜지스터 및 이를 제조하는 방법에 대한 것으로, 도핑 베리어를 가지는 자기 정렬 박막 트랜지스터는, 기판 위에 형성되고 제1 도핑 영역과, 제2 도핑 영역 및 채널 영역을 갖는 활성층과, 상기 채널 영역 상에 형성된 게이트 절연막과, 상기 게이트 절연막 상에 형성된 게이트 전극과, 상기 제1 도핑 영역과 상기 제2 도핑 영역 상에 형성된 도핑 소스막과, 상기 도핑 소스막과 각각의 상기 제1 도핑 영역 및 제2 도핑 영역 사이에 형성된 도핑 베리어를 포함하는 것을 특징으로 한다.

대표도 - 도2



특허청구의 범위

청구항 1

기판 위에 형성되고 제1 도핑 영역과, 제2 도핑 영역 및 채널 영역을 갖는 활성층;
 상기 채널 영역 상에 형성된 게이트 절연막;
 상기 게이트 절연막 상에 형성된 게이트 전극;
 상기 제1 도핑 영역과 상기 제2 도핑 영역 상에 형성된 도핑 소스막;
 상기 도핑 소스막과 상기 제1 도핑 영역 사이에, 그리고 상기 도핑 소스막과 상기 제2 도핑 영역 사이에 형성된 도핑 베리어
 를 포함하는 도핑 베리어를 가지는 자기 정렬 박막 트랜지스터.

청구항 2

제1 항에 있어서,
 상기 도핑 소스막과 게이트 전극 상에 형성되고, 제1 콘택트홀과, 제2 콘택트 홀을 갖는 층간 절연막;
 상기 층간 절연막 상에 형성되고 상기 제1 콘택트 홀과 상기 제1 도핑 영역에 연결되는 소스 전극
 상기 층간 절연막 상에 형성되고 상기 제2 콘택트 홀과 상기 제2 도핑 영역에 형성된 드레인 전극
 을 더 포함하는 것을 특징으로 하는 도핑 베리어를 가지는 자기 정렬 박막 트랜지스터.

청구항 3

제1항에 있어서, 상기 도핑 베리어는 상기 게이트 절연막과 상기 게이트 전극을 감싸는 패시베이션막인 것을 특징으로 하는 도핑 베리어를 가지는 자기 정렬 박막 트랜지스터.

청구항 4

기판 위에 채널 영역을 갖는 활성층을 형성하는 단계;
 상기 채널 영역 상에 게이트 절연막을 형성하는 단계;
 상기 게이트 절연막 상에 게이트 전극을 형성하는 단계;
 상기 활성층에서 소스 영역과 드레인 영역을 형성할 위치에 도핑 베리어를 형성하는 단계;
 상기 도핑 베리어 상에 도핑 소스막을 형성하는 단계;
 상기 게이트 전극과 도핑 소스막 상에 절연막을 형성하는 단계
 를 포함하는 도핑 베리어를 가지는 자기 정렬 박막 트랜지스터 제조 방법.

청구항 5

제4항에 있어서, 상기 절연막에 소스 영역과 드레인 영역에 각각 연결되는 제1 콘택트홀과 제2 콘택트홀을 형성하는 단계 및
 상기 제1 콘택트홀과 제2 콘택트홀에 각각 소스 전극과 드레인 전극을 형성하는 단계
 를 더 포함하는 도핑 베리어를 가지는 자기 정렬 박막 트랜지스터 제조 방법.

청구항 6

제4항에 있어서, 상기 도핑 베리어를 형성하는 단계에서 상기 도핑 베리어의 두께는 도펀트의 확산 정도에 따라 결정되는 것을 특징으로 하는 도핑 베리어를 가지는 자기 정렬 박막 트랜지스터 제조 방법.

청구항 7

제6항에 있어서, 상기 도펀트의 확산 정도는 도펀트의 종류와 공정 온도에 따라 달라지는 것을 특징으로 하는 도핑 베리어를 가지는 자기 정렬 박막 트랜지스터 제조 방법.

명세서

기술 분야

[0001] 본 발명은 도핑 베리어를 가지는 자기 정렬 박막 트랜지스터 및 그 제조 방법에 관한 것으로, 보다 구체적으로는 자기 정렬 구조를 가지는 박막 트랜지스터에서 도핑 베리어를 이용하여 도핑 물질의 확산 정도를 조절하는 자기 정렬 박막 트랜지스터 및 이를 제조하는 방법에 대한 것이다.

배경 기술

[0002] 박막 증착 기술에 기반을 둔 박막 트랜지스터(Thin Film Transistor)는 주로 평판 디스플레이의 백플레인 소자로 활용되면서 많은 발전을 하고 있다. 최근에는 금속 산화물 반도체를 이용한 산화물 반도체 박막 트랜지스터가 많은 관심을 받고 있다.

[0003] 이러한 박막 트랜지스터를 제조하기 위해서는 채널층인 산화물막을 형성하는 공정과, 산화물막의 일부에 수소를 첨가해 소스 영역과 드레인 영역을 형성하는 공정을 포함한다.

[0004] 도 1에 도시한 바와 같이, 종래의 자기 정렬 박막 트랜지스터(10)는, 기판(100), 활성층(110), 도핑 소스막(130), 게이트 절연막(140), 게이트 전극(150), 층간 절연막(160), 소스 전극(172), 드레인 전극(174)을 포함한다.

[0005] 도 1과 같은 종래의 자기 정렬 박막 트랜지스터에서, 소스 전극(172)과 드레인 전극(174)이 접촉하게 되는 영역에 도핑 소스막(130)을 증착하여 소스 영역(122)과 드레인 영역(124)을 형성한다.

[0006] 그런데 이러한 방법에서, 후속 공정에 의하여 도핑에 이용되는 수소의 확산이 일어나게 되어 실제로 필요로 하는 영역보다 더 넓은 영역에 도핑 영역이 형성되게 된다. 이러한 넓은 도핑 영역은 게이트 전극(150)과 게이트 절연막(140)의 하부에까지 침투하여 자기 정렬 구조의 장점인 게이트와 소스 영역 및 게이트와 드레인 영역 사이의 오버랩을 제거하는 작용을 하지 못하게 한다. 이 도핑 영역의 확대는 자기 정렬 소자 구조의 장점을 상쇄시키는 역할도 하지만, 박막 트랜지스터의 소자 길이가 짧은 경우 확대된 도핑 영역에 의하여 단채널 효과(short channel effect)가 발생하게 되고, 더 심해질 경우 채널내에서 도핑 영역이 연결되어 소자의 동작을 방해하는 일까지 벌어지게 된다.

[0007] 따라서 도핑 영역의 확대를 효과적으로 방지하기 위한 구조가 필요하다. 단, 여기서 고려해야 할 점은 소자의 후속 열 공정에 의하여 도핑 영역의 확대가 계속 일어나게 되므로 후속공정에 대한 충분한 고려가 필요하다는 점이다.

발명의 내용

해결하려는 과제

[0008] 본 발명은 상기의 문제점을 해결하기 위해 창안된 것으로서, 자기 정렬 구조를 도핑 소스막을 이용하여 형성할 때 발생하는 불필요한 도핑 영역의 확대를 방지하여 구동 능력이 높고, 균일성이 우수한 트랜지스터를 제공함에 그 목적이 있다.

과제의 해결 수단

[0009] 이를 위하여, 본 발명의 제1 측면에 따르면, 본 발명에 따른 도핑 베리어를 가지는 자기 정렬 박막 트랜지스터는 기판 위에 형성되고 제1 도핑 영역과, 제2 도핑 영역 및 채널 영역을 갖는 활성층과, 상기 채널 영역 상에 형성된 게이트 절연막과, 상기 게이트 절연막 상에 형성된 게이트 전극과, 상기 제1 도핑 영역과 상기 제2 도핑 영역 상에 형성된 도핑 소스막과, 상기 도핑 소스막과 상기 제1 도핑 영역 사이에, 그리고 상기 도핑 소스막과 상기 제2 도핑 영역 사이에 형성된 도핑 베리어와, 상기 도핑 소스막과 게이트 전극 상에 형성되고, 제1 컨택트

홀과, 제2 컨택트 홀을 갖는 층간 절연막을 포함하는 것을 특징으로 한다.

[0010] 본 발명에 따른 도핑 베리어를 가지는 자기 정렬 박막 트랜지스터는 상기 도핑 소스막과 게이트 전극 상에 형성되고, 제1 컨택트홀과, 제2 컨택트 홀을 갖는 층간 절연막과, 상기 층간 절연막 상에 형성되고 상기 제1 컨택트 홀과 상기 제1 도핑 영역에 연결되는 소스 전극과, 상기 층간 절연막 상에 형성되고 상기 제2 컨택트 홀과 상기 제2 도핑 영역에 형성된 드레인 전극을 더 포함하는 것을 특징으로 한다.

[0011] 본 발명에 따른 도핑 베리어는 게이트 절연막과 게이트 전극을 모두 감싸는 패시베이션인 것을 특징으로 한다.

[0012] 본 발명의 제2 측면에 따르면, 도핑 베리어를 가지는 자기 정렬 박막 트랜지스터 제조 방법은 기판 위에 채널 영역을 갖는 활성층을 형성하는 단계와, 상기 채널 영역 상에 게이트 절연막을 형성하는 단계와, 상기 게이트 절연막 상에 게이트 전극을 형성하는 단계와, 상기 활성층에서 소스 전극과 드레인 전극이 형성될 위치에 도핑 베리어를 형성하는 단계와, 상기 도핑 베리어 상에 도핑 소스막을 형성하는 단계와, 상기 게이트 전극과 도핑 소스막 상에 절연막을 형성하는 단계를 포함하는 것을 특징으로 한다.

[0013] 본 발명에 따른 도핑 베리어를 가지는 자기 정렬 박막 트랜지스터 제조 방법은 상기 절연막에 소스 영역과 드레인 영역에 각각 연결되는 제1 컨택트홀과 제2 컨택트홀을 형성하는 단계 및 상기 제1 컨택트홀과 제2 컨택트홀에 각각 소스 전극과 드레인 전극을 형성하는 단계를 더 포함하는 것을 특징으로 한다.

[0014] 상기 도핑 베리어를 형성하는 단계에서 상기 도핑 베리어의 두께는 도펀트의 확산 정도에 따라 결정되는 것을 특징으로 한다.

[0015] 상기 도펀트의 확산 정도는 도펀트의 종류와 공정 온도에 따라 달라지는 것을 특징으로 한다.

발명의 효과

[0016] 본 발명은 저가격 공정인 베리어의 증착을 통하여 도핑 원소의 확산을 조절함으로써 소자의 후속 열 공정에 안정적인 도핑 방법을 달성할 수 있으며, 소자의 열처리 온도에 따라 베리어의 두께를 조절함으로써 대응이 가능하다는 효과가 있다.

[0017] 본 발명은 도핑 물질의 확산을 조절함으로써 금속 산화물 트랜지스터의 게이트 전극과 소스 영역 및 드레인 영역 사이의 오버랩부를 줄여 트랜지스터의 기생 용량이 작아지고 또한 균일하게 할 수 있어서, 결과적으로, 구동 능력이 높고, 균일성이 우수한 트랜지스터를 제조 가능하다는 효과가 있다

도면의 간단한 설명

[0018] 도 1은 종래의 자기 정렬 박막 트랜지스터를 나타내는 단면도이다.

도 2는 본 발명의 일 실시예에 따라 도핑 베리어를 가지는 자기 정렬 박막 트랜지스터를 나타내는 단면도이다.

도 3은 본 발명의 일 실시예에 따라 도핑 베리어가 패시베이션의 역할을하는 자기 정렬 박막 트랜지스터를 나타내는 단면도이다.

도 4는 본 발명의 일 실시예에 따라 도핑 베리어를 가지는 자기 정렬 박막 트랜지스터의 제조방법을 설명하기 위한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0019] 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시 예를 상세하게 설명한다. 본 발명의 구성 및 그에 따른 작용 효과는 이하의 상세한 설명을 통해 명확하게 이해될 것이다. 본 발명의 상세한 설명에 앞서, 동일한 구성요소에 대해서는 다른 도면 상에 표시되더라도 가능한 동일한 부호로 표시하며, 공지된 구성에 대해서는 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 구체적인 설명은 생략하기로 함에 유의한다.

[0020] 도 2는 본 발명의 일 실시예에 따른 도핑 베리어를 가지는 자기 정렬 박막 트랜지스터 기판을 나타내는 단면도이다.

[0021] 도 2를 참조하면, 본 발명의 일 실시예에 따른 도핑 베리어를 가지는 자기 정렬 박막 트랜지스터(20)는 기판(200), 활성층(210), 도핑 베리어(230), 도핑 소스막(240), 게이트 절연막(250), 게이트 전극(260), 층간 절연막(270), 소스 전극(282), 드레인 전극(284)을 포함한다.

- [0022] 기판(200)은 특별한 제한이 없으나 유리 혹은 연성이며 절연성을 지닌 고분자 물질인 것이 좋다.
- [0023] 활성층(210)은 제1 도핑 영역(222), 제2 도핑 영역(224), 채널 영역(226)을 포함하고, 채널영역(226)은 제1 도핑 영역(222)과 제2 도핑 영역(224) 사이에 위치한다.
- [0024] 도핑 소스막(240)은 소스 전극과 드레인 전극이 접촉하게 되는 영역을 도핑하기 위하여 활성층 상에 형성한다.
- [0025] 도핑 베리어(230)은 도핑 소스막(240)에서의 도핑 물질(수소 등)의 확산의 지연 및 확산량을 조절하기 위해 형성된다.
- [0026] 이때 도핑 베리어(230)의 종류와 두께를 조절함으로써 도핑 물질이 후속 공정에 의하여 얼마나 확산 될 수 있는지를 결정할 수 있다. 따라서 후속 공정의 온도가 높을 경우 확산이 어려운 물질을 사용하던가 두께가 도핑 베리어(230)의 두께를 두껍게 한다. 반대로 후속 공정의 온도가 낮을 때에는 확산 방지막을 최소화하여 도핑이 쉽게 이루어지도록 한다.
- [0027] 위의 도 2에서 제시된 도핑 베리어(230)를 가지는 자기 정렬 구조 박막 트랜지스터(20)의 경우에는 도핑 물질의 확산의 정도를 조절할 수 있기 때문에 후속 공정에 따른 도핑 영역의 지나친 확장으로 인한 단채널 효과, 소자의 오동작을 방지할 수 있다.
- [0028] 또한, 도핑 베리어(230)에 의해서, 또한 도핑 소스막(240)의 증착과정에서 발생할 수 있는 활성층(210)의 손상도 방지가 가능하다.
- [0029] 또한 실제 제조 과정에서는 도 3에 도시된 바와 같이 도핑 베리어(330)가 게이트 절연막(350)과 게이트 전극(360)을 모두 감싸는 구조가 되므로 박막 트랜지스터(30)에 대한 패시베이션막(도 3의 330)으로서의 역할도 수행할 수가 있다.
- [0030] 게이트 절연막(250)은 활성층(210)상에 형성되고, 게이트 절연막(250)의 재료는 양호한 절연성을 갖는 것이면 특별히 한정되지는 않는다. 게이트 절연막(250)은 소스 콘택트홀(272)과 드레인 콘택트홀(274)을 포함한다.
- [0031] 게이트 전극(260)은 게이트 절연막 상에 채널 영역(226)에 대하여 형성된다. 도전성은 지닌 어떠한 재료도 게이트 전극에 사용될 수 있다.
- [0032] 소스 전극(282)과 드레인 전극(284)은 층간 절연막(270) 상에 서로 이격하여 배치된다.
- [0033] 소스 전극(282)은 제1 도핑 영역(222)과 대응되는 위치의 층간 절연막(270) 상에 형성되며 소스 전극(282)은 소스 콘택트홀(272)을 통해서 제1 도핑 영역(222)에 연결된다.
- [0034] 드레인 전극(284)은 드레인 영역(224)과 대응되는 위치의 층간 절연막(270) 상에 형성되며 드레인 전극(284)은 드레인 콘택트홀(274)을 통해서 드레인 영역(224)에 연결된다.
- [0035] 이하, 도 4를 참조하여 본 발명의 일 실시 예에 따른 도핑 베리어를 가지는 자기 정렬 박막 트랜지스터의 제조 방법을 구체적으로 설명한다.
- [0036] 도 4의 (a) 내지 (e)는 본 발명의 일 실시 예에 따른 도핑 베리어를 가지는 자기 정렬 박막 트랜지스터의 제조 방법을 나타내는 단면도들이다.
- [0037] 도 4의 (a)를 참조하면, 도핑 베리어를 가지는 자기 정렬 박막 트랜지스터의 제조방법을 설명하면, 우선, 기판(200) 상에 활성층(210)인 산화물막을 패터닝하여 형성한다.
- [0038] 다음에 도 4의 (b)와 같이, 게이트 절연층(250)을 퇴적하고, 게이트 절연층(250) 상에 게이트 전극(260)을 패터닝하여 형성한다. 게이트 전극(260)은 실질적으로 활성층(210)의 채널 영역(226)과 동일한 면적을 갖고 기판(200)에 수직한 방향으로 채널 영역(226)과 중첩한다. 게이트 전극(260)은 실질적으로 추후에 형성될 제1 도핑 영역(222)과 제2 도핑 영역(224)에 중첩되지 않는다.
- [0039] 다음에 도 4의 (c)와 같이, 소스 전극과 드레인 전극과 접촉될 소스 영역과 드레인 영역에 도핑 베리어(230)와 도핑 소스막(240)을 차례로 형성한다. 도핑 소스막(240)의 증착에 의해서 소스 영역 및 드레인 영역을 게이트 전극과 자기 정렬적으로 형성할 수 있다. 도핑 베리어(230)를 사용함으로써, 도핑 물질의 확산을 조절함으로써, 자기 정렬의 특성을 살려 게이트 전극(260)과 각 제1 도핑 영역(222)과 제2 도핑 영역(224) 사이의 오버랩부를 줄일 수 있게 된다.
- [0040] 다음에 도 4의 (d)와 같이, 도핑 소스막(240)과 게이트 전극(260) 상에 절연 물질을 증착하여 층간 절연층(27

0)을 형성한다. 이후, 제1 도핑 영역(222)과 제2 도핑 영역(224) 각각에 대응하는 층간 절연층(270)을 식각하여 소스 콘택트홀(272)과 드레인 콘택트홀(274)을 형성한다.

[0041] 다음에 도 4의 (e)와 같이, 층간 절연층(270) 상에 소스 전극(282)과 드레인 전극(284)을 형성한다. 소스 전극(282)과 드레인 전극(284)은 각각 소스 콘택트홀(272)과 드레인 콘택트홀(274)을 통해 소스 영역인 제1 도핑 영역(222)과 드레인 영역인 제2 도핑 영역(224)에 연결된다.

[0042] 이상의 설명은 본 발명을 예시적으로 설명한 것에 불과하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술적 사상에서 벗어나지 않는 범위에서 다양한 변형이 가능할 것이다. 따라서 본 발명의 명세서에 개시된 실시 예들은 본 발명을 한정하는 것이 아니다. 본 발명의 범위는 아래의 특허청구범위에 의해 해석되어야 하며, 그와 균등한 범위 내에 있는 모든 기술도 본 발명의 범위에 포함되는 것으로 해석해야 할 것이다.

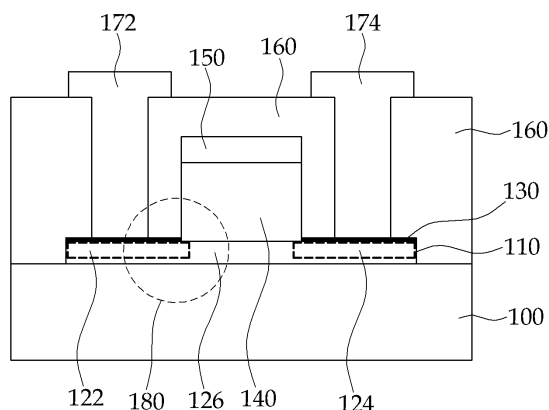
부호의 설명

[0043] 100, 200 : 기판
110, 210 : 활성층
230 도핑 베리어
130, 240 : 도핑 소스막
140, 250 : 게이트 절연막
150, 260 : 게이트 전극
160, 270 : 층간 절연막
172, 282 : 소스 전극
174, 284 : 드레인 전극

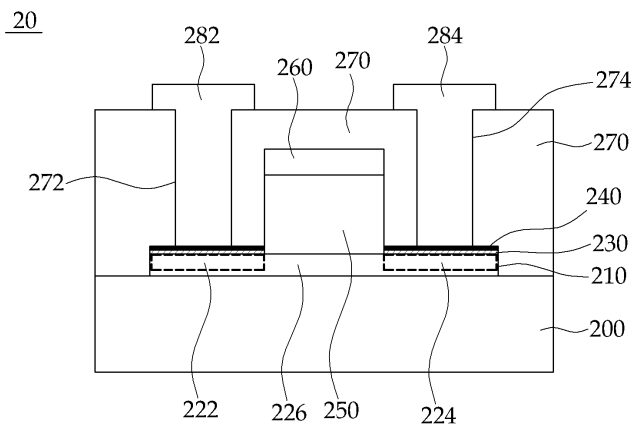
도면

도면1

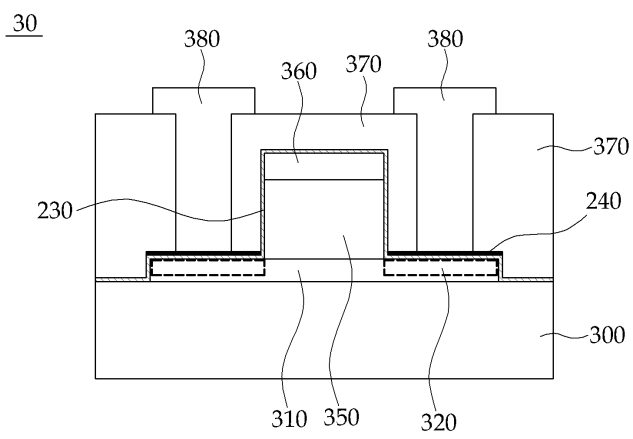
10



도면2



도면3



도면4

