



(12) 发明专利

(10) 授权公告号 CN 101048786 B

(45) 授权公告日 2013. 12. 04

(21) 申请号 200580036481. 0

(22) 申请日 2005. 08. 16

(30) 优先权数据

04104098. 1 2004. 08. 26 EP

(85) PCT申请进入国家阶段日

2007. 04. 24

(86) PCT申请的申请数据

PCT/IB2005/052700 2005. 08. 16

(87) PCT申请的公布数据

W02006/021914 EN 2006. 03. 02

(73) 专利权人 NXP 股份有限公司

地址 荷兰艾恩德霍芬

(72) 发明人 阿希姆·希尔格斯

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 王波波

(51) Int. Cl.

G06K 19/00(2006. 01)

H01Q 1/22(2006. 01)

(56) 对比文件

US 6404339 B1, 2002. 06. 11, 说明书第 9 栏第 21 行—第 10 栏第 14 行, 附图 7.

US 6404339 B1, 2002. 06. 11, 说明书第 9 栏第 21 行—第 10 栏第 14 行, 附图 7.

US 6147606 A, 2000. 11. 14,

审查员 谢佳

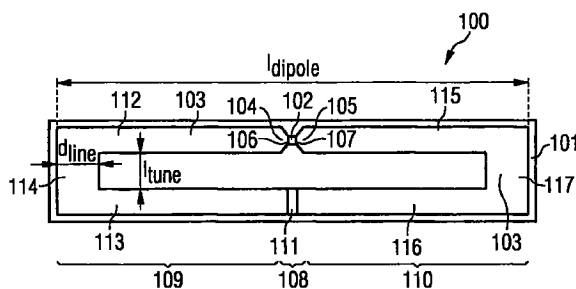
权利要求书2页 说明书12页 附图6页

(54) 发明名称

具有折叠偶极天线的 RFID 标签

(57) 摘要

电路阵列, 包括基板 (101), 还包括设置在基板 (101) 上和 / 或基板 (101) 中的导电的折叠偶极天线 (103), 该折叠偶极天线 (103) 具有第一天线连接 (104) 和第二天线连接 (105), 并且折叠偶极天线具有断开部分 (108), 该断开部分将折叠偶极天线 (103) 分成第一天线部分 (109) 和第二天线部分 (110), 因此在断开部分 (108) 处的第一天线部分 (109) 和第二天线部分 (110) 之间形成了电容 (111), 集成电路 (102) 可以或就是设置在基板 (101) 上, 该集成电路 (102) 具有连接到第一天线连接的第一集成电路连接 (106) 和连接到第二天线连接 (105) 的第二集成电路连接 (107)。



1. 一种电路阵列,包括:

基板(101),以及

导电折叠偶极天线(103),设置在基板(101)上和/或基板(101)中,所述折叠偶极天线(103)具有第一天线连接(104)和第二天线连接(105);

其中所述折叠偶极天线(103)具有断开部分(108),所述断开部分(108)将所述折叠偶极天线(103)分割为第一天线部分(109)和第二天线部分(110),并且断开部分(108)对第一天线部分(109)和第二天线部分(110)进行欧姆去耦合,

其中在第一天线部分(109)和第二天线部分(110)之间的所述断开部分(108)处形成电容,

所述电容由第一天线部分(702;801;901)与第二天线部分(703;802;902)的交迭提供以增加电容性耦合长度,所述第一天线部分与第二天线部分设置为彼此相隔一定距离。

2. 如权利要求1所述的电路阵列,包括在第一天线部分(109)和第二天线部分(110)之间的介电材料(111)。

3. 如权利要求1所述的电路阵列,其中第一天线部分(702)与第二天线部分(703)交迭,从而所述断开部分位于第一天线部分(702)的交迭部分上面以及第二天线部分(703)的交迭部分下面。

4. 如权利要求1所述的电路阵列,其中第一天线部分(801;901)与第二天线部分(802;902)在平行于基板主表面的平面内交迭。

5. 如权利要求4所述的电路阵列,其中所述断开部分实质上具有直线(503)、曲线(803)或者螺旋(903)形状。

6. 如权利要求5所述的电路阵列,具有浮置结构,所述浮置结构由设置在所述断开部分(108)上面或者下面的导电材料制成。

7. 如权利要求6所述的电路阵列,其中所述断开部分(108)设置在所述折叠偶极天线(103)中使得第一天线部分与第二天线部分彼此对称设置的位置处。

8. 如权利要求7所述的电路阵列,其中第一天线部分(109)设置为U形,以及第二天线部分(110)设置为U形。

9. 如权利要求7所述的电路阵列,其中所述电路阵列还包括设置在基板(101)上或者基板(101)中的集成电路(102),所述集成电路(102)具有与第一天线连接(104)相连的第一集成电路连接(106)和与第二天线连接(105)相连的第二集成电路连接(107);

10. 如权利要求9所述的电路阵列,其中所述集成电路(102)包括已适配和连接的整流器子电路,以便整流器子电路对所述折叠偶极天线(103)中提供的交变电压进行整流,以产生直流电压。

11. 如权利要求1所述的电路阵列,其中

第一天线部分(109)包括第一分支部分(112)、第二分支部分(113)和一个连支部分(114),其中第一分支部分(112)通过连支部分(114)与第二分支部分(113)连接,第一分支部分(112)还与第一集成电路连接(106)相连,

第二天线部分(110)包括第一分支部分(115)、第二分支部分(116)和一个连支部分(117),其中第一分支部分(115)通过连支部分(117)与第二分支部分(116)相连,第一分支部分(115)还与第二集成电路连接(107)相连,

由所述断开部分(108)将第一天线部分(109)的第二分支部分(113)与第二天线部分(110)的第二分支部分(116)相分离。

12. 如权利要求 11 所述的电路阵列,其中第一天线部分和第二天线部分(109、110)的第一分支部分和第二分支部分(112、113、115、116)沿与第二方向垂直的第一方向对齐,第一天线部分和第二天线部分(109、110)的连支部分(114、117)沿第二方向对齐。

13. 如权利要求 12 所述的电路阵列,其中所述折叠偶极天线(103)的材料和 / 或尺寸配置为所述折叠偶极天线(103)的阻抗值实质上等于集成电路(102)的阻抗复共轭。

14. 如权利要求 13 所述的电路阵列,配置为射频识别标签(100 ;300 ;500)。

15. 如权利要求 14 所述的电路阵列,包括在所述断开部分(108)处的至少一个电子组件,所述至少一个电子组件适配为调节所述折叠偶极天线(103)的阻抗,使所述折叠偶极天线(103)的阻抗值实质上等于集成电路(102)的阻抗复共轭。

16. 一种制造电路阵列的方法,其中所述方法包括步骤:在基板(101)上和 / 或基板(101)中形成导电折叠偶极天线(103),所述折叠偶极天线(103)形成为具有第一天线连接(104)和第二天线连接(105);以及

所述折叠偶极天线(103)形成为具有断开部分(108),所述断开部分(108)将所述折叠偶极天线(103)分割为第一天线部分(109)和第二天线部分(110),并且断开部分(108)对第一天线部分(109)和第二天线部分(110)进行欧姆去耦合,

其中在第一天线部分(109)和第二天线部分(110)之间的所述断开部分(108)处形成电容,

所述电容由第一天线部分(702 ;801 ;901)与第二天线部分(703 ;802 ;902)的交迭提供以增加电容性耦合长度,所述第一天线部分与第二天线部分设置为彼此相隔一定距离。

17. 如权利要求 16 所述的方法,其中将集成电路(102)与所述折叠偶极天线(103)相连,所述集成电路(102)具有与第一天线连接(104)相连的第一集成电路连接(106)和与第二天线连接(105)相连的第二集成电路连接(107)。

18. 如权利要求 17 所述的方法,其中配置所述折叠偶极天线(103)的材料和尺寸,以使所述折叠偶极天线(103)的阻抗值实质上等于集成电路(102)的阻抗复共轭。

19. 如权利要求 18 所述的方法,其中通过调整所述折叠偶极天线(103)的宽度,使所述折叠偶极天线(103)的阻抗值实质上等于集成电路(102)的阻抗复共轭。

20. 如权利要求 18 或 19 所述的方法,其中通过调整所述折叠偶极天线(103)的至少一部分的长度,使所述折叠偶极天线(103)的阻抗值实质上等于集成电路(102)的阻抗复共轭。

21. 如权利要求 20 所述的方法,其中通过调整所述折叠偶极天线(103)的不同部分之间的距离,使所述折叠偶极天线(103)阻抗值实质上等于集成电路(102)的阻抗复共轭。

22. 如权利要求 21 所述的方法,其中配置基板(101)的材料和 / 或尺寸,以使所述折叠偶极天线(103)的阻抗值实质上等于集成电路(102)的阻抗复共轭。

具有折叠偶极天线的 RFID 标签

技术领域

[0001] 本发明涉及电路阵列。

[0002] 此外,本发明涉及电路阵列的制造方法。

背景技术

[0003] 尤其在服务部门、后勤领域、商业领域和工业生产领域,自动识别系统的重要性显著增长。因此,在这些领域或其他领域中,自动识别系统得到越来越多的实施,而且在将来可能会取代条形码系统。识别系统的其他应用与人和动物的识别相关。

[0004] 特别地,例如异频雷达收发机系统之类的无接触识别系统适合以快速方式和无电缆连接方式的无线数据传输,而电缆连接可能带来干扰。特别是在高频域中,这种系统利用电磁波的发射和吸收。具有低于大约 800MHz 的工作频率的系统通常以线圈的电感耦合为基础,利用电容器是线圈达到谐振状态,因而也只适合于上限距离为一米的短距离通信。

[0005] 由于物理边界条件,具有 800MHz 或更高工作频率的异频雷达收发机特别适合几米距离上的数据传输。这些系统就是所谓的 RFID 系统(“射频识别”)。RFID 系统可区分为两类,即有源 RFID 系统(具有其自身包括的电源器件,例如电池)和无源 RFID 系统(其中电源是基于天线吸收的电磁波而实现的,由包括在 RFID 中的整流器子电路对天线中接收到的交变电流进行整流,产生直流电流)。此外,半有源(半无源)系统是可用的,它们是被动激活的,并在需要时(例如为了传输数据)使用电池。

[0006] 异频雷达收发机或者 RFID 标签包括半导体芯片(具有集成电路)和高频天线,在半导体芯片中数据可以被编程及被重新写入,高频天线与使用的工作频段匹配(例如,在美国为 902MHz 到 928MHz 频段,在欧洲为 863MHz 到 968MHz 频段,或 ISM 频段(“工业,科学,医疗”),比如 2.4GHz 到 2.83GHz)。除 RFID 标签以外,RFID 系统还包括读取设备和系统天线,该系统天线使 RFID 标签和读取设备之间能够进行双向无线数据通信。此外,输入/输出设备(例如计算机)可以用于控制读取设备。

[0007] 半导体芯片(IC,集成电路)与高频天线直接耦合(例如通过引线接合、倒装芯片封装),或作为 SMD(“表面贴装器件”)器件(例如 TSSOP,“薄型小尺寸封装”)安装到高频天线。半导体芯片和天线设置在载体基板上,该载体基板可以由塑料材料制成。该系统也可以制造在印制电路板(PCB)上。

[0008] 为了提高此类异频雷达收发机的效率,应该使用高效的天线。此外,在天线与半导体芯片之间能量反射应尽可能低。这可以通过匹配半导体芯片的电磁特性与天线的电磁特性来实现。如果半导体芯片的阻抗值 Z_{chip} 是天线阻抗值 Z_{antenna} 的复共轭,则可以进行大量的能量传输:

$$[0009] \quad Z_{\text{chip}} = Z_{\text{antenna}}^* \quad (1)$$

$$[0010] \quad R_{\text{chip}} + jX_{\text{chip}} = R_{\text{antenna}} - jX_{\text{antenna}} \quad (2)$$

[0011] 在方程(2)中, R_{chip} 表示半导体芯片的欧姆电阻, j 是虚数, X_{chip} 表示半导体芯片的(电感性和电容性)电抗。 R_{antenna} 表示天线的欧姆电阻, X_{antenna} 表示天线的(电感性和电

容性)电抗。

[0012] 正如方程(1)和(2)所示,为了适当的阻抗匹配,半导体芯片和天线的复数阻抗的实部绝对值应当是相等的,并且上述复数阻抗的虚部绝对值也应当是相等的,即半导体芯片的电抗应当是天线电抗的复共轭。

[0013] 根据半导体芯片的制造过程,半导体芯片的阻抗通常是由电容性贡献支配的,也就是说虚部 X_{chip} 通常为负。因此,为了设计有效的异频雷达收发机天线,天线的电抗应当是由电感性贡献支配的,也就是说电抗 X_{antenna} 应该为正,并且它的绝对值应该与半导体芯片的复数阻抗的虚部相等。如果是这种情况,并且如果两个实部 R_{chip} 和 R_{antenna} 相等的条件成立,那么就实现了有效的能量匹配,并且可获得半导体芯片和天线之间的高能量传输。因此,为了设计有效的天线,天线阻抗的实部和虚部应当与半导体芯片的给定阻抗相匹配。

[0014] US6,097,347 和 US6,028,564 分别公开了在射频标签的传统线性偶极天线中设置一个或者更多的短截线(stub),以调整天线输入阻抗的虚部。此外在邻近天线元件处以一定间距放置一个或更多连接条(loadingbar),其中通过调整连接条来改变天线输入阻抗的实部。所以,US6,097,347 和 US6,028,564 分别公开了通过提供附加元件来匹配传统偶极天线的电抗的过程(可能),因而射频标签的制造成本增加。US6,100,840 和 US6,140,146 也公开了类似构思。

[0015] 此外,US5,528,222 公开了一种射频标签,该射频标签具有连接到折叠偶极天线的半导体电路。

[0016] 然而,根据 US5,528,222 的射频标签有缺点,即对于流经折叠偶极天线的直流电流,该折叠偶极天线形成短路。在将整流单元设置在该半导体芯片中以向半导体芯片的集成电路元件提供直流电压来作为电源的情况下,US5,528,222 公开的射频标签遭受的缺点是,半导体芯片的两个连接对于流经天线的任何直流电流是短路的,而这一事实对直流电流或电压的产生造成不利影响。所以,具有折叠偶极天线的无源射频标签不能为半导体芯片的集成电路元件可靠地提供直流电流功率。

发明内容

[0017] 本发明的目的是提供一种基于折叠偶极天线的异频雷达收发机,其中异频雷达收发机的供能以可靠的方式实现。

[0018] 为了实现上述目的,提供一种根据独立权利要求的电路阵列和电路阵列制造方法。

[0019] 本发明的电路阵列包括基板和设置在基板上和/或基板中的导电折叠偶极天线,该折叠偶极天线具有第一天线连接和第二天线连接。折叠偶极天线具有断开部分,该断开部分将折叠偶极天线分割为第一天线部分和第二天线部分,从而在第一天线部分和第二天线部分之间的断开部分处形成电容。

[0020] 此外,本发明提供了一种制造电路阵列的方法,其中该方法包括步骤:在基板上和/或基板中形成导电折叠偶极天线,折叠偶极天线形成为具有第一天线连接和第二天线连接。折叠偶极天线形成为具有将天线分割为第一天线部分和第二天线部分的断开部分,从而在第一天线部分和第二天线部分之间的断开部分处形成电容。

[0021] 根据本发明,特有的特征尤其具有以下优点,即折叠偶极天线在机械上是断开

的,以对第一天线部分和第二天线部分进行欧姆去耦合,也就是说通过断开天线结构,防止直流电流从第一天线部分流到第二天线部分。所以,在折叠偶极天线的断开处形成电容。这样的断开具有避免第一天线连接和第二天线连接之间直流短路的效果。折叠偶极天线的第一天线连接和第二天线连接优选地配置为集成电路的第一集成电路连接(可能设置在基板上和/或基板中)可与第一天线连接相连,第二集成电路连接可与第二天线连接相连。所以,通过在折叠偶极天线中形成的电容,防止了直流电流在可能设置集成电路的两个连接之间流动。通过采取该措施,因为避免了使整流电路的两个连接处于相同电势,所以可以使整流子电路(经常包括在集成电路中,用于对交变电压进行整流以产生直流电压,作为集成电路元件的电源)能够以有效的方式工作。根据本发明,组成折叠偶极天线的导电结构在机械上分成两个分离的天线部分,从而第一天线部分和第二天线部分的邻接部分形成电容。直流电流不能够通过断开部分。然而,断开部分对于高频电压来说几乎是短路,所以允许断开的偶极天线完成其天线功能。

[0022] 本发明的电路阵列也可以表示为异频雷达收发机设备,也可以有利地实现为无源(或半无源或半有源)射频标签。

[0023] 具有内部集成电容的折叠偶极天线可以采用非常小的尺寸来制造。因此,电路阵列可以用低廉的成本制造,并且也适合作为有竞争性的 RFID 标签。

[0024] 对于很多在(无源)异频雷达收发机中实现的集成电路,框架条件是对于该异频雷达收发机的天线,不允许有直流电流短路。这应用在以整流器子电路作为 DC 电源的集成电路中。不允许有 DC 短路的原因是因为集成电路架构常常包括位于芯片输入部分内的整流子电路,以提供集成电路部件(例如,存储器子电路)的 DC 电压电源。本发明的电路阵列的功能对任何由不足内部电源引起的失真有很强的忍耐性。所以,本发明克服了折叠偶极天线的 DC 电压短路的问题。

[0025] 在彼此以表面面积 A 相对并通过其中可以设置介电常数是 $\epsilon_0 \epsilon_r$ 的电介质的距离而分离的两个天线部分之间的断开部分,形成如方程 (3) 所示的电容 C:

$$[0026] \quad C = \epsilon_0 \epsilon_r A/d \quad (3)$$

[0027] 参考从属权利要求,下文中将进一步的描述本发明的优选实施例。

[0028] 接下来,将描述本发明的电路阵列的优选实施例。这些实施例也可以应用于电路阵列的制造方法。

[0029] 电路阵列可以包括在第一天线部分和第二天线部分之间的介电材料。通过采用这种措施,在第一天线部分和第二天线部分之间的断开部分处形成的电容值增加,从而改善器件的电容性耦合。介电材料可以是高介电率(k)材料(例如氧化铝, Al_2O_3),即,高介电常数的材料。介电材料也可以是铁电材料或半导体材料,例如导电率小于金属导电率的材料。

[0030] 本发明的电路阵列可以包括配置在断开部分内的电容器器件,该电容器器件具有连接到第一天线部分的第一电容连接和连接到第二天线部分的第二电容连接。换句话说,例如 SMD 电容器(“表面贴装器件”)之类的电容器组件可以设置为包括在断开部分内的分离元件。通过设置形成电容器的分离元件,可以较高精度将电容值调整到所需值。

[0031] 电容可以形成在第一天线部分与第二天线部分交迭的部分中,第一天线部分与第二天线部分设置为相隔一定距离。通过以交迭方式设置第一天线部分和第二天线部分,可以增加形成电容 C 的电容器的面积 A,从方程式 (3) 可见。

[0032] 特别地,第一天线部分可以与第二天线部分交迭,从而断开部分位于第一天线部分的交迭部分的上面和第二天线部分的交迭部分的下面。根据上述实施例,在交迭部分(面积A)处,将垂直堆叠层设置在基板上和/或基板中,其中第一天线部分的交迭部分和第二天线部分的交迭部分之间的中间层可以由具有非常高相对介电常数 ϵ_r 的材料制成。这样产生了电容值C增加的结果,见方程(1)。电容值C的进一步增加可以由形成中间层以使其具有足够小的厚度d来实现。

[0033] 作为上述实施例的可选方案,第一天线部分可以与第二天线部分在与基板主表面平行的平面中交迭。基板主表面可以定义为在其上或其中设置有折叠偶极天线和集成电路的基板表面。特别地,断开部分可以实质上具有直线形状或非直线形状,例如曲线形状或螺旋形状。断开部分的任何其他的几何形状都是有可能的。断开部分的长度越大,产生的电容越高,因此电容性耦合越好(参考方程(3))。

[0034] 类似曲线的结构可以通过设置第一天线部分和第二天线部分为交指型结构而获得,例如每个都具有手指形的彼此互锁的子结构。螺旋形状的断开部分可以通过设置第一天线部分和第二天线部分的端部为螺旋形状而实现,其中构造的两个螺旋彼此嵌入。

[0035] 此外,本发明的电路阵列可以具有设置在断开部分之上或者之下的由导电材料制成的浮置结构。在浮置的金属化结构设置在电容性耦合区域附近,即在断开部分的附近的情况下,电容性耦合可以被更改,特别是被加强。在本文中,“浮置”表示浮置结构不会被拉到限定的电势上,而是与其环境电隔离,从而其电势自由浮动。

[0036] 断开部分可以设置在折叠偶极天线中使得第一天线部分与第二天线部分相对称排列的位置处。这种对称的配置特别简化了阻抗匹配,即,匹配集成电路的阻抗与折叠偶极天线的阻抗,以优化集成电路和折叠偶极天线之间的能量传输。

[0037] 电路阵列优选地包括设置在基板上和/或基板中的集成电路,该集成电路具有连接到第一天线部分的第一集成电路连接和连接到第二天线部分的第二集成电路连接。

[0038] 电路阵列的集成电路可以包括已适配和连接的整流器子电路,以便整流器子电路对折叠偶极天线中提供的交变电压进行整流,以产生直流电压。当使用本发明的电路阵列作为异频雷达收发机时,电磁波可以由折叠偶极天线接收。这样吸收的电磁波在类似线圈的天线中产生交变电流。这种折叠偶极天线中的交变电流可以用作驱动集成电路(例如,存储器,处理装置等)中的集成电路元件的电能源。然而,这种集成电路元件通常需要DC电压来驱动。所以,整流器子电路可以将天线吸收的交变电压转换成直流电压。

[0039] 电路阵列的第一天线部分实质上可以设置为U形,第二天线部分实质上也可以设置为U形。两个U形天线部分可以装配成两个U形结构的开口部分彼此相邻,从而形成类似环形的折叠偶极天线。

[0040] 根据本发明的另一优选实施例,本发明的电路阵列可以具有包括第一分支部分、第二分支部分和连支部分的第一天线部分,其中第一分支部分通过连支部分与第二分支部分相连,第一分支部分还与第一集成电路连接相连。此外第二天线部分可以包括第一分支部分、第二分支部分和连支部分,其中第一分支部分通过连支部分与第二分支部分相连,第一分支部分还与第二集成电路连接相连。第一天线部分的第二分支部分可以通过断开部分与第二天线部分的第二分支部分分离。

[0041] 优选地,第一天线部分和第二天线部分的第一分支部分和第二分支部分沿与第二

方向垂直的第一方向对齐,第一分支部分垂直于第二分支部分排列,第一天线部分和第二天线部分的连支部分沿第二方向对齐。

[0042] 优选地,折叠偶极天线的材料和 / 或尺寸配置为使折叠偶极天线的阻抗值实质上与集成电路的阻抗复共轭相等。通过这样的阻抗匹配,优化了集成电路和折叠偶极天线之间的能量传输。根据本发明,简单地通过调整折叠偶极天线的尺寸来进行阻抗匹配,而无需分离元件,例如连接条或者短截线。这就为集成电路设计者提供了充分的自由度,从而为阻抗匹配优化提供参数调整,而不需要附加的元件。然而,在特别的设备中如果需要,也可以在本发明的电路阵列中可选地实现分离的阻抗匹配元件,例如连接条和 / 或短截线。

[0043] 优选地,本发明的电路阵列可以配置为射频识别标签 (RFID 标签)。这种 RFID 标签的可能范例应用领域是电子产品安全系统 (反盗设备)、自动化技术 (例如收费系统结构中的车辆的自动识别) 的应用、访问控制系统 (例如针对公司的雇员)、无现金支付、滑雪票、加油站卡、动物标记和图书馆中的应用。

[0044] 本发明的电路阵列可以包括在断开部分处的至少一个电子组件 (电子元件,电子器件),其被适配为至少一个电子元件对折叠偶极天线的阻抗进行调节,从而使折叠偶极天线的阻抗值实质上与集成电路的阻抗复共轭相等。所以,可以在断开部分中设置和连接一个或多个的可变的和外部可控的电子组件,例如变容二极管、pin 二极管 (正 - 本征 - 负二极管)、MEM 器件 (微电子机械器件),PMEM (压电式 MEM)。通过实现一个或多个这样的电子组件,阻抗匹配可以进一步改善。所以,智能异频雷达收发机芯片 (具有控制输出) 可以通过自身调整达到最优天线阻抗。这种设备可以调节最优天线阻抗和适配天线阻抗,以适应 (更改的) 环境条件 (例如,改变的温度)。所以,可以实现 RFID 标签性能的提高。

[0045] 在下文中,描述制造电路阵列的方法的优选实施例。这些实施例也可以应用于本发明的电路阵列。

[0046] 优选地,集成电路与折叠偶极天线相连,集成电路具有与第一天线连接相连的第一集成电路连接,集成电路还具有与第二天线连接相连的第二集成电路连接。

[0047] 折叠偶极天线的材料和 / 或尺寸配置为使折叠偶极天线的阻抗值实质上与集成电路的阻抗复共轭相等。该阻抗匹配产生集成电路和折叠偶极天线之间的优化的电磁能量耦合。

[0048] 折叠偶极天线的阻抗值可以实质上等于集成电路阻抗的复共轭,这可以通过调整折叠偶极天线的宽度、和 / 或调整折叠偶极天线的至少部分的长度、和 / 或调整折叠偶极天线不同部分之间的距离来实现。这些几何参数对于半导体芯片和折叠偶极天线之间的阻抗匹配具有显著的影响。

[0049] 此外,基板的材料和 / 或尺寸也可以或可选地配置为使折叠偶极天线的阻抗值实质上与集成电路的阻抗复共轭相等。因此,也可通过选择适当的基板的材料和尺寸,进行阻抗匹配。

[0050] 本发明如何实现阻抗匹配有多种方法,它们可以是不同的:

[0051] 根据一种方法,可以手动选择材料和几何参数。接着,可以制造和实验性测试异频雷达收发机的原型。如果实验成功,则可以接受阻抗匹配参数。否则,用另一组参数重复以上循环

[0052] 根据另一种方法,实现物理模型以获得基于几何的和基于材料的阻抗匹配优化。

为此,需要将几何参数和材料参数对阻抗的影响建模。将该模型转化成计算机程序,然后使用标准方法计算最优的参数集(例如,使用最小平方拟合)。因而本发明的阻抗匹配可以通过计算机程序(即,以软件)、或通过使用一个或多个专用电子优化电路(即以硬件)、或通过混合形式(即,通过软件组件和硬件组件)实现。

[0053] 综上所述,本发明提供了一种新颖的特别适合 RFID 应用(“射频识别”)的天线配置,特别在高于 800MHz 的频率范围中,该天线配置还特别适合应用于无源 RFID 标签。根据本发明的天线设计,异频雷达收发机的尺寸可以比传统的异频雷达收发机显著减小。而且,实现了精密的电容性耦合机制,以防止 DC 使异频雷达收发机的集成电路短路。

[0054] 以上定义的方面和本发明的其他方面从下文描述的实施例示例中明显可见,并参照这些实施例示例得以说明。

附图说明

[0055] 以下将参照实施例示例更详细地描述本发明,但是本发明不限于这些实施例示例。

[0056] 图 1 是根据本发明第一实施例的 RFID 标签的平面图。

[0057] 图 2 是示出了根据本发明第一实施例的 RFID 标签的折叠偶极天线的散射参数的频率依赖的图。

[0058] 图 3 是根据本发明第二实施例的 RFID 标签的平面图。

[0059] 图 4 是示出了根据本发明第二实施例的 RFID 标签的折叠偶极天线的散射参数的频率依赖的图。

[0060] 图 5 是根据本发明第三实施例的 RFID 标签的平面图。

[0061] 图 6 是示出了根据本发明第三实施例的 RFID 标签的折叠偶极天线的散射参数的频率依赖的图。

[0062] 图 7 是根据本发明的电路阵列的电容部分的横截面图。

[0063] 图 8 是根据本发明的电路阵列的电容部分的平面图。

[0064] 图 9 是根据本发明的电路阵列的电容部分的平面图。

[0065] 图 10 是示出了折叠偶极天线输入阻抗的实部、虚部和频率分别作为断开部分处的第一天线部分和第二天线部分之间距离的函数的图。

[0066] 图 11 是示出了折叠偶极天线阻抗的实部、虚部和频率分别作为断开部分处第一个天线部分面对第二天线部分所沿的长度的函数的图。

具体实施方式

[0067] 附图中的图示是示意性的。在不同的附图中,相似的或同样的元件具有相同附图标记。

[0068] 接下来,参考附图 1,具体描述根据本发明第一实施例的 RFID 标签 100。

[0069] RFID 标签 100 包括塑料基板 101 和导电折叠偶极天线 103,折叠偶极天线 103 设置在塑料基板 101 上。折叠偶极天线 103 具有第一天线连接 104 和第二天线连接 105。此外,RFID 标签 100 还包括硅片 102(也就是由硅晶片制成的电子芯片,该芯片内部具有集成电路),其中硅片 102 设置在塑料基板 101 上。硅片 102 具有与第一天线连接 104 相连的第

一芯片连接 106 和与第二天线连接 105 相连的第二芯片连接 107。折叠偶极天线 103 具有天线断开部分 108, 该天线断开部分 108 将折叠偶极天线 103 分成第一天线部分 109 和第二天线部分 110, 从而电容形成为在第一天线部分 109 和第二天线部分 110 之间天线断开部分 108。换句话说, 形成折叠偶极天线 103 的导电层在机械上被中断, 所述中断构成了天线断开部分 108。

[0070] 在邻近第一天线部分 109 和第二天线部分 110 的导电材料的中断处形成有电容, 其中在第一天线部分 109 和第二天线部分 110 之间, 欧姆性的天线断开部分 108 填充有介电材料 111。该介电材料 111 的介电常数 $\epsilon_r > 1$, 如方程 (3) 所示, 它增大了电容值 C, 此外它还安全地维持第一天线部分 109 和第二天线部分 110 之间的间隙 108。

[0071] 断开部分 108 设置在折叠偶极天线 103 的一定位置处, 从而第一天线部分 109 与第二天线部分 110 对称地设置。因此, 第一天线部分 109 形成和设置为相对于第二天线部分 110 而镜像反转。

[0072] 硅片 102 包括整流器子电路 (图 1 中未显示), 该整流器子电路已适配并连接, 从而该整流器子电路对在吸收电磁波的情况下折叠偶极天线 103 流动的交变电流进行整流, 提供直流电压, 以向集成电路组件 (例如, 硅片 102 的 EEPROM (在图 1 中未显示)) 提供 DC 电能。另外, 硅片 102 可以有内部 ESD 保护装置 (“静电放电”)。此外, 电压倍增器可以集成在 IC102 中。

[0073] 第一天线部分 109 和第二天线部分 110 实质上都设置为 U 形。此外, 第一天线部分 109 包括第一分支部分 112、第二分支部分 113 和一个连支部分 114, 其中第一分支部分 112 通过连支部分 114 与第二分支部分 113 连接。第一分支部分 112 还与第一芯片连接 106 相连。第二天线部分 110 包括第一分支部分 115、第二分支部分 116 和连支部分 117, 其中第一分支部分 115 通过连支部分 116 与第二部分 117 连接。第一分支部分 115 还与第二芯片连接 107 相连。第一天线部分 109 的第二分支部分 113 与第二天线部分 110 的第二分支部分 116 通过断开部分 108 彼此分离。

[0074] 为了硅片 102 的阻抗与折叠偶极天线 103 的阻抗之间的适当匹配, 也就是为了满足方程 (1) 和 (2), 要调整折叠偶极天线 103 的材料和折叠偶极天线 103 的几何参数。为此, 相应调整构成折叠偶极天线 103 的导电结构的偶极长度 l_{dipole} 、调谐距离 l_{tune} 和线路宽度 d_{line} 。然而, 优选地对与 d_{line} 的适当选择有关的阻抗匹配进行扩展, 从而可以分离地调整构成折叠偶极天线 103 的导电结构每一部分 (如图 1 所示: 水平部分和垂直部分, 直线部分和锥形部分) 的线路宽度。

[0075] 因为天线断开部分 108 处形成有电容, 所以避免了硅片 102 内整流器电路的 DC 短路, 从而可以向硅片 102 的部件可靠地提供电能。

[0076] 折叠偶极天线 103 用导电材料制成, 例如铜 (Cu)、金 (Au)、银 (Ag)、铝 (Al)、包括至少两种上述材料的合金、或者超导原料。折叠偶极天线 103 形成在塑料基板 101 上。此外, 载体基板也可以由其他任何合成材料、陶瓷或者其中嵌入陶瓷颗粒的合成材料。优选地, 基板 103 的材料具有值比 1 大得多的相对介电常数 ϵ_r 、和 / 或值比 1 大得多的导磁率 μ_r 。例如, FR4 可以用作相对介电常数 $\epsilon_r \approx 4.4$ 的基板 101 的材料。“FR4 层压材料”是用来形成印刷电路板的基本材料。

[0077] 折叠偶极天线 103 可以形成在基板 101 上、或者可选地使用多层技术嵌入基板 101

中。用于形成折叠偶极天线 103 的材料可以由传统方法提供,包括将材料沉积到基板 101 上,或在基板 101 上粘附导电箔。可以用传统方法使上述涂覆到基板 101 上的导电材料层形成图形,如蚀刻、铣刻、丝网处理或丝网印刷,或者通过压花或使用胶剂 (glue) 的方法。由此,材料可以涂覆到基板 101 上,之后形成图形。

[0078] 硅片 102 是使用 CMOS 技术制造的。然而芯片 102 (硅片 102) 还可以用其他技术制造 (也就是锗技术、砷化镓技术)。硅片 102 的典型尺寸是 $1\text{mm} \times 1\text{mm} \times 0.15\text{mm}$ 。

[0079] 折叠偶极天线 103 的 l_{diopole} 的最大尺寸 (长度) 取决于 RFID 标签 100 的工作频率 f , 并且可以通过如下计算得到良好近似:

$$[0080] \quad l_{\text{diopole}} = c / (2 \varepsilon_r^{1/2} f) \quad (4)$$

[0081] 在方程 (4) 中, c 是在真空中的光速, ε_r 是基板的相对介电常数。方程 (4) 可以从折叠偶极天线的长度 l_{diopole} 应等于波长的一半的谐振条件中导出。

[0082] 因为耦合机制对有效长度有影响,所以可以通过相应的试验和 / 或模拟研究对选择的设计进行优化,并使其适应特殊应用的框架条件。而且,为了满足复共轭匹配条件,优选地调整金属天线结构的长度和宽度。在尺寸为 $67\text{mm} \times 15\text{mm} \times 1\text{mm}$ 的 FR4 基板上,可以制造具有尺寸为长 65mm 、宽 12mm 的折叠偶极天线 103 的异频雷达收发机。

[0083] 除了所要求的工作频率之外,天线 103 的阻抗对于 RFID 标签 100 的设计来说也非常重要,因为对阻抗实部和虚部的适当调整允许将异频雷达收发机 100 的效率最大化。在本发明的折叠偶极天线 103 的情况下,可以通过将天线设计参数设置为适当的值来优选地实现对所需阻抗的调整,而不必引入分离的阻抗匹配元件。在这种情况下,调整两个折叠偶极子结构 109、110 之间耦合强度是非常重要的。这种耦合依赖于彼此平行对齐的金属化结构之间的距离,也就是依赖于调谐长度 l_{tune} 。耦合还依赖于基板 101 的材料和尺寸。

[0084] 为了改变折叠偶极天线 103 的阻抗以便使其适应所需的源阻抗,可以调整多个天线参数:例如,这些参数之一是金属化结构的宽度 d_{line} 。而且,可以扩展与金属化结构宽度相关的阻抗匹配,从而分离地调整金属化结构的每一部分 (折叠偶极天线 103 的水平部分和垂直部分,线性部分和锥形部分) 的线路宽度。另一个重要的参数是调谐长度 l_{tune} ,也就是第一分支部分 112、115 和第二分支部分 113、116 之间的最小距离,如图 1 所示。考虑到其对折叠偶极天线 103 的阻抗的影响,将可调整参数 d_{line} 和 l_{tune} 关联,也就是如果更改这些参数之一,那么该更改将影响折叠偶极天线 103 阻抗的实部和虚部。然而,通过改变金属化结构宽度 d_{line} ,实部受到的影响大于其虚部受到的影响。与之相反,通过减小调谐长度 l_{tune} ,虚部受到的影响大于其实部受到的影响。

[0085] 图 2 示出了图 200,其中以单位 MHz 沿横坐标 201 绘制工作频率 f ,以单位 dB 沿纵坐标 202 绘制散射参数 S_{11} 。换句话说,图 2 示出了针对 RFID HF 区域、根据本发明设计的异频雷达收发机天线的示例散射参数 S_{11} 。

[0086] 要注意的是除了源阻抗 X_{source} 的虚部之外,折叠偶极天线 103 阻抗的虚部也定义了谐振频率。如果折叠偶极天线 103 的电抗 X_{antenna} 和源电抗 X_{source} 满足下述条件,则满足谐振条件。

$$[0087] \quad X_{\text{antenna}} = X_{\text{source}}^* \quad (5)$$

[0088] 如方程 (5) 所示,折叠偶极天线 103 的电抗 X_{antenna} 应该与源电抗 X_{source} 成复共轭。因此,偶极的总长度 l_{diopole} ($l_{\text{双极}}$) 也影响天线阻抗的虚部。

[0089] 在下文中,参考图 3,描述根据本发明第二实施例的 RFID 标签 300。

[0090] 图 3 所示的 RFID 标签 300 与图 1 所示的 RFID 标签 100 的不同之处在于,RFID 标签 300 中,天线断开部分 108 中未填充介电材料 111。根据图 3,通过在天线断开部分 108 中设置 SMD 电容器元件 301 (“表面贴装器件”),将第一天线部分 109 桥接到第二天线部分 110。因此,RFID 标签 300 包括设置在天线断开部分 108 中的电容器元件 301,其中电容器元件 301 具有与第一天线部分 109 连接的第一电容器连接和与第二天线部分 110 连接的第二电容器连接。

[0091] 因此,图 3 示出了本发明的实施例,其中通过 SMD 电容器元件 301,消除了异频雷达收发机芯片 102 的输入部分中整流器电路的短路。这通过断开在天线断开部分 108 处的折叠偶极天线 103 的金属化结构和随后通过电容器元件 301 桥接所述的天线断开部分 108 来实现。电容器 301 可以选择为具有足够高电容值 C ,并具有可忽略的损耗。由于此类器件可以以低成本方式进行安装,因此可以选用标准的 SMD 电容器 301。可选地,也可以使用任何其他电容器(例如具有轴向(接线)连接的电容器)。

[0092] 电容器 301 本身仅对于以足够高的频率交替变化的交变电流才形成短路(但是并不形成欧姆短路),因此允许通过高频 HF 载波信号进行数据通信。与之相反,电容器 301 阻止异频雷达收发机 IC102 的两个连接 106 和 107 之间的 DC 电流。

[0093] 如图 3 所示,电容器 303 的位置优选的是相对于折叠偶极天线 103 而对称。然而,电容器 301 也可以位于金属化结构 103 内的任意位置。根据选择的位置,可以有利地调整折叠偶极天线 103 的设计,以获得合适的阻抗匹配。

[0094] 类似于图 2,图 4 给出了图 400,在该图中以单位 MHz 沿横坐标 401 绘制工作频率 f ,以单位 dB 沿纵坐标 402 绘制散射参数 s_{11} 。

[0095] 所以,图 4 示出了折叠偶极天线 103 的示例散射参数 s_{11} ,在折叠偶极天线 103 中,金属化结构已经以图 3 所示的方式断开,并通过 SMD 电容器元件 301 桥接。

[0096] 下面,参考图 5,描述根据本发明第三实施例的 RFID 标签 500。

[0097] 在 RFID 标签 500 的情况下,由第一分支部分 112、第二分支部分 501 和连支部分 114 形成第一天线部分,并且由第一分支部分 115、第二分支部分 502 和连支部分 117 形成第二天线部分。

[0098] 图 5 所示的 RFID 标签 500 与图 1 所示的 RFID 标签 100 不同,其不同的地方在于在第一天线部分的第二分支部分 501 和第二天线部分的第二分支部分 502 之间没有设置介电材料 111,其中第一天线部分和第二天线部分是彼此相邻的。此外,在图 1 中,第二分支 113,116 有邻接的线或者区域,它们是垂直导向于第二分支部分 113,116 的对其方向的。与此相反,在图 5 中,第二分支部分 501,502 邻接的线或者区域是平行于第二分支部分 501,502 的对齐方向的。从图 5 中可知,与图 1 相比,在图 5 的配置中电容性耦合长度 l_{coupling} 显著增加。

[0099] 在图 5 所示的实施例中,图 3 的电容器 301 被集成在天线设计中的电容性耦合结构 501,502 所替代。折叠偶极天线 103 的金属化结构在天线断开部分 503 处被断开,形成了两个伸长的导电结构 501,502,该导电结构 501,502 实质上是彼此平行导向的,而且以配置为彼此相隔耦合距离 d_{couple} 。两个金属化结构 501,502 的距离 d_{couple} 和电容性耦合长度 l_{coupling} 实质上决定了电容性耦合的强度。根据图 5 的实施例,可以无明显损耗地传输高频

交变电压,而阻隔直流电压。

[0100] 电容性耦合距离可以使用不同的几何形实现,例如,线性电容形耦合距离、类似曲线的电容性耦合距离或类似螺旋的电容性耦合距离。电容性耦合距离可以特别地由相邻的第二分支部分端部的相对对齐限定,天线设计还可以调整以适应耦合距离的设计。在载体材料的不同层(使用普通的多层技术)中,可以提供具有两个(例如在基板 101 的上主表面和下主表面处)或更多的金属化结构的耦合距离。

[0101] 此外,通过设置特别是在耦合距离之下的浮置金属化结构,可以更改耦合,优选地增强耦合。

[0102] 类似于图 2 和图 4,图 6 给出了图 600,在该图中以单位 MHz 沿横坐标 601 绘制工作频率 f ,以单位 dB 沿纵坐标 602 绘制散射参数 s_{11} 。所以,图 6 示出了图 5 中包括的金属化结构 501,502 的折叠偶极天线 103 的示例散射参数 s_{11} 。

[0103] 图 5 的实施例具有优点,在于没有必须要安装到 RFID 标签 500 上的分离组件(如 SMD 电容器 301)。与此相反的,电容性耦合集成在天线设计内,因此,制造成本降低,错误率也下降。

[0104] 下文中,参考图 7,描述根据发明实施例的电路阵列的断开部分 700。

[0105] 图 7 示出了本发明电路阵列的一部分的横截面图,其中折叠偶极天线的第一天线部分 702 设置作为沉积在载体基板 701 上的金属化层。第一天线部分 702 被具有相对高的介电常数 ϵ_r 的介电层 704 覆盖,从而为第一天线部分 702 形成保护层,同时为之后形成的电容器提供电容器电介质。在介电层 704 的一部分上并与第一天线部分 702 的一部分交迭,通过沉积导电材料层,形成第二天线部分 703,从而完成在层序列 702 到 704 的交迭部分中形成的电容器。根据图 7,第一天线部分 702、介电层 704 和第二天线部分 703 沿垂直方向交迭。

[0106] 下面,参考图 8,描述根据本发明另一实施例的电路阵列的断开部分 800。

[0107] 在图 8 中,在第一天线部分 801 和第二天线部分 802 邻接的区域中示出了断开部分 800 的平面图,第一天线部分 801 和第二天线部分 802 构成本发明电路阵列的折叠偶极天线 103。在该邻接部分中,第一天线部分 801 有多个第一指形结构 801a,第二天线部分 802 有多个第二指形结构 802a。第一指形结构 801a 和第二指形结构 802a 配置成交指型结构,以便获得类似曲线的电容型耦合部分 803。根据类似曲线的电容型耦合部分的可选结构,第一天线部分 801 和第二天线部分 802 的指型结构可以设置为沿图 8 中垂直方向对齐,以形成成交指型结构。根据这种可选的曲线配置,第一和第二天线部分实质上附图 8 中水平方向对齐。所以,类似曲线的耦合结构可以沿电容性耦合距离 l_{coupling} 的总长度延伸。

[0108] 下文中,参考附图 9,描述根据发明的另一实施例的电路阵列的折叠偶极天线的断开部分 900。

[0109] 如图 9 的平面图所示,断开部分 900 具有第一天线部分 901 和第二天线部分 902。第一天线部分 901 和第二天线部分 902 形成断开的折叠偶极天线 103。在第一天线部分 901 的端部,示出了第一螺旋结构 901a。此外,在第二天线部分 902 的端部,示出了第二螺旋结构 902a。第一螺旋结构 901a 和第二螺旋结构 902a 是电容性耦合的,从而设置用于电容性耦合第一天线部分 901 和第二天线部分 902 的类似螺旋的电容性耦合部分 903。

[0110] 综上所述,本发明公开了一种新颖的天线配置,特别适合在高于 800MHz 的高频段

围中 RFID (“射频识别”) 设备。折叠偶极天线结构允许减小传统异频雷达收发机的尺寸, 但是保持或改善电性能。通过电容性耦合机制, 可以避免半导体整流器的 DC 短路。能够实现天线设计的通用。

[0111] 在下文中, 将会更加详细地描述形成折叠偶极天线的金属化结构的耦合特性的改变是如何影响天线输入阻抗的特性的。在这方面, 参考图 5, 区分开电容性耦合距离 l_{coupling} 的更改和耦合距离 d_{couple} 的更改。更一般地, 电容性耦合距离 l_{coupling} 是在断开部分处折叠偶极天线部分彼此面对所沿的长度, 从而影响方程 (3) 中的参数 A。此外, 耦合距离 d_{couple} 是断开部分处相邻折叠偶极天线间的距离, 即, 断开部分的长度, 从而影响方程 (3) 中的参数 d。

[0112] 参考图 10, 对图 1000 进行说明, 示出了折叠偶极天线的谐振频率的频移 Δf , 阻抗的实部 $\text{Re}\{Z_{\text{ant}}\}$ 和阻抗的虚部 $\text{Im}\{Z_{\text{ant}}\}$ 如何依赖于断开部分处第一天线部分和第二天部分之间的距离 d_{couple} 。

[0113] 图 10 示出了图 1000, 在该图中以单位 μm 沿横坐标 1001 绘制距离 d_{couple} , 折叠偶极天线阻抗的实部 $\text{Re}\{Z_{\text{ant}}\}$ 和阻抗的虚部 $\text{Im}\{Z_{\text{ant}}\}$ 的相对变化以百分比 (%) 沿第一纵坐标 1002 绘制, 频率偏移 Δf 以百分比 (%) 沿第二纵坐标 1003 绘制。第一曲线 1004 以百分比 (%) 显示了当距离 d_{couple} 变化时阻抗实部的变化 $\Delta \text{Re}\{Z_{\text{ant}}\}$ 。第二曲线 1005 以百分比 (%) 显示了当距离 d_{couple} 变化时阻抗虚部的变化 $\Delta \text{Im}\{Z_{\text{ant}}\}$ 。第三曲线 1006 以百分比 (%) 显示了当距离 d_{couple} 变化时折叠偶极天线谐振频率的变化 Δf 。

[0114] 换句话说, 图 10 示出了相对于“参考设计”, 天线输入阻抗的相对变化和天线谐振频率的相对频移。选择该“参考设计”(形成折叠偶极天线的导电结构的长度和宽度的比率), 以使在距离 $d_{\text{couple}} = 200 \mu\text{m}$ 处得到谐振频率 $f_c = 918\text{MHz}$ 。已与天线阻抗匹配的芯片的复数阻抗为 -28dB (见图 6)。

[0115] 从图 10 中可以看出, 天线输入阻抗的实部 $\text{Re}\{Z_{\text{ant}}\}$ 随着距离 d_{couple} 的增加而显著增加。与之相反, 天线输入阻抗的虚部 $\text{Im}\{Z_{\text{ant}}\}$ 随着距离 d_{couple} 的增加而减小, 其中曲线 1005 斜率的绝对值具有小于曲线 1004 斜率的绝对值的趋势。因而 (见第三曲线 1006), 当距离 d_{couple} 改变时, 折叠偶极天线谐振频率的变化相对比较小 (类似于第二曲线 1005)。

[0116] 根据本发明, 可以通过改变作为设计参数的构成折叠偶极天线金属化结构的长度和宽度, 调整天线阻抗的实部和虚部。

[0117] 参考图 11 对图 1100 进行说明, 示出了折叠偶极天线的谐振频率的频移 Δf 、阻抗的实部 $\text{Re}\{Z_{\text{ant}}\}$ 和阻抗的虚部 $\text{Im}\{Z_{\text{ant}}\}$ 如何依赖于电容性耦合距离 l_{coupling} 的值。

[0118] 图 11 示出了图 1100, 在该图中电容耦合距离 l_{coupling} 以单位 mm 沿横坐标 1101 绘制, 折叠偶极天线阻抗的实部 $\text{Re}\{Z_{\text{ant}}\}$ 和虚部 $\text{Im}\{Z_{\text{ant}}\}$ 的相对变化以百分比 (%) 沿第一纵坐标 1102 绘制, 频率偏移 Δf 以百分比 (%) 沿第二纵轴 1103 绘制。第一曲线 1104 以百分比 (%) 显示了当电容性耦合距离 l_{coupling} 变化时阻抗实部的变化 $\Delta \text{Re}\{Z_{\text{ant}}\}$ 。第二曲线 1105 以百分比 (%) 显示了当电容耦合距离 l_{coupling} 变化时阻抗虚部的变化 $\Delta \text{Im}\{Z_{\text{ant}}\}$ 。第三曲线 1106 以百分比 (%) 显示了当电容耦合距离 l_{coupling} 变化时折叠偶极天线谐振频率的变化 Δf 。

[0119] 因此, 调整电容性耦合的方法引入了对电容性耦合距离 l_{coupling} 的更改。图 11 示出了相对于图 10 中描述的“参考设计”, 天线输入阻抗的相对变化和天线谐振频率的相对

频移。

[0120] 如从图 11 中可见, 电容性耦合距离 l_{coupling} 的变化对于所述的值和第一条曲线 1104 的曲线形状都有很大的影响。换句话说, 阻抗的实部 $\text{Re}\{Z_{\text{ant}}\}$ 对于电容性耦合距离 l_{coupling} 的变化非常敏感。随着电容性耦合距离 l_{coupling} 的减小, 阻抗的实部 $\text{Re}\{Z_{\text{ant}}\}$ 有增加的趋势。阻抗的虚部 $\text{Im}\{Z_{\text{ant}}\}$ 和天线的谐振频率 (这个值和 $\text{Im}\{Z_{\text{ant}}\}$ 相关) 则显示出对电容性耦合距离 l_{coupling} 的较弱的依赖性 (例如, 因子 8)。

[0121] 结果是电容性耦合的减小导致阻抗实部的显著增加, 而阻抗的虚部则只稍微减小。在这样的情况下, 电容性耦合距离 l_{coupling} 的更改比距离 d_{couple} 的更改有更大的影响 (例如, 因子 3)。

[0122] 电容性耦合结构, 即邻近断开部分的偶极部分的几何形可以采用不同的方式来设计。这种结构可以是非线性的 (例如类似曲线的, 弯曲的) 或线性的。该结构可以设置在不同的层中, 例如在基板的顶层和底层上, 也可以包括通过基板中填充有导电材料的通孔。

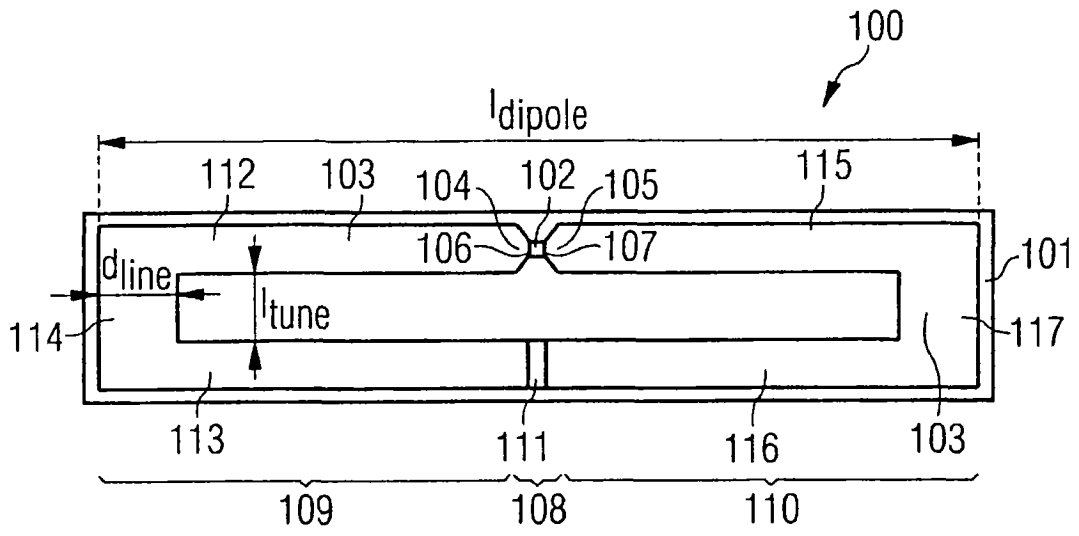


图 1

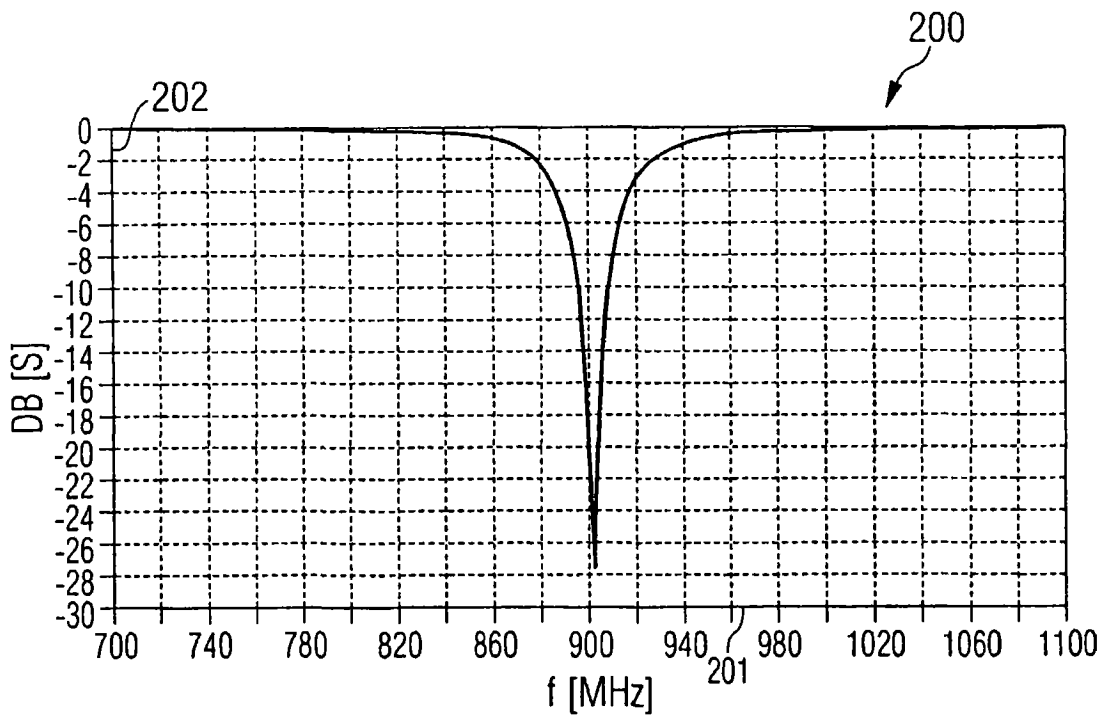


图 2

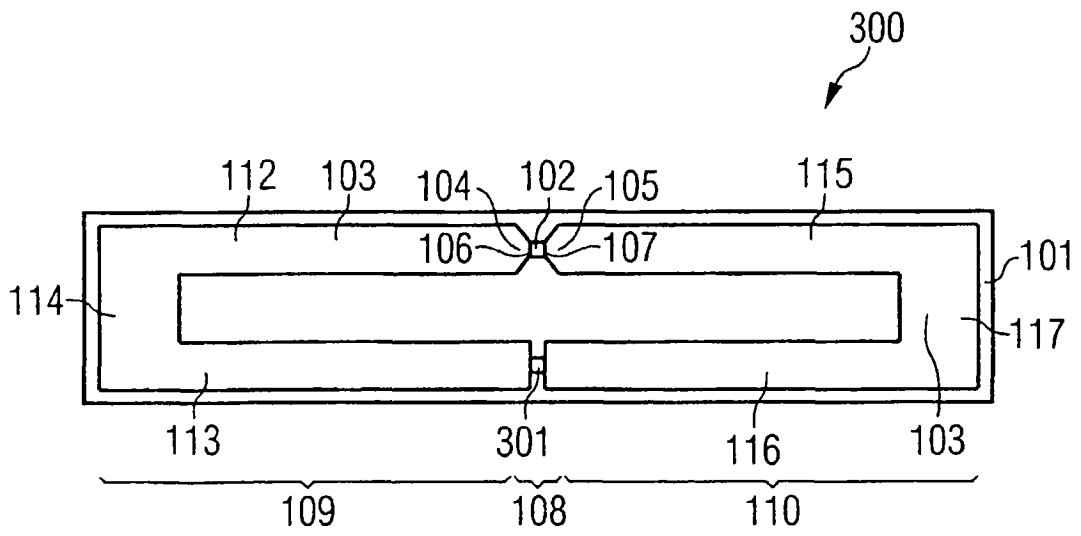


图 3

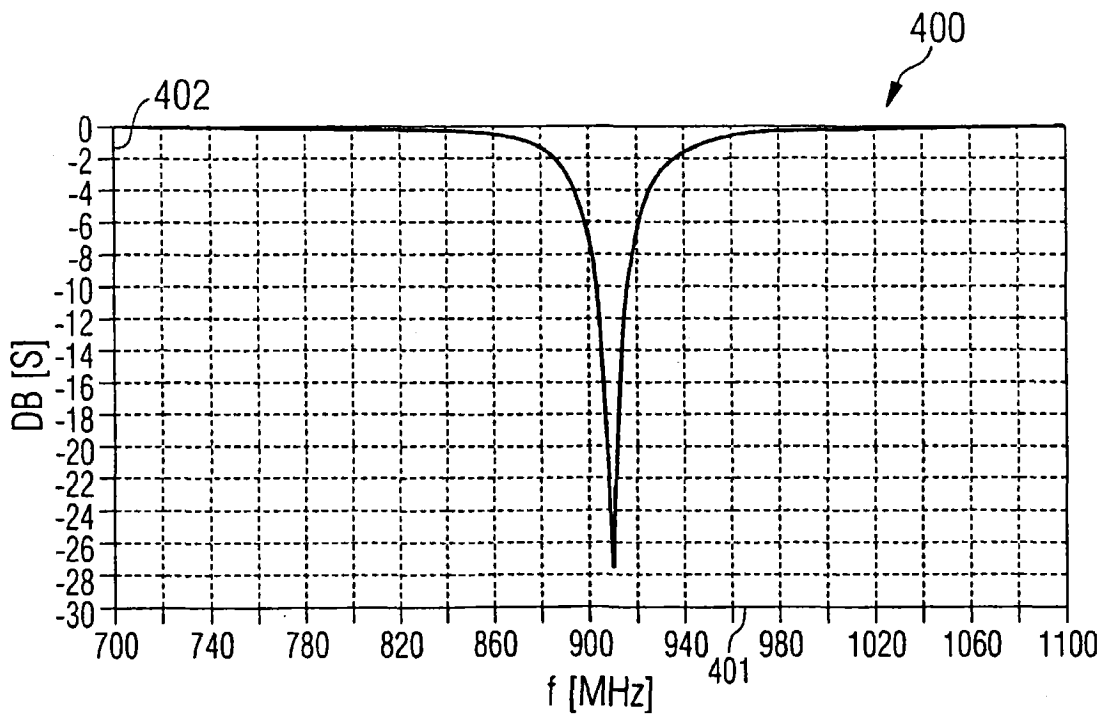


图 4

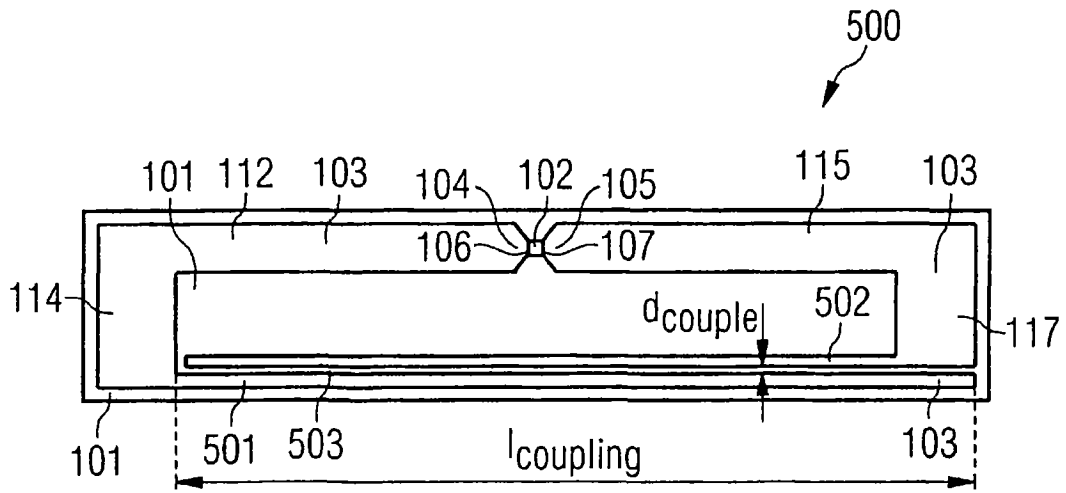


图 5

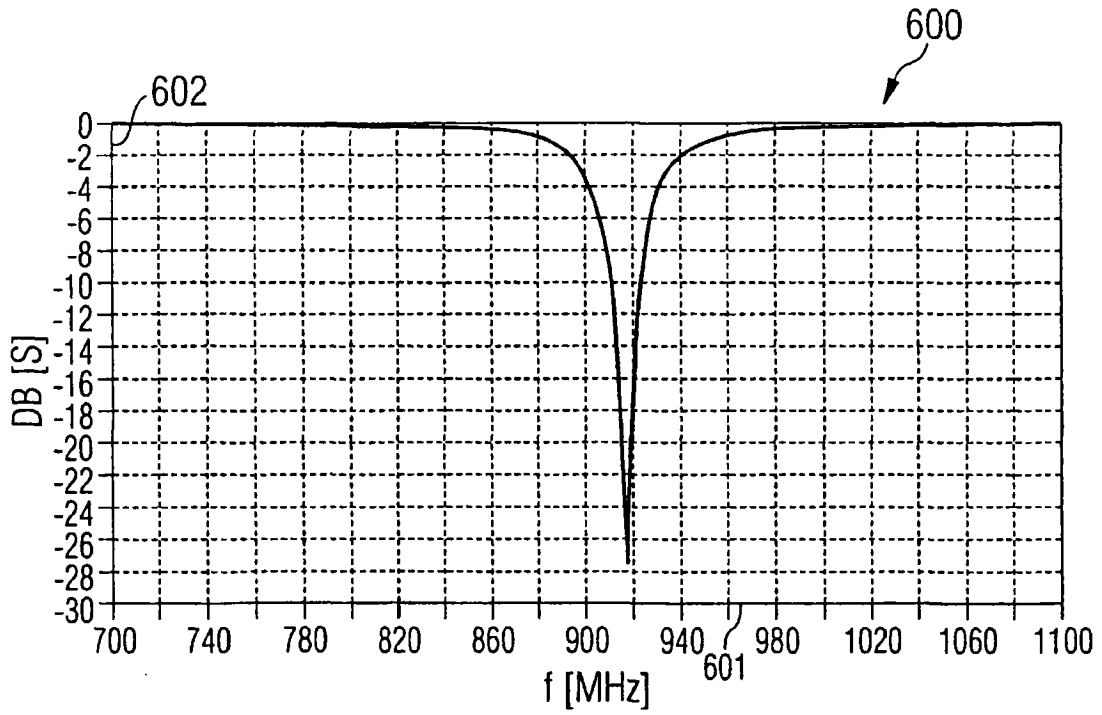


图 6

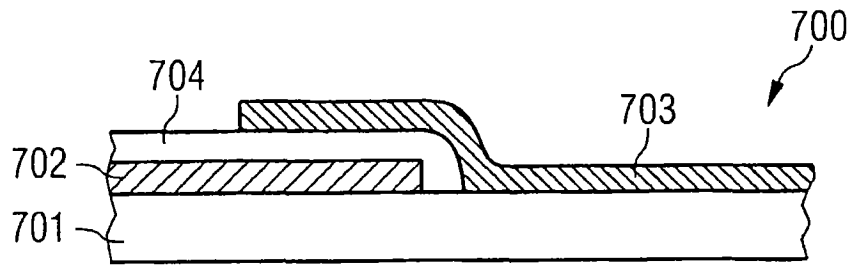


图 7

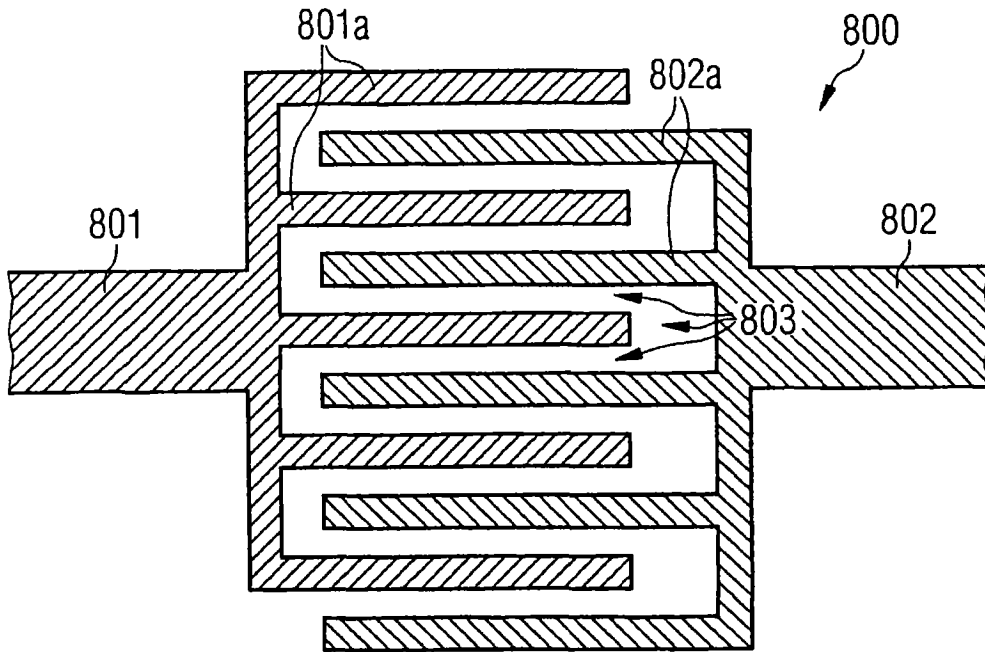


图 8

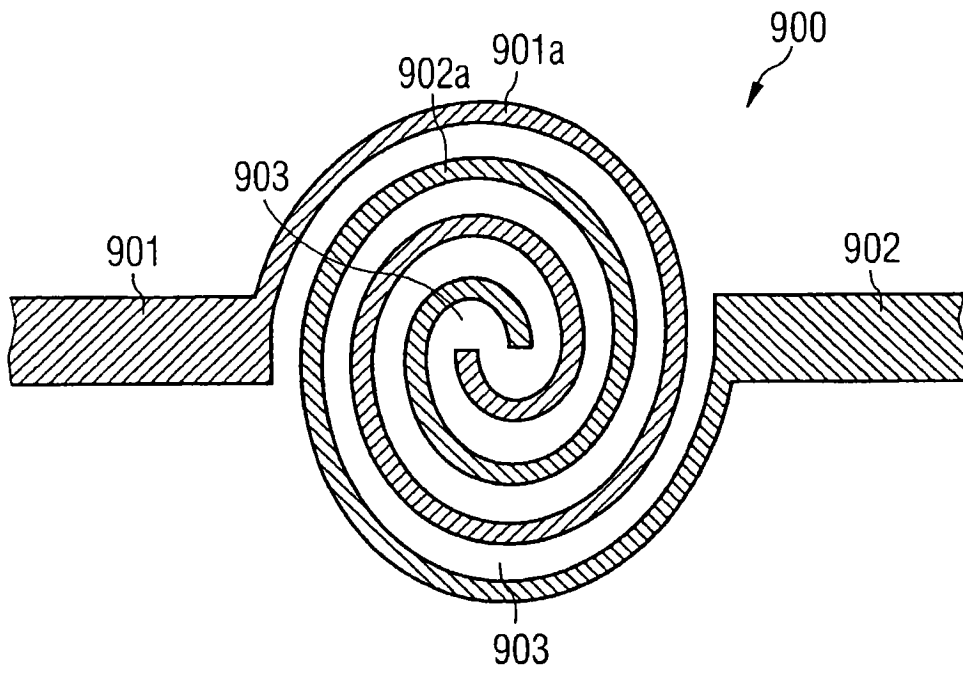


图 9

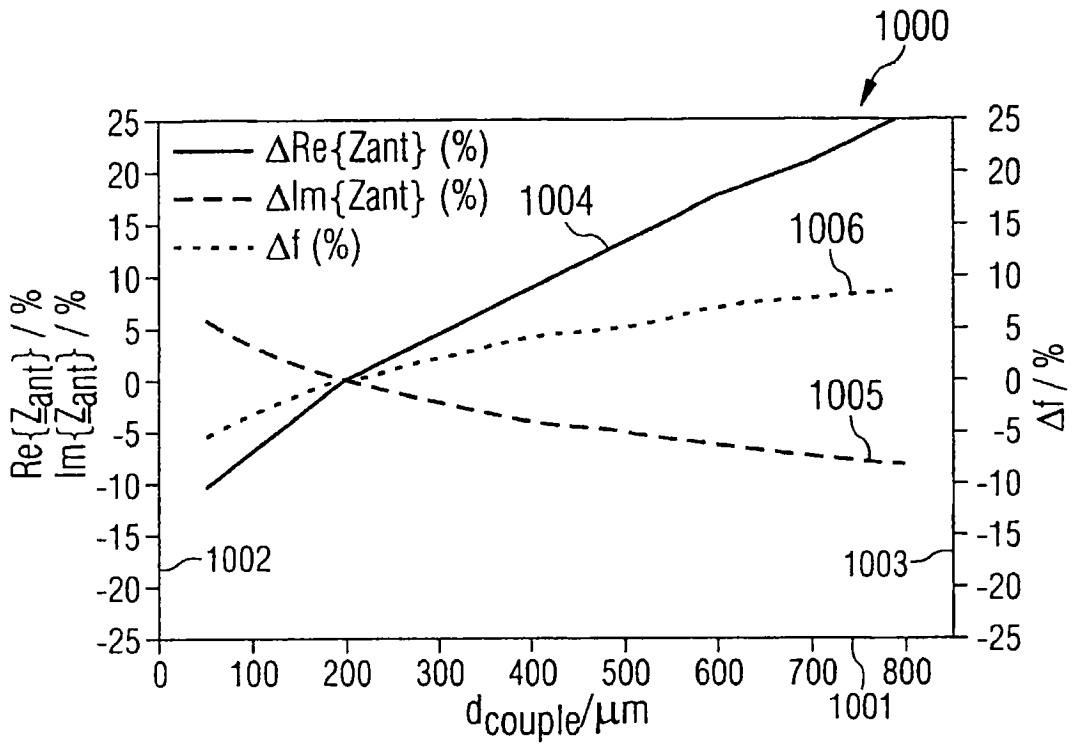


图 10

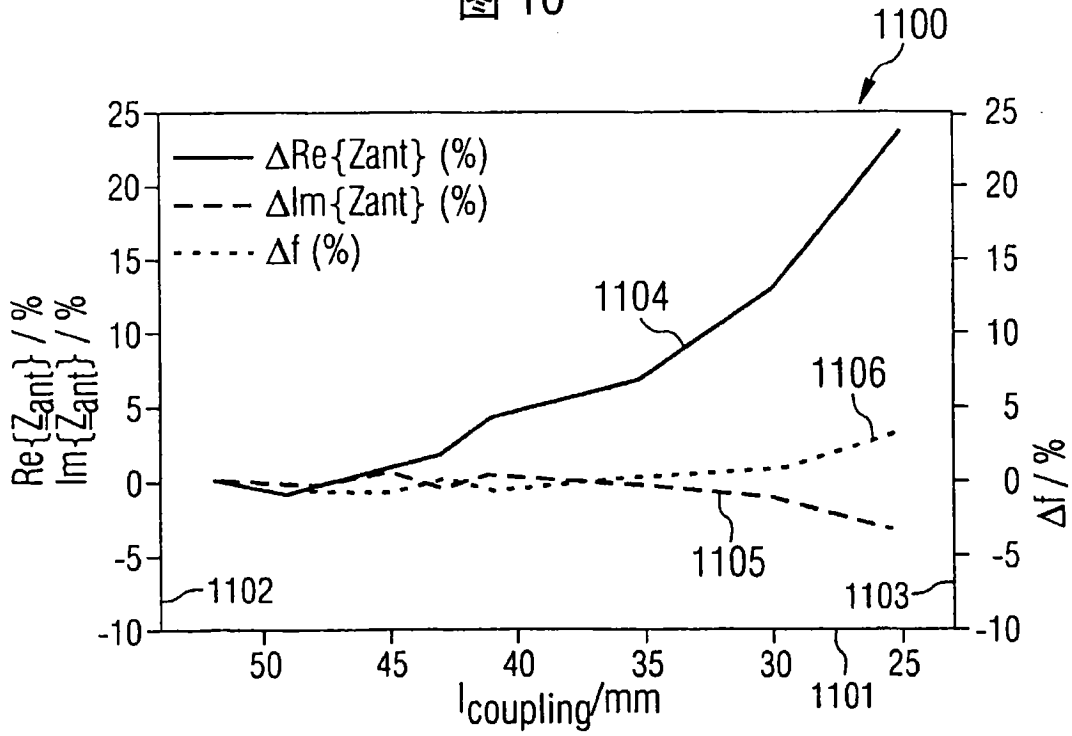


图 11