

(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) Int. Cl.⁶

G11C 11/401

(45) 공고일자 1999년06월15일

(11) 등록번호 10-0191088

(24) 등록일자 1999년01월22일

(21) 출원번호 10-1995-0039264

(65) 공개번호 특 1996-0015230

(22) 출원일자 1995년10월28일

(43) 공개일자 1996년05월22일

(30) 우선권주장 94-265314 1994년10월28일 일본(JP)

(73) 특허권자 마쓰시따 덴끼 상교가부시끼가이샤 모리시따요오이찌

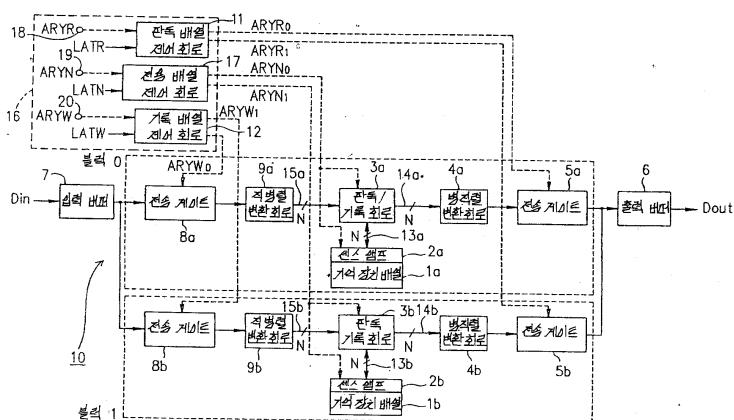
일본국 오오사까후 가도마시 오오아자 가도마 1006반찌

(72) 발명자 니시 가즈요시

일본국 오사카후 히라카타시 무라노-촌마찌 16-25-비206
쓰지 도시아키일본국 오사카후 가타쓰키시 쓰노에죠 1-44-9-비10
고타니 히사카즈일본국 효고켄 다카라즈키시 카시오 2-13-58-303
아카마쓰히로노리(74) 대리인 일본국 오사카후 히라가타시 푸나하시-촌마찌 메존 촌마찌 5-2비 2-1
이병호, 최달용**심사관 : 오제욱****(54) 반도체 기억장치****요약**

과제술새없이 데이터를 입출력하고 또한, 소비전력이 작은 최적 구성의 반도체 기억 장치를 제공한다.

해결수단기록 동작시에 연속된 복수의 기록 입력 데이터를 받아들여놓은 후, 판독/기록 회로(3a, 3b)에 복수의 기록 입력 데이터를 동시에 출력하는 복수의 직렬 병렬 변환 회로(9a, 9b)와 연속된 복수의 기록 입력 데이터를 기록용 배열 선택 신호에 의해서 복수의 직렬 병렬 변환 회로(9a, 9b)의 하나에 선택적으로 입력하는 복수의 기록용 전송 게이트(8a, 8b)와 판독 동작시에 판독/기록 회로에서의 복수의 판독 출력 데이터를 동시에 받아들여넣고 연속된 복수의 판독 출력 데이터로 변환하는 병직렬 변환 회로(4a, 4b)와 연속된 복수의 판독 출력 데이터를 판독용 배열 선택 신호에 의해서 선택 출력하는 복수의 판독용 전환 게이트(5a, 5b)를 갖는다

대표도**명세서**

[발명의 명칭]

반도체 기억 장치

[도면의 간단한 설명]

제1도는 본 발명의 기억 장치의 구성예를 도시하는 도면.

제2도는 제1도의 반도체 기억 장치의 전송 게이트의 구성예를 도시하는 도면이며, 제 (2a) 및 제2(e)는

기록용 전송 게이트.

(2b) 및 (2)는 판독용 전송 게이트의 구성예.

제3도의 3(a)-3(c)는 각각 제1도의 반도체 기억 장치의 배열 선택 제어 회로의 구성예를 도시하는 도면.

제4도는 제1도의 반도체 기억 장치의 판독/기록 회로 주변의 구성예를 상세하게 도시하는 도면.

제5도는 본 발명의 반도체 기억 장치의 기록 동작시의 타이밍 차트.

제6도는 본 발명의 반도체 기억 장치의 판독 동작시의 타이밍 차트.

제7도는 본 발명의 반도체 기억 장치의 판독 수정 기록 동작시의 타이밍 차트.

제8도는 화상용 반도체 기억 장치를 사용하는 시스템을 도시하는 도면.

제9도는 반도체 기억 장치의 구성도.

제10도는 반도체 기억 장치의 타이밍도.

* 도면의 주요부분에 대한 부호의 설명

1a, 1b : 기억 장치 배열 3a, 3b : 판독/기록 회로

4a, 4b : 병렬 직렬 변환 회로 5a, 5b : 전송 게이트

8a, 8b : 전송 게이트 9a, 9b : 직렬 병렬 회로

11, 32, 37 : 기록 배열 제어 회로 12, 33, 38 : 정규 배열 제어 회로

18 : 판독용 배열 선택 신호 입력 단자 19 : 정규용 배열 선택 신호 입력 단자

20 : 기록용 배열 신호 입력 단자 31, 35 : 공통 배열 선택 신호 입력 단자

[발명의 상세한 설명]

근래, 동적 RAM(이하 DRAM 이라 약칭)으로 대표되는 반도체 집적 회로는 3년에 4배의 페이스로 대집적화의 길을 나아가고 있다. 이 대집적화의 움직임과 더불어 전용칩화의 움직임도 있으며 특히, 화상 분야로의 응용으로서 마쓰시타 덴시고교 가부시끼 가이샤제의 MN4700 시리즈로 대표되는 화상용의 DRAM이 여러 가지 형태로 제품화되어 있다.

화상용 DRAM을 사용한 시스템의 예를 제8도에 도시한다. 이 시스템은 입력되는 영상 신호와 하나 전에 입력된 영상신호를 비교함으로써 영상 신호의 잡음성분을 제외하고 있다. 화상용 DRAM(51)에선 행 번지 및 열 번지의 1회의 선택으로 동일 기억장치에 대해서 데이터의 판독 출력 및 기록 입력의 양쪽을 행하는 소위 판독 수정 기록 동작이 행해지고 있다. 즉, 화상용 DRAM(51)에선 행 번지 및 열 번지가 1회 선택되면 하나 전에 입력된 영상 신호가 판독 출력되고 이어서 동일 번지에 새로운 영상신호가 기록 입력된다. 대부분의 경우에 있어서 화상용 DRAM에서의 데이터의 판독 출력은 출색없이 행해질 필요가 있다.

[발명이 해결하려는 과제]

화상용 DRAM도 범용의 DRAM과 마찬가지로 대용량화가 요구되게 되어 있다. 그러나, 대용량화를 실현하려는 경우, 그 소비 전력의 크기가 문제로 된다.

본 발명은 이같은 현상을 감안해서 이뤄진 것이며 그 목적은 출색없이 데이터를 입출력할 수 있고 또한 소비전력이 작은 최대로 적합한 구성의 반도체 기억 장치를 제공하는 데 있다.

[과제를 해결하기 위한 수단]

본 발명의 반도체 기억 장치는 특수의 블록을 갖는 반도체 기억 장치이며 그 복수의 블록에는 복수의 제1의 선택신호 및 복수의 제2의 선택 신호가 공급되고 그 복수의 블록의 각각은 기억 장치 배열과 그 복수의 제1의 선택 신호중의 대응하는 1개가 액티브일 때 그 기억 장치 배열에서 복수의 데이터를 동시에 판독 출력하는 판독 회로와 동시에 판독 출력된 그 복수의 데이터를 1 데이터씩 시간적으로 연속해서 출력하는 병직렬 변환회로와 그 복수의 제2의 선택 신호중의 대응하는 하나에 의해서 제어되는 게이트이며 그 대응하는 제2의 선택신호가 동적인 때 그 병직렬 신호에서의 그 복수의 데이터를 출력하는 게이트를 구비하고 있으며 그 복수의 제2의 선택 신호는 어느 하나가 액티브일 때는 나머지는 모두 비 액티브이며 그것에 의해서 상기 목적을 달성한다.

상기 복수의 제1의 선택 신호의 각각은 상기 복수의 제2의 선택 신호의 대응하는 하나가 액티브로 되기 전에 액티브로 되고 그 각각의 제1의 선택 신호의 계속 신호는 그 대응하는 하나의 제2의 선택 신호의 계속 시간과 중복되고 있어도 좋다.

본 발명의 다른 반도체 기억 장치는 복수의 블록을 갖는 반도체 기억장치이며 그 복수의 블록엔 복수의 제1의 선택신호 및 복수의 제2의 선택 신호가 공급되는 그 복수의 블록의 각각은 기억장치 배열과 그 복수의 제1의 선택 신호중의 대응하는 하나가 액티브인 때에 그 기억 장치 배열에서 블록의 데이터를 동시에 기록 입력하는 기록 회로와 연속된 그 블록의 데이터는 받아들이며 동시에 기록 회로에 출력하는 직병렬 변환회로와 그 복수의 제2의 선택 신호중의 대응하는 하나에 의해서 제어되는 게이트이며 그 대응하는 제2의 선택 신호가 액티브인 때 연속된 그 복수의 데이터를 그 직렬 병렬 변환 회로에 출력하는 게이트를 구비하고 있으며 그 블록의 제2의 선택 신호는 어느 하나가 액티브인 때는 나머지를 모두 비액티브이며 그것에 의해 상기 목적을 달성한다.

상기 복수의 제1의 선택 신호의 각각은 상기 복수의 제2의 선택 신호의 대응하는 하나가 비 액티브로 된 후에 비 액티브로 되며 그 각각의 제1의 선택 신호의 계속시간은 그 대응하는 하나의 제2의 선택신호의

계속시간과 중복되고 있어도 좋다.

본 발명의 또한 다른 반도체 기억장치는 복수의 블록을 갖는 반도체 기억 장치이며 그 복수의 블록에는 복수의 제1의 신호, 복수의 제2의 신호 및 복수의 제3의 신호가 공급되며 그 복수의 블록의 각각은 기억 장치 배열과; 복수의 제1의 선택신호중의 대응하는 하나가 액티브인 때 그 기억장치 배열에서 복수의 데이터를 동시에 판독하고 계속해서 그 기억 장치 배열에 복수의 다른 데이터를 동시에 기록 입력하고 판독/기록 회로와 동시에 판독 출력된 그 복수의 데이터를 1 데이터씩 시간적으로 연속해서 출력하는 병렬변환 회로와; 복수의 제2의 선택 신호중의 대응하는 하나에 의해서 제어되는 판독용 전송 게이트되며 그 대응하는 제2의 선택 신호가 액티브인 때 그 병렬변환 회로에서의 그 복수의 데이터를 출력하는 판독용 전송 게이트와; 연속된 복수의 다른 데이터를 수신과 동시에 그 판독/기록 회로에 출력하는 직병렬변환 회로와; 복수의 제3의 선택 신호중의 대응하는 하나에 의해서 제어되는 기록용 전송 게이트되며, 그 대응하는 제3의 선택 신호가 액티브인 때 연속된 그 복수의 데이터를 그 직병렬변환 회로에 출력하는 기록용 전송 게이트를 구비하고 있으며, 그 복수의 제2의 선택 신호는 그중의 어느 하나가 액티브인 때는 나머지는 모두 비 액티브이며, 그 복수의 제3의 선택 신호는 그중의 어느 하나가 액티브인 때는 나머지는 모두 비 액티브이며, 그것에 의해 상기 목적을 달성한다.

상기 복수의 제1의 선택신호의 각각은 상기 복수의 제2의 선택 신호의 대응하는 하나가 액티브로 되기 전에 액티브로 되며 또한, 상기 복수의 제3의 선택 신호의 대응하는 하나가 비액티브로 된 후에 비액티브로 되며, 그 제1의 선택 신호의 각각의 계속시간은 그 대응하는 하나의 제2의 선택 신호의 계속시간 및 그 대응하는 하나의 제3의 선택 신호의 계속 시간과 중복하고 있어도 좋다.

상기 제1의 선택 신호 및 상기 제2의 선택 신호를 발생하는 제어 회로부를 또한 구비해도 좋다.

상기 반도체 기억 장치는 상기 제1의 선택 신호, 상기 제2의 선택 신호 및, 상기 제3의 선택 신호를 발생하는 제어 회로부를 또한 구비해도 좋다.

상기 제어 회로부는 선택하는 블록을 나타내고 있는 제1의 배열 선택 신호가 외부에서 입력되는 제1의 입력단자와; 그 제1의 배열 선택 신호에 의거해서 상기 제1의 신호를 발생하는 제1의 제어 회로와; 선택하는 블록을 나타내고 있는 제2의 배열 선택 신호가 외부에서 입력되는 제2의 입력 단자와; 그 제2의 배열 선택 신호에 의거해서 상기 제2의 신호를 발생하는 제2의 제어 회로와; 선택하는 블록을 나타내고 있는 제3의 배열 선택 신호가 외부에서 입력되는 제3의 입력 단자와; 그 제3의 배열 선택 신호에 의거해서 상기 제2의 신호를 발생하는 제3의 제어 회로를 구비해도 좋다.

상기 제어 회로부는 선택하는 블록을 나타내고 있는 공통 배열 선택 신호가 외부에서 입력되는 공통 입력 단자와, 그 공통 배열 신호에 의거해서 상기 제1의 신호, 상기 제2의 신호, 및 상기 제3의 신호를 각각 발생하는 제1, 제2 및 제3의 제어 회로를 구비해도 좋다.

상기 제어 회로부는 상기 공통 입력 단자와 상기 제1, 제2 및 제3의 제어 회로간에 설치된 상기 공통 배열 선택 신호를 받아들이고 유지하는 입력 래치를 또한 구비해도 좋다.

상기 병렬 회로는 동시에 판독 출력된 상기 복수의 데이터를 N비트씩 시간적으로 연속된 데이터로 변환해서 출력해도 좋다.

상기 직병렬 회로는 상기 연속된 복수의 데이터를 받아들여 N 비트씩 시간적으로 병렬로 상기 판독/기록 회로에 출력하고, 그 판독/기록 회로는 그 N 비트의 시간적으로 병렬인 데이터를 동시에 상기 기억 장치 배열에 기록 입력해도 좋다.

상기 복수의 블록은 하나의 칩상에 형성되어도 좋다.

본 발명의 반도체 기억 장치에선, 복수의 블록의 각각에 대해서 블록으로의 데이터의 입력을 제어하기 위한 선택 신호, 블록에서의 데이터의 출력을 제어하기 위한 선택 신호 및 판독/기록 회로에 의한 기억 장치 배열로의 데이터의 입력 및 데이터의 출력을 제어하는 선택 신호의 계 3 종류의 신호를 부여한다. 이 것에 의해 본 발명의 반도체 기억 장치에선 절대없이 데이터를 입력, 또는 출력할 수 있다. 또한, 1회의 행 번지 또는 열 번지의 선택으로 데이터의 판독 출력 및 기록 입력의 양쪽을 동일의 기억 장치에 대해서 행하는 판독 수정 기록 동작에 있어서도 데이터가 입력되는 타이밍과 데이터가 출력되는 타이밍이 상이함에도 불구하고 절대없는 데이터의 입출력을 실현할 수 있고 또한, 소비전력을 작게할 수 있다.

[발명의 실시의 형태]

일반적으로, 소비전류를 저감하는 방법으로서 칩 내부의 기억 장치 배열을 복수의 블록으로 분할하고 블록 단위로 동작시키는 방법이 알려져 있다. 이 기술은, 예컨대, 특개평 4-278284호 공보에 나타내어져 있다. 이 출원 발명자들은 화상용 DRAM의 소비전력 저감을 실현하기 위해서, 우선 블록 분할의 기술을 종래의 화상용 DRAM에 적용할 것을 검토했다. 제9도에 블록 분할기술을 적용한 반도체 기억 장치(100)의 구성 예를 도시한다.

반도체 기억 장치(100)는 블록(119, 120)을 갖고 있다. 블록(119, 120)은 외부에서 부여되는 블록 번지 입력 단자(121)에서 입력되는 번지에 의해서 어느 하나가 선택되어서 동작하고, 이것에 의해 소비전력의 저감이 실현된다. 블록(119, 120)은 블록 번지 입력 단자(121)에서의 번지와 외부에서의 데이터를 받는 셀렉터(101, 102), 셀렉터에서의 데이터에 대해서 직병렬 변환을 행하는 직병렬 변환 회로(107, 108), 기억 장치 배열(111, 112), 기억 장치 배열(111, 112)에서 판독 출력된 데이터에 대해서 병렬 변환을 행하는 병렬 변환 회로(115), (116) 및 셀렉터(103, 104)를 각각 구비하고 있다.

이하에, 제9도의 반도체 기억 장치의 동작을 판독 수정 기록 동작을 행하는 경우를 예로서 설명한다. 예컨대, 블록번지 입력단자(121)에 블록(119)의 번지가 입력되면, 블록(119)내의 구성요소는 모두 활성화된다. 셀렉터(101)에 입력된 데이터는 데이터선(105)을 거쳐서 직병렬 변환 회로(107)에 입력되며 여기에서 직병렬 변환된 후, 데이터선(109)을 거쳐서 기억 장치 배열(111)에 기록 입력된다. 기억 장치 배열(111)에서 판독 출력된 데이터는 데이터선(113)을 거쳐서 직병렬 변환 회로(115)에 입력되며 여기에서 병렬 변환된 후, 데이터선(117)을 거쳐서 셀렉터(103)를 통해서 출력된다. 이 동안, 블록(120)내의 각 구성

요소는 활성화되어 있지 않다.

이때의 타이밍차트를 제10도에 도시한다. 이 예에선 4 비트의 병직렬 변환 및 직병렬변환을 행하고 있다. 블록(119)이 선택되고, 셀렉터(101)에 데이터(W1-W8)가 입력되면, 데이터(W1-W8)는 1 사이클 단위로 직병렬 변환되고 나서 기억 장치 배열(111)로 보내진다. 기억 장치 배열(111)에선 1 사이클의 데이터(W1-W4)의 기록 입력에 앞서서, 이것들의 데이터가 기록 입력되는 번지에 이미 기록 입력되고 있는 데이터가 동시에 판독 출력되고, 데이터(R1-R4)로서 병직렬 변환 회로(115)에 보내진다. 데이터의 판독 출력 후 데이터(W1-W4)가 기록 입력된다. 마찬가지로 데이터(W5-W8)의 기록 입력, 및 그것에 앞서서 데이터(R5-R8)의 판독 출력이 행해진다. 판독 출력된 데이터(R1-R8)는 병직렬 변환 회로(115)에 의해서 직렬로 변환된 후, 블록(119)의 출력 데이터로서 셀렉터(103)에서 출력된다.

계속하는 기록 입력 데이터(W9-W13)의 기록 입력되는 번지가 블록(120)의 기억 장치 배열내의 번지인 경우엔, 블록번지 입력단자(121)에 입력되는 신호는 블록(120)을 선택하게 변경된다. 그러나, 블록내의 구성 요소는 모두 이 신호에 의해서 활성화되고 있으므로, 블록(119)의 셀렉터(103)에서 데이터(R1-R8)가 출력을 완료하기 까지는 신호를 변경할 수 없다. 이 때문에, 1개의 블록으로의 데이터 기록 입력 후 곧 상이한 블록으로의 데이터의 기록 입력을 행할 수 없다. 마찬가지로, 1개의 블록에서의 데이터 판독 출력 후, 곧 상이한 블록에서의 데이터 판독 출력을 행하는 것도 불가능하다.

이같이 이 출원 발명자들의 검토로 종래의 화상용 DRAM에 블록 분할기술을 단순히 적용한 것만으로는 화상용 DRAM에 요구되는 월새없는 데이터의 입출력과 기억의 대용량화 및 소비전력 저감의 양쪽을 동시에 실현시킬 수 없다는 것이 분명해졌다.

다음에 본 발명의 반도체 장치를 설명한다. 본 발명의 반도체 장치는 블록 분할기술이 적용되고 있으며, 게다가 월새없는 데이터 입출력이 실현될 수 있다.

제1도는 본 발명의 반도체 기억 장치(10)의 구성을 도시하는 블록도이다. 반도체 기억 장치(10)는 기억 장치 배열(1a, 1b)을 각각 구비하고 있는 블록(0, 1)을 갖고 있다. 기억 장치 배열(1a, 1b)은 1 비트의 데이터를 저장하는 기억 장치가 행방향과 열방향에 각각 m 행과 n 열로 배치되고, m 행 x n 열의 데이터를 저장하는 기능을 갖고 있다. 기억 장치 배열(1a, 1b)에는 센스 앰프(2a, 2b)가 접속되어 있어, 각각 기억 장치 배열(1a, 1b)내의 어느 일행분의 기억 장치내의 데이터를 증폭한다. 센스 앰프(2a, 2b)는 로컬 데이터 버스(13a, 13b)에 의해 각각 판독/기록 회로(3a, 3b)에 접속되고 있다. 로컬 데이터 버스(13a, 13b)는 N 비트폭의 로컬 데이터 버스 LDB0(N:0), LDB1(N:0)이며 이것들을 거쳐서 센스 앰프(2a, 2b)와 판독/기록 회로(3a, 3b)간의 데이터의 전달이 행해진다. 판독/기록 회로(3a, 3b)는 판독 동작시에는 각각 센스 앰프(2a, 2b)에서의 판독 출력 데이터를 증폭하고, 기록 동작시에는 기록 입력 데이터를 각각 센스 앰프(2a, 2b)로 보내는 기능을 갖는다.

판독/기록 회로(3a, 3b)에서의 판독 데이터는 판독 데이터 버스(14a, 14b)에 의해서 병직렬 변환 회로(4a, 4b)에 전달된다. 판독 데이터 버스(14a, 14b)는 N 비트폭의 판독 데이터 버스 RDB0(N:0), RDB1(N:0)이다. 병직렬 변환 회로(4a, 4b)는 각각 판독/기록 회로(3a, 3b)에서의 시간적으로 병렬인 N 비트씩의 판독 출력 데이터를 시간 폭 방향에 직렬인 데이터로 변환해서 출력하는 기능을 갖는다. 병직렬 변환 회로(4a, 4b)에서의 직렬인 데이터는 전송 게이트(5a, 5b)에 전달된다. 이것들의 전송 게이트(5a, 5b)는 각각 판독 배열 선택 신호 ARYR0, ARYR1에 의해서 어느 쪽인가 선택된 때에, 각각 병직렬 변환 회로(4a, 4b)에서의 직렬인 데이터를 외부에 출력하는 기능을 갖고 있으며, 선택된 전송 게이트에서의 데이터는 출력 버퍼(6)에 전달된다. 여기에서, 전송게이트(5a, 5b)중의 선택된쪽에서의 데이터는 외부로의 출력 데이터 Dout로서 출력된다.

외부에서의 기록 입력 데이터(Din)는 입력 버퍼(7)에 의해서 증폭되고나서, 블록(0, 1)내의 전송 게이트(8a, 8b)에 입력된다. 전송 게이트(8a, 8b)는 기록 배열 선택 신호(ARYW0), (ARYW1)에 의해 어느쪽이 선택될 때, 입력 버퍼(7)에서의 기록 입력 데이터를 직병렬 변환 회로(9a, 9b)중의 어느것에 전달 한다. 직병렬 변환 회로(9a, 9b)는 전송 게이트(8a, 8b)에서의 시간적으로 직렬인 기록 입력 데이터를 N 비트씩 각각 시간축 방향에 병렬인 데이터로 변환하고, 각각 기록 데이터 버스(15a, 15b)를 거쳐서 판독/기록 회로(3a, 3b)에 출력한다. 기록 데이터 버스(15a, 15b)는 N 비트폭의 기록 데이터 버스 WDB0(N:0), WDB1(N:0)이다.

상술한 판독 배열 선택신호(ARYR0, ARYR1) 및 기록 배열 선택 신호(ARYW0, ARYW1), 또한 정규 배열 선택 신호(ARYNO, ARYN1)는 제어 회로부(16)에서 생성된다. 정규 배열 선택 신호(ARYNO, ARYN1)는 판독/기록 회로(3a, 3b)와 센스 앰프(2a, 2b)를 동작시키기 위한 신호이다. 또한, 이 예에선 제어 회로부(16)를 반도체 기억 장치(10)dm1 내부에 설치하고 있는데, 상술한 선택 신호를 생성하는 회로는 반도체 기억 장치(10)의 외부에 설치하는 것도 가능하다.

제어 회로부(16)판독 배열 제어 회로(11), 기록 배열 회로(12) 및 정규 배열 제어 회로(17), 및 이것들에 각각 접속되어 있는 입력 단자(18, 19, 20)를 갖고 있다. 판독 배열 제어 회로(11)는 판독용 배열 선택 신호 입력 단자(18)에서 판독용 배열 선택 신호(ARYR)를 받아들이고 클록(LATR)에 의해 내부에 받아들여 판독 배열 선택 신호(ARYR0, ARYR1)를 생성하고, 이것들을 전송 게이트(5a, 5b)에 각각 출력한다. 정규 배열 제어 회로(17)는 정규용 배열 선택 신호 입력 단자(19)에서 정규용 배열 선택 신호(ARYN)를 받아들이고 클록(LATN)에 의해 내부에 받아들이고 정규배열 선택 신호(ARYN0) 또는 (ARYN1)를 각각 판독/기록 회로(3a)와 센스 앰프(2a) 또는 판독/기록 회로(3b)와 센스 앰프(2b)에 출력한다. 기록 배열 제어 회로(12)는 기록용 배열 선택 신호 입력 단자(20)에서 기록용 배열 선택 신호(ARYW)를 클록(LATW)에 의해서 내부에 받아들이고 기록 배열 선택 신호(ARYW0, ARYW1)를 전송 게이트(8a, 8b)에 각각 출력한다.

제2(a)도 및 2(b)도는 본 실시의 형태에 있어서의 판독용의 전송 게이트(5a), (5b) 및 기록용의 전송 게이트(8a), (8b)의 내부 회로 도이다. 본 실시의 형태에선, 전송 게이트(5a, 5b, 8a, 8b)는 어느것이나 일반적인 N 형 트랜지스터에 의해 구성되고 있다. 또, 제3(c)도는 이 실시의 형태에 있어서의 제어 회로부(16)의 회로 구성도이다. 제어 회로부(16)는 일반적인 플립플롭으로 구성되어 있다.

제4도에 판독/기록 회로, 센서 앰프 및 이것들을 접속하는 로컬 데이터 버스의 상태를 도시한다. 이 실시

의 형태에선, 로컬 데이터 버스(13a, 13b), 판독 데이터 버스(14a, 14b) 및 기록 데이터 버스(15a, 15b)의 피트폭은 모두 4 비트로 하고 있다. 또한, 이후에 상술하듯이, 시간적으로 직렬로 입력되는 기록 데이터를 직병렬 변환 회로 및 판독/기록 회로의 2 단계로 나누어서 향하고 있다. 직병렬 변환을 2 단계로 나누어 행하므로서 1 단계, 즉 직병렬 변환 회로만에 의해서 직병렬 변환을 행하기보다, 데이터 버스의 개수의 감소에 의해서 데이터 버스 폭을 작게 할 수 있다. 또한, 기억 장치 배열로서 기록 입력 동작 및 판독 출력 동작은 저속으로 행할 것이 바람직하므로, 직병렬 변환을 1 단계에서 행하므로서 고속화를 도모할 필요도 없다. 판독/기록 회로에 의해서 판독된 시간적으로 병렬인 데이터에서 관해서도 마찬가지로 판독/기록 회로 및 병직렬 변환 회로의 2 단계에서 시간적으로 직렬인 데이터로 변환된다.

다음에 이상 같이 구성된 반도체 기억 장치(10)의 동작을 설명한다. 우선, 반도체 기억 장치(10)가 기록 동작만, 즉, 데이터의 기록 입력만을 행하는 경우를 제5도를 참조하면서 설명한다. 이하의 설명에선 내부의 병렬인 데이터의 비트폭이 N=4 비트의 경우에 대해서 설명한다.

우선, 외부입력의 기록용 배열 선택 신호(ARYW)가 기록용 배열 선택 신호 입력 단자(20)에서 받아들여지는 클럭(LATW)에 의해서 기록 배열 제어 회로(12)에 받아들여진다. 기록용 배열 선택 신호(ARYW)에 의해서 나타나어지는 데이터가 기록 입력되어야 할 번지가 어느 블록의 기억 장치 배열에 속하느냐에 따라서, 기록 배열 제어 회로(12)는 복수의 기록 배열 선택 신호 중의 어느 하나를 액티브하고 나머지를 비액티브로 한다. 여기에선, 블록(0)의 기억 장치 배열(1a)의 번지가 선택된 경우를 설명한다. 기록 배열 제어 회로(12)는 기록 배열 선택 신호(ARYW0)를 액티브로 하고 블록(1)을 선택하는 기록 배열 선택 신호(ARYW1)를 비 액티브로 한다. 이것에 의해 블록(0)의 기록용 전송 게이트(8a)가 온 상태로 되며, 입력 버퍼(7)는 직병렬 변환 회로(9a)에 접속된다. 블록(1)의 기록용 전송 게이트(8b)는 개방 상태이며, 입력 버퍼(7)와 직병렬 변환 회로(9b)는 분리되어 있다. 입력 버퍼(7)에는 외부에서 기록 입력 데이터(W1, W2, W3, ...)가 차례로 입력된다.

직 병렬 회로(9a)는 기록 입력 데이터(W1, W2, W3, ...)를 N 비트씩, 여기에선 4 비트씩 병렬인 데이터로 변환하고, 기록 데이터 버스(15a)인 WDR0(1), WDB0(2), WDB0(3) 및 WDB0(4)에 부여한다. 이시점에선, N 비트(4 비트)의 데이터는 동시에 기록 데이터 버스(15a)에 출력되기 시작하는 것은 아니고, 제5도에 도시하듯이 차례로 출력이 시작된다.

기록 배열 선택 신호(ARYW0)가 액티브인 기간은 블록(0)의 기억 장치 배열(1a)에 기록되어야 한 데이터의 개수 X 1개의 데이터의 계속 시간과 같으며, 이기간을 경과해서 판독 배열 선택 신호 ARYW0가 비 액티브로 되는 동시에, 다른 기록 배열 선택 신호, 여기에선 신호(ARYW1)가 액티브로 되고 입력 버퍼(8)에서의 기록 입력 데이터는 블록(1)에 부여된다.

한편, 상술한 동작중에 외부에서 정규용 배열 선택 신호(ARYN)가 정규용 배열 선택 신호 입력 단자(19)를 통해서 정규 배열 제어 회로(17)에 입력되고 받아들여널기 클럭(LATN)에 의해 받아들여진다. 정규 배열 제어 회로(17)는 정규용 배열 선택 신호 ARY에 따라, 정규 배열 선택 신호(ARYNO, ARYN1)를 액티브로 한다. 여기에선 데이터(W1, W2, W3, ...)가 기록 입력되어야 할 번지가 블록(0)의 기억 장치 배열(1a)의 번지이므로, 우선 블록(0)을 선택 하는 선택 신호(ARYNO)를 액티브로 한다. 이것으로, 판독/기록 회로(3a)와, 제4도에 도시하는 센스 앰프(2a)를 제어하는 센스 앰프 제어 회로(20)와, 외부에서 입력되는 로우 번지에 의거해서 기억 장치 배열(1a)내의 1 개의 워드선을 선택하는 로우 디코더(202)가 활성화되고, 기록 데이터 버스(15a)에 N 비트(4 비트)씩 부여된 기록 입력 데이터를 판독/기록 회로(3a)에 입력된다. 판독/기록 회로(3a)는 받아들인 4 비트의 데이터(W1, W2, W3, W4)를 동시에 로컬 데이터 버스 LDB0(4:0:13a)를 거쳐서 센스 앰프(2a)에 출력 한다. 센스 앰프(2a)는 이것들의 데이터(W1, W2, W3, W4)를 증폭하고 비트선(BL01-BL04)에 부여한다. 이것으로, 워드선(WL0m)과 피트선(BL010BL04)에 의해서 선택되고 기억 장치에 데이터(W1, W2, W3, W4)가 각각 기록 입력된다. 마찬가지로 해서, 다음의 4 피트의 데이터(W5, W6, W7, W8)는 피트선(BL05-BL08)에 동시에 부여된다. 이같이 해서, 블록(0)의 기억 장치 배열(1a)로의 데이터의 기록 입력도 마찬가지로해서 행해진다.

각 정규 배열 선택 신호 ARYNO, ARYN1는 대응하는 블록에 입력된 데이터가 확실하게 기억 장치에 기록 입력되기까지 액티브일 필요가 있다. 이 때문에, 대응하는 기록 배열 선택 신호(ARYW0), (ARYW1)가 액티브에서 비액티브로 변경되어도, 데이터의 전부를 기억 장치에 기록 완료되어 있지 않으면 정규 배열 선택 신호는 변경되지 않는다. 또한, 각 정규 배열 선택 신호(ARYNO), (ARYN1)는 데이터를 기억 장치에 기록 입력할 준비를 하기 위해서 대응하는 블록에 입력된 데이터가 직병렬 변환 회로를 거쳐서 판독/기록 회로에 도달하기 전에 액티브로 되고 있어야 한다. 각 정규 배열 선택 신호(ARYNO, ARYN1)의 액티브에서 비액티브로 변경하는 타이밍, 및 액티브인 기간(계속 기간)은 이상의 2개의 조건을 고려해서 결정되며 좋다. 따라서 정규 배열 선택 신호는 기록 배열 선택 신호와는 다르고 복수가 동시에 액티브로 되어도 좋다. 이 실시의 형태에선 제5도에 도시하듯이 블록(0)에 부여되는 정규 배열 선택신호(ARYNO)는 블록(1)에 부여되는 정규 배열 선택 신호(ARYN1)가 액티브로 변경되는 시점보다 나중까지 액티브이다.

상술한 타이밍이 설정된 기록 배열 선택 신호 및 정규 배열 선택 신호를 사용함으로써 상이한 블록의 기억 배열로의 데이터의 기록 입력을 술사없이 행하는 것이 가능하다.

다음에, 반도체 기억장치(10)가 판독 동작만, 즉 데이터의 판독만을 행하는 경우를 제6도를 참조하면서 설명한다.

우선, 외부 압력의 판독용 배열 선택 신호(ARYR)가 판독용 배열 선택 신호 입력 단자(18)에서 받아들여널기 클럭 LATR에 의해 판독 배열 제어 회로(11)에 받아들여진다. 판독용 배열 선택 신호(ARYR)에 의해서 나타나어지는 데이터가 판독되어야 할 번지가 어느 블록의 기억 장치 배열에 속하느냐에 따라서 판독 배열 제어 회로(11)는 복수의 판독 배열 선택 신호 중의 하나를 액티브로 하고 나머지를 모두 비 액티브로 한다. 여기에선, 단자(18)에 입력된 신호(ARYR)가 블록(0)의 기억 장치 배열(1a)의 번지를 나타내고 있는 경우를 설명한다. 판독 배열 제어 회로(11)는 블록(0)을 선택하는 판독 배열 선택 신호(ARYR0)를 액티브로 하고 블록(1)을 선택하는 판독 배열 선택 신호(ARYR1)를 비액티브로 한다. 이것에 의해 블록(0)의 판독용 전송 게이트(5a)가 온 상태로 되며 출력 버퍼(6)는 병직렬 변환 회로(4a)에 접속된다. 블록(1)의 판독용 전송 게이트(5b)는 개방 상태이며 출력 버퍼(6)와 병직렬 변환 회로(4b)와는 분리되어 있다.

또, 복수의 판독 배열 선택 신호중의 하나가 액티브로 되는 것에 앞서서 정규 배열 제어 회로(17)는 대응하는 블록에 부여되는 정규 배열 선택 신호를 액티브로 한다. 이 타이밍에 대해선 후에 기술한다. 여기에선 정규 배열 제어 회로(17)는 블록(0)에 부여되는 정규 배열 선택 신호(ARYR0)를 액티브로 한다. 그것에 의해 판독/기록 회로(3a), 센스 앰프 제어 회로(201) 및 로우 디코더(202)가 활성화되고, 우선, 워드선(WLOm)과 비트선(BL01-BL04)에 의해서 선택되는 기억 장치에서 데이터(R1, R2, R3, R4)가 동시에 판독 출력된다. 판독 출력된 데이터(R1, R2, R3, R4)는 센스 앰프(2a)에 의해서 증폭되고부터 로컬 데이터 버스(13a)를 거쳐서 판독/기록 회로(3a)에 부여된다. 계속해서, 마찬가지로 해서 워드선(WLOm)과 비트선(BL05-BL08)에 의해서 선택되는 기억 장치에서 데이터(R5, R6, R7, R8)가 동시에 판독 출력되어서 판독/기록 회로(3a)에 출력된다. 판독된 데이터는 4비트씩 동시에 병렬 변환 회로(4a)에 부여되며, 여기에서 시간적으로 직렬인 데이터로 변환되고부터 판독용 전송 게이트(5a)에 출력된다. 판독용 전송 게이트(5a)는 상술같이 판독 배열 선택 신호(ARYR0)에 의해서 온 상태로 되고 있으며 병렬 변환 회로(4a)부터의 직렬인 데이터를 출력 버퍼(6)에 출력한다.

판독 배열 선택 신호(ARYR0)가 액티브인 기간은 블록(0)의 기억 장치 배열(1a)에서 판독되어야 할 데이터의 개수 x 1 개의 데이터의 계속 기간과 같고, 이 기간이 종료하는 시점은 블록(0)의 전송 게이트(5a)에서 모든 데이터가 출력된 시점이다. 판독 배열 선택 신호(ARYR0)가 비액티브로 변경되는 동시에 다른 판독 배열 선택 신호, 여기에선(ARYR1)이 액티브로 되고 블록(1)의 판독용 전송 게이트(5b)를 거쳐서 블록(1)의 기억 장치 배열(1b)에서 판독된 데이터가 출력 버퍼(6)에 출력되기 시작한다.

또, 각 정규 배열 선택 신호는 그 블록의 기억 장치에서 데이터가 판독되고 판독/기록 회로에서 출력 완료까지의 동안 액티브이면 좋다. 따라서, 대응하는 판독 신호가 비액티브로 변경되기 전에 정규 배열 선택 신호가 비 액티브로 변경되어도 좋다. 그러나, 각 정규 배열 선택 신호가 비 액티브에서 액티브로 변경되는 타이밍은 대응하는 판독 배열 선택 신호가 액티브로 변경되는 타이밍 보다 이전이어야 한다. 보다 구체적으로는 정규 배열 신호가 액티브로 되는 타이밍은 대응하는 판독 배열 선택 신호가 액티브로 되면 동시에 직렬인 데이터를 출력하기 시작할 수 있게 설정된다. 각 정규 배열 선택 신호가 액티브인 기간은 상기 2 개의 점을 고려해서 결정된다. 따라서, 판독 배열 선택 신호는 그 중의 어느 하나가 액티브이면 나머지는 모두 비 액티브인 것에 대해서 정규 배열 선택 신호는 복수가 동시에 액티브여도 좋다. 이 실시의 형태에선 제6도에 도시하듯이 블록(0)에 부여되는 정규 배열 선택 신호(ARYR0)가 비 액티브로 되기 보다 전에 블록(1)에 부여되는 정규 배열 선택 신호(ARYR1)가 액티브로 변경되고 블록(1)의 기억 장치 배열(1b)에서의 데이터의 판독 출력이 시작된다.

이같이 변경의 타이밍의 설정된 정규 배열 선택 신호 및 판독 배열 선택 신호를 사용함으로써, 상이한 블록의 기억 장치 배열에서 판독 출력된 데이터를 쉴새없이 출력하는 것이 가능하다.

계속해서 반독체 기억 장치(10)가 판독 수정 기록 동작을 행하는 경우를 제3도를 참조하면서 설명한다. 판독 수정 기록동작에선 정규 배열 선택 신호의 변경 타이밍은 기록 배열 선택 신호 및 판독 배열 선택 신호의 양쪽의 변경 타이밍을 고려해서 결정된다.

우선, 외부에서 단자(20)에 입력되는 판독용 배열 선택 신호 ARYW에 의해서 그중의 어느 하나의 블록이 선택되며, 그 블록에 부여되는 판독 배열 선택 신호가 액티브로 된다. 나머지의 판독 배열 선택 신호는 비액티브 그대로이다. 여기에선, 블록(0)이 선택되는 것으로 한다. 계속해서 상술한 기록 동작인 때와 마찬가지로 하고, 외부에서 입력 버퍼(7)에서 입력된 데이터가 블록(0)의 판독용 전송 게이트(8a)를 거쳐서 직병렬 변환 회로(9a)에 입력되고, 여기에서 N 비트(여기에는 4 비트)씩 시간적으로 병렬인 데이터로 변환된 후, 기록 데이터 버스 WDB(N:0: 15a)에 부여된다.

한편, 이것과 병행해서, 상기 기록용 배열 선택 신호 ARYW가 나타내고 있는 번지와 같은 번지를 나타내는 정규용 배열 선택 신호 ARYN가 단자(19)에서 정규 배열 제어 회로(17)에 입력된다. 이것에 따라 정규 배열 제어 회로(17)는 복수의 정규 배열 선택 신호중 하나, 여기에선 블록(0)을 선택하기 위한 정규 배열 선택 신호(ARYR0)를 액티브로 한다. 이것에 의해서 판독/기록 회로(3a), 센스 앰프 제어 회로(201) 및 로우 디코더(202)가 활성화되고 상술한 판독 동작시와 마찬가지로 해서 기억 장치 배열(1a)에서 데이터가 판독 출력되며, 센스 앰프(2a)에 의해서 증폭되고나서 판독/기록 회로(3a)에서 판독 데이터 버스 LDB(N:0: 14a)상에 출력된다. 계속해서 기록 데이터 버스(15a)에서의 기록 입력 데이터가 판독/기록 회로(3a)에 부여되고 센스 앰프(2a)를 거쳐서, 먼저 데이터가 판독된 기억 장치 행렬에 기록 입력된다. 이같이 1 회의 번지의 선택으로 동일 기억 장치에서 대해서 데이터의 판독 출력과 기록 입력의 양쪽을 행한다.

또한, 상기 기록을 배열 선택 신호(ARYW), 정규용 배열 선택 신호(ARYN)가 나타내고 있는 번지와 같은 번지를 나타내는 판독용 배열 신호(ARYR)가 단자(20)에서 판독 배열 제어 회로(12)에 입력된다. 이것에 따라서, 판독 배열 제어 회로(12)는 복수의 판독 배열 선택 신호중 하나, 여기에선 블록(0)을 선택하기 위한 판독 배열 선택 신호(ARYR0)를 액티브로 한다. 이것에 의해 블록(0)의 병렬 변환 회로(4a)가 판독용 전송 게이트(5a)를 거쳐서 출력 버퍼(6)에 접속되고 판독 데이터 버스 LDB(N:0: 14a) 상에 동시에 출력된 판독 출력 데이터는 병렬 변환 회로(4a)에 의해서 시간적으로 직렬인 데이터로 변환한 후에 출력 버퍼(6)에 출력된다. 판독 출력된 데이터가 모두 출력 버퍼(6)에 출력을 마치면 판독 배열 선택 신호(ARYR0)는 비 액티브로 변경되고, 동시에 다른 판독 배열 선택 신호가 액티브로 된다.

상술같이 해서 본 발명의 반독체 기억 장치(10)의 판독 수정 기록 동작이 행해진다. 이 동작에 있어서 각 선택 신호가 액티브인 기간 및 액티브에서 비 액티브로 변경하는 타이밍은 이하와 같이 결정된다. 우선, 각 기록 배열 선택 신호가 액티브인 기간은 기록 동작의 설명에 있어서 말한바와 같이 기록 입력해야 할 데이터의 개수 x 1 개의 데이터의 계속시간에 상당한다. 어느 블록에 부여되는 기록 배열 선택 신호가 액티브에서 비 액티브로 변경하면 그것과 동시에 다른 블록의 하나에 부여되는 기록 배열 선택 신호가 액티브로 변경된다. 즉, 복수이 블록에 부여되는 기록 배열 선택 신호중, 그중의 어느 하나의 블록에 부여되는 것만이 액티브이다. 각 판독 배열 선택 신호도 마찬가지로 판독 출력되는 데이터의 개수 x 1 개의 데이터의 계속시간에 상당하는 기간 만큼 액티브이며 복수의 블록에 부여되는 판독 배열 선택 신호중의 어느 하나가 액티브이면 나머지는 비 액티브이다.

각 정규 배열 선택 신호가 액티브로 되는 타이밍은 이하의 2 개의 조건을 고려해서 결정된다. 우선, 기록 입력되는 데이터가 직렬 변환 회로를 거쳐서 기록 데이터 버스 RDB(N:0)상에 출력되며 판독/기록 회로에 입력되기 직전까지에, 정규 배열 선택 신호는 액티브로 되며 판독/기록 회로를 활성화해 둘 필요가 있다. 또, 판독 배열 선택 신호가 액티브로 변경되는 동시에 데이터를 출력 버퍼에 출력할 수 있게 판독 배열 선택 신호가 이뤄지기 직전까지 판독/기록 회로 및 센스 앰프를 활성화해서 데이터를 기억 장치에서 판독 출력해서 시간적으로 직렬인 데이터로 변환해 둘 필요가 있다. 이것들의 2 개의 조건을 만족하게 각 정규 배열 선택 신호가 액티브로 되는 타이밍이 결정된다. 제7도의 예에선, 정규 배열 선택 신호는 기록 배열 선택 신호와 동기해서 액티브로 변경되고 있는데 이것들은 반드시 동기되고 있지 않아도 된다.

또, 각 정규 배열 선택 신호는 기록 입력 데이터를 완전히 기록 입력하고 기억 장치 배열에서 판독 출력된 데이터를 모두 출력 완료할 때까지 액티브이면 좋다. 제7도의 예에선 정규 배열 선택 신호는 판독 배열 선택 신호와 동기해서 비 액티브로 변경되고 있는데 이것들은 반드시 동기되고 있지 않아도 좋다. 또한, 상술같이 각 정규 배열 선택 신호가 액티브로 되는 타이밍 및 비 액티브로 되는 타이밍을 설정하고 있으므로 예컨대, 제7도에 도시하듯이 복수의 클록에 부여되는 정규 배열 선택 신호가 동시에 액티브일 수 있다.

이상, 설명한 바와 같이 블록 분할 기술을 채용한 반도체 기억 장치(10)에 있어서 복수의 블록의 각각을 블록으로의 데이터의 입력을 제어하는 신호인 기록 배열 선택 신호, 블록에서의 데이터의 출력을 제어하는 신호인 판독 배열 선택 신호, 및 블록내에서의 기억 장치 배열로의 접근을 제어하는 신호인 정규 배열 선택 신호인 3 종류의 신호를 써서 제어하므로 판독 수정 기록 동작을 행하는 경우에 있어서도 쉴새없이 데이터의 입출력을 행할 수 있다.

또, 이 실시의 형태에선 전송 게이트(5a, 5b, 8a, 8b)가 n형 트랜지스터의 경우에 대해서 설명했는데, 이것이 P형 트랜지스터의 경우에도 판독 배열 선택 신호(ARYR0), (ARYR1) 및 기록 배열 선택 신호(ARYW0, ARYW1)의 논리를 반전시키면 마찬가지로 해서 설명가능하다. 또, 전송 게이트(5a, 5b, 8a, 8b)를 각각 제2(c)도, 제2(d)도와 같은 CMOS 구성으로 한 경우도 마찬가지로 해서 설명가능하며 다른 동등의 기능의 회로로 해도 좋다.

또, 이 실시의 형태에선 반도체 기억 장치(10)가 기억 장치 배열을 갖는 블록을 2 개 구비하고 있는 경우를 설명했는데, 블록의 개수가 3 개 이상으로 된 경우도 마찬가지로 해서 설명가능하다.

또, 이 실시의 형태에선 내부의 병렬인 데이터의 비트폭이 N=4 비트의 경우에 대해서 설명했는데 N=2, N=3, N≥5의 경우도 마찬가지로 해서 설명가능하다.

상술한 예에선 판독 배열 제어회로, 정규 배열 제어 회로 및 기록 배열 제어 회로의 3 개를 갖는 배열 선택 제어 회로로서 입출력을 행할 수 있다.

또, 이 실시의 형태에선 전송 게이트(5a, 5b, 8a, 8b)가 n형 트랜지스터의 경우에 대해서 설명했는데, 이것이 P형 트랜지스터의 경우에도 판독 배열 선택 신호(ARYR0), (ARYR1) 및 기록 배열 선택 신호(ARYW0, ARYW1)의 논리를 반전시키면 마찬가지로 해서 설명가능하다. 또, 전송 게이트(5a, 5b, 8a, 8b)를 각각 제2(c)도, 제2(d)도와 같은 CMOS 구성으로 한 경우도 마찬가지로 해서 설명가능하며 다른 동등의 기능의 회로로 해도 좋다.

또, 이 실시의 형태에선 반도체 기억 장치(10)가 기억 장치 배열을 갖는 블록을 2 개 구비하고 있는 경우를 설명했는데, 블록의 개수가 3 개 이상으로 된 경우도 마찬가지로 해서 설명가능하다.

또, 이 실시의 형태에선 내부의 병렬인 데이터의 비트폭이 N=4 비트의 경우에 대해서 설명했는데 N=2, N=3, N≥5의 경우도 마찬가지로 해서 설명가능하다.

상술한 예에선 판독 배열 제어회로, 정규 배열 제어 회로 및 기록 배열 제어 회로의 3 개를 갖는 배열 선택 제어 회로로서 제3(c)도에 도시하는 구성의 회로를 썼다. 그러나, 제3(a)도 및 3(b)도에 도시하는 구성의 배열 선택 제어 회로를 써도 마찬가지의 효과를 얻을 수 있다.

제3(a)도는 배열 선택 제어 회로의 구성의 다른예를 도시하는 도면이다. 제3도(a)도에 있어서, 판독 배열 제어 회로(32), 정규 배열 제어 회로(33) 및 기록 배열 제어 회로(34)는 각각 상술한 판독 배열 제어 회로(11), 정규 배열 제어 회로(17) 및 판독 배열 제어 회로(12)와 동등한 기능을 갖고 있다. 여기에선 각 제어 회로에 대해서 판독용 배열 선택 신호 입력 단자(18), 기록용 배열 선택 신호 입력 단자(20), 정규 용 배열 선택 신호 입력 단자(19)의 3 개의 단자를 별개로 쓰는 대신에 공통 배열 선택 신호 입력 단자(31)를 사용하고 있다. 공통 배열 선택 신호 입력 단자(31)에는 상술한 예에 있어서의 판독용 배열 선택 신호(ARYR)와 판독용 배열 선택 신호(ARYW)와 정규 배열 선택 신호(ARYN)와의 논리합의 신호가 공통 배열 선택 신호(ARYC1)로서 외부에서 입력된다. 이같은 구성의 배열 선택 제어 회로를 쓴 경우에 있어서도 상술한 예와 마찬가지로 해서 설명가능하다. 또, D 플립플롭을 다른 동등한 기능의 회로로 해도 좋다. 제3(a)도의 구성의 배열 선택 제어 회로를 쓴 경우에는 상술한 예에 비해서 입력 단자수를 감소시킬 수 있으므로 칩 면적을 감소시키고 칩 비율을 감소시킬 수 있다.

제3(b)도는 배열 선택 제어 회로의 또한 다른 예를 도시하는 도면이다. 제3(b)도에 있어서 판독 배열 제어 회로(37), 정규 배열 제어 회로(38), 판독 배열 제어 회로(39)는 각각 상술한 예의 판독 배열 제어 회로(11)와 정규 배열 제어 회로(17) 및 기록 배열 제어 회로(12)와 동등한 기능을 갖고 있다. 여기에선, 공통 배열 선택 신호 입력 단자(35)와 각 제어 회로(37, 38, 39)간에 입력 래치(36)를 두고 입력 래치(36)에 의해 외부에서의 공통 배열 선택 신호(ARYC2)를 받아 들인후, 일정시간 유지한다. 공통 배열 선택 신호 입력 단자(35)에는 판독 배열 선택 신호, 정규 배열 선택 신호(ARYC2)로서 외부에서 입력된다. 이같은 구성의 배열 선택 제어 회로를 사용한 경우에 있어서도 상술한 예와 마찬가지로 해서 설명 가능하다. 또한, D 플립플롭을 다른 동등한 기능의 회로로 해도 좋다. 또, 제3(b)도의 구성의 배열 선택 제어 회로를 쓴 경우엔 제3(a)도의 구성으로 한 경우에 비해서 공통 배열 선택 신호(ARYC)의 입력 타이밍 조건을 완화할 수 있고 외부 제어 회로를 간략화 할 수 있다.

또한, 이 실시의 형태의 반도체 기억 장치(10)에선 각 블록의 구성 요소, 즉 기억 장치 배열, 센스앰프,

기록용 전송 게이트, 직병렬 회로, 판독/기록 회로, 병직렬 회로, 및 판독용 전송 게이트를 모두 1 칩상에 형성하지 않아도 좋다. 이 실시의 형태에선, 직병렬 회로 및 병직렬 회로도 포함한 모든 구성요소를 동일 칩상에 형성하고 또한, 직병렬 변환 및 병직렬 변환을 2 단계로 행하고 있으므로 데이터 버스 폭을 작게 할 수 있고 그것에 의해서 1 칩의 치수를 작게할 수 있다.

[발명의 효과]

본 발명에 의한 반도체 기억 장치는 기억 장치 배열에 데이터의 입출력을 행하는 판독/기록 회로와 직병렬 변환 회로와 병직렬 변환 회로에 대해서 기록 배열 선택 신호에 의해서 제어되는 기록용 전송 게이트와 판독 배열 선택 신호에 의해서 제어되는 판독용 전송 게이트를 거쳐서 데이터의 교환을 행하면서 판독 수정 기록 동작을 행하며 또한, 쉴새없이 데이터를 입출력하고 배열 분할에 의해서 소비 전력을 작게 하는 것이 가능으로 되며 고성능인 쉴새없이 데이터를 입출력하는 반도체 기억 장치를 제공할 수 있고 이 반도체 기억 장치를 사용한 시스템의 성능도 향상시킬 수 있다. 또, 용이하게 고성능인 반도체 기억 장치가 실현된다는 것에서 칩의 설계기간을 단축할 수 있고 새로운 품종으로서 전개를 용이하게 행할 수 있다.

(57) 청구의 범위

청구항 1

복수의 블록을 갖는 반도체 기억장치이며 그 복수의 블록엔 복수의 제1의 선택신호 및 복수의 제2의 선택신호가 공급되며 그 복수의 블럭의 각각은 기억 장치 배열과; 그 복수의 제1의 선택 신호중의 대응하는 하나가 액티브인 때 그 기억 장치 배열에서 블록의 데이터를 동시에 판독 출력하는 판독/기록 회로와, 동시에 판독 출력된 그 복수의 데이터를 1 데이터씩 시간적으로 연속해서 출력하는 병직렬 변환회로와; 그 복수의 제2 선택 신호중의 대응하는 하나에 의해서 제어되는 게이트이며, 그 대응하는 제2의 선택 신호가 액티브일 때 그 병직렬 변환회로에서의 그 복수의 데이터를 출력하는 게이트를 구비하고 있고, 그 복수의 제2의 선택 신호는 어느 하나가 액티브인 때는 나머지는 모두 비액티브인 반도체 기억 장치.

청구항 2

제1항에 있어서, 상기 복수의 제1의 선택 신호의 각각은 상기 복수의 제2의 선택 신호의 대응하는 하나가 액티브로 되기 전에 액티브로 되고, 그 각각의 제1의 선택 신호의 계속 신호는 그 대응하는 하나의 제2의 선택 신호의 계속 시간과 중복하고 있는 반도체 기억 장치.

청구항 3

복수의 블록을 갖는 반도체 기억장치이며 그 복수의 블록엔 복수의 제1의 선택신호 및 복수의 제2의 선택신호가 공급되고 그 복수의 블록의 각각은 기억 장치 배열과; 그 복수의 제1의 선택 신호중의 대응하는 하나가 액티브인 때, 그 기억 장치 배열에 복수의 데이터를 받아들여 시간적으로 병렬로 그 판독/기록 회로에 출력하는 직병렬 변환 회로와; 그 복수의 제2의 선택 신호중의 대응하는 하나에 의해서 제어되는 게이트이며, 그 대응하는 제2의 선택 신호가 액티브일 때 연속된 그 복수의 데이터를 그 직병렬 변환 회로에 출력하는 게이트를 구비하고 있으며, 그 복수의 제2 선택 신호는 그중의 어느 하나가 액티브인 때는 나머지는 모두 비 액티브인 반도체 기억 장치.

청구항 4

제3항에 있어서, 상기 복수의 제1의 선택 신호의 각각은 상기 복수의 제2의 선택 신호의 대응하는 하나가 비 액티브로 된 후에 비액티브로 되며, 그 각각의 제1의 선택 신호의 계속 시간은 그 대응하는 하나의 제2의 선택 신호의 계속 시간과 중복하고 있는 반도체 기억 장치.

청구항 5

복수의 블록을 갖는 반도체 기억 장치이며, 그 복수의 블록엔 복수의 제1의 신호, 복수의 제2의 신호 및 복수의 제3의 신호가 공급되고, 그 복수의 블록의 각각은 기억 장치 배열과; 복수의 제1의 선택신호 중의 대응하는 하나가 액티브인 때, 그 기억 장치 배열에서 복수의 데이터를 동시에 판독 출력하고 계속해서 그 기억 장치 배열에 복수의 다른 데이터를 동시에 기록 입력하는 판독/기록 회로와; 동시에 판독 출력된 그 복수의 데이터를 1 데이터씩 시간적으로 연속해서 출력하는 병직렬 변환회로와, 복수의 제2 선택 신호중의 대응하는 하나에 의해서 제어되는 게이트이며, 그 대응하는 제2의 선택 신호가 액티브일 때, 그 병직렬 변환회로에서의 그 복수의 데이터를 출력하는 판독용 전송 게이트와; 연속된 그 복수의 다른 데이터를 받아 시간적으로 병렬로 그 판독/기록 회로에 출력하는 직병렬 변환 회로와; 복수의 제3의 선택 신호중의 대응하는 하나에 의해서 제어되는 기록용 전송 데이터이며, 그 대응하는 제3의 선택 신호가 액티브인 때, 연속된 그 복수의 데이터를 그 직병렬 변환 회로에 추력하는 기록용 전송 게이트를 구비하고 있으며, 그 복수의 제2의 선택 신호는 그중의 어느 하나가 액티브인 때는 나머지는 모두 비액티브이며, 그 복수의 제3의 선택 신호는 그중의 어느 하나가 액티브인 때는 나머지는 모두 비 액티브인 반도체 기억 장치.

청구항 6

제5항에 있어서, 상기 복수의 제1의 선택 신호의 각각은 상기 복수의 제2의 선택 신호의 대응하는 하나가 액티브로 되기 전에 액티브로 되며 또한, 상기 복수의 제3의 선택 신호의 대응하는 하나가 비액티브로 된 후에 비액티브로 되고 그 제1의 선택 신호의 각각의 계속 시간은 그 대응하는 하나의 제2의 선택 신호의 계속시간 및 그 대응하는 하나의 제3의 선택 신호의 계속 시간과 중복하고 있는 반도체 기억 장치.

청구항 7

제1항에 있어서, 상기 제1의 선택 신호 및 상기 제2의 선택 신호를 발생하는 제어 회로부를 또한 구비하

고 있는 반도체 기억 장치.

청구항 8

제5항 또는 제6항에 있어서, 상기 제1의 선택신호, 상기 제2의 선택신호 및 상기 제3의 선택 신호를 발생하는 제어 회로부를 구비하고 있는 반도체 기억 장치.

청구항 9

제8항에 있어서, 상기 제어 회로부는, 선택하는 블록을 나타내고 있는 제1의 배열 선택 신호가 외부에서 입력되는 제1의 입력 단자와; 그 제1의 배열 선택 신호에 의거해서 상기 제1의 선택 신호를 발생하는 제1의 제어 회로와; 선택하는 블록을 나타내고 있는 제2의 배열 선택 신호가 외부에서 입력되는 제2의 입력 단자와; 그 제2의 배열 선택 신호에 의거해서 상기 제2의 선택 신호를 발생하는 제2의 제어 회로와; 선택하는 블록을 나타내고 있는 제3의 배열 선택 신호가 외부에서 입력되는 제3의 입력 단자와; 그 제3의 배열 선택 신호에 의거해서 상기 제3의 선택 신호를 발생하는 제3의 제어 회로를 구비하고 있는 반도체 기억 장치.

청구항 10

제8항에 있어서, 상기 제어 회로부는, 선택하는 블록을 나타내고 있는 공통 배열 선택 신호가 외부에서 입력되는 공통 입력 단자와, 그 공통 배열 시호에 의거해서 상기 제1의 신호, 상기 제2의 신호, 및 상기 제3의 신호를 각각 발생하는 제1, 제2 및, 제3의 제어회로를 구비하고 있는 반도체 기억장치.

청구항 11

제10항에 있어서, 상기 제어 회로부는 상기 공통 입력 단자와 상기 제1, 제2 및 제3의 제어 회로간에 설치된 상기 공통 배열 선택 신호를 받아들이고 유지하는 입력 래치를 또한 구비하고 있는 반도체 기억 장치.

청구항 12

제1항에 있어서, 상기 병직렬 회로는 동시에 판독된 상기 복수의 데이터를 N 비트씩 시간적으로 연속된 데이터로 변환해서 출력하는 반도체 기억 장치.

청구항 13

제3항에 있어서, 상기 직병렬 회로는 상기 연속된 복수의 데이터를 받아 N 비트씩 시간적으로 병렬로 상기 판독/기록 회로에 출력하고 그 판독/기록 회로는 그 N 비트의 시간적으로 병렬인 데이터를 동시에 상기 기억 장치 배열에 기록 입력하는 반도체 기억 장치.

청구항 14

제1항에 있어서, 상기 복수의 블록은 하나의 칩 상에 형성되고 있는 반도체 기억 장치.

청구항 15

제3항에 있어서, 상기 제1의 선택 신호 및 상기 제2의 선택 신호를 발생하는 제어 회로부를 또한 구비하고 있는 반도체 기억 장치.

청구항 16

제5항에 있어서, 상기 병직렬 회로는 동시에 판독된 상기 데이터를 N 비트씩 시간적으로 연속된 데이터로 변환해서 출력하는 반도체 기억 장치.

청구항 17

제5항에 있어서, 상기 직병렬 회로는 상기 연속된 복수의 데이터를 받아 N 비트씩 시간적으로 병렬로 상기 판독/기록 회로에 출력하고 그 판독/기록 회로는 그 N 비트의 시간적으로 병렬인 데이터를 동시에 상기 기억 장치 배열에 기록 입력하는 반도체 기억 장치.

청구항 18

제12항에 있어서, 상기 직병렬 회로는 상기 연속된 복수의 데이터를 받아 N 비트씩 시간적으로 병렬로 상기 판독/기록 회로에 출력하고 그 판독/기록 회로는 그 N 비트의 시간적으로 병렬인 데이터를 동시에 상기 기억 장치 배열에 기록 입력하는 반도체 기억 장치.

청구항 19

제16항에 있어서, 상기 직병렬 회로는 상기 연속된 복수의 데이터를 받아 N 비트씩 시간적으로 병렬로 상기 판독/기록 회로에 출력하고 그 판독/기록 회로는 그 N 비트의 시간적으로 병렬인 데이터를 동시에 상기 기억 장치 배열에 기록 입력하는 반도체 기억 장치.

청구항 20

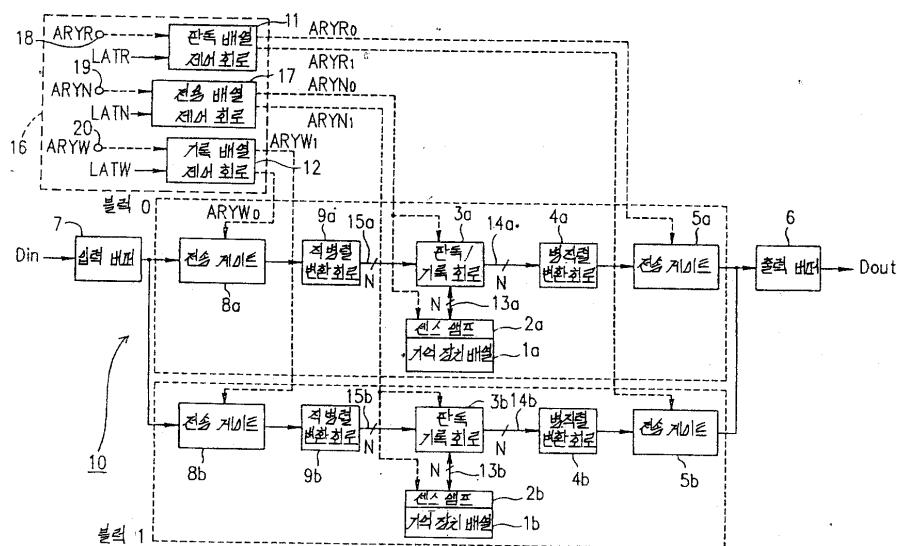
제3항에 있어서, 상기 복수의 블록은 하나의 칩 상에 형성되고 있는 반도체 기억 장치.

청구항 21

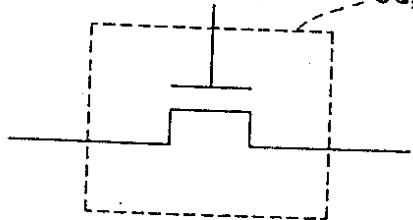
제5항에 있어서, 상기 복수의 블록은 하나의 칩 상에 형성되고 있는 반도체 기억 장치.

도면

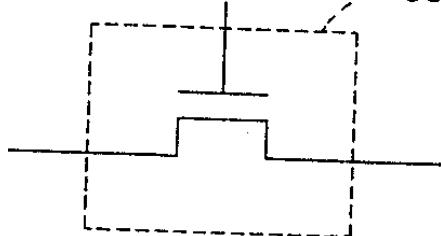
도면1



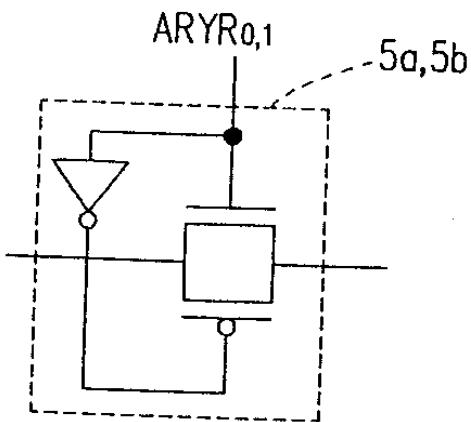
도면2a

ARYR_{0,1} 5a, 5b

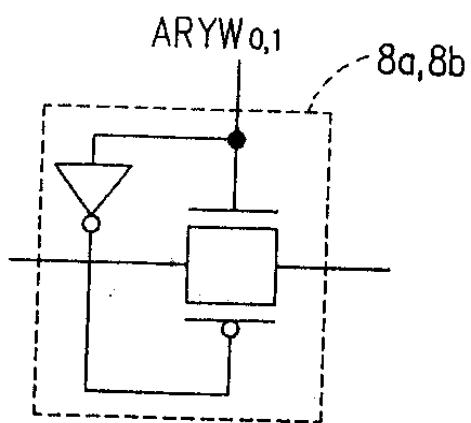
도면2b

ARYW_{0,1} 8a, 8b

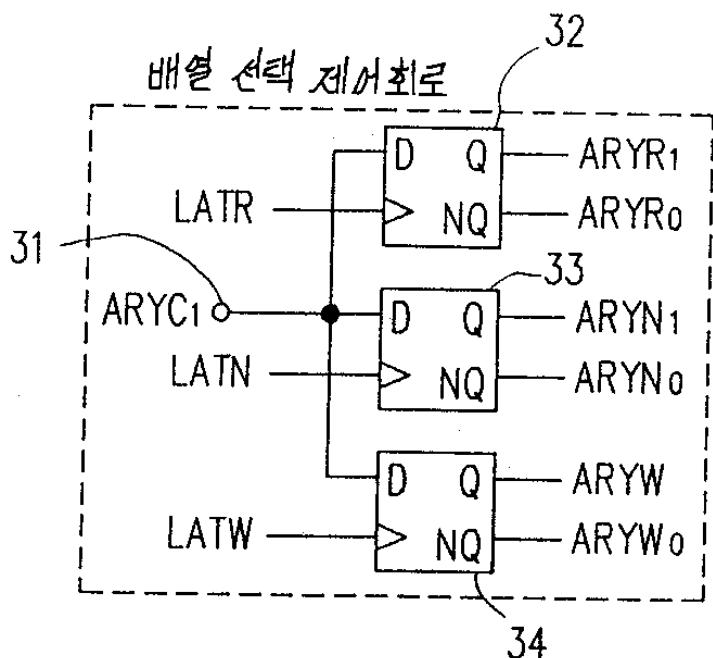
도면2c



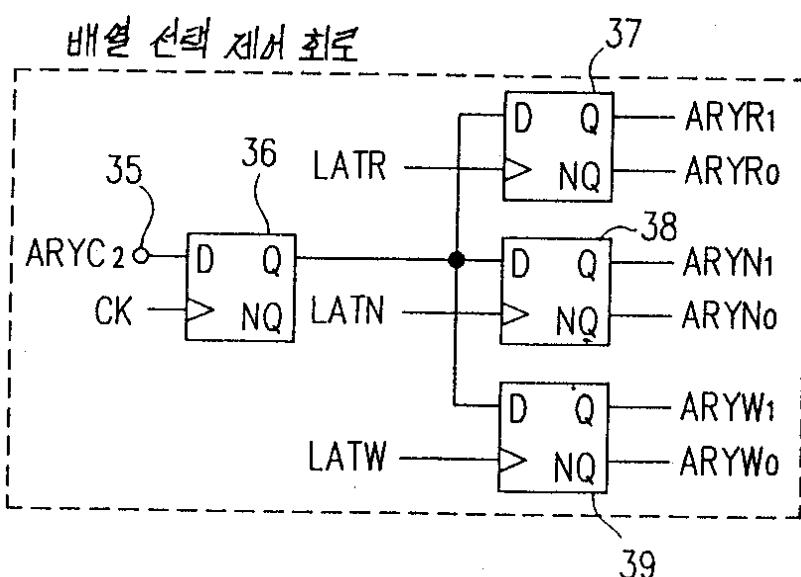
도면2d



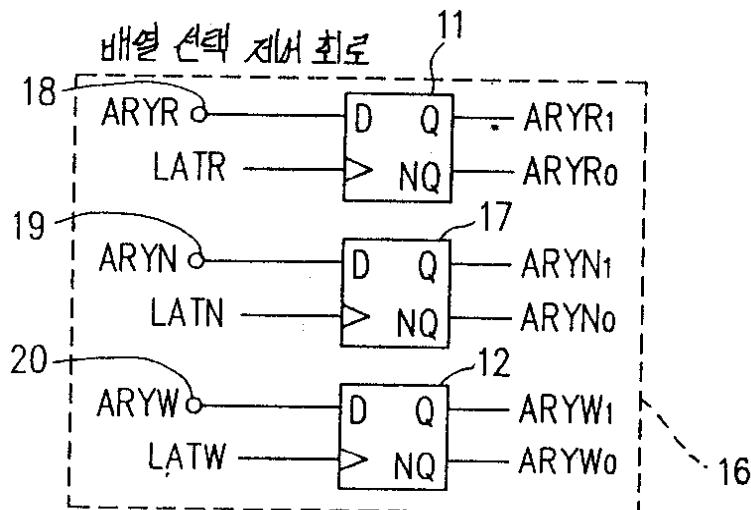
도면3a



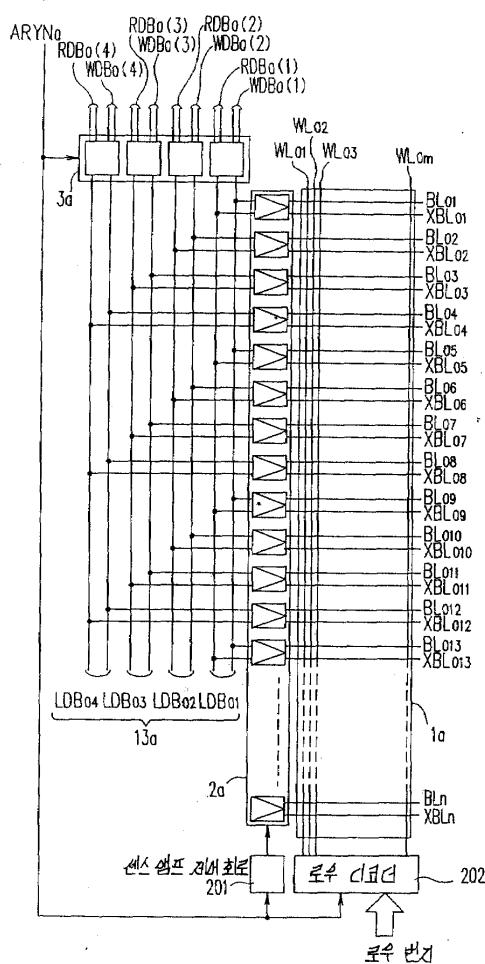
도면3b



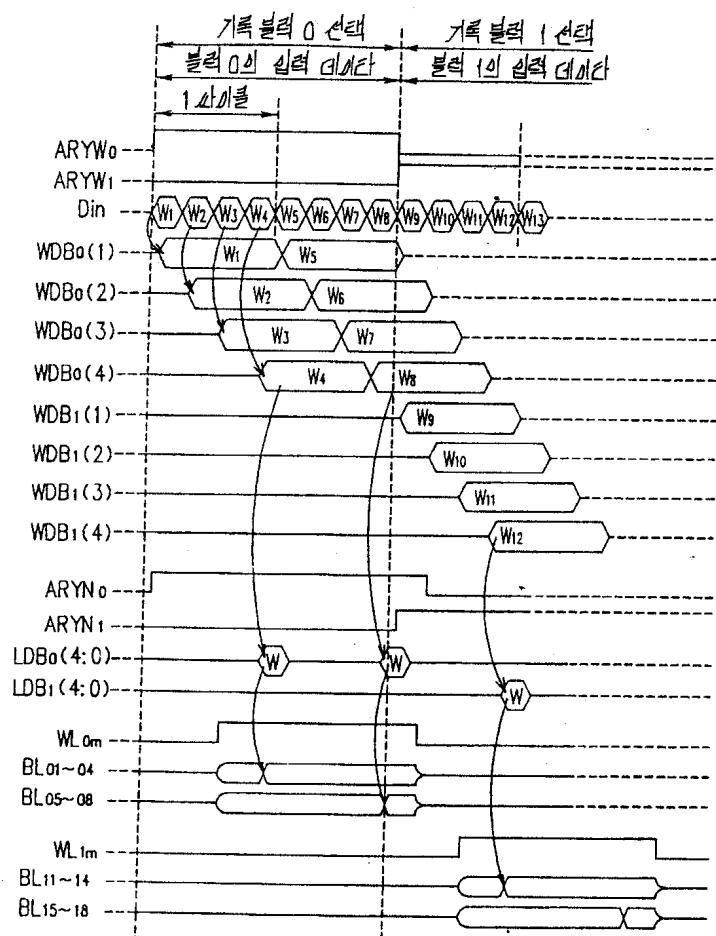
도면3c



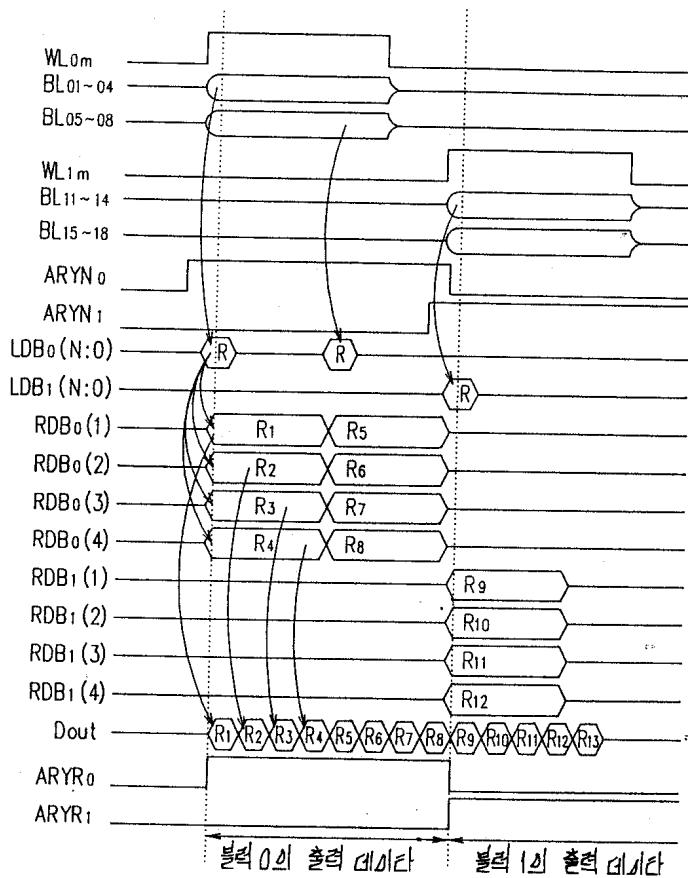
도면4



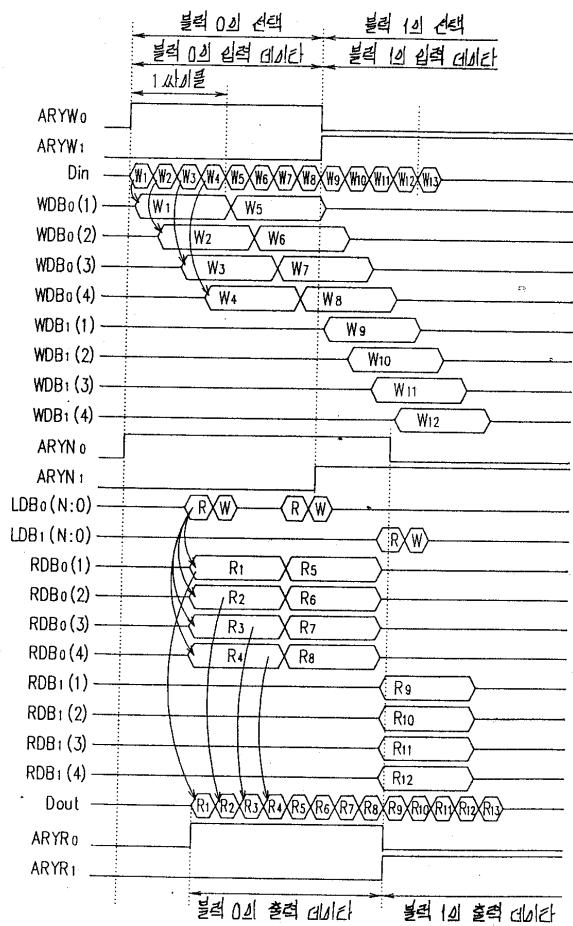
도면5



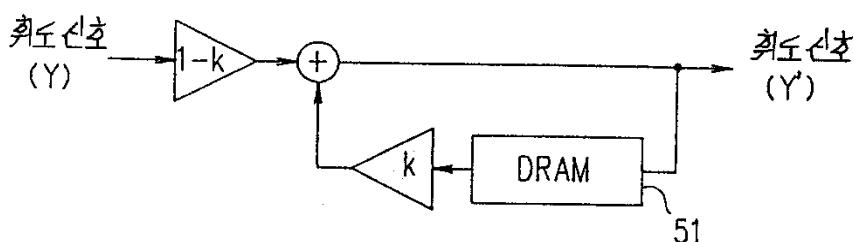
도면6



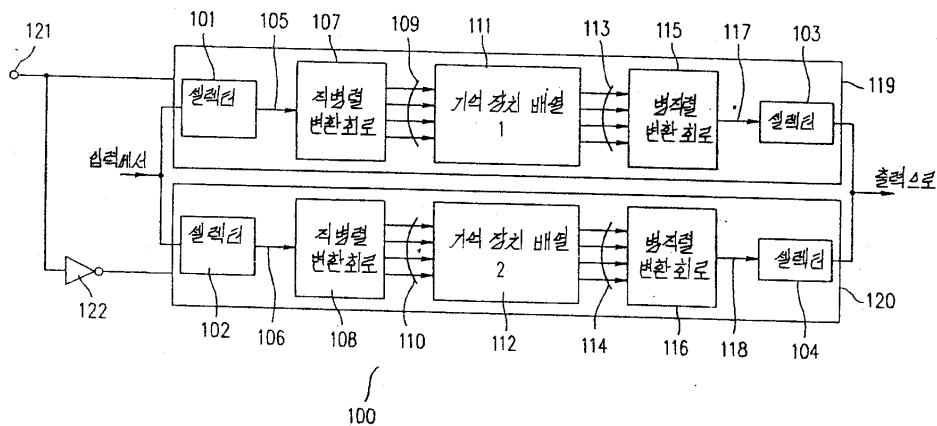
도면7



도면8



도면9



도면 10

