



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0051991  
(43) 공개일자 2018년05월17일

- |  |  |
|--|--|
| (51) 국제특허분류(Int. Cl.)<br>H01L 27/115 (2017.01) H01L 21/306 (2006.01)<br>H01L 21/324 (2017.01) H01L 29/51 (2006.01)<br>H01L 29/66 (2006.01) H01L 29/78 (2006.01)<br>(52) CPC특허분류<br>H01L 27/11582 (2013.01)<br>H01L 21/30604 (2013.01)<br>(21) 출원번호 10-2016-0149002<br>(22) 출원일자 2016년11월09일<br>심사청구일자 없음 | (71) 출원인<br>에스케이하이닉스 주식회사<br>경기도 이천시 부발읍 경충대로 2091<br>(72) 발명자<br>김중식<br>경기도 용인시 수지구 대지로15번길 60 현대홈타운3차2단지 505동 304호<br>(74) 대리인<br>특허법인아주 |
|--|--|

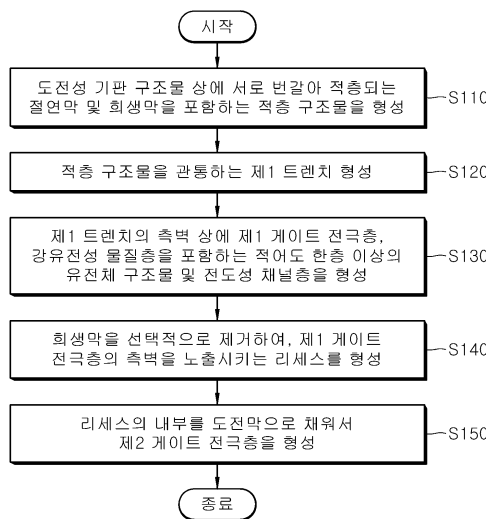
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 비휘발성 메모리 장치 및 그 제조 방법

(57) 요약

일 실시예에 따르는 비휘발성 메모리 장치의 제조 방법이 개시된다. 상기 제조 방법에 있어서, 도전성 기관 구조물 상에 서로 번갈아 적층되는 층간 절연막 및 희생막을 포함하는 적층 구조물을 형성한다. 상기 적층 구조물을 관통하여 상기 도전성 기관 구조물을 노출시키는 제1 트렌치를 형성한다. 상기 제1 트렌치의 측벽 상에 제1 게이트 전극층, 강유전성 물질층을 포함하는 적어도 한층 이상의 유전체 구조물 및 전도성 채널층을 형성한다. 상기 희생막을 선택적으로 제거하여, 상기 제1 게이트 전극층의 측벽을 노출시키는 리세스를 형성한다. 기 리세스를 도전막으로 채워서 제2 게이트 전극층을 형성한다.

대표도 - 도2



(52) CPC특허분류

*H01L 21/324* (2013.01)

*H01L 27/11521* (2013.01)

*H01L 27/11556* (2013.01)

*H01L 27/11568* (2013.01)

*H01L 29/513* (2013.01)

*H01L 29/66348* (2013.01)

*H01L 29/7843* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

도전성 기관 구조물 상에, 서로 번갈아 적층되는 층간 절연막 및 희생막을 구비하는 적층 구조물을 형성하는 단계;

상기 적층 구조물을 관통하여 상기 도전성 기관 구조물을 노출시키는 제1 트렌치를 형성하는 단계;

상기 제1 트렌치의 측벽 상에 제1 게이트 전극층, 강유전층을 포함하는 적어도 한층 이상의 유전체 구조물 및 채널층을 형성하는 단계;

상기 희생막을 선택적으로 제거하여, 상기 제1 게이트 전극층의 측벽을 노출시키는 리세스를 형성하는 단계; 및

상기 리세스를 도전막으로 채워서 제2 게이트 전극층을 형성하는 단계를 포함하는 비휘발성 메모리 장치의 제조 방법.

#### 청구항 2

제1 항에 있어서,

상기 도전성 기관 구조물은

반도체 기관 및 상기 반도체 기관 상에 배치되는 도핑된 반도체 물질층을 포함하는

비휘발성 메모리 장치의 제조 방법.

#### 청구항 3

제1 항에 있어서,

상기 층간 절연막 및 상기 희생막은 서로 식각 선택비를 가지는

비휘발성 메모리 장치의 제조 방법.

#### 청구항 4

제1 항에 있어서,

상기 제1 게이트 전극층, 상기 유전체 구조물 및 상기 채널층을 형성하는 단계는

상기 제1 트렌치 내부에 도핑된 제1 실리콘막을 형성하는 단계;

상기 제1 실리콘막 상에 비정질의 강유전성 물질막을 형성하는 단계;

상기 비정질의 강유전성 물질막을 열처리하여 결정화시키는 단계;

상기 결정화된 강유전성 물질막 상에 도핑된 제2 실리콘막을 형성하는 단계; 및

상기 제1 트렌치 바닥면 상의 상기 제1 실리콘막, 상기 강유전성 물질막, 및 상기 제2 실리콘막을 선택적으로 제거하여, 상기 도전성 기관 구조물을 노출시키는 단계를 포함하는

비휘발성 메모리 장치의 제조 방법.

**청구항 5**

제4 항에 있어서,  
 상기 비정질 상의 강유전성 물질막을 결정화시키는 단계는  
 400℃ 내지 1200℃ 온도에서 급속 열처리(Rapid Thermal Process)로 진행되는  
 비휘발성 메모리 장치의 제조 방법.

**청구항 6**

제1 항에 있어서,  
 상기 제1 게이트 전극층, 상기 유전체 구조물 및 상기 채널층을 형성하는 단계는  
 상기 제1 트렌치 내부에 도핑된 제1 실리콘막을 형성하는 단계;  
 상기 제1 실리콘 막 상에 실리콘 산화막을 형성하는 단계;  
 상기 실리콘 산화막 상에 비정질의 강유전성 물질막을 형성하는 단계;  
 상기 비정질 상의 강유전성 물질막을 열처리하여 결정화시키는 단계;  
 상기 실리콘 산화막 상에 도핑된 제2 실리콘막을 형성하는 단계; 및  
 상기 제1 트렌치 바닥면 상의 상기 제1 실리콘막, 상기 실리콘 산화막, 상기 강유전성 물질막, 및 상기 제2 실리콘막을 선택적으로 제거하여, 상기 도전성 기판 구조물을 노출시키는 단계를 포함하는  
 비휘발성 메모리 장치의 제조 방법.

**청구항 7**

제1 항에 있어서,  
 상기 강유전층은 하프늄산화물, 하프늄실리콘산화물, 지르코늄산화물, 및 지르코늄실리콘산화물로 이루어지는  
 그룹에서 선택되는 적어도 하나를 포함하는  
 비휘발성 메모리 장치의 제조 방법.

**청구항 8**

제7 항에 있어서,  
 상기 강유전층은 도펀트로서, 탄소(C), 실리콘(Si), 마그네슘(Mg), 알루미늄(Al), 이트륨(Y), 질소(N), 게르마  
 늄(Ge), 주석(Sn), 스트론튬(Sr), 납(Pb), 칼슘(Ca), 바륨(Ba), 티타늄(Ti), 지르코늄(Zr), 및 가돌리늄(Gd)으  
 로 이루어지는 그룹에서 선택되는 적어도 하나를 포함하는  
 비휘발성 메모리 장치의 제조 방법.

**청구항 9**

제1 항에 있어서,  
 상기 희생막을 선택적으로 제거하는 단계는  
 상기 적층 구조물을 관통하여 상기 도전성 기판 구조물을 노출시키는 제2 트렌치를 형성하는 단계; 및  
 상기 제2 트렌치에 의해 노출되는 상기 희생막을 습식 식각하는 단계를 포함하는

비휘발성 메모리 장치의 제조 방법.

#### 청구항 10

제9 항에 있어서,

상기 제2 게이트 전극층과 전기적으로 절연되고 상기 도전성 기판 구조물과 소스 라인을 연결하는 소스 라인 접속 패턴을 상기 제2 트렌치의 내부에 형성하는 단계; 및

상기 채널층과 비트 라인을 연결하는 비트 라인 접속 패턴을 상기 제1 트렌치의 상부에 형성하는 단계를 더 포함하는

비휘발성 메모리 장치의 제조 방법.

#### 청구항 11

제1 항에 있어서,

상기 제2 게이트 전극층은 금속, 금속 질화물, 금속 탄화물 및 금속 실리사이드 중 적어도 하나를 포함하는

비휘발성 메모리 장치의 제조 방법.

#### 청구항 12

도전성 기판 구조물;

상기 도전성 기판 구조물 상에 배치되며, 서로 번갈아 적층되는 층간 절연막 및 수평형 게이트 전극층을 구비하는 적층 구조물; 및

상기 적층 구조물을 관통하여 상기 도전성 기판 구조물에 이르는 제1 트렌치의 측벽 상에 순차적으로 배치되는 수직형 게이트 전극층, 강유전층을 포함하는 적어도 한층 이상의 유전체 구조물, 및 채널층을 포함하는

비휘발성 메모리 장치.

#### 청구항 13

제12 항에 있어서,

상기 적층 구조물을 관통하여 상기 도전성 기판 구조물에 이르는 제2 트렌치의 내부에 배치되며, 상기 수직형 게이트 전극층과 절연되고 상기 도전성 기판 구조물 및 소스 라인과 각각 연결되는 소스 라인 연결 패턴; 및

상기 제1 트렌치의 상부에 배치되며, 상기 채널층 및 비트 라인과 각각 연결되는 비트 라인 연결 패턴을 더 포함하는

비휘발성 메모리 장치.

#### 청구항 14

제12 항에 있어서,

상기 수평형 게이트 전극층은

금속, 금속 질화물, 금속 탄화물 및 금속 실리사이드 중 적어도 하나를 포함하는

비휘발성 메모리 장치.

#### 청구항 15

제14 항에 있어서,

상기 수평형 게이트 전극층은 텅스텐(W), 티타늄(Ti), 구리(Cu), 텅스텐 질화물, 티타늄질화물, 탄탈륨질화물, 텅스텐카바이드, 티타늄카바이드, 텅스텐실리사이드, 티타늄실리사이드, 및 탄탈륨실리사이드로 이루어지는 그룹에서 선택되는 적어도 하나를 포함하는

비휘발성 메모리 장치.

#### 청구항 16

제12 항에 있어서,

상기 수직형 게이트 전극층은

상기 제1 트렌치의 측벽을 커버하도록 배치되며, 도핑된 실리콘층을 포함하는

비휘발성 메모리 장치.

#### 청구항 17

제12 항에 있어서,

상기 강유전층은

하프늄산화물, 하프늄실리콘산화물, 지르코늄산화물, 및 지르코늄실리콘산화물로 이루어지는 그룹에서 선택되는 적어도 하나를 포함하는

비휘발성 메모리 장치.

#### 청구항 18

제17 항에 있어서,

상기 강유전층은 도펀트로서, 탄소(C), 실리콘(Si), 마그네슘(Mg), 알루미늄(Al), 이트륨(Y), 질소(N), 게르마늄(Ge), 주석(Sn), 스트론튬(Sr), 납(Pb), 칼슘(Ca), 바륨(Ba), 티타늄(Ti), 지르코늄(Zr), 및 가돌리늄(Gd)으로 이루어지는 그룹에서 선택되는 적어도 하나를 포함하는

비휘발성 메모리 장치.

#### 청구항 19

제12 항에 있어서,

상기 채널층은 도핑된 실리콘을 포함하는

비휘발성 메모리 장치.

#### 청구항 20

제12 항에 있어서,

상기 수평형 게이트 전극층은 서로 다른 워드 라인에 연결되며,

상기 워드 라인으로부터 인가되는 전압에 따라 상기 수평형 게이트 전극층에 인접하는 상기 강유전층 내의 분극 상태가 독립적으로 제어되는

비휘발성 메모리 장치.

### 발명의 설명

#### 기술 분야

[0001] 본 개시(disclosure)는 대체로(generally) 비휘발성 메모리 장치 및 그 제조 방법에 관한 것이다.

#### 배경 기술

[0002] 최근에 소자 저항에 의존하여 정보를 비휘발적으로 저장하는 메모리 장치가 개발되고 있다. 상기 비휘발성 메모리 장치는 외부에서 인가하는 전압에 대응하여, 내부의 메모리 요소가 저항 상태를 가역적으로 변화시키고, 상기 변화된 저항 상태에 근거하여 서로 다른 전기 신호를 비휘발적으로 저장할 수 있다. 상기 비휘발성 메모리 장치는 일 예로서, 자기 메모리(magnetic RAM, MRAM), 상변화메모리(phase change RAM, PCRAM), 저항변화메모리(resistive RAM, ReRAM), 강유전체 메모리(ferroelectric memory) 등을 포함할 수 있다.

[0003] 또한, 디자인 룰(design rule)의 감소 및 집적도의 증가 추세에 따라, 구조적 안정성과 동작 신뢰성을 모두 담보할 수 있는 비휘발성 메모리 장치의 구조에 대한 연구가 계속되고 있다. 최근에, 상기 연구 결과로서, 3차원 구조의 메모리 셀 구조가 제안되고 있다.

### 발명의 내용

#### 해결하려는 과제

[0004] 본 개시의 일 실시 예는, 구조적 및 동작 신뢰성을 담보할 수 있는 유전체 구조물을 채용하는 비휘발성 메모리 장치를 제공한다.

[0005] 본 개시의 일 실시 예는, 상술한 유전체 구조물을 구비하는 비휘발성 메모리 장치를 제조하는 방법을 제공한다.

#### 과제의 해결 수단

[0006] 본 개시의 일 측면에 따르는 비휘발성 메모리 장치의 제조 방법이 개시된다. 상기 제조 방법에 있어서, 도전성 기판 구조물 상에, 서로 번갈아 적층되는 층간 절연막 및 희생막을 포함하는 적층 구조물을 형성한다. 상기 적층 구조물을 관통하여 상기 도전성 기판 구조물을 노출시키는 제1 트렌치를 형성한다. 상기 제1 트렌치의 측벽 상에 제1 게이트 전극층, 강유전층을 포함하는 적어도 한층 이상의 유전체 구조물 및 채널층을 형성한다. 상기 희생막을 선택적으로 제거하여, 상기 제1 게이트 전극층의 측벽을 노출시키는 리세스를 형성한다. 기 리세스를 도전막으로 채워서 제2 게이트 전극층을 형성한다.

[0007] 본 개시의 다른 측면에 따르는 비휘발성 메모리 장치가 개시된다. 상기 비휘발성 메모리 장치는 도전성 기판 구조물 및 상기 도전성 기판 구조물 상에 배치되는 적층 구조물을 포함한다. 상기 적층 구조물은 서로 번갈아 적층되는 층간 절연막 및 수평형 게이트 전극층을 포함한다. 또한, 상기 비휘발성 메모리 장치는 상기 적층 구조물을 관통하여 상기 도전성 기판 구조물에 이르는 제1 트렌치의 측벽 상에 순차적으로 배치되는 수직형 게이트 전극층, 강유전층을 포함하는 적어도 한층 이상의 유전체 구조물, 및 채널층을 포함한다.

### 발명의 효과

[0008] 상술한 본 개시의 실시 예에 따르면, 강유전성 물질층을 게이트 유전층으로 적용하는 3차원 구조의 비휘발성 메모리 장치의 제조 방법을 제공할 수 있다. 구체적으로, 수직 방향으로 배치되어 상기 강유전성 물질층을 커버하는 게이트 전극층은, 상기 강유전성 물질층의 결정화 열처리 시에, 상기 강유전성 물질층에 대한 캡핑층의 역할을 효과적으로 수행할 수 있다. 이에 따라, 상기 결정화 열처리 후에, 상기 강유전성 물질층의 강유전성이 효과적으로 향상될 수 있다. 결과적으로, 구조적 기능적 신뢰성이 담보된 비휘발성 메모리 장치 및 그 제조 방법을

제공할 수 있다.

**도면의 간단한 설명**

- [0009] 도 1은 본 개시의 일 실시 예에 따르는 비휘발성 메모리 장치를 개략적으로 나타내는 회로도이다.  
 도 2는 본 발명의 일 실시 예에 따르는 비휘발성 메모리 장치를 제조하는 방법을 개략적으로 나타내는 순서도이다.  
 도 3 내지 도 13은 본 개시의 일 실시 예에 따르는 비휘발성 메모리 장치의 제조 방법을 개략적으로 나타내는 단면도이다.  
 도 14는 본 개시의 다른 실시 예에 따르는 비휘발성 메모리 장치의 제조 방법의 일부분을 나타내는 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0010] 이하, 첨부한 도면들을 참조하여, 본 출원의 실시 예들을 보다 상세하게 설명하고자 한다. 도면에서는 각 장치의 구성요소를 명확하게 표현하기 위하여 상기 구성요소의 폭이나 두께 등의 크기를 다소 확대하여 나타내었다. 전체적으로 도면 설명시 관찰자 시점에서 설명하였고, 일 요소가 다른 요소 위에 위치하는 것으로 언급되는 경우, 이는 상기 일 요소가 다른 요소 위에 바로 위치하거나 또는 이들 요소들 사이에 추가적인 요소가 개재될 수 있다는 의미를 모두 포함한다. 복수의 도면들 상에서 동일 부호는 실질적으로 서로 동일한 요소를 지칭한다.
- [0011] 또한, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, '포함하다' 또는 '가지다' 등의 용어는 기술되는 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 방법 또는 제조 방법을 수행함에 있어서, 상기 방법을 이루는 각 과정들은 문맥상 명백하게 특정 순서를 기재하지 않은 이상 명기된 순서와 다르게 일어날 수 있다. 즉, 각 과정들은 명기된 순서와 동일하게 일어날 수도 있고 실질적으로 동시에 수행될 수도 있으며 반대의 순서대로 수행될 수도 있다.
- [0012] 본 개시의 실시 예는, 강유전성 물질층을 게이트 유전층으로 적용하는 비휘발성 메모리 장치 및 그 제조 방법을 제공한다.
- [0014] 도 1은 본 개시의 일 실시 예에 따르는 비휘발성 메모리 장치를 개략적으로 나타내는 회로도이다. 도 1을 참조하면, 비휘발성 메모리 장치(10)는 복수의 스트링(100a, 100b)을 구비하는 셀 어레이를 포함한다. 스트링(100a, 100b)의 일단은 공통 소스 라인(SL)에 연결되고, 스트링(100a, 100b)의 타단은 서로 다른 비트 라인(BL1, BL2)에 연결된다. 도 1에서는, 설명의 편의상 스트링(100a, 100b)의 구성을 제1 스트링(100a) 및 제2 스트링(100b)로 한정하고 있지만, 반드시 이에 한정되는 것은 아니고, 상기 셀 어레이를 구성하는 스트링의 개수는 제한되지 않는다.
- [0015] 제1 스트링(100a)은 서로 직렬로 연결되는 제1 내지 제6 메모리 셀 트랜지스터(MC<sub>1</sub>, MC<sub>2</sub>, MC<sub>3</sub>, MC<sub>4</sub>, MC<sub>5</sub>, MC<sub>6</sub>)를 구비할 수 있다. 제2 스트링(100b)은 서로 직렬로 연결되는 제7 내지 제12 메모리 셀 트랜지스터(MC<sub>7</sub>, MC<sub>8</sub>, MC<sub>9</sub>, MC<sub>10</sub>, MC<sub>11</sub>, MC<sub>12</sub>)를 구비할 수 있다. 도 1에서는 설명의 편의상 제1 및 제2 스트링(100a, 100b)이 각각 6개의 메모리 셀 트랜지스터를 구비하는 것으로 도시하고 있지만, 반드시 이에 한정되는 것은 아니고, 제1 및 제2 스트링(100a, 100b)을 구성하는 메모리 셀 트랜지스터의 개수는 제한되지 않는다.
- [0016] 제1 스트링(100a) 내의 제1 내지 제6 메모리 셀 트랜지스터(MC<sub>1</sub>, MC<sub>2</sub>, MC<sub>3</sub>, MC<sub>4</sub>, MC<sub>5</sub>, MC<sub>6</sub>)는 서로 다른 제1 내지 제6 워드 라인(WL1, WL2, WL3, WL4, WL5, WL6)에 연결될 수 있다. 마찬가지로, 제2 스트링(100b) 내의 제7 내지 제12 메모리 셀 트랜지스터(MC<sub>7</sub>, MC<sub>8</sub>, MC<sub>9</sub>, MC<sub>10</sub>, MC<sub>11</sub>, MC<sub>12</sub>)는 서로 다른 제1 내지 제6 워드 라인(WL1, WL2, WL3, WL4, WL5, WL6)에 연결될 수 있다.
- [0017] 일 실시 예에서, 제1 내지 제12 메모리 셀 트랜지스터(MC<sub>1</sub>, MC<sub>2</sub>, ..., MC<sub>12</sub>)는 게이트 유전층으로서, 강유전성 물질층을 포함하는 적어도 한층 이상의 유전체 구조물을 포함할 수 있다. 제1 내지 제12 메모리 셀 트랜지스터(MC<sub>1</sub>, MC<sub>2</sub>, ..., MC<sub>12</sub>)는 제1 내지 제6 워드 라인(WL1, WL2, WL3, WL4, WL5, WL6)을 통해 문턱 전압 이상의 게이



트 전압이 게이트 전극층에 인가될 때, 상기 강유전성 물질층 내의 전기적 쌍극자가 소정 방향으로 분극될 수 있다. 그리고, 상기 게이트 전압의 인가가 종료된 후에도, 상기 강유전성 물질층은 상기 쌍극자의 분극 상태를 유지할 수 있다. 상기 강유전성 물질층의 분극 상태에 따라 제1 내지 제12 메모리 셀 트랜지스터(MC<sub>1</sub>, MC<sub>2</sub>, ..., MC<sub>12</sub>) 각각의 채널 저항(Ch<sub>1</sub>, Ch<sub>2</sub>, ..., Ch<sub>12</sub>)이 변화할 수 있다. 이때, 채널 저항(Ch<sub>1</sub>, Ch<sub>2</sub>, ..., Ch<sub>12</sub>)이란, 제1 내지 제12 메모리 셀 트랜지스터(MC<sub>1</sub>, MC<sub>2</sub>, ..., MC<sub>12</sub>)의 각각의 소스 전극과 드레인 전극 사이의 채널층을 따라 전도하는 캐리어가 나타내는 전기 저항을 의미할 수 있다. 제1 내지 제12 메모리 셀 트랜지스터(MC<sub>1</sub>, MC<sub>2</sub>, ..., MC<sub>12</sub>) 내 상기 강유전성 물질층 내의 전기적 쌍극자의 분극 상태가 비휘발적으로 기록됨으로써, 제1 내지 제12 메모리 셀 트랜지스터(MC<sub>1</sub>, MC<sub>2</sub>, ..., MC<sub>12</sub>)에 대응되는 채널 저항(Ch<sub>1</sub>, Ch<sub>2</sub>, ..., Ch<sub>12</sub>)이 비휘발적으로 저장될 수 있다.

[0018] 본 개시의 일 실시 예에 따르는 비휘발성 메모리 장치의 구동 방식에 따르면, 제1 내지 제6 워드 라인(WL1, WL2, WL3, WL4, WL5, WL6)으로부터 인가되는 게이트 전압은 독립적으로 제어될 수 있다. 이에 따라, 제1 스트링(100a)을 구성하는 메모리 셀 트랜지스터(MC<sub>1</sub>, MC<sub>2</sub>, MC<sub>3</sub>, MC<sub>4</sub>, MC<sub>5</sub>, MC<sub>6</sub>)의 상기 채널 저항이 서로 독립적으로 결정될 수 있다. 한편, 제1 스트링(100a)의 전체 채널 저항은 서로 직렬 연결된 메모리 셀 트랜지스터(MC<sub>1</sub>, MC<sub>2</sub>, MC<sub>3</sub>, MC<sub>4</sub>, MC<sub>5</sub>, MC<sub>6</sub>)의 채널 저항의 합으로 결정된다. 결과적으로, 메모리 셀 트랜지스터(MC<sub>1</sub>, MC<sub>2</sub>, MC<sub>3</sub>, MC<sub>4</sub>, MC<sub>5</sub>, MC<sub>6</sub>)의 게이트 전극층에 인가되는 게이트 전압을 독립적으로 제어함으로써, 제1 스트링(100a)에 서로 다른 복수의 전기 신호를 저장할 수 있다.

[0019] 마찬가지로, 메모리 셀 트랜지스터(MC<sub>7</sub>, MC<sub>8</sub>, MC<sub>9</sub>, MC<sub>10</sub>, MC<sub>11</sub>, MC<sub>12</sub>)의 게이트 전극층에 인가되는 게이트 전압을 독립적으로 제어함으로써, 제2 스트링(100b)에 서로 다른 복수의 전기 신호를 저장할 수 있다.

[0020] 일 실시 예에 따르면, 상기 비휘발성 메모리 장치는 이하에서 설명되는 바와 같이, 소스 라인 및 비트 라인 사이에서 복수의 메모리 셀 트랜지스터가 수직으로 적층되는 3차원 구조로 구현될 수 있다.

[0022] 도 2는 본 발명의 일 실시 예에 따르는 비휘발성 메모리 장치를 제조하는 방법을 개략적으로 나타내는 순서도이다. 도 2를 참조하면, S110 단계에서, 도전성 기판 구조물 상에 적층 구조물을 형성한다. 이때, 적층 구조물은 서로 번갈아 적층되는 층간 절연막과 희생막을 포함한다. 상기 층간 절연막과 상기 희생막은 서로 식각 선택비를 가질 수 있다.

[0023] S120 단계에서, 상기 적층 구조물을 관통하는 제1 트렌치를 형성한다. 상기 제1 트렌치에 의해, 상기 도전성 기판 구조물이 노출될 수 있다. 또한, 상기 제1 트렌치의 측벽에 의해, 상기 층간 절연막 및 상기 희생막의 측면이 노출될 수 있다.

[0024] S130 단계에서, 상기 제1 트렌치의 측벽 상에 제1 게이트 전극층, 강유전성 물질층을 포함하는 적어도 한층 이상의 유전층 구조물 및 채널층을 형성한다. 일 실시 예에 있어서, 본 단계는 다음 과정을 포함할 수 있다. 상기 제1 트렌치의 내벽을 따라 제1 게이트 전극 물질막을 형성한다. 상기 제1 게이트 전극 물질막 상에 비정질의 강유전성 물질막을 형성한다. 상기 제1 게이트 전극 물질막을 캡핑막으로 적용하여 상기 강유전성 물질막을 열처리함으로써, 상기 강유전성 물질막을 결정화시킨다. 이어서, 결정화된 상기 강유전성 물질막 상에 전도성 채널막을 형성한다. 이어서, 상기 제1 트렌치의 바닥면에 형성된 상기 제1 게이트 전극 물질막, 상기 강유전성 물질막 및 상기 채널막을 선택적으로 식각하여, 상기 도전성 기판 구조물을 노출시킨다.

[0025] 일 실시 예에서, 상기 비정질의 강유전성 물질막을 열처리하는 과정에서, 상기 게이트 전극 물질막은 상기 강유전성 물질막에 대한 캡핑막으로 기능할 수 있다. 반드시 어느 하나의 이론으로 특정되어 설명되지는 않으나, 상기 비정질의 강유전성 물질막이 열처리를 통해 결정화하는 과정에서, 상기 강유전성 물질막과 접촉하는 소정 종류의 캡핑막이 존재하는 경우, 상기 강유전성 물질막은 상기 결정화 과정을 통해 충분한 강유전성을 구현할 수 있다.

[0026] 상기 이론의 일 예로서, 상기 캡핑막이 상기 강유전성 물질막과의 계면에서 응력을 작용함으로써, 상기 강유전성 물질막이 강유전성 조직 구조를 가지도록 제어할 수 있다. 상기 이론의 다른 예로서, 상기 캡핑막이, 상기 강유전성 물질막 내부의 도펀트 원소들이 외부로 확산되는 것을 억제함으로써, 상기 강유전성 물질막이 강유전성을 가지는 원자 배열을 유지하도록 제어할 수 있다. 그 결과, 상기 강유전성 물질막의 결정화 후에, 상기 강

유전성 물질막은 상대적으로 큰 강유전성을 보유할 수 있게 된다.

- [0027] 본 개시의 일 실시 예에서, 상기 제1 게이트 전극 물질막은 일 예로서, n형 도핑된 실리콘막, 금속막, 금속 질화막, 금속 실리사이드막일 수 있다. 상기 강유전성 물질막은 일 예로서, 하프늄산화물, 하프늄실리콘산화물, 지르코늄산화물, 지르코늄실리콘산화물, 또는 이들의 둘 이상의 조합을 포함할 수 있다. 상기 강유전성 물질층은 도펀트로서, 탄소(C), 실리콘(Si), 마그네슘(Mg), 알루미늄(Al), 이트륨(Y), 질소(N), 게르마늄(Ge), 주석(Sn), 스트론튬(Sr), 납(Pb), 칼슘(Ca), 바륨(Ba), 티타늄(Ti), 지르코늄(Zr), 가돌리늄(Gd) 또는 이들의 둘 이상의 조합을 포함할 수 있다. 상기 전도성 채널막은 일 예로서, n형 도핑된 실리콘막일 수 있다.
- [0028] 본 개시의 일 실시 예에서 상기 제1 게이트 전극 물질막은 상기 비정질 상태로 형성된 강유전성 물질층을 전체적으로 커버하도록 배치될 수 있다. 따라서, 상기 제1 게이트 전극층은, 상기 강유전성 물질층의 결정화 열처리시에 캡핑층으로서의 역할을 충분히 수행할 수 있다. 그 결과, 상기 강유전성 물질층은 결정화 후에 충분한 크기의 강유전성을 가질 수 있다.
- [0029] S140 단계에서, 상기 희생막을 선택적으로 제거하여 상기 제1 게이트 전극층의 측벽을 노출시키는 리세스를 형성한다. 일 실시 예에서, 본 단계는 다음과 같이 진행될 수 있다. 상기 적층 구조물을 관통하여 상기 도전성 기판 구조물을 노출시키는 제2 트렌치를 형성한다. 이어서, 상기 제2 트렌치에 노출되는 상기 희생막을 습식 식각한다. 상기 희생막과 식각 선택비를 가지는 층간 절연막은 상기 리세스 사이에 위치할 수 있다.
- [0030] S150 단계에서, 상기 리세스의 내부를 도전막으로 채워서 제2 게이트 전극층을 형성한다. 상기 도전막은 일 예로서, 금속, 금속 질화물, 금속 탄화물, 금속 실리사이드, 또는 이들의 둘 이상의 조합을 포함할 수 있다. 상기 제2 게이트 전극층은 측면 방향으로, 상기 제1 게이트 전극층과 접촉할 수 있다.
- [0031] 도 2에 도시되지는 않았지만, 일 실시 예에 있어서, 상기 제2 게이트 전극층과 전기적으로 절연되고 상기 도전성 기판 구조물과 소스 라인을 연결하는 소스 연결 패턴을 상기 제2 트렌치의 내부에 형성하는 단계를 추가적으로 진행할 수 있다. 또, 상기 채널층과 비트 라인을 연결되는 비트 라인 연결 패턴을 상기 제1 트렌치의 상부에 형성하는 단계를 추가적으로 진행할 수 있다.
- [0032] 상술한 공정 단계를 진행함으로써, 상기 도전성 기판 구조물 상에서 상하 방향으로 적층되는 복수의 메모리 셀 트렌지스터를 구비하는 비휘발성 메모리 장치를 형성할 수 있다.
- [0034] 도 3 내지 도 13은 본 개시의 일 실시 예에 따르는 비휘발성 메모리 장치의 제조 방법을 개략적으로 나타내는 단면도이다. 도 14는 본 개시의 다른 실시 예에 따르는 비휘발성 메모리 장치의 제조 방법의 일부분을 나타내는 단면도이다.
- [0035] 도 3을 참조하면, 기판(301)을 준비한다. 일 실시 예에서, 기판(301)은 반도체 기판일 수 있다. 상기 반도체 기판은 일 예로서, 실리콘(Si) 기판, 갈륨비소(GaAs) 기판, 인듐인(InP, indium phosphide) 기판, 게르마늄(Ge) 기판, 또는 실리콘 게르마늄(SiGe) 기판일 수 있다. 상기 반도체 기판은 n형 또는 p형으로 도핑되어 전도성을 가질 수 있다. 다른 실시 예에서, 기판(301)은 실리콘-온-절연체(silicon-on-insulator) 기판과 같은 절연 기판일 수 있다. 또다른 예에서, 기판(301)은 금속 기판과 같은 전도성 기판일 수도 있다.
- [0036] 기판(301) 상에 베이스 전도층(305)을 형성한다. 베이스 전도층(305)은 일 예로서, 금속, 금속 질화물 또는 금속 실리사이드를 포함할 수 있다. 일 실시 예에서, 기판(301)이 실리콘 재질의 반도체 기판일 때, 베이스 전도층(305)은 n형으로 도핑된 실리콘을 포함하는 반도체 물질층일 수 있다. 베이스 전도층(305)은 일 예로서, 공지의 화학기상증착법, 원자층 증착법, 또는 스퍼터링법에 의해 형성될 수 있다. 기판(301) 및 베이스 전도층(305)은 도 1의 순서도에서 상술한 도전성 기판 구조물을 구성할 수 있다.
- [0037] 도시되지는 않았지만, 기판(301)은 n형 또는 p형 도펀트가 도핑되어 형성되는 웰(well)을 포함할 수 있다. 기판(301)과 베이스 전도층(305) 사이에는 다양한 형태의 집적 회로가 배치될 수 있다.
- [0038] 베이스 전도층(305) 상에 적층 구조물(300)을 형성할 수 있다. 적층 구조물(300)은 층간 절연막(310a, 310b, 310c, 310d, 310e, 310f) 및 희생막(320a, 320b, 320c, 320d, 320e, 320f)이 서로 번갈아 적층됨으로써 형성될 수 있다. 층간 절연막(310a, 310b, 310c, 310d, 310e, 310f) 및 희생막(320a, 320b, 320c, 320d, 320e, 320f)은 서로 식각 선택비를 가질 수 있다. 일 예로서, 층간 절연막(310a, 310b, 310c, 310d, 310e, 310f)이 실리콘 산화물을 포함하고, 희생막(320a, 320b, 320c, 320d, 320e, 320f)은 실리콘 질화물을 포함할 수 있다. 다른 예로서, 층간 절연막(310a, 310b, 310c, 310d, 310e, 310f)이 실리콘 질화물을 포함하고, 희생막(320a, 320b,

320c, 320d, 320e, 320f)은 실리콘 산화물을 포함할 수 있다.

- [0039] 일 실시 예에서, 베이스 전도층(305) 상에 적층 구조물(300)이 형성될 때, 하부 전도층(305)상에 층간 절연막(310a)이 먼저 형성되고, 층간 절연막(310a) 상에 희생막(320a)이 형성될 수 있다. 그리고, 희생막(320a) 상에, 또다른 층간 절연막과 또다른 희생막이 순차적으로 적층될 수 있다.
- [0040] 도 1에서는, 층간 절연막(310a, 310b, 310c, 310d, 310e, 310f) 및 희생막(320a, 320b, 320c, 320d, 320e, 320f)은 각각 6 층으로 구성되고 있으나, 반드시 이에 한정되지는 않는다. 상기 층간 절연막 및 희생막의 적층 개수는 다양하게 변경 가능하다.
- [0041] 적층 구조물(300)의 최상층의 희생막(320f) 상에는 제1 상부 절연막(330)이 형성될 수 있다. 제1 상부 절연막(330)은 희생막(320a, 320b, 320c, 320d, 320e, 320f)과 서로 식각 선택비를 가질 수 있다. 일 예로서, 제1 상부 절연막(330)은 층간 절연막(310a, 310b, 310c, 310d, 310e, 310f)과 동일한 재료로 이루어질 수 있다. 제1 상부 절연막(330)의 두께는 층간 절연막(310a, 310b, 310c, 310d, 310e, 310f)의 두께보다 두꺼울 수 있다.
- [0042] 층간 절연막(310a, 310b, 310c, 310d, 310e, 310f), 희생막(320a, 320b, 320c, 320d, 320e, 320f) 및 제1 상부 절연막(330)은 일 예로서, 화학기상증착법, 원자층 증착법, 코팅법 등에 의해 형성될 수 있다.
- [0043] 도 4를 참조하면, 적층 구조물(300) 및 제1 상부 절연막(330)을 관통하여 베이스 도전층(305)을 노출시키는 제1 트렌치(1)를 형성한다. 일 실시 예에 있어서, 제1 트렌치(1)는 적층 구조물(300) 및 제1 상부 절연막(330)에 대해 이방성 식각을 진행함으로써 형성될 수 있다. 일 예로서, 상기 이방성 식각은 플라즈마를 이용하는 건식 식각 방법을 적용할 수 있다. 도시되는 바와 같이, 제1 트렌치(1)의 측벽은 층간 절연막(310a, 310b, 310c, 310d, 310e, 310f), 희생막(320a, 320b, 320c, 320d, 320e, 320f)의 측면을 노출시킬 수 있다.
- [0044] 도 5를 참조하면, 제1 트렌치(1)의 측벽 상에 도핑된 제1 실리콘막(340)을 형성한다. 일 예로서, 제1 실리콘막(340)은 n형 도펀트가 실리콘 모재 내에 약  $10^{18}/\text{cm}^3$  이상의 농도로 도핑될 수 있다. 다른 예로서, 제1 실리콘막(340)은 n형 도펀트가 실리콘 모재 내에 약  $10^{20}/\text{cm}^3$  이상의 농도로 도핑될 수 있다. 상기 n형 도펀트는 일 예로서, 인(P), 비소(As) 등을 포함할 수 있다. 제1 실리콘막(340)은 일 예로서, 화학기상증착법 또는 원자층 증착법에 의해 형성될 수 있다.
- [0045] 제1 실리콘막(340) 상에 비정질의 강유전성 물질막(350)을 형성한다. 강유전성 물질막(350)은 일 예로서, 하프늄산화물, 하프늄실리콘산화물, 지르코늄산화물, 지르코늄실리콘산화물, 또는 이들의 둘 이상의 조합을 포함할 수 있다. 상기 강유전성 물질층은 도펀트로서, 탄소(C), 실리콘(Si), 마그네슘(Mg), 알루미늄(Al), 이트륨(Y), 질소(N), 게르마늄(Ge), 주석(Sn), 스트론튬(Sr), 납(Pb), 칼슘(Ca), 바륨(Ba), 티타늄(Ti), 지르코늄(Zr), 가돌리늄(Gd) 또는 이들의 둘 이상의 조합을 포함할 수 있다. 강유전성 물질막(350)은 일 예로서, 화학기상증착법, 또는 원자층 증착법에 의해 형성될 수 있다.
- [0046] 강유전성 물질층(350)은 비정질 상태에서 충분한 강유전 특성을 가지지 못할 수 있다. 따라서, 강유전 물질층(350)을 열처리하여 강유전체 특성을 가지는 구조로 결정화시킴으로써, 강유전특성을 구현할 수 있다. 일 실시 예에 있어서, 상기 열처리 공정은 약 400℃ 내지 1200℃ 온도에서 급속 열처리(Rapid Thermal Process)로 진행될 수 있다. 다른 실시 예에서, 상기 열처리 공정은 600℃ 내지 1000℃ 온도에서 진행될 수 있다.
- [0047] 한편, 상기 비정질의 강유전성 물질막(350)을 열처리하는 과정에서, 제1 실리콘막(340)은 강유전성 물질막(350)에 대한 캡핑막으로 기능할 수 있다. 반드시 어느 하나의 이론으로 특정되어 설명되지는 않으나, 상기 비정질의 강유전성 물질막(350)이 열처리를 통해 결정화하는 과정에서, 상기 강유전성 물질막(350)을 커버하는 소정 타입의 캡핑막이 존재하는 경우, 상기 결정화 후에 강유전성 물질막(350)의 강유전성은 향상될 수 있다.
- [0048] 상기 이론의 일 예로서, 상기 캡핑막이 강유전성 물질막(350)과의 계면에서 응력을 작용함으로써, 강유전성 물질막(350)이 강유전성 결정 구조를 가지도록 제어할 수 있다. 다른 예로서, 상기 캡핑막이, 강유전성 물질막(350) 내부의 도펀트 원소들이 외부로 확산하는 것을 억제함으로써, 강유전성 물질막(350)이 강유전성을 가지는 원자 배열을 유지하도록 제어할 수 있다. 그 결과, 결정화 후에, 상기 강유전성 물질막은 강유전성을 보유할 수 있게 된다.
- [0049] 일 실시 예로서, 강유전성 물질막(350)이 하프늄산화물인 경우, 상기 캡핑막이 존재하는 상태에서 결정화 열처리가 진행되는 경우, 상기 하프늄 산화물은 강유전성을 가지는 사방정계상(orthorhombic phase)으로 결정화될 수 있다. 반면에, 상기 캡핑막이 존재하지 않는 상태에서 결정화 열처리가 진행되는 경우, 상기 하프늄 산화물

은 강유전성을 가지지 않는 단사정계상(monoclinic phase)으로 결정화될 수 있다.

- [0050] 본 발명의 실시 예에서, 제1 실리콘막(340)은 상기 비정질 상태로 형성된 강유전성 물질층(350)을 전체적으로 커버하도록 배치될 수 있다. 따라서, 제1 실리콘막(340)은, 강유전성 물질층(350)의 결정화 열처리시에 캡핑층으로서의 역할을 충실히 수행할 수 있다. 그 결과, 결정화 후에 강유전성 물질층(350)은 충분한 강유전성을 나타낼 수 있다. 이와 대비하여, 만약 제1 실리콘막(340)이 존재하지 않는 경우, 강유전성 물질층(350)은 제1 트렌치(1)의 측벽에 노출되는 층간 절연막(310a, 310b, 310c, 310d, 310e, 310f), 희생막(320a, 320b, 320c, 320d, 320e, 320f) 및 제1 상부 절연막(330)과 직접 접촉한다. 일 예로서, 실리콘 산화물 또는 실리콘 질화물을 포함하는 층간 절연막(310a, 310b, 310c, 310d, 310e, 310f), 희생막(320a, 320b, 320c, 320d, 320e, 320f) 및 제1 상부 절연막(330)은, 일 예로서, 하프늄산화물, 하프늄실리콘산화물, 지르코늄산화물 또는 지르코늄실리콘산화물을 포함하는 강유전성 물질층(350)의 열처리시에, 상술한 캡핑층의 역할을 충분히 수행할 수 없다. 따라서, 제1 실리콘막(340)이 존재하지 않는 경우, 강유전성 물질층(350)의 결정화 후에도, 강유전성 물질층(350)은 충분한 강유전성을 확보하기 힘들 수 있다.
- [0051] 한편, 본 실시 예에서는, 상기 캡핑층으로서 도핑된 제1 실리콘막(340)을 적용하지만, 몇몇 다른 실시 예에서는, 상기 캡핑층으로서 금속, 전도성 금속 산화물, 전도성 금속 질화물, 전도성 금속 실리사이드 등을 적용할 수 있다. 다만, 상기 금속을 캡핑층으로 적용할 경우, 후속하는 열 공정, 식각 공정 또는 세정 공정에서 상기 금속이 공정 대상 구조물을 오염시키는 문제가 발생할 수 있다.
- [0052] 도 5를 다시 참조하면, 결정화된 강유전성 물질막(350) 상에 도핑된 제2 실리콘막(360)을 형성한다. 일 예로서, 제2 실리콘막(360)은 n형 도펀트가 실리콘 모재 내에 약  $10^{16}/\text{cm}^3$  이상의 농도로 도핑될 수 있다. 상기 n형 도펀트는 일 예로서, 인(P), 비소(As) 등을 포함할 수 있다. 제2 실리콘막(360)은 일 예로서, 화학기상증착법 또는 원자층증착법에 의해 형성될 수 있다.
- [0053] 도 6을 참조하면, 제1 트렌치(1) 내부의 제1 실리콘막(340), 강유전성 물질막(350), 및 제2 실리콘막(360)을 이방성 식각하여, 제1 트렌치(1)의 바닥면 상에 형성된 제1 실리콘막(340), 강유전성 물질막(350), 및 제2 실리콘막(360)을 선택적으로 제거한다. 일 실시 예에 있어서, 상기 이방성 식각은 플라즈마를 이용하는 건식 식각 방법으로 진행될 수 있다. 일 실시 예에 있어서, 상기 이방성 식각은 에치백 방법에 의해 수행될 수 있다.
- [0054] 상기 이방성 식각의 결과, 트렌치(1)의 바닥면에 하부의 베이스 전도층(305)이 노출되고, 제1 트렌치(1)의 측벽에 제1 실리콘 패터층(345), 강유전체층(355), 및 제2 실리콘 패터층(365)이 형성될 수 있다. 제1 실리콘 패터층(345), 강유전체층(355) 및 제2 실리콘 패터층(365)은 상기 메모리 셀 트랜지스터의 제1 게이트 전극층, 게이트 유전층, 및 채널층으로 기능할 수 있다.
- [0055] 몇몇 다른 실시 예들에 따르면, 도 14에 도시되는 바와 같이, 제1 실리콘 패터층(345)과 강유전체층(355) 사이에 실리콘 산화물 패터층(352)이 개재될 수 있다. 실리콘 산화물 패터층(352)은 제1 실리콘 패터층(345)과 강유전체층(355) 사이에서의 계면 안정성을 향상시킬 수 있다.
- [0056] 제1 실리콘 패터층(345) 및 강유전체층(355)을 포함하는 유전체 구조물을 형성하는 방법은 다음과 같이 진행될 수 있다. 먼저, 도 5와 관련하여 상술한 제1 실리콘막(340)의 형성 후에, 제1 실리콘막(340) 상에 실리콘 산화막을 형성한다. 이후에, 상기 실리콘 산화막 상에 강유전성 물질막(350)을 형성하고, 강유전성 물질막(350)을 결정화 열처리한다. 이후에, 강유전성 물질층(350) 상에 제2 실리콘막(360)을 형성한다. 이후에, 이방성 식각을 진행하여 제1 트렌치(1)의 바닥면 상에 형성된 제1 실리콘막(340), 상기 실리콘 산화막, 강유전성 물질막(350), 및 제2 실리콘막(360)을 제거한다. 그 결과, 제1 트렌치(1)의 측벽에 제1 실리콘 패터층(345), 실리콘 산화물 패터층(352), 강유전체층(355), 및 제2 실리콘 패터층(365)이 순차적으로 적층될 수 있다.
- [0057] 도시되지는 않았지만, 몇몇 다른 실시 예들에 있어서, 실리콘 산화물 패터층(352)은 강유전체층(355)과 제2 실리콘 패터층(365) 사이에 형성될 수 있다. 또한, 몇몇 다른 실시 예들에 있어서, 실리콘 산화물 패터층(352)은 제1 실리콘 패터층(350) 및 강유전체층(355) 사이 및, 강유전체층(355) 및 제2 실리콘 패터층(365) 사이에 모두 형성될 수 있다.
- [0058] 도 7을 참조하면, 제1 트렌치(1)의 내부를 절연체(370)로 매립한다. 상기 절연체(370)을 매립하는 공정은, 일 예로서, 화학기상증착법 또는 코팅법 등에 의해 진행될 수 있다. 상기 절연체(370)는 일 예로서, 실리콘 산화물, 실리콘 질화물, 실리콘 질 산화물 등을 포함할 수 있다.
- [0059] 절연체(370)를 매립한 후에, 제1 상부 절연막(330) 상에 존재하는 절연체(370)를 제거하는 평탄화 공정을 진행

할 수 있다. 이에 따라, 매립된 절연체(370)의 상면과 제1 상부 절연막(330)의 상면이 동일 평면에 위치하도록 할 수 있다. 상기 평탄화 공정은 일 예로서, 화학적기계적연마법 또는 에치백법 등에 의해 진행될 수 있다.

- [0060] 이어서, 상기 절연체(370)을 에치백하여, 제1 트렌치(1) 내부로 리세스를 형성한다. 이어서, 리세스 부분을 전도막으로 매립하여 채널 콘택층(380)을 형성할 수 있다. 상기 전도막으로 매립하는 공정은, 일 예로서, 화학기상증착법 또는 코팅법 등에 의해 진행될 수 있다. 상기 전도막 중 제1 상부 절연막(330) 상에 형성되는 부분은 평탄화 공정을 통해 추가적으로 제거될 수 있다. 이에 따라, 채널 콘택층(380)의 상면과 제1 상부 절연막(330)의 상면은 동일 평면 상에 위치할 수 있다.
- [0061] 채널 콘택층(380)은 일 예로서, 금속 또는 금속 질화물을 포함할 수 있다. 채널 콘택층(380)은, 채널층(365)과 후술하는 도 13의 비트 라인 접속 패턴(450) 사이의 저항을 감소시키는 역할을 수행할 수 있다.
- [0062] 도 8을 참조하면, 적층 구조물(300)을 관통하여, 베이스 전도층(305)를 노출시키는 제2 트렌치(2)를 형성한다. 제2 트렌치(2)의 측벽은, 층간 절연막(310a, 310b, 310c, 310d, 310e, 310f), 희생막(320a, 320b, 320c, 320d, 320e, 320f) 및 제1 상부 절연막(330)의 측면을 노출시킬 수 있다.
- [0063] 도 9를 참조하면, 제2 트렌치(2)에 의해 노출되는 희생막(320a, 320b, 320c, 320d, 320e, 320f)을 선택적으로 제거한다. 일 실시 예에 있어서, 희생막(320a, 320b, 320c, 320d, 320e, 320f)의 제거 공정은, 층간 절연막(310a, 310b, 310c, 310d, 310e, 310f) 및 제1 상부 절연막(330)과 식각 선택비를 가지는 식각액을 적용하여 습식 식각 방법에 의해 진행될 수 있다. 그 결과, 제1 실리콘 패턴층(345)의 측벽을 노출시키는 리세스(3)를 형성할 수 있다. 이하에서는, 설명의 편의상 제1 실리콘 패턴층(345)를 제1 게이트 전극층(345)으로 지칭하기로 한다.
- [0064] 도 10을 참조하면, 리세스(3)을 도전막으로 채워서, 제2 게이트 전극층(410a, 410b, 410c, 410d, 410e, 410f)를 형성한다. 제2 게이트 전극층(410a, 410b, 410c, 410d, 410e, 410f)은 제1 게이트 전극층(345)의 측면과 접촉할 수 있다. 제2 게이트 전극층(410a, 410b, 410c, 410d, 410e, 410f)은 일 예로서, 금속, 금속 질화물, 금속 탄화물, 금속 실리사이드 또는 이들의 둘 이상의 조합을 포함할 수 있다. 제2 게이트 전극층(410a, 410b, 410c, 410d, 410e, 410f)은 일 예로서, 텅스텐(W), 티타늄(Ti), 구리(Cu), 텅스텐 질화물, 티타늄질화물, 탄탈륨질화물, 텅스텐카바이드, 티타늄카바이드, 텅스텐실리사이드, 티타늄실리사이드, 탄탈륨실리사이드 또는 이들의 둘 이상의 조합을 포함할 수 있다.
- [0065] 도 11을 참조하면, 제2 트렌치(2)의 측벽에 라이너 절연층(420)을 형성할 수 있다. 라이너 절연층(420)을 형성하는 방법은, 먼저, 제2 트렌치(2)의 측벽을 따라 라이너 절연막을 형성하고, 상기 라이너 절연막을 이방성 식각하여 제2 트렌치(2)의 바닥면 상의 상기 라이너 절연막의 부분을 제거하는 순서로 진행될 수 있다. 상기 라이너 절연막은 일 예로서, 화학기상증착법 또는 원자층증착법에 의해 형성될 수 있다.
- [0066] 도 12를 참조하면, 라이너 절연층(420)이 형성된 제2 트렌치(2) 내부를 도전막으로 매립한다. 이어서, 제2 트렌치(2) 외부에 형성된 도전막을 추가적으로 제거하여, 제1 소스 라인 접속 패턴(430)을 형성한다. 제1 소스 라인 접속 패턴(430)은 일 예로서, 금속, 금속 질화물, 금속 탄화물, 금속 실리사이드 또는 이들의 둘 이상의 조합을 포함할 수 있다. 제1 소스 라인 접속 패턴(430)은 일 예로서, 텅스텐(W), 티타늄(Ti), 구리(Cu), 텅스텐 질화물, 티타늄질화물, 탄탈륨질화물, 텅스텐카바이드, 티타늄카바이드, 텅스텐실리사이드, 티타늄실리사이드, 탄탈륨실리사이드 또는 이들의 둘 이상의 조합을 포함할 수 있다.
- [0067] 제1 소스 라인 접속 패턴(430)은 라이너 절연층(420)에 의해 제2 게이트 전극층(410a, 410b, 410c, 410d, 410e, 410f)과 전기적으로 절연될 수 있다.
- [0068] 도 13을 참조하면, 제1 상부 절연막(330) 상에 제2 상부 절연막(440)을 형성한다. 제2 상부 절연막(440)은 일 예로서, 실리콘 산화물, 실리콘 질화물, 또는 실리콘산질화물을 포함할 수 있다. 제2 상부 절연막(440)은 일 예로서, 화학기상증착법 또는 코팅법에 의해 형성될 수 있다.
- [0069] 이어서, 제2 상부 절연막(440) 내에 채널 콘택층(380)과 전기적으로 연결되는 비트 라인 접속 패턴(450)을 형성한다. 또한, 제2 상부 절연막(440) 내에 제1 소스 라인 접속 패턴(430)과 전기적으로 연결되는 제2 소스 라인 접속 패턴(455)을 형성한다. 본 단계의 공정은 다음과 같이 진행될 수 있다. 제2 상부 절연막(440)을 선택적으로 식각하여, 채널 콘택층(380) 및 제1 소스 라인 접속 패턴(430)을 노출시키는 콘택 패턴을 각각 형성한다. 이어서, 상기 콘택 패턴을 도전막을 메운다. 상기 도전막은 일 예로서, 텅스텐(W), 티타늄(Ti), 구리(Cu), 텅스텐 질화물, 티타늄질화물, 탄탈륨질화물, 텅스텐카바이드, 티타늄카바이드, 텅스텐실리사이드, 티타늄실리사이드,

탄탈륨실리사이드 또는 이들의 둘 이상의 조합을 포함할 수 있다.

- [0070] 제1 및 제2 소스 라인 접속 패턴(430, 455)는 베이스 전도층(305)과 비휘발성 메모리 장치의 소스 라인(미도시)을 전기적으로 연결할 수 있다. 제1 및 비트 라인 접속 패턴(380, 450)은 채널층(365)과 비휘발성 메모리 장치의 비트 라인(미도시)을 전기적으로 연결할 수 있다.
- [0071] 상술한 공정을 진행함으로써, 본 개시의 일 실시 예에 따르는 비휘발성 메모리 장치를 제조할 수 있다. 상술한 실시 예에 따르면, 강유전성 물질층을 게이트 유전층으로 적용하는 3차원 구조의 비휘발성 메모리 장치의 제조 방법을 제공할 수 있다. 구체적으로, 수직 방향으로 배치되어 상기 강유전성 물질층을 커버하는 게이트 전극층은, 상기 강유전성 물질층의 결정화 열처리 시에, 상기 강유전성 물질층에 대한 캡핑층의 역할을 효과적으로 수행할 수 있다. 이에 따라, 상기 결정화 열처리 후에, 상기 강유전성 물질층의 강유전성이 효과적으로 향상될 수 있다. 결과적으로, 구조적 기능적 신뢰성이 담보된 비휘발성 메모리 장치 및 그 제조 방법을 제공할 수 있다.
- [0073] 이하, 도 13을 이용하여, 본 개시의 일 실시 예에 따르는 비휘발성 메모리 장치를 설명하도록 한다. 상기 비휘발성 메모리 장치는 기판 상에 수직 방향으로 적층되는 복수의 메모리 셀 트랜지스터를 포함한다.
- [0074] 도 13을 참조하면, 비휘발성 메모리 장치는 기판(301), 기판(301) 상의 베이스 전도층(305), 및 베이스 전도층(305) 상에 배치되는 적층 구조물(300)을 구비한다. 적층 구조물(300)은 서로 번갈아 적층되는 층간 절연막(310a, 310b, 310c, 310d, 310e, 310f) 및 수평형 게이트 전극층(410a, 410b, 410c, 410d, 410e, 410f)을 포함한다. 한편, 수평형 게이트 전극층(410a, 410b, 410c, 410d, 410e, 410f)은 제2 게이트 전극층(410a, 410b, 410c, 410d, 410e, 410f)을 의미한다.
- [0075] 또한, 상기 비휘발성 메모리 장치는 적층 구조물(300)을 관통하여 베이스 전도층(305)에 이르는 제1 트렌치(1)의 측벽 상에 순차적으로 배치되는 수직형 게이트 전극층(345), 강유전층(355)을 포함하는 적어도 한층 이상의 유전체 구조물, 및 채널층(365)을 포함한다. 한편, 수직형 게이트 전극층(345)는 제1 게이트 전극층(345)를 의미한다.
- [0076] 또한, 상기 비휘발성 메모리 장치는 적층 구조물(300)을 관통하여 베이스 전도층(305)에 이르는 제2 트렌치(2)의 내부 및 상부에 배치되며, 수직형 게이트 전극층(345)과 절연되고 베이스 전도층(305) 및 소스 라인(미도시)과 각각 연결되는 제1 및 제2 소스 라인 연결 패턴(430, 455)을 포함한다. 상기 비휘발성 메모리 장치는 제1 트렌치(1)의 상부에 배치되며, 채널층(365) 및 비트 라인(미도시)과 각각 연결되는 채널 콘택층(380) 및 비트 라인 연결 패턴(450)을 더 포함한다.
- [0077] 본 개시의 일 실시 예에 따르는 비휘발성 메모리 장치는, 복수의 메모리 셀 트랜지스터가 각각 구비하는 수평형 게이트 전극층(410a, 410b, 410c, 410d, 410e, 410f)을 포함한다. 또한, 비휘발성 메모리 장치는, 복수의 메모리 셀 트랜지스터가 공유하는 수직형 게이트 전극층(345)를 포함한다.
- [0078] 수평형 게이트 전극층(410a, 410b, 410c, 410d, 410e, 410f)은 서로 다른 워드 라인(미도시)에 연결될 수 있다. 상기 워드 라인으로부터 인가되는 전압에 따라 수평형 게이트 전극층(410a, 410b, 410c, 410d, 410e, 410f)은 인접하는 강유전층(355) 내의 분극 상태를 독립적으로 제어할 수 있다. 이에 따라, 복수의 메모리 셀 트랜지스터의 채널층(365)의 채널 저항을 독립적으로 제어할 수 있다. 결과적으로, 복수의 메모리 셀 트랜지스터가 수직으로 적층됨으로써 이루어지는 스트링은 서로 다른 복수의 채널 신호를 구현할 수 있다. 이에 따라, 상기 스트링은 서로 다른 전기 신호를 효과적으로 저장할 수 있으며, 이에 따라 멀티 레벨 신호를 구현할 수 있다.
- [0080] 이상에서는 도면 및 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 출원의 기술적 사상으로부터 벗어나지 않는 범위 내에서 본 출원에 개시된 실시예들을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**부호의 설명**

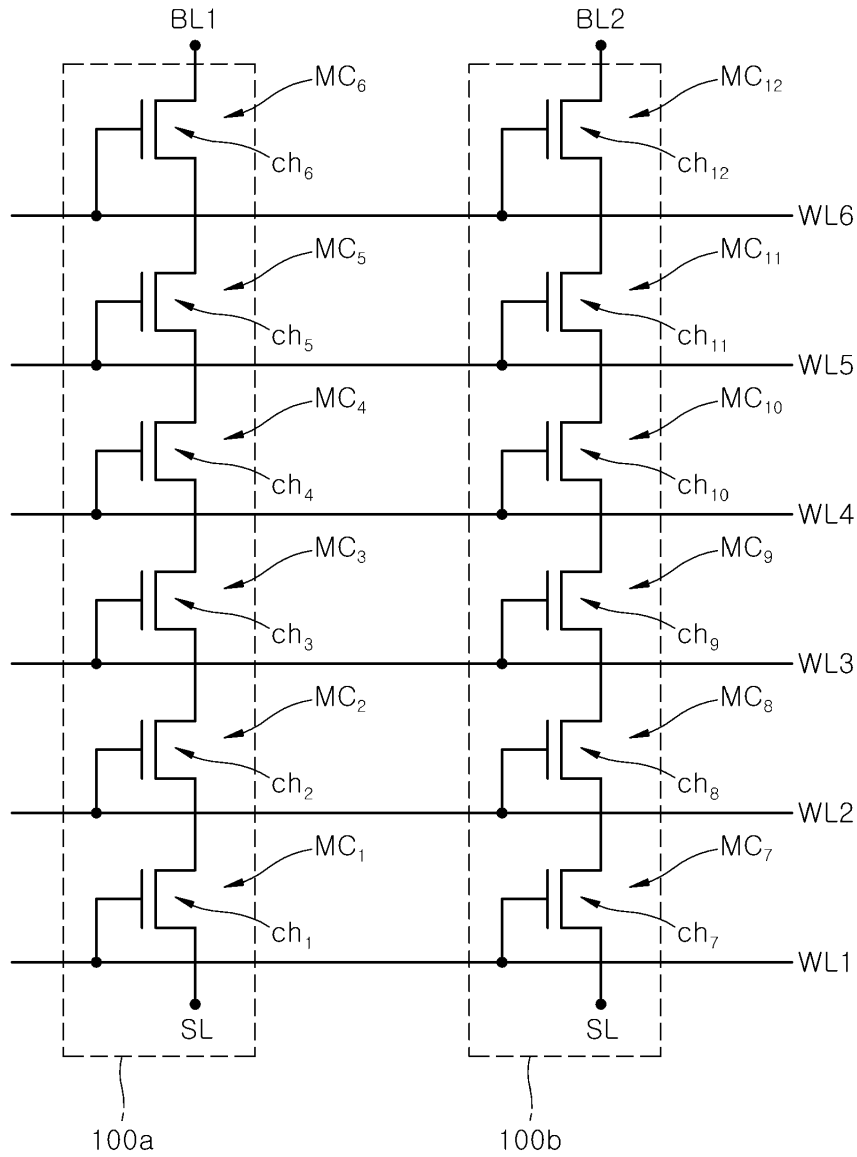
- [0082] 1: 제1 트렌치, 2: 제2 트렌치, 3: 리세스,

10: 비휘발성 메모리 장치,  
100a 100b: 스트링,  
301: 기판, 305: 베이스 전도층,  
310a 310b 310c 310d 310e 310f: 층간 절연막,  
320a 320b 320c 320d 320e 320f: 희생막,  
330: 제1 상부 절연막, 340: 제1 실리콘막, 345: 제1 실리콘 패턴층(제1 게이트 전극층),  
350: 강유전성 물질막, 352: 실리콘 산화물 패턴층,  
355: 강유전체층, 360: 제2 실리콘막, 365: 제2 실리콘 패턴층,  
370: 절연체, 380: 채널 콘택층,  
410a 410b 410c 410d 410e 410f: 제2 게이트 전극층,  
420: 라이너 절연층, 430: 제1 소스 라인 접속 패턴,  
440: 제2 상부 절연막, 450: 비트 라인 접속 패턴,  
455: 제2 소스 라인 접속 패턴.

도면

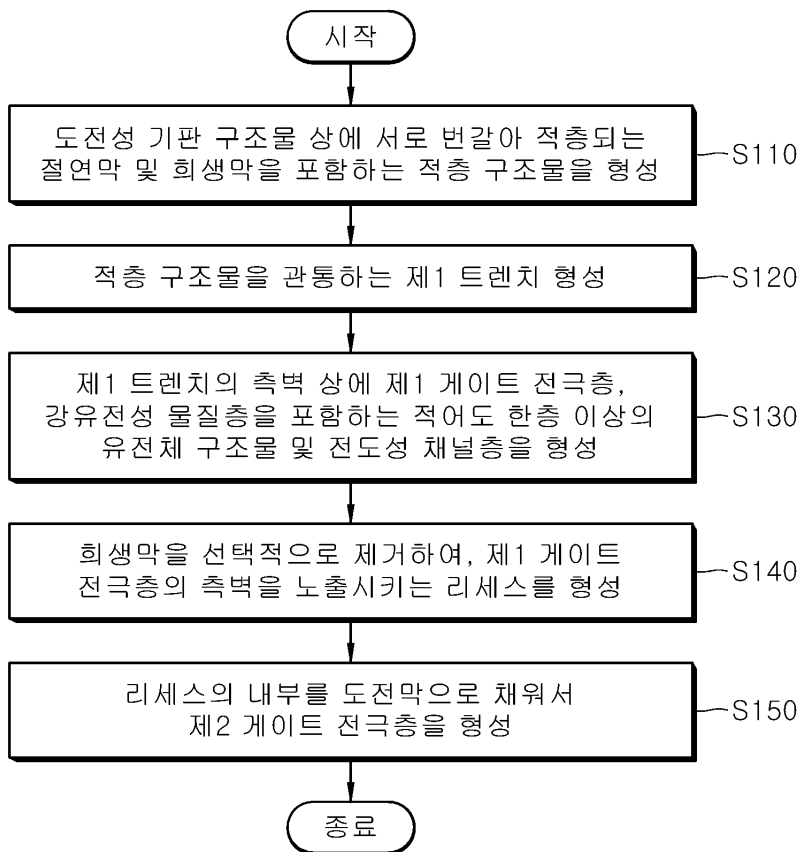
도면1

10

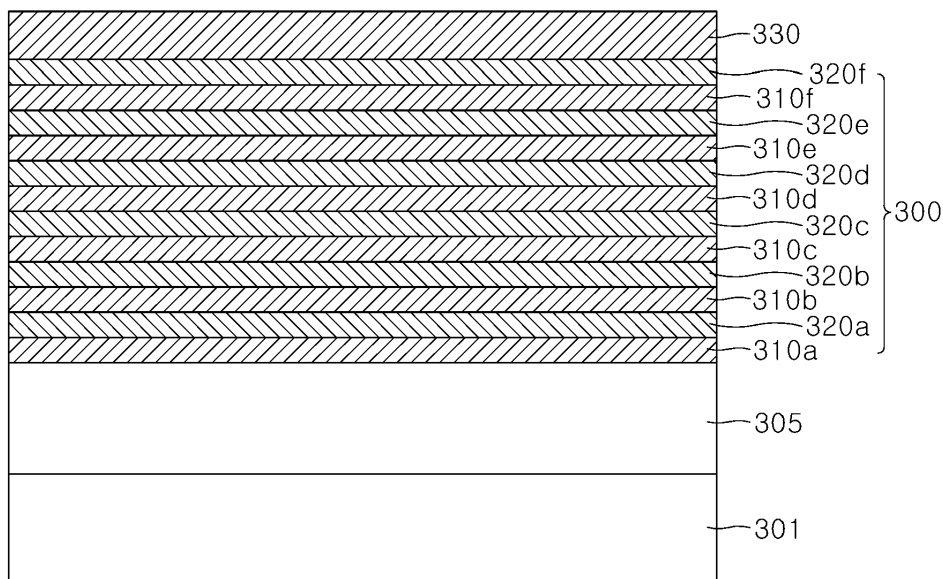




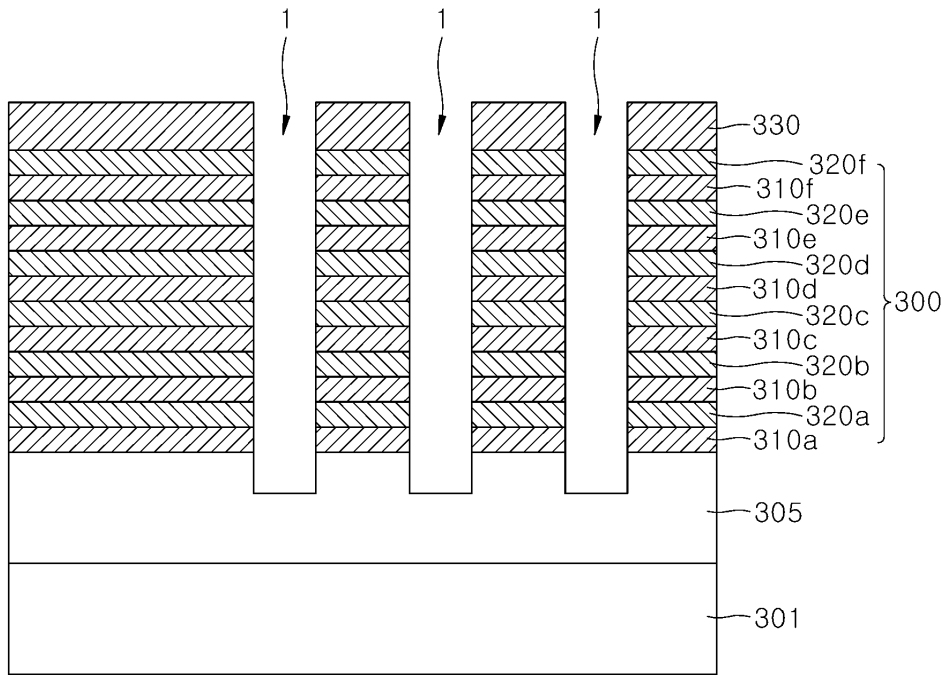
도면2



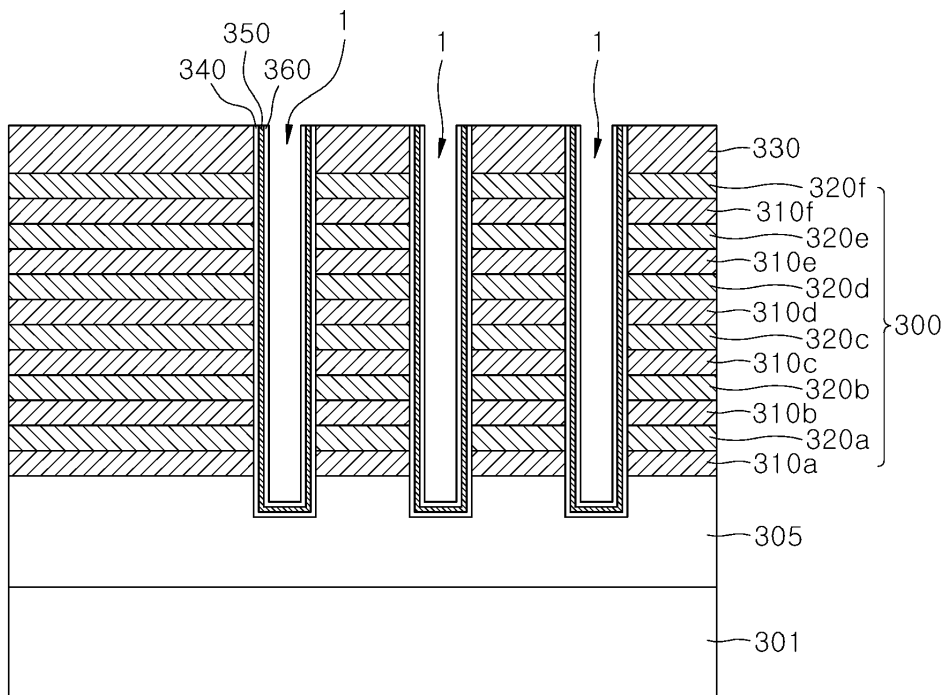
도면3



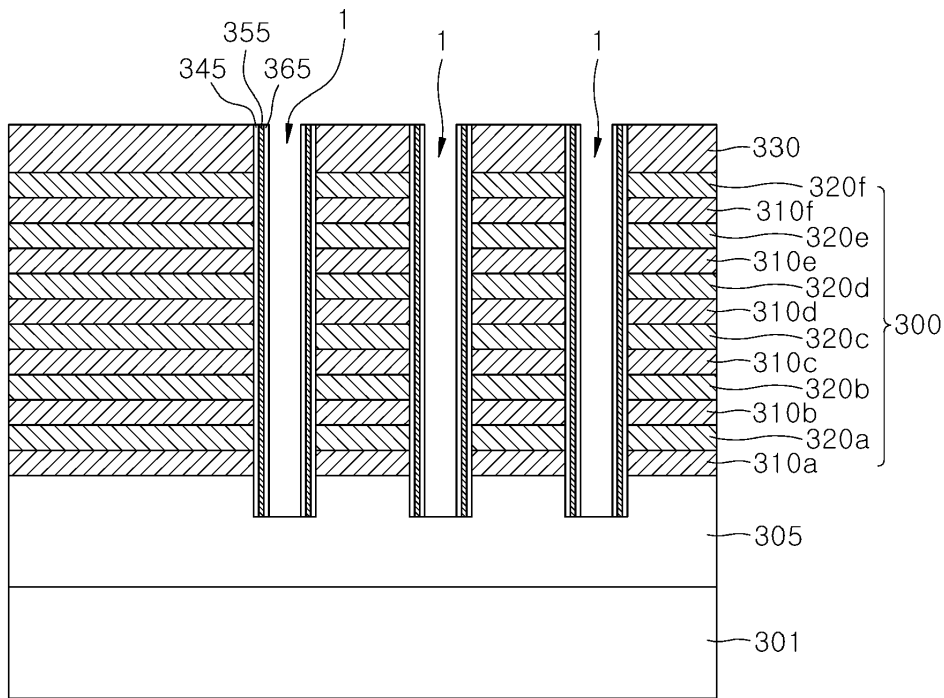
도면4



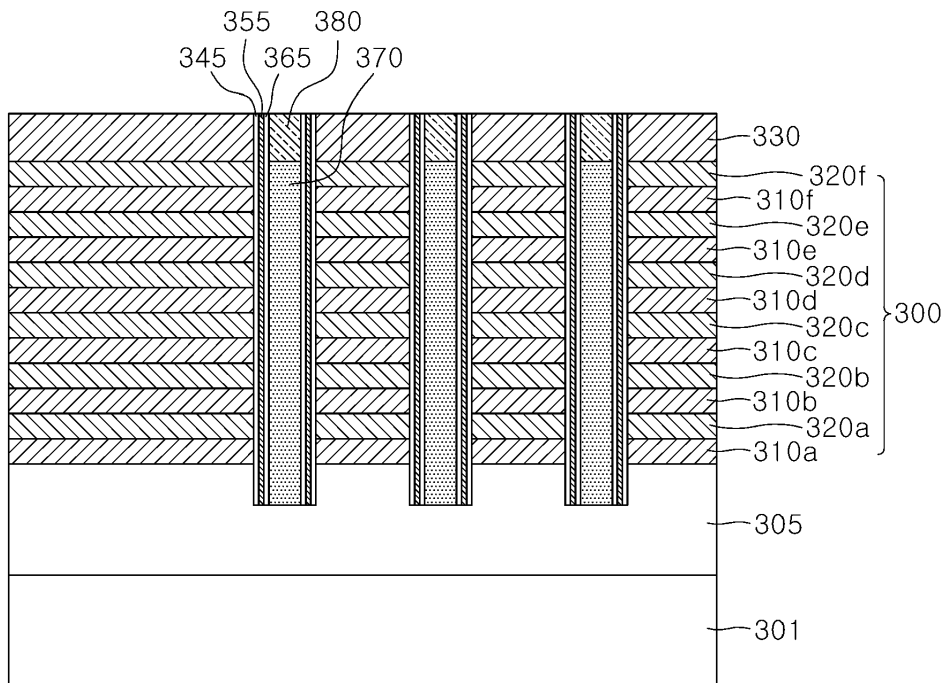
도면5



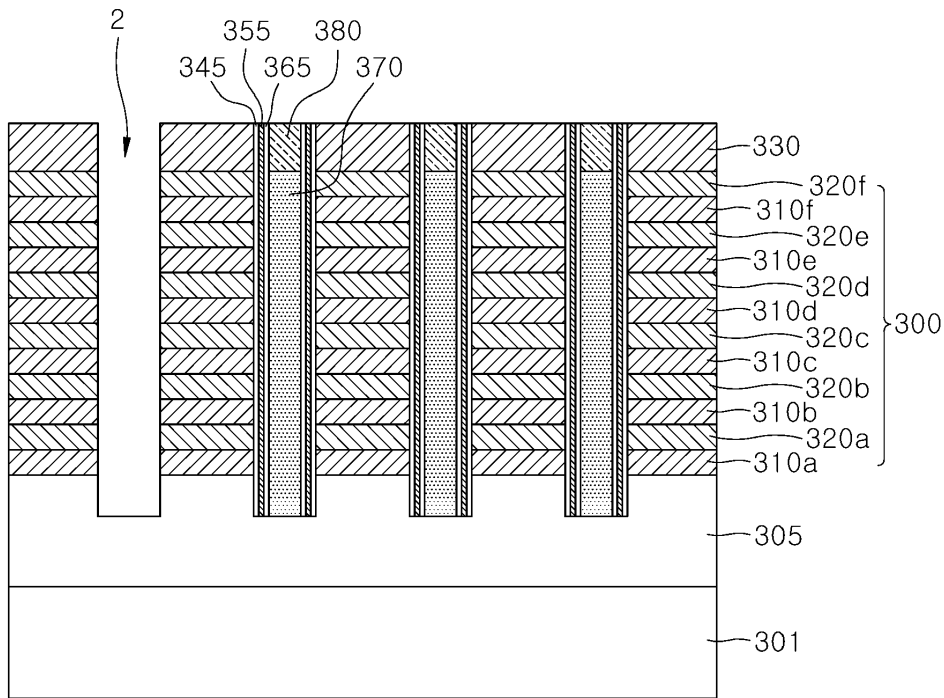
도면6



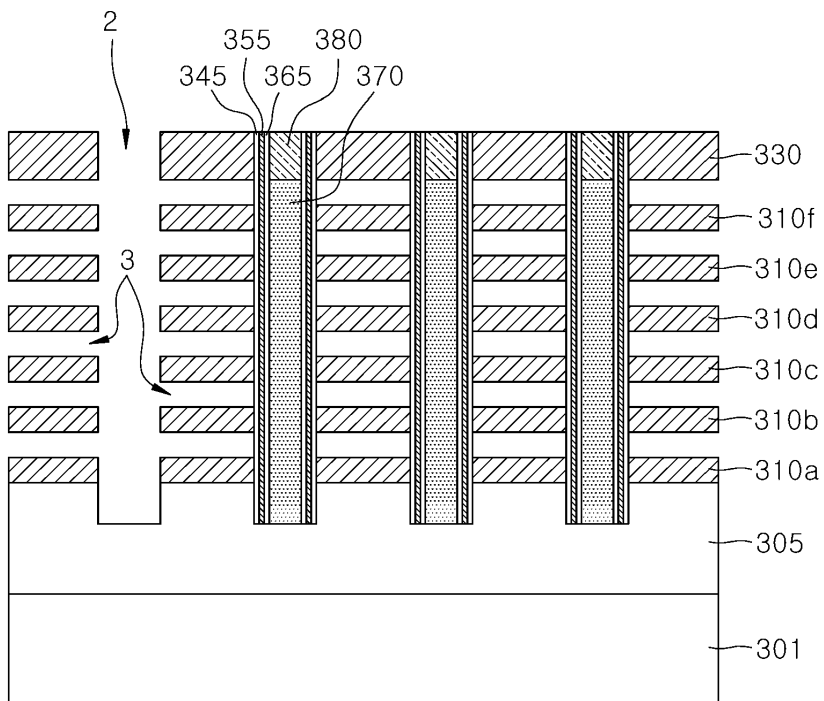
도면7



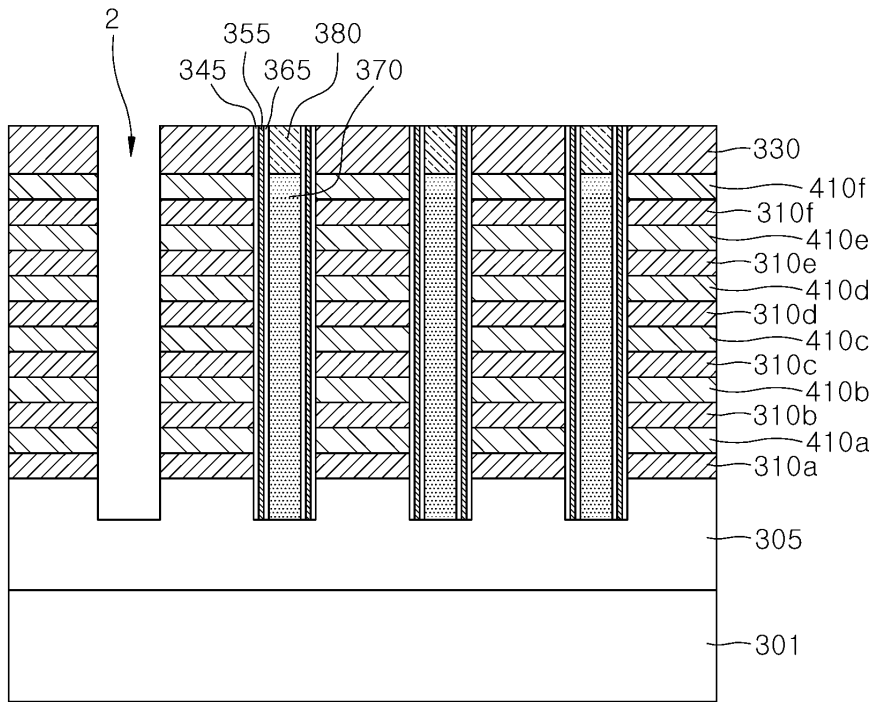
도면8



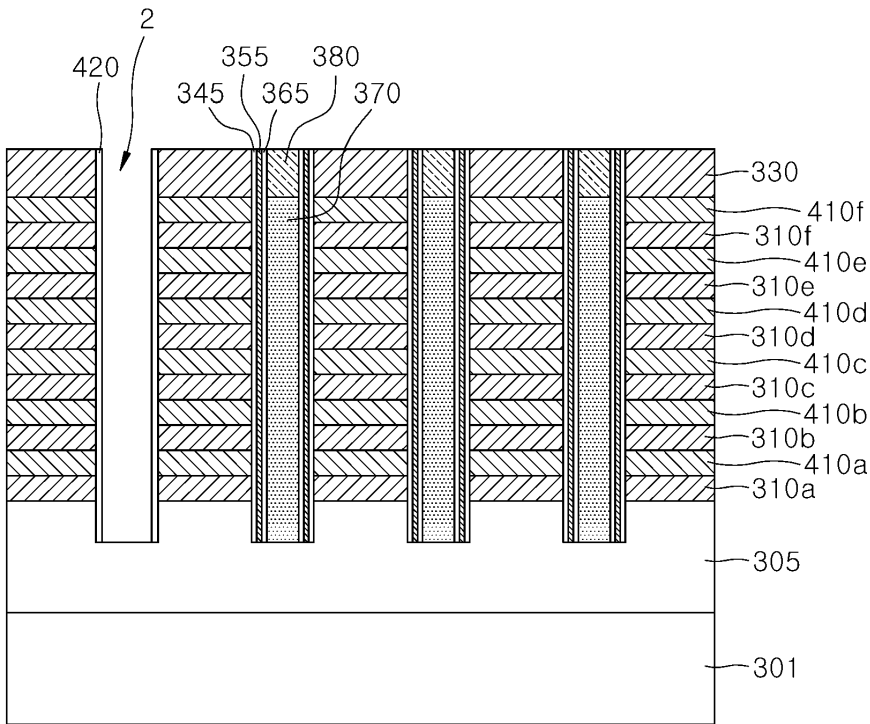
도면9



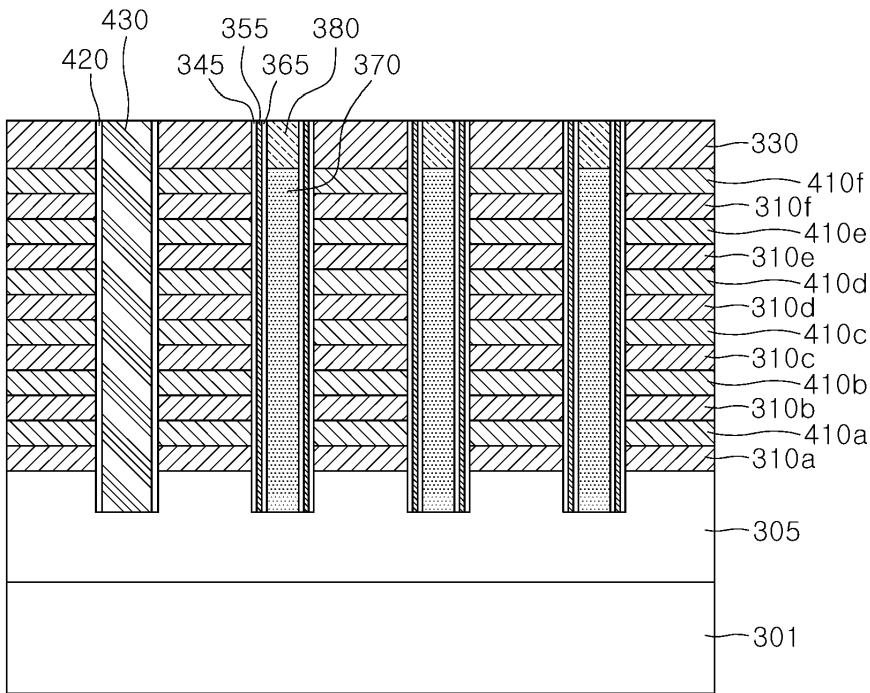
도면10



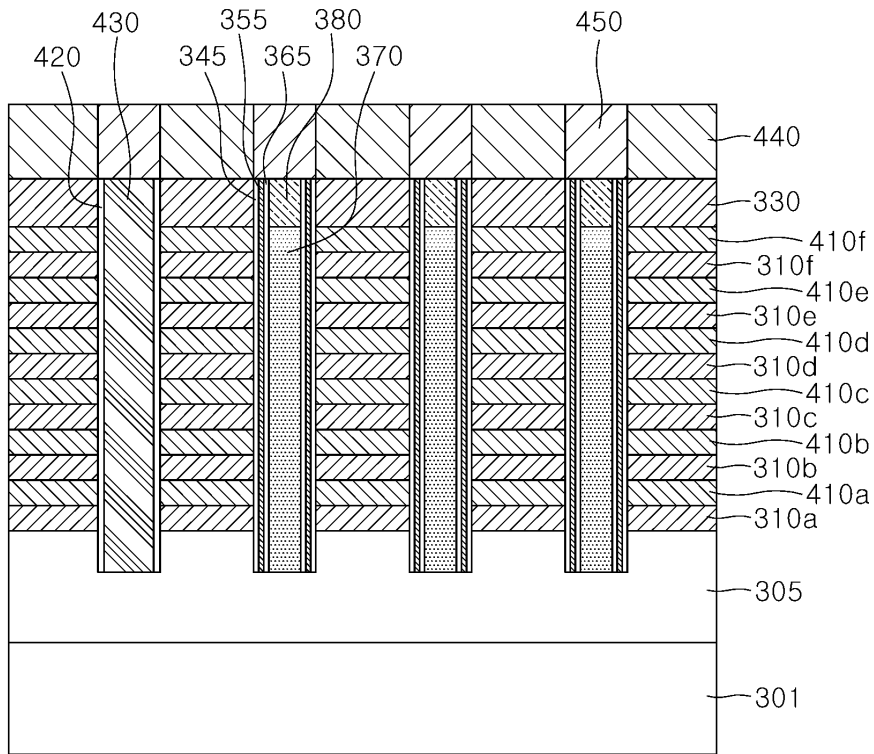
도면11



도면12



도면13



도면14

