[19] 中华人民共和国国家知识产权局

[12] 发明专利说明书

专利号 ZL 200410090934.5

[51] Int. Cl.
H01L 29/78 (2006.01)
H01L 27/04 (2006.01)
H01L 21/336 (2006.01)
H01L 21/8234 (2006.01)
H01L 21/76 (2006.01)

[45] 授权公告日 2009 年 2 月 18 日

[11] 授权公告号 CN 100463220C

[22] 申请日 2004.11.10
[21] 申请号 200410090934.5
[30] 优先权
[32] 2003.11.14 [33] JP [31] 384654/2003
[73] 专利权人 株式会社瑞萨科技
地址 日本东京都
[72] 发明人 安冈秀记 吉住圭一 纐缬政巳
[56] 参考文献
US6150273A 2000.11.21
US5306652A 1994.4.26
US5917217A 1999.6.29
US5047358A 1991.9.10
JP9 - 237829A 1997.9.9
US6600206B2 2003.7.29
审查员 方 岩

[74] 专利代理机构 北京市金杜律师事务所
代理人 酆 迅

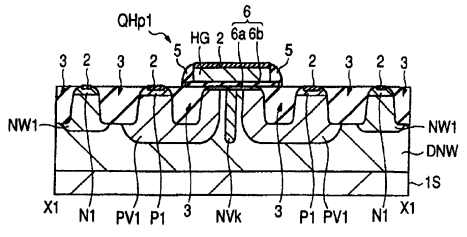
权利要求书 5 页 说明书 44 页 附图 45 页

[54] 发明名称

半导体器件

[57] 摘要

针对对于具有高击穿电压场效应晶体管的半导体器件的扭结效应进行抑制或防止的目的，在高击穿电压 pMIS 的沟道区沿栅极宽度方向两端的每个沟槽型隔离部分与半导体衬底之间的边界区域中，在远离高击穿电压 pMIS 的每个具有场缓和功能的 p^- 型半导体区的位置，设置具有与用作高击穿电压 pMIS 的源极和漏极的 p^+ 型半导体区相反的导电类型的 n^+ 型半导体区，从而不与 p^- 型半导体区(特别是在漏极侧)相接触。 n^+ 型半导体区延伸到比沟槽型隔离部分更深的位置。



1. 一种半导体器件，包括:

第一导电类型的高击穿电压场效应晶体管;

从沟道区的栅极宽度方向看，在高击穿电压场效应晶体管的沟道区两端设置的沟槽型隔离部分;

半导体衬底;

第一导电类型半导体区，与沟道区具有相同的导电类型，并且杂质浓度比沟道区高; 以及

与高击穿电压场效应晶体管的第一导电类型相反的第二导电类型的漏极半导体区，

其中，在栅极宽度方向，将第一导电类型半导体区设置在位于沟槽型隔离部分与半导体衬底之间的边界区域处，

其中，在栅极长度方向，将第一导电类型半导体区设置在远离漏极半导体区的位置处，从而不与漏极半导体区相接触。

2. 根据权利要求 1 的半导体器件，其中形成第一导电类型半导体区，从而从半导体衬底的主表面延伸到比沟槽型隔离部分更深的位置。

3. 根据权利要求 1 的半导体器件，其中半导体衬底设置有工作电压比高击穿电压场效应晶体管低的低击穿电压场效应晶体管。

4. 根据权利要求 1 的半导体器件，其中，

第一导电类型是 n 型，以及

第二导电类型是 p 型。

5. 根据权利要求 1 的半导体器件，其中，

第一导电类型是 p 型，以及

第二导电类型是 n 型。

6. 一种半导体器件，包括:

由沟槽型隔离部分在半导体衬底的主表面中所限定的有源区; 以及

具有设置在有源区中的沟道区的高击穿电压场效应晶体管，

所述高击穿电压场效应晶体管包括:

（a）通过置于其间的栅极绝缘膜在有源区的上方所提供的栅电极，

（b）用作源极和漏极的第一导电类型的第一半导体区，设置在有源区的沿栅极长度方向的两侧，其间插有沟槽型隔离部分，

（c）其杂质浓度比第一导电类型的第一半导体区低的用作源极和漏极的第一导电类型的第二半导体区，提供所述第一导电类型的第二半导体区，以便将各个第一导电类型的第一半导体区和有源区的沟道区进行电连接，以及

（d）与第一导电类型相反的第二导电类型的第三半导体区，并且将其一部分置于有源区中的第一导电类型的第二半导体区之间，提供所述第三半导体区以便在其中包括第一导电类型的第一和第二半导体区，

其中在有源区沿栅极宽度方向的两端的沟槽型隔离部分与半导体衬底之间的边界区域之内，以远离第一导电类型的第一和第二半导体区从而不与第一导电类型的第一和第二半导体区相接触的状态，设置其杂质浓度比第三半导体区高的第二导电类型的第四半导体区。

7. 根据权利要求 6 的半导体器件，其中，

第一导电类型是 n 型，以及

第二导电类型是 p 型。

8. 根据权利要求 6 的半导体器件，其中，

第一导电类型是 p 型，以及

第二导电类型是 n 型。

9. 根据权利要求 6 的半导体器件，其中形成第四半导体区，从而从半导体衬底的主表面延伸到比隔离部分更深的位置。

10. 根据权利要求 6 的半导体器件，其中半导体衬底设置有工作电压比高击穿电压场效应晶体管低的低击穿电压场效应晶体管。

11. 一种半导体器件，包括：

由沟槽型隔离部分在半导体衬底的主表面中所限定的有源区；以及

具有设置在有源区中的沟道区的高击穿电压场效应晶体管，

所述高击穿电压场效应晶体管包括：

（a）通过置于其间的栅极绝缘膜在有源区的上方所设置的栅电极，

（b）第一导电类型的漏极第一半导体区，设置在有源区的沿栅极长度方向的一侧，其间插有沟槽型隔离部分，

（c）第一导电类型的源极第一半导体区，设置得相邻于有源区的沿栅极长度方向的另一侧，其间没有插入沟槽型隔离部分，

（d）其杂质浓度比第一导电类型的漏极第一半导体区低的第一导电类型的漏极第二半导体区，提供所述漏极第二半导体区，以便在其中包括第一导电类型的漏极第一半导体区，并且将第一导电类型的漏极第一半导体区和有源区的沟道区进行电连接，以及

（e）与第一导电类型相反的第二导电类型的第三半导体区，并且将其一部分置于有源区中的第一导电类型的源极第一半导体区与漏极第二半导体区之间，提供所述第三半导体区，以便在其中包括第一导电类型的源极第一半导体区和第一导电类型的漏极第二半导体区，

其中在有源区沿栅极宽度方向的两端的沟槽型隔离部分与半导体衬底之间的边界区域之内，以远离漏极第一导电类型的第一和第二半导体区从而不与漏极第一导电类型的第一和第二半导体区相接触的状态，设置杂质浓度比第三半导体区高的第二导电类型的第四半导体区。

12. 根据权利要求 11 的半导体器件，其中，

第一导电类型是 n 型，以及

第二导电类型是 p 型。

13. 根据权利要求 11 的半导体器件，其中，

第一导电类型是 p 型，以及

第二导电类型是 n 型。

14. 根据权利要求 11 的半导体器件，其中形成第四半导体区，从而从半导体衬底的主表面延伸到比隔离部分更深的位置。

15. 根据权利要求 11 的半导体器件，其中半导体衬底设置有工作电压比高击穿电压场效应晶体管低的低击穿电压场效应晶体管。

16. 一种半导体器件，包括:

由沟槽型隔离部分在半导体衬底的主表面中所限定的第一和第二有源区；以及

具有设置在第一和第二有源区中的沟道区的第一和第二高击穿电压场效应晶体管，

所述第一高击穿电压场效应晶体管包括:

（a）通过置于其间的栅极绝缘膜在第一有源区的上方所设置的栅电极，

（b）第一导电类型的源极和漏极第一半导体区，设置在第一有源区的沿栅极长度方向的两侧，其间插有相应的沟槽型隔离部分，

（c）其杂质浓度比源极和漏极第一半导体区低的第一导电类型的源极和漏极第二半导体区，提供所述源极和漏极第二半导体区，以便将各个第一导电类型的源极和漏极第一半导体区与第一有源区的沟道区进行电连接，

（d）与第一导电类型相反的第二导电类型的第三半导体区，并且将其一部分置于第一有源区中的第一导电类型的源极和漏极第二半导体区之间，提供所述第三半导体区，以便在其中包括第一导电类型的源极和漏极第一和第二半导体区，以及

（e）其杂质浓度比第三半导体区高的第二导电类型的第四半导体区，并且在第一有源区的沿栅极宽度方向的两端的沟槽型隔离部分与半导体衬底之间的边界区域之内，以远离源极和漏极第一导电类型的第一和第二半导体区从而不与源极和漏极第一导电类型的第一和第二半导体区相接触的状态，设置所述第二导电类型的第四半导体区，以及

所述第二高击穿电压场效应晶体管包括:

（a）通过置于其间的栅极绝缘膜在第二有源区的上方所设置的栅电极，

（b）第一导电类型的漏极第一半导体区，设置在第二有源区的沿栅极长度方向的一侧，其间插有沟槽型隔离部分，

（c）第一导电类型的源极第一半导体区，设置得相邻于第二有源区的沿栅极长度方向的另一侧，其间没有插入沟槽型隔离部分，

（d）其杂质浓度比第二高击穿电压场效应晶体管的第一导电类型的漏极第一半导体区低的第一导电类型的漏极第二半导体区，提供所述

漏极第二半导体区，以便将第二高击穿电压场效应晶体管的第一导电类型的漏极第一半导体区和第二有源区的沟道区进行电连接，

（e）与第一导电类型相反的第二导电类型的第三半导体区，并且将其一部分置于第二有源区中的第一导电类型的源极第一半导体区与第二高击穿电压场效应晶体管的第一导电类型的漏极第二半导体区之间，提供所述第三半导体区，以便在其中包括第二高击穿电压场效应晶体管的第一导电类型的源极第一半导体区与第一导电类型的漏极第一和第二半导体区，以及

（f）其杂质浓度比第二高击穿电压场效应晶体管的第三半导体区高的第二导电类型的第四半导体区，并且在第二有源区沿栅极宽度方向的两端的沟槽型隔离部分与半导体衬底之间的边界区域之内，以远离第二高击穿电压场效应晶体管的源极和漏极第一导电类型的第一和第二半导体区从而不与第二高击穿电压场效应晶体管的源极和漏极第一导电类型的第一和第二半导体区接触的状态，设置所述第二导电类型的第四半导体区。

17. 根据权利要求 16 的半导体器件，其中形成第一和第二高击穿电压场效应晶体管的第四半导体区，从而从半导体衬底的主表面延伸到比沟槽型隔离部分更深的位置。

18. 根据权利要求 16 的半导体器件，其中半导体衬底设置有工作电压比第一和第二高击穿电压场效应晶体管低的低击穿电压场效应晶体管。

19. 根据权利要求 16 的半导体器件，其中，

第一导电类型是 n 型，以及

第二导电类型是 p 型。

20. 根据权利要求 16 的半导体器件，其中，

第一导电类型是 p 型，以及

第二导电类型是 n 型。

半导体器件

相关申请的交叉引用

本申请要求2003年11月14日申请的日本专利申请的 2003-384654的优先权，将其内容作为参考引入本申请。

技术领域

本发明涉及半导体器件及其制造技术，而且特别地涉及具有高击穿电压场效应晶体管的半导体器件及其制造技术。

背景技术

在半导体器件中，最近已经采用了称作“STI（浅沟槽隔离）或 SGI（浅凹槽隔离）”的有利于改善器件的集成度、例如减少隔离宽度的能力等的沟槽型隔离结构作为器件隔离结构。但是，当由沟槽型隔离部分限定器件尺寸小并且所加电压低的低击穿电压 MIS·FET 的沟道区时，除了正常的导通波形之外，还容易出现异常的扭结效应。扭结效应是当测量漏极电流与漏极电压的关系曲线时，在给定的电压值下漏极电流变为不规律的突起形状从而形成阶梯形波形的现象。已知在低击穿电压 MIS·FET 中出现扭结效应的主要原因是由下列事实引起的：从沟槽型隔离部分产生的机械应力集中在由半导体衬底的主表面与沟槽型隔离部分的每个侧面所构成的每个肩部上，并由此导致在肩部的硅的栅格常数发生变化，从而使在肩部的载流子的迁移率局部上升。

因此，在低击穿电压 MIS·FET 中出现扭结效应的原因是由在隔离部分的每个侧壁处半导体衬底的每个肩部的形状陡峭而引起的。因此，肩部的倒角成为解决扭结效应的主要手段。

作为除上述之外的解决低击穿电压 MIS·FET 扭结效应的手段，例如，在专利文献 1（日本待审专利公开 Hei 9（1997）-237829）中已经公开

了这样一种技术，其中在沟槽型隔离部分中的一个与半导体衬底之间的边界部分中还提供相同导电类型的高浓度杂质区。

例如，专利文献2（日本待审专利公开 2001-144189）已经公开了这样一种技术，其中在由沟槽器件隔离区分隔或布局的低击穿电压MOSFET中，其沟道区的中间部分由低阈值电压的p^-型沟道区构成，并且在沟道区和沟槽器件隔离区之间的边界附近的两端部分分别由高阈值电压的p^+型沟道区构成。

例如，专利文献3（日本待审专利公开 Hei 10（1998）-65153）已经公开了这样一种技术，其中在由与沟道区具有相同导电类型的沟槽型器件隔离膜限定的有源区的外围部分，提供浓度高于沟道区的杂质层，从而使其比低击穿电压MIS·FET的源极/漏极结浅。

例如，专利文献4（日本待审专利公开 2001-160623）已经公开了这样一种技术，其中在由用沟槽器件隔离方法形成的器件隔离膜限定的有源区中形成低击穿电压MOSFET，并且将在MOSFET栅电极下面的有源区的沟道边缘置于用于注入高浓度杂质离子以形成源极/漏极区的区域之外，从而扭转除操作部分之外的沟道边缘，用来防止扭结效应。

还提出了针对扭结效应的其它解决方法，例如，在相对于n沟道型MOS·FET中的与沟槽型隔离部分接触的半导体衬底的每个边缘部分中离子注入氮，形成SiN区，从而防止在边缘部分硼的浓度降低，并且降低由于扭结效应引起的漏电流的方法；加厚在每个沟槽型隔离部分附近的氧化膜从而改善扭结效应的方法等；等。

发明内容

另一方面，本发明人最新发现的问题在于，虽然甚至在高击穿电压MIS·FET中也会出现扭结效应，但是其中扭结效应产生的原因与在低击穿电压MIS·FET中扭结效应产生的原因不同，并且在高击穿电压MIS·FET中，仅仅在半导体衬底的肩部形成倒角不能完全抑制扭结效应。因此，如稍后所介绍的，重要的问题是如何在高击穿电压MIS·FET中抑制扭结效应。

本发明的一个目的是提供一种能够抑制或防止在高击穿电压场效应晶体管中出现的扭结效应的技术。

通过本说明书和附图的介绍，本发明的上述和其它目的以及新颖特征将变得明显。

在本申请中公开的本发明的典型实施例的概述简要说明如下。

根据本发明，如在栅极宽度方向看到的，在高击穿电压场效应晶体管两端的隔离部分与半导体衬底之间的边界区域中，设置一个杂质浓度高于沟道区的区域，该区域是导电类型与高击穿电压场效应晶体管的漏极半导体区的导电类型相反的半导体区。杂质浓度高的区域离开高击穿电压场效应晶体管的漏极半导体区设置。

在本申请中公开的本发明的典型实施例的有利效果简要说明如下：

有可能抑制或防止在高击穿电压场效应晶体管中出现的扭结效应。还有可能改善具有高击穿电压场效应晶体管的半导体器件的特性。

附图说明

图 1 示出了本发明第一实施例所示的半导体器件的高击穿电压场效应晶体管的局部平面图；

图 2 是与图 1 相同位置的平面图，并且是特别示出了高击穿电压场效应晶体管的场缓和（field relaxing）半导体区域与其主要部分的半导体区域之间的布局关系的局部平面图；

图 3 是与图 1 相同位置的平面图，并且是特别示出了高击穿电压场效应晶体管的栅电极、其有源区及其主要部分的半导体区域之间的布局关系的局部平面图；

图 4 是与图 1 相同位置的平面图，并且特别示出了隔离区和有源区的局部平面图；

图 5 是沿图 1 到图 4 的线 X1-X1 的剖面图；

图 6 是沿图 1 到图 4 的线 X2-X2 的剖面图；

图 7 是沿图 1 到图 4 的线 Y1-Y1 的剖面图；

图 8 示出了采用高击穿电压场效应晶体管的电路的一个例子的电

路图；

图 9 示出了采用高击穿电压场效应晶体管的电路的另一个例子的电路图；

图 10 示出了本发明第二实施例所示的半导体器件的高击穿电压场效应晶体管的一个例子的局部平面图；

图 11 是与图 10 相同位置的平面图，并且是特别示出了具有高击穿电压场效应晶体管的场缓和功能的半导体区域、用作源极的 p+型半导体区域与其 n+型半导体区域之间的布局关系的局部平面图；

图 12 是与图 10 相同位置的平面图，并且是特别示出了高击穿电压场效应晶体管的栅电极、其有源区及其 n+型半导体区域之间的布局关系的局部平面图；

图 13 是与图 10 相同位置的平面图，并且是特别说明了隔离区和有源区的局部平面图；

图 14 是沿图 10 到图 13 的线 X3-X3 的剖面图；

图 15 是沿图 10 到图 13 的线 X4-X4 的剖面图；

图 16 示出了在本发明第三实施例所示的半导体器件的制造工艺中高击穿电压场效应晶体管的第一形成区的局部剖面图；

图 17 示出了在与图 16 相同的制造工艺中半导体器件的高击穿电压场效应晶体管的第二形成区的局部剖面图；

图 18 示出了在与图 16 相同的制造工艺中半导体器件的低击穿电压场效应晶体管的形成区的局部剖面图；

图 19 是图 16 到图 18 的局部放大剖面图；

图 20 是继图 16 到图 19 之后的局部剖面图，示出了在半导体器件的制造工艺中高击穿电压场效应晶体管的第一形成区；

图 21 示出了在与图 20 相同的制造工艺中半导体器件的高击穿电压场效应晶体管的第二形成区的局部剖面图；

图 22 示出了在与图 20 相同的制造工艺中半导体器件的低击穿电压场效应晶体管的形成区的局部剖面图；

图 23 是图 20 到图 22 的局部放大剖面图；

图 24 是继图 20 到图 22 之后的局部剖面图，示出了在半导体器件的制造工艺中高击穿电压场效应晶体管的第一形成区；

图 25 示出了在与图 24 相同的制造工艺中半导体器件的高击穿电压场效应晶体管的第二形成区的局部剖面图；

图 26 示出了在与图 24 相同的制造工艺中半导体器件的低击穿电压场效应晶体管的形成区的局部剖面图；

图 27 是图 24 到图 26 的局部放大剖面图；

图 28 是继图 23 到图 27 之后的局部剖面图，示出了在半导体器件的制造工艺中高击穿电压场效应晶体管的第一形成区；

图 29 示出了在与图 28 相同的制造工艺中半导体器件的高击穿电压场效应晶体管的第二形成区的局部剖面图；

图 30 示出了在与图 28 相同的制造工艺中半导体器件的低击穿电压场效应晶体管的形成区的局部剖面图；

图 31 是继图 28 到图 30 之后的局部剖面图，示出了在半导体器件的制造工艺中高击穿电压场效应晶体管的第一形成区；

图 32 示出了在与图 31 相同的制造工艺中半导体器件的高击穿电压场效应晶体管的第二形成区的局部剖面图；

图 33 示出了在与图 31 相同的制造工艺中半导体器件的低击穿电压场效应晶体管的形成区的局部剖面图；

图 34 是继图 31 到图 33 之后的局部剖面图，示出了在半导体器件的制造工艺中高击穿电压场效应晶体管的第一形成区；

图 35 示出了在与图 34 相同的制造工艺中半导体器件的高击穿电压场效应晶体管的第二形成区的局部剖面图；

图 36 示出了在与图 34 相同的制造工艺中半导体器件的低击穿电压场效应晶体管的形成区的局部剖面图；

图 37 是继图 34 到图 36 之后的局部剖面图，示出了在半导体器件的制造工艺中高击穿电压场效应晶体管的第一形成区；

图 38 示出了在与图 37 相同的制造工艺中半导体器件的高击穿电压场效应晶体管的第二形成区的局部剖面图；

图 39 示出了在与图 37 相同的制造工艺中半导体器件的低击穿电压场效应晶体管的形成区的局部剖面图；

图 40 是继图 37 到图 39 之后的局部剖面图，示出了在半导体器件的制造工艺中高击穿电压场效应晶体管的第一形成区；

图 41 示出了在与图 40 相同的制造工艺中半导体器件的高击穿电压场效应晶体管的第二形成区的局部剖面图；

图 42 示出了在与图 40 相同的制造工艺中半导体器件的低击穿电压场效应晶体管的形成区的局部剖面图；

图 43 是继图 40 到图 42 之后的局部剖面图，示出了在半导体器件的制造工艺中高击穿电压场效应晶体管的第一形成区；

图 44 示出了在与图 43 相同的制造工艺中半导体器件的高击穿电压场效应晶体管的第二形成区的局部剖面图；

图 45 示出了在与图 43 相同的制造工艺中半导体器件的低击穿电压场效应晶体管的形成区的局部剖面图；

图 46 是继图 43 到图 45 之后的局部剖面图，示出了在半导体器件的制造工艺中高击穿电压场效应晶体管的第一形成区；

图 47 示出了在与图 46 相同的制造工艺中半导体器件的高击穿电压场效应晶体管的第二形成区的局部剖面图；

图 48 示出了在与图 46 相同的制造工艺中半导体器件的低击穿电压场效应晶体管的形成区的局部剖面图；

图 49 是继图 46 到图 48 之后的局部剖面图，示出了在半导体器件的制造工艺中高击穿电压场效应晶体管的第一形成区；

图 50 示出了在与图 49 相同的制造工艺中半导体器件的高击穿电压场效应晶体管的第二形成区的局部剖面图；

图 51 示出了在与图 49 相同的制造工艺中半导体器件的低击穿电压场效应晶体管的形成区的局部剖面图；

图 52 是继图 49 到图 51 之后的局部剖面图，示出了在半导体器件的制造工艺中高击穿电压场效应晶体管的第一形成区；

图 53 示出了在与图 52 相同的制造工艺中半导体器件的高击穿电

压场效应晶体管的第二形成区的局部剖面图；

图 54 示出了在与图 52 相同的制造工艺中半导体器件的低击穿电压场效应晶体管的形成区的局部剖面图；

图 55 是继图 52 到图 54 之后的局部剖面图，示出了在半导体器件的制造工艺中高击穿电压场效应晶体管的第一形成区；

图 56 示出了在与图 55 相同的制造工艺中半导体器件的高击穿电压场效应晶体管的第二形成区的局部剖面图；

图 57 示出了在与图 55 相同的制造工艺中半导体器件的低击穿电压场效应晶体管的形成区的局部剖面图；

图 58 是继图 55 到图 57 之后的局部剖面图，示出了在半导体器件的制造工艺中高击穿电压场效应晶体管的第一形成区；

图 59 示出了在与图 58 相同的制造工艺中半导体器件的高击穿电压场效应晶体管的第二形成区的局部剖面图；

图 60 示出了在与图 58 相同的制造工艺中半导体器件的低击穿电压场效应晶体管的形成区的局部剖面图；

图 61 是继图 58 到图 60 之后的局部剖面图，示出了在半导体器件的制造工艺中高击穿电压场效应晶体管的第一形成区；

图 62 示出了在与图 61 相同的制造工艺中半导体器件的高击穿电压场效应晶体管的第二形成区的局部剖面图；

图 63 示出了在与图 61 相同的制造工艺中半导体器件的低击穿电压场效应晶体管的形成区的局部剖面图；

图 64 示出了在本发明第四实施例所示的半导体器件的高击穿电压场效应晶体管的一个例子的局部剖面图；

图 65 是与图 64 相同位置的平面图，并且是特别示出了在具有高击穿电压场效应晶体管的场缓和功能的 p^-型半导体区与其相反掺杂区之间的布局关系的局部平面图；

图 66 是与图 64 相同位置的平面图，并且是特别示出了高击穿电压场效应晶体管的各个半导体区的样式的局部平面图；

图 67 是与图 64 相同位置的平面图，并且是示出了在有源区中半

导体区的样式的局部平面图；

图 68 是沿图 64 到图 67 的线 X5-X5 的剖面图；

图 69 是沿图 64 到图 67 的线 X6-X6 的剖面图；

图 70 是沿图 64 到图 67 的线 Y4-Y4 的剖面图；

图 71 示出了以多种形式排列如图 64 所示的高击穿电压场效应晶体管的一个例子的局部平面图；

图 72 示出了本发明第五实施例所示的半导体器件的高击穿电压场效应晶体管的一个例子的局部剖面图；

图 73 是与图 72 相同位置的平面图，并且是特别示出了在具有高击穿电压场效应晶体管的场缓和功能的 p–型半导体区与其相反掺杂区之间的布局关系的局部平面图；

图 74 是与图 72 相同位置的平面图，并且是特别示出了高击穿电压场效应晶体管的各个半导体区的样式的局部平面图；

图 75 是与图 72 相同位置的平面图，并且是特别示出了在有源区中半导体区的样式的局部平面图；

图 76 是沿图 72 到图 75 的线 X7-X7 的剖面图；

图 77 是沿图 72 到图 75 的线 X8-X8 的剖面图；

图 78 示出了在本发明第六实施例所示的半导体器件的制造工艺中高击穿电压场效应晶体管的第三形成区的局部剖面图；

图 79 示出了在与图 78 相同的制造工艺中半导体器件的高击穿电压场效应晶体管的第四形成区的局部剖面图；

图 80 示出了在与图 78 相同的制造工艺中半导体器件的低击穿电压场效应晶体管的形成区的局部剖面图；

图 81 是继图 78 到图 80 之后的局部剖面图，示出了在半导体器件的制造工艺中高击穿电压场效应晶体管的第三形成区；

图 82 示出了在与图 81 相同的制造工艺中半导体器件的高击穿电压场效应晶体管的第四形成区的局部剖面图；

图 83 示出了在与图 81 相同的制造工艺中半导体器件的低击穿电压场效应晶体管的形成区的局部剖面图；

图 84 是继图 81 到图 83 之后的局部剖面图，示出了在半导体器件的制造工艺中高击穿电压场效应晶体管的第三形成区；

图 85 示出了在与图 84 相同的制造工艺中半导体器件的高击穿电压场效应晶体管的第四形成区的局部剖面图；

图 86 示出了在与图 84 相同的制造工艺中半导体器件的低击穿电压场效应晶体管的形成区的局部剖面图；

图 87 是继图 84 到图 86 之后的局部剖面图，包括在半导体器件的制造工艺中高击穿电压场效应晶体管的第三形成区中对应于图 64 到图 67 的线 X5-X5 中每一个的部分；

图 88 是在与图 87 相同的制造工艺中包括对应于图 64 到图 67 的线 X6-X6 中每一个的部分的剖面图；

图 89 是在与图 87 相同的制造工艺中包括对应于图 72 到图 75 的线 X7-X7 中每一个的部分的剖面图；

图 90 是在与图 87 相同的制造工艺中包括对应于图 72 到图 75 的线 X8-X8 中每一个的部分的剖面图；

图 91 是在与图 87 相同的制造工艺中包括对应于图 64 到图 67 的线 Y4-Y4 中每一个或图 72 到图 75 的线 Y5-Y5 中每一个的剖面图；

图 92 示出了在与图 87 相同的制造工艺中半导体器件的低击穿电压场效应晶体管的形成区的局部剖面图；

图 93 是继图 87 到图 92 之后的局部剖面图，包括在半导体器件的制造工艺中高击穿电压场效应晶体管的第三形成区中对应于图 64 到图 67 的线 X5-X5 中每一个的部分；

图 94 是在与图 93 相同的制造工艺中包括对应于图 64 到图 67 的线 X6-X6 中每一个的部分的剖面图；

图 95 是在与图 93 相同的制造工艺中包括对应于图 72 到图 75 的线 X7-X7 中每一个的部分的剖面图；

图 96 是在与图 93 相同的制造工艺中包括对应于图 72 到图 75 的线 X8-X8 中每一个的部分的剖面图；

图 97 是在与图 93 相同的制造工艺中对应于图 64 到图 67 的线

Y4-Y4 中每一个或图 72 到图 75 的线 Y5-Y5 中每一个的部分的剖面图;

图 98 示出了在与图 93 相同的制造工艺中半导体器件的低击穿电压场效应晶体管的形成区的局部剖面图;

图 99 是继图 93 到图 99 之后的局部剖面图，包括在半导体器件的制造工艺中高击穿电压场效应晶体管的第三形成区中对应于图 64 到图 67 的线 X5-X5 中每一个的部分;

图 100 示出了在与图 99 相同的制造工艺中半导体器件的高击穿电压场效应晶体管的第四形成区的局部剖面图;

图 101 示出了在与图 99 相同的制造工艺中半导体器件的低击穿电压场效应晶体管的形成区的局部剖面图;

图 102 是一个剖面图，示出了本发明第七实施例所示的半导体器件的高击穿电压场效应晶体管的一个例子，并且示出了对应于图 64 到图 67 的线 X5-X5 中每一个的部分;

图 103 是一个剖面图，示出了在图 102 中所示的高击穿电压场效应晶体管，并且示出了对应于图 64 到图 67 的线 X6-X6 中每一个的部分;

图 104 是一个剖面图，示出了在图 102 中所示的高击穿电压场效应晶体管，并且示出了对应于图 64 到图 67 的线 Y4-Y4 中每一个的部分;

图 105 是一个剖面图，示出了本发明第八实施例所示的半导体器件的高击穿电压场效应晶体管的一个例子，并且示出了对应于图 72 到图 75 的线 X7-X7 中每一个的部分;

图 106 是一个剖面图，示出了在图 105 中所示的高击穿电压场效应晶体管，并且示出了对应于图 72 到图 75 的线 X8-X8 中每一个的部分;

图 107 示出了在高击穿电压场效应晶体管中产生的扭结波形的波形图;

图 108 用来说明在图 107 中所示的扭结波形。

图 109 示出了没有针对扭结效应的对抗措施的高击穿电压场效应晶体管的局部平面图；

图 110 是沿图 109 的线 Y50-Y50 的剖面图；以及

图 111 示出了以多种形式排列本发明第一实施例所示的半导体器件的如图 1 中的高击穿电压场效应晶体管的一个例子的局部平面图。

具体实施方式

在随后的实施例中，为了方便起见，只要情况需要，就将它们分为多个部分或实施例进行介绍。但是，除非特别说明，否则它们是彼此相关的。其中的一个和其它的一些或全部的修改、细节和补充说明有关。当在随后的实施例中涉及元件等的数目（包括件数、数值、数量、范围等）时，其数目并不限于特定的数，并且可以大于或小于或等于特定的数，除非特别指明并且在原理上明确限定为特定的数。同时也不用声明，在随后的实施例中采用的组成部分（包括元件或要素步骤等）并不总是必要的，除非特别指明并且在原理上认为是确定必须的。同样，当在随后的实施例中涉及组成部分等的形状、位置关系等时，它们将包括与这些形状等基本类似或相同的形状，除非特别指明并且在原理上认为不必这样，等等。这同样适用于上述数值和范围。在用来介绍实施例的所有附图中对具有相同功能的每一个部分分别给予相同的参考数字，并且省略其各自的介绍。在随后的实施例中，将对应于场效应晶体管的 MIS · FET（金属绝缘体半导体·场效应晶体管）简称为“MIS”，分别将 n 沟道型 MIS 简称为“nMIS”，将 p 沟道型 MIS 简称为“pMIS”。下面将根据附图详细介绍本发明的优选实施例。上面提到的 MIS 中，用相对较高电压驱动的 MIS 称作“高击穿电压 MIS”，用相对较低电压驱动的 MIS 称作“低击穿电压 MIS”。高击穿电压 MIS 对应于通过在其漏极区施加例如大约 40V 的电势而工作的 MIS，并且被设置为能够实现 100V 击穿电压的结构。低击穿电压 MIS 对应于通过在其漏极区施加例如大约 1.5V 的电势而工作的 MIS。

首先介绍本发明人最新发现的在高击穿电压 MIS 中出现的扭结效

应。虽然在高击穿电压 MIS 中出现扭结效应，但是这种扭结效应的原因不同于在低击穿电压 MIS 中产生扭结效应的原因。本发明人发现的问题在于：在高击穿电压 MIS 的情况下，仅仅在半导体衬底的肩部形成倒角不能完全抑制扭结效应。

图 107 示出了高击穿电压 MIS 的漏极电流 ID 相对于栅极电压 VG 的实际测量波形的一个例子。图 108 示出了用于说明在图 107 中所示的测量波形的图。在图 108 中的实线 A 表示高击穿电压 MIS 的沟道电流，虚线 B 表示从高击穿电压 MIS 的纵向方向（栅极宽度方向）看高击穿电压 MIS 的沟道区两端的边缘电流。特别是当如上所述形成沟槽型隔离部分时，由于应力和杂质浓度的降低，小的漏电流（μA 或更大）在其两端沿在两端的其有源区与隔离部分之间的边界流过沟道区的两个纵向端，从而引起扭结效应。仅仅在半导体衬底的肩部形成倒角不能完全抑制在高击穿电压 MIS 的扭结效应的原因在于：在高击穿电压 MIS 的扭结效应是由于高击穿电压 MIS 的特殊结构而产生的，并且其产生原因不同于低击穿电压 MIS 的扭结效应产生的原因。

第一个原因如下：高击穿电压 MIS 的栅极绝缘膜的厚度必须设置得比低击穿电压 MIS 的栅极绝缘膜厚度更厚，以保证栅极击穿电压。但是，即使在如此厚的栅极绝缘膜的情况下，也必须将阈值电压降低以便正常工作。为此目的，沟道区的杂质浓度（形成与漏极区的导电类型相反的杂质浓度）必须设置得较低。因此，容易出现扭结效应。

用图 109 和图 110 说明第二个原因。图 109 示出了没有采取任何抗扭结措施的高击穿电压 MIS 50 的一个例子的平面图，并且图 110 是沿图 109 的线 Y50-Y50 的剖面图。符号 V0 表示其每个具有高击穿电压 MIS 50 的场缓和功能的半导体区，符号 S0 表示源极区，符号 D0 表示漏极区。如在纵向方向（栅极宽度方向）看到的，扭结效应容易出现在沟道区两端的区域 C 中。这是由于以下原因产生的：由于湿蚀刻处理等，如在半导体衬底 52 的上表面看到的，沟槽型隔离部分 51 的上表面可能会凹进去。但是，在这种情况下，栅电极 53 的两端与在沟槽型隔离部分 51 侧壁的半导体衬底 52 部分之间的距离 E 变短，结果使由栅电极 53

产生的电场施加到在沟槽型隔离部分 51 侧壁的半导体衬底 52 部分，从而引导在半导体衬底 52 部分的载流子，由此甚至在沟槽型隔离部分 51 侧壁的半导体衬底 52 部分也形成沟道。但是，由于在高击穿电压 MIS 中，深阱 54 的杂质浓度剖面随着从半导体衬底 52 的主表面能深度逐渐增加而逐渐降低，所以在沟槽型隔离部分 51 侧壁的半导体衬底 52 部分的阈值电压变得比半导体衬底 52 的主表面的阈值电压更低。由于在沟槽型隔离部分 51 侧壁的半导体衬底 52 部分的沟道宽度较窄，所以饱和电流也很少降低，并且认为该电流是流过两种类型 MIS（半导体衬底 52 的主表面部分和侧壁部分）的电流之和，由此产生阶梯形扭结波形。

如在专利文献 1 到 3 中的每个所介绍的，已知如在栅极宽度方向看到的，在两端提供高浓度区从而抑制或防止低击穿电压 MIS 的扭结效应的方法。但是，如上所述，由于高击穿电压 MIS 与低击穿电压 MIS 的结构不同，并且由于结构引起的扭结效应的原因不同，所以在栅极宽度方向的两端形成高浓度区的技术不能简单地按其原样应用于高击穿电压 MIS。这是由于，在专利文献 1 和 2 中介绍的技术中提供高浓度区以便接触源极和漏极，例如，如果将其按原样应用到高击穿电压 MIS 中，则会出现类似于不能保证高击穿电压 MIS 所必需的漏极击穿电压等故障。

第一优选实施例

图 1 示出了根据本发明第一实施例的高击穿电压 pMISQHp1 的一个例子的局部平面图，图 2 是与图 1 相同位置的平面图，并特别示出了高击穿电压 pMISQHp1 的具有场缓和功能的 p^-型半导体区 PV1 与其 n^+型半导体区 NVk 之间的布局关系的局部平面图，图 3 是与图 1 相同位置的平面图，并特别示出了高击穿电压 pMISQHp1 的栅电极 HG、其有源区 L 以及其 n^+型半导体区 NVk 之间的布局关系的平面图，图 4 是与图 1 相同位置的平面图，并特别示出了隔离区和有源区 L 的局部平面图，图 5 是沿图 1 到图 4 的线 X1-X1 的剖面图，图 6 是沿图 1 到图 4 的线 X2-X2 的剖面图，图 7 是沿图 1 到图 4 的线 Y1-Y1 的剖面图。顺便提及，虽然

在这里对本发明用于高击穿电压 pMIS 的情况进行了介绍，但是通过以相反方式设置 p 和 n 导电类型，本发明也可用于高击穿电压 nMIS。虽然图 4 是平面图，但是隔离区以阴影形式给出，以便容易看懂该图。第一方向 X 对应于在每幅图中从一端向另一端看的横向方向，并且表示栅电极 HG 的栅极长度方向（沟道长度方向）或横向方向。第二方向 Y 对应于垂直于第一方向 X 的方向。此外，第二方向 Y 表示在向上和向下方向看的垂直方向，并且表示栅电极 HG 的栅极宽度方向或纵向方向。

例如，根据本实施例的半导体器件的高击穿电压 pMIS（第一、第五和第六高击穿电压场效应晶体管）QHp1 应用于液晶显示器的驱动电路、用于执行大电流控制的电动机控制驱动电路等。在高电位侧的电源电压大约为 40V，在低电位（参考电位）侧的电源电压例如为 1.5（零）V，并且将其设置为能够实现例如 100V 击穿电压的结构。

半导体衬底（下文中简称为“衬底”）1S 包括例如 p 型硅（Si）单晶。高击穿电压 pMISQHp1 设置在其主表面（器件形成表面）的上方。在平面和剖面底部上的深 n 型阱（第三、第七和第八半导体区）DNW 和与其电连接的平面框形 n^+型阱 NW1 围绕高击穿电压 pMISQHp1。因此，高击穿电压 pMISQHp1 与衬底 1 电隔离。将例如磷（P）等杂质引入到深 n 型阱 DNW 和 n^+型阱 NW1 中。但是，将 n^+型阱 NW1 的杂质浓度设置为高于深 n 型阱 DNW 的杂质浓度。在 n^+型阱 NW1 的上方形成杂质浓度更高的 n^+型半导体区 N1，以便与相应于布线层的金属布线欧姆接触。在 n^+型半导体区 N1 的上表面的上方形成例如硅化钴（$CoSi_2$ 等）等硅化物层 2。对于硅化物层 2，各种硅化物层、例如硅化钛（$TiSi_2$）、硅化铂（$PtSi_2$）、硅化镍（$NiSi_2$）或硅化钨（WSi_2）等，可以用来代替硅化钴。

如图 4 所示，在衬底 1S 的主表面的上方形成称作例如“STI（浅沟槽隔离）或 SGI（浅凹槽隔离）”的沟槽型隔离部分 3，作为器件隔离区。由此，限定了有源区 L（L1 到 L4）。在图 4 中，阴影所给出的区域对应于在其中形成隔离部分 3 的区域。通过在衬底 1 的主表面中所限定的相应沟槽中嵌入例如二氧化硅等（SiO_2 等）绝缘膜，来形成沟槽型隔离部

分 3。

如在图 5 到图 7 中所示，形成与隔离部分 3 的上部相接触的衬底 1S 的肩部（由衬底 1S 的主表面与隔离部分 3 的上侧表面形成的角部），以便呈现出倒角。已知由于当隔离部分 3 被构造为沟槽型结构时机械应力集中在衬底 1S 的肩部，所以在肩部的硅的晶格常数发生变化，并且在肩部载流子的迁移率上升，从而容易出现扭结效应。因此，由于在衬底 1S 的肩部形成倒角能够缓和加在肩部的机械应力，所以可以抑制在高击穿电压 pMISQHp1 中出现扭结效应。但是，仅仅通过上述结构不能充分抑制高击穿电压 pMISQHp1 中的扭结效应。顺便提及，隔离部分 3 的沟槽的底部终止于比深 n 型阱 DNW 浅的位置。

在由该隔离部分 3 限定的有源区 L 中，以平面带形形状形成的中央有源区 L 是包括在其中形成高击穿电压 pMISQHp1 的沟道的区域（沟道区）。深 n 型阱 DNW 设置在有源区 L1 的沟道区中。即在非操作时，将沟道区设置为 n 型通过控制在有源区 L1 的沟道区中的深 n 型阱 DNW 的杂质浓度和引入其中的杂质的浓度，来确定高击穿电压 pMISQHp1 的阈值电压。

用作高击穿电压 pMISQHp1 的源极和漏极的 p^+型半导体区（第一、第十一和第十二半导体区）P1 和 P1 分别设置在位于中间有源区 L1 两侧的有源区 L2 和 L3 中。虽然，由于在中间有源区 L1 与左右有源区 L2 和 L3 之间存在隔离部分 3，使用作源极和漏极的 p^+型半导体区 P1 和 P1 与中间有源区 L1 的沟道区相隔离，但是它们通过包括 p^+型半导体区 P1 和 P1 的、具有缓和功能的 p^-型半导体区（第二半导体区）PV1 和 PV1 电连接到沟道区。

在 p^-型半导体区 PV1 和 PV1 中，如在在该平面中看到的，沿第一方向 X 延伸的一端，分别以对应于沟道区的深 n 型阱 DNW 保留在 p^-型半导体区 PV1 和 PV1 之间的方式，穿过在有源区 L1 与有源区 L2 和 L3 之间的隔离部分 3 向有源区 L1（即，在栅电极 HG 的下方）突出预定的长度。另一方面，p^-型半导体区 PV1 和 PV1 在第一方向 X 的另一端及其在第二方向 Y 中的两端，分别在不与 n^+型阱 NW1 接触的位置终止。虽

然如在剖面中看到的，p^-型半导体区 PV1 和 PV1 的底部延伸到其比隔离部分 3 要深的相应位置，但是它们分别在比深 n 型阱 DNW 浅的位置终止。通过采用这种结构，可以保证高击穿电压 pMISQHp1 的漏极击穿电压。

虽然将例如硼（B）等杂质引入到作为源极和漏极的 p^+型半导体区 P1 和 P1 以及 p^-型半导体区 PV1 和 PV1 中，但是将 p^+型半导体区 P1 和 P1 的杂质浓度设置为高于 p^-型半导体区 PV1 和 PV1 的杂质浓度，以便提供与金属布线的欧姆接触。在作为源极和漏极的 p^+型半导体区 P1 和 P1 的上表面上形成硅化物层 2。

高击穿电压 pMISQHp1 的栅电极 HG 设置在中间有源区 L1 的上方，从而覆盖有源区 L1 的整个区域。在第二方向 Y（栅极宽度方向）上，栅电极 HG 的两端的一部分在平面基底上延伸到与 n^+型阱 NW1 部分重叠的位置。由此，有可能抑制或防止在与栅电极 HG 相对的深 n 型阱 DNW 的表面中出现寄生 MIS，而不降低高击穿电压 pMISQHp1 的击穿电压。栅电极 HG 由导电膜形成例如用磷（P）等掺杂得到的低阻抗多晶硅等。在其上表面的上方形成硅化物层 2。虽然在本实施例中概略地显示出硅化物层 2，但是本实施例并不一定要求形成硅化物层 2。例如，栅电极 HG 可以仅由用磷等掺杂的低阻抗多晶硅形成。

在栅电极 HG 的侧表面的上方形成由例如二氧化硅构成的侧壁 5，作为绝缘膜。在栅电极 HG 与衬底 1S 的主表面之间形成栅极绝缘膜 6。栅极绝缘膜 6 由在衬底 1S 的主表面的上方通过例如热氧化方法等形成的包括二氧化硅等的绝缘膜 6a、以及通过化学汽相淀积（CVD，例如，低压 CVD 方法）方法淀积的包括二氧化硅等的绝缘膜 6b 的叠层膜形成。如在平面中看到的栅极绝缘膜 6 的，通过 CVD 方法形成的绝缘膜 6b，是以其外围稍稍从栅电极 HG 的外围突出的方式形成的。

n^+型半导体区 N1 设置在以平面框形形状形成的最外围有源区 L4 中。顺便提及，在实际的半导体器件中，有源区 L4、n^+型半导体区 N1 和 n^+型阱 NW1 通常围绕多个高击穿电压 MIS 为了简化说明，示出了它们围绕一个高击穿电压 pMISQHp1 的方式。

另一方面，当上述使用如上高击穿电压 MIS 时，仅通过在与隔离部分 3 的上部接触的衬底 1S 的肩部（由衬底 1S 的主表面与隔离部分 3 的上侧表面形成的角部）形成倒角的技术不能完全抑制扭结效应，该技术作为抑制低击穿电压 MIS 的扭结效应的对抗措施进行了介绍。因此，在本实施例中，如图 1 到图 5 和图 7 所示，在高击穿电压 pMISQHp1 的沟道区第二方向 Y 上两端的沟槽型隔离部分 3 与衬底 1S 之间的边界区中，在中间有源区 L1 的沿第二方向 Y 的两端，局部形成导电类型与作为源极和漏极的 p^+型半导体区 P1 和 P1 相反的 n^+型半导体区（第四、第十三和第十四半导体区）NVk。由此，可以将在第二方向 Y 中沟道区两端（即，侧壁部分）的阈值电压设为高于沟道区中间部分（即，主表面部分）的阈值电压。即，如在第二方向 Y 看到的，在沟道区的中间部分 MIS 容易工作，而在沟道区的两端 MIS 难以工作。因此，即使隔离部分 3 的上表面凹入，也可以抑制或防止扭结效应的出现。由此，有可能改善高击穿电压 MIS 的特性。顺便提及，虽然这里阈值电压表示为高，但是因为这里用高击穿电压 pMIS 作为例子进行说明，所以从源极电位（例如，0V）看，为负的一侧表示为高。

根据本实施例，作为针对低击穿电压 MIS 的扭结效应的对抗措施的在沟道宽度方向（第二方向 Y）的两端形成高浓度区的技术，不能按原样用在高击穿电压 MIS 中。即，这所造成的问题在于：如果类似于本实施例的高击穿电压 MIS 按原样采取针对低击穿电压 MIS 的扭结效应的对抗措施，并且 n^+型半导体区 NVk 与 p^-型半导体区 PV1 和 PV1 互相接触，则高浓度区会互相接触，从而不能保证高击穿电压 MIS 所必需的漏极击穿电压。由于特别是在所需漏极击穿电压为高的情况下，必须降低在沟道宽度方向两端的杂质浓度，所以不能简单地设置 n^+型半导体区 NVk。因此，在本实施例中，将用作抗扭结措施的 n^+型半导体区 NVk 设置在远离 p^-型半导体区 PV1 和 PV1 的位置，从而不与具有场缓和功能的 p^-型半导体区 PV1 和 PV1（特别是漏极侧）进行接触。因此，有可能防止高击穿电压 pMISQHp1 的漏极击穿电压的下降。由此，根据本实施例，扭结效应的抑制或防止与漏极击穿电压的保证可以兼得。

设置用作抗扭结措施的 n^+型半导体区 NVk，从而跨过有源区 L1 和隔离部分 3。将每个 n^+型半导体区 NVk 的 n 型杂质的浓度设置为高于沟道区的深 n 型阱 DNW 的 n 型杂质的浓度。如在剖面中所看到的，n^+型半导体区 NVk 从衬底 1S 的主表面延伸到比隔离部分 3 的底部更深的位置，并且大致达到与 p^+型半导体区 P1 和 P1 的底部相同的深度。但是，n^+型半导体区 NVk 在比深 n 型阱 DNW 浅的位置终止。以此方式形成到比隔离部分 3 更深的位置的用作抗扭结措施的 n^+型半导体区 NVk，使得有可能增强抑制或防止扭结效应出现的能力。即，由于能够使在与隔离部分 3 的相应上部相接触的衬底 1S 的肩部的阀值或电压变高，所以可以抑制扭结效应的出现。

当作为源极和漏极的 p^+型半导体区 P1 和 P1 中的作为源极的 p^+型半导体区 P1 的电位总是使用与 n 型阱 DNW 的电位相同的电位时，用作抗扭结措施的 n^+型半导体区 NVk 可以与作为源极的 p^+型半导体区 P1 相接触。由此，由于可以增加用于对准用作抗扭结措施的 n^+型半导体区 NVk 的容差，所以容易进行布局。

接着，图 8 和图 9 分别示出了采用高击穿电压 MIS 的电路的例子。图 8 和图 9 示出了具有使用高击穿电压 MIS 的差分电路的恒流电路。图 8 示出了大量用在模拟电路中的恒流源推动电路。作为一个例子，图 8 示出了这样一种情形，其中恒流源推动电路包括多个利用栅电极和在高电位侧共用的源极或电源电位 Vcc 的高击穿电压 pMISQHn。即，电源电位 Vcc 加在高击穿电压 pMISQHn 的漏极区。图 9 还示出了在模拟电路中频繁使用的恒流源拉动（pull-in）电路。作为一个例子，图 9 示出了这样一种情形，其中恒流源拉动电路由多个利用栅电极和在基准电位侧共用的源极或电源电位 GND 的高击穿电压 pMISQHp 构成。即，电源电位 Vcc 加在高击穿电压 pMISQHp 的栅电极和漏极区。例如，在高电位侧的电源电位 Vcc 的范围从大约 20V 到 100V，而在基准电位侧的电源电位 GND 为 0(零)V。在图 8 和 9 中的符号 R1 和 R2 分别表示电阻。特别是在这些电路中扭结效应成为难题。这是由于，假设在这些电路中没有采取针对扭结效应的对抗措施，则即使试图根据高击穿电压 MIS 的

尺寸（沟道长度和沟道宽度）设计预定的电流值，但是由于在沟道宽度方向的两端（隔离部分 3 的侧壁部分）流过的电流，实际电流值也会偏离设计值。相反，由于在本实施例中可以抑制或防止扭结效应，因此可以减小与每个电路的预定电流值相对应的设计值和实际测量值之间的误差。因此，能够改善这些电路的特性。

接着，图 111 示出了局部平面图的一个例子，其中排列了多个高击穿电压 pMISQHp3。高击穿电压 pMISQHp3 以其沟道方向（电流流动方向）沿第一方向 X 延伸的状态彼此相邻设置。将高击穿电压 pMISQHp3 彼此相邻设置，从而共享作为源极和漏极的 p^+型半导体区 P1 和 P2。然后，设置 n^+型半导体区 N1 和 n 型阱 NW1，从而围绕一组多个高击穿电压 pMISQHp3。

由于在本实施例中提供 n^+型半导体区 NVk1，所以甚至在通过小型化或缩小比例来减小高击穿电压 pMISQHp3 的情况下，也可以抑制或防止扭结效应。因此，在减小高击穿电压 pMISQHp3 的尺寸方面中是有效的。由此，由于即使假设每个高击穿电压 pMISQHp3 的尺寸减小量很小，也能够整体上大幅度地减小尺寸，所以可以大大减小具有高击穿电压 pMISQHp3 的半导体芯片的尺寸。

第二优选实施例

虽然第一实施例已经说明了源极和漏极能够保证源极和漏极与阱之间的击穿电压的结构，但是第二实施例将说明在源极和阱之间不要求大击穿电压的高击穿电压 MIS 的一个例子。即，由于在 nMIS 的情况下在 p 型阱连接到公共 GND（在 pMIS 的情况下 n 型阱连接到公共 Vcc）的这种电路中源极电位不同于 p 型阱的电位，所以需要反向偏置击穿电压来保证源极和阱之间的击穿电压。因此，将源极侧设置为与漏极侧相同的结构。即，例如，在 nMIS 的情况下，由于大约-16.5V 的电压加在 p 型阱上作为反向偏置击穿电压，并且大约 1.5V 的电压加在 nMIS 的源极，所以将源极侧设置为与漏极侧相同的结构，来保证源极和阱之间的击穿电压。由此，构成能够保证 40V 或更高击穿电压的结构。此时，低击穿

电压 MIS 采取这样一种结构，其中可以保证在低击穿电压 MIS 的源极和阱之间的击穿电压大约为 10V。即，形成高击穿电压 MIS 的源极和阱之间的击穿电压，以便大于低击穿电压 MIS 的源极和阱之间的击穿电压。作为这种电路，例如，可以例举出输出电路、升压电路等。但是，在源极和阱之间不存在电位差的这种电路不需要用于保证源极和阱之间的击穿电压的反向偏置击穿电压。因此，仅将漏极侧构成高击穿电压结构。通过采用这种结构，可以减小 MIS 的尺寸，并且可以缩小半导体芯片的面积。

图 10 示出了高击穿电压 pMISQHp2 的一个例子的局部平面图，图 11 示出了与图 10 相同位置的平面图，并且特别示出了具有高击穿电压 pMISQHp2 的场缓和功能的 p^-型半导体区 PV1、用作其源极的 p^+型半导体区 P1s 与其 n^+型半导体区 NVk 之间的布局关系的局部平面图，图 12 示出了与图 10 相同位置的平面图，并且特别示出了高击穿电压 pMISQHp2 的栅电极 HG、其有源区 L 及其 n^+型半导体区 PVk 之间的布局关系的局部平面图，图 13 示出了与图 10 相同位置的平面图，并且是示出了隔离区和有源区 L 的局部平面图，图 14 是沿图 10 到图 13 的线 X3-X3 的剖面图，图 15 是沿图 10 到图 13 的线 X4-X4 的剖面图。顺便提及，由于沿图 10 到图 13 的线 Y3-Y3 的剖面图与沿在图 1 图到 4 中所示的线 Y1-Y1 的剖面图相同，所以将其省略。虽然图 13 是平面图，但是隔离区以阴影形式给出，以便易于看懂该图。虽然在本实施例中举例说明了高击穿电压 pMIS，但是本发明也可以以与第一实施例相似的方式应用于高击穿电压 nMIS。

在根据本实施例的高击穿电压 pMIS（第二、第七和第八场效应晶体管）QHp2 中，以类似于第一实施例的方式将隔离部分 3 置于作为漏极的 p^+型半导体区 P1d 与沟道区之间。作为漏极的 p^+型半导体区 Pld 通过具有场缓和功能的 p^-型半导体区域 PV1 与有源区 L5 的沟道区相连接。另一方面，在作为源极区的 p^+型半导体区域 P1s 与沟道区之间不设置沟道区 3。在一个有源区 L5 中将作为源极的 p^+型半导体区 P1s 与沟道区彼此相邻放置，并且其彼此电连接，不通过具有场缓和功能的 p^-型半导体

区 PV1。不形成栅电极 HG 以覆盖有源区 L5 的整个区域。在有源区 L5 中，在栅电极 HG 重叠在平面基底的部分（除放置了在漏极侧具有场缓和功能的 p^-型半导体区 PV1 之外的部分）形成沟道区，并且将作为源极的 p^+型半导体区 P1s 设置在栅电极 HG 不与平面基底重叠的部分。在本结构中，电路结构采用加在作为源极的 p^+型半导体区 P1s 的电位与加在深 n 型阱 DNW 的电位相等的方式，即，在 p^+型半导体区 P1s 与深 n 型阱 DNW 之间没有电位差。

如上上述在这种实施例中，在作为源极的 p^+型半导体区 P1s 与沟道区之间可以不提供隔离部分 3。在 p^+型半导体区 P1s 侧可以不提供具有场缓和功能的 p^-型半导体区 PV1。因此，有可能减小高击穿电压 pMISQHp2 的尺寸。在上述实际的半导体器件中，多个高击穿电压 MIS 一起设置在衬底 1S 的主表面上。可以将 1000 输出型（1000）高击穿电压 MIS 放置在电路的总输出点或位置。因此，即使一个高击穿电压 pMISQHp2 减小少量的尺寸，整体上也能够实现较大的尺寸的减小。因此，可以减小具有高击穿电压 pMISQHp2 的半导体芯片的尺寸。

在这种结构中，用作抗扭结措施的 n^+型半导体区 NVk 可以与作为源极的 p^+型半导体区 P1s 相接触。因此，由于可以增加用于对准用作抗扭结措施的 n^+型半导体区 NVk 的容差，所以容易进行布局。

以类似于第一实施例的方式，设置用作抗扭结措施的 n^+型半导体区 NVk，从而跨过有源区 L 和隔离部分 3。将每个 n^+型半导体区 NVk 的 n 型杂质的浓度设置为高于沟道区的深 n 型阱 DNW 的 n 型杂质的浓度。并且形成 n^+型半导体区 NVk 以到达比隔离部分 3 更深的位置。因此，有可能进一步增强抑制或防止出现扭结效应的能力。

第三优选实施例

第三实施例将利用图 16 到图 63 说明这样一种半导体器件的制造方法的一个例子，该半导体器件具有在相同衬底 1S 上提供的如第一和第二实施例所述结构的高击穿电压 MIS 和低击穿电压 MIS。顺便提及，在图 16 到图 63 中的符号 HR1 表示用于形成具有第一实施例中所述结构的

高击穿电压 MIS 的区域，符号 HR2 表示用于形成具有第二实施例所述结构的高击穿电压 MIS 的区域，以及符号 LR 表示用于形成低击穿电压 MIS 的区域。用于形成高击穿电压 MIS 的区域 HR1 和 HR2 的剖面示出了分别对应于图 1 的线 X1-X1 和图 10 的线 X3-X3 的位置的剖面图。

在包括电阻率为例如 10Ω·cm 或更小的 p 型硅（Si）单晶的衬底 1S（在本实施例中为平的圆形晶片）上进行热氧化处理，如在图 16 到图 19 的相同制造工艺中衬底 1S 的局部剖面图所示，由此，在衬底 1S 的主表面的上方形成包括例如二氧化硅的薄绝缘膜 8（参见图 19）。随后，在绝缘膜 8 的上方通过 CVD 方法等淀积包括例如氮化硅（Si_3N_4 等）的绝缘膜 9。此外，其上涂覆光致抗蚀膜（下文中简称“抗蚀膜”），并且通过一系列光刻蚀（下文中简称“光刻”）工艺、例如曝光和显影等，对其进行干蚀刻处理，从而在有源区的形成区中形成层式构图的绝缘膜 8 和 9。顺便提及，图 19 是图 16 到图 18 的说明性的局部放大剖面图。

接着，如在图 20 到图 23 的相同制造工艺中衬底 1S 的局部剖面图所示，利用绝缘膜 9 作为蚀刻掩模在衬底 1S 的主表面（器件形成表面）中限定沟槽 3a。在该阶段，由沟槽 3a 的侧壁和衬底 1S 的主表面形成的肩部是有角度的。图 23 是图 20 到图 22 的说明性的局部放大剖面图。如在图 24 到图 27 的相同制造工艺中衬底 1S 的局部剖面图所示，随后在衬底 1S（即，晶片）上进行干氧化处理，从而在包括沟槽 3a 的内表面等的衬底 1S 的暴露表面的上方形成由二氧化硅等形成的绝缘膜 10。由此，形成具有圆形或弧度的由沟槽 3a 的侧壁和衬底 1S 的主表面形成的肩部。

接着，如在图 28 到图 30 的相同制造工艺中衬底 1S 的局部剖面图所示，例如包括二氧化硅的绝缘膜 3b 通过 CVD 等方法淀积在衬底 1S(即，晶片）的主表面的上方。用化学机械抛光（CMP）方法等对其进行抛光，以便去掉在沟槽 3a 外面的绝缘膜 3b。绝缘膜 3b 仅嵌入沟槽 3a 中，以形成隔离部分 3。随后，用热磷酸等去掉绝缘膜 9，并通过湿蚀刻方法去掉位于其下方的绝缘膜 8，从而暴露出有源区的主表面。随后，衬底 1S 经过热氧化处理，以在有源区的主表面的上方形成例如包括二氧化硅

的薄绝缘膜。该薄绝缘膜在离子注入工艺步骤中用作穿透膜（through film）。

接着，例如，用抗蚀膜作为掩模在衬底 1S 的深 n 型阱形成区选择性地离子注入磷，并且随后去掉抗蚀膜。随后，例如，利用另一个抗蚀膜作为掩模在衬底 1S 的深 p 型阱形成区和用于隔离的 p 型半导体区选择性地离子注入硼（B），并且随后去掉抗蚀膜。然后，以引入到衬底 1S 中的磷和硼从衬底 1S 的主表面扩散到大约 10μm 深度的方式，在衬底 1S（即，晶片）上进行退火或热处理，从而如在图 31 到图 33 的相同制造工艺中衬底 1S 的局部剖面图所示，形成深 n 型阱 DNW、深 p 型阱（第三、第七和第八半导体区）DPW 和用来隔离的 p 型半导体区 PIS。

接着，如在图 34 到图 36 的相同制造工艺中衬底 1S 的局部剖面图所示，通过光刻工艺在衬底 1S 的主表面的上方形成抗蚀膜 PR1 的图形。以这样一种方式形成抗蚀膜 PR1 的图形，以便暴露出在高击穿电压 nMIS 形成区中具有场缓和功能的 n^-型半导体区（第二、第九和第十半导体区）NV1 和在高击穿电压 pMIS 形成区中用作抗扭结措施的 n^+型半导体区 NVk 的形成区，而且覆盖除它们之外的其它区域。随后，例如，利用抗蚀膜 PR1 的图形作为掩模通过离子注入等在衬底 1S 中选择性地引入磷。此时，形成半导体区 NV1 和半导体区 NVk，以便比隔离部分 3 更深。以这种方式形成半导体区 NV1，使得有可能增强抑制或防止出现扭结效应的能力。顺便提及，在该阶段，虽然在引入用于形成它们的杂质的阶段，没有完全形成在高击穿电压 nMIS 形成区中具有场缓和功能的 n^-型半导体形成区 NV1 和在高击穿电压 pMIS 形成区中用作抗扭结措施的 n^+型半导体区 NVk，但是也将这些区域显示出来，以便容易理解对其的描述。

接着，如图 37 到图 39 的相同制造工艺中衬底 1S 的局部剖面图所示，去掉抗蚀膜 PR1，随后通过光刻工艺在衬底 1S 的主表面的上方形成抗蚀膜 PR2 的图形。以这样一种方式形成抗蚀膜 PR2 的图形，以便暴露出在高击穿电压 pMIS 形成区中具有场缓和功能的 p^-型半导体区 PV1 和在高击穿电压 nMIS 形成区中用作抗扭结措施的 p^+型半导体区（第四、第

十三和第十四半导体区）PVk 的形成区，而且覆盖除它们之外的其它区域。随后，例如，利用抗蚀膜 PR2 的图形作为掩模通过离子注入等在衬底 1S 中选择性地引入硼。此时，以与半导体区 NV1 和半导体区 NVk 类似的方式，形成半导体区 PV1 和半导体区 PVk，以便比隔离部分 3 更深。因此，能够增强抑制或防止出现扭结效应的能力。顺便提及，虽然在该阶段没有完全地形成在高击穿电压 nMIS 形成区中具有场缓和功能的 n^-型半导体形成区 NV1、在高击穿电压 pMIS 形成区中用作抗扭结措施的 n^+型半导体区 NVk、在高击穿电压 pMIS 形成区中具有场缓和功能的 p^-型半导体形成区 PV1、和在高击穿电压 nMIS 形成区中用作抗扭结措施的 p^+型半导体区 PVk，但是也将这些区域显示出来，以便容易理解对其的描述。

接着，去掉抗蚀膜 PR2，随后对衬底 1S 进行扩大扩散处理（退火），以便形成相应的在高击穿电压 nMIS 形成区中具有场缓和功能的 n^-型半导体形成区 NV1、在高击穿电压 nMIS 形成区中用作抗扭结措施的 p^+型半导体区 PVk、在高击穿电压 pMIS 形成区中具有场缓和功能的 p^-型半导体形成区 PV1、和在高击穿电压 pMIS 形成区中用作抗扭结措施的 n^+型半导体区 NVk。由此，在第三实施例中，在与具有场缓和功能的 p^-型半导体区 PV1 和 n^-型半导体区 NV1 相同的形成工艺中，形成用作抗扭结措施的 p^+型半导体区 PVk 和 n^+型半导体区 NVk。因此，即使提供了用作抗扭结措施的 p^+型半导体区 PVk 和 n^+型半导体区 NVk，也不增加制造工艺。因此，可以提供高性能和高可靠性的半导体器件，而不增加半导体器件的制造时间和成本。随后，在高击穿电压 MIS 的沟道区上进行浅沟道注入，以调整每个高击穿电压 MIS 的阈值电压。然后，通过湿蚀刻工艺去掉在离子注入中作为穿透膜的绝缘膜。随后，将衬底 1S 经过热氧化处理，从而在衬底 1S 的主表面（有源区的主表面）的上方利用二氧化硅转换厚度形成包含二氧化硅等的厚度为例如大约 10nm 的绝缘膜 6a（在本实施例中省略其图示，以便容易理解附图）。当此时所需的栅极绝缘击穿电压较低时，栅极绝缘膜可以仅由通过热氧化方法形成的二氧化硅膜构成。但是，当与漏极相同的高电压恰加在栅电极时，

在基于热氧化方法形成的二氧化硅膜的上方淀积由例如通过 CVD 方法等形成的二氧化硅等构成的绝缘膜 6b，从而由基于热氧化方法的二氧化硅膜和基于 CVD 方法的二氧化硅膜的叠层膜构成栅极绝缘膜 6。本实施例示出了由叠层膜构成栅极绝缘膜 6 的情况。因此，有可能使栅极绝缘膜的厚度差别非常大的高击穿电压 MIS 和低击穿电压 MIS 在同一个衬底 1S 的上方共存。不仅在有源区的上方，还在隔离部分 3 的上方，形成通过 CVD 方法形成的绝缘膜 6b。通过 CVD 方法淀积绝缘膜 6b，可以减少在随后的工艺中蚀刻隔离部分 3 的上部的数量。因此，有可能保证对于隔离部分 3 的击穿电压，并且抑制和防止寄生 MIS 的出现。因此，能够增强半导体器件的可靠性。

接着，在通过 CVD 方法形成的栅极绝缘膜 6 的绝缘膜 6b 中，通过光刻工艺和湿蚀刻工艺，选择性地去掉像甚至在低击穿电压 MIS 形成区中和高击穿电压 MIS 形成区中进行欧姆接触的 n^+型半导体区和 p^+型半导体区形成的部分等这样的不必要部分。在进行蚀刻工艺时，基于用于形成栅极绝缘膜的 CVD 方法的绝缘膜 6b 的蚀刻速度比热氧化绝缘膜（绝缘膜 6a）快。当蚀刻继续进行，从而暴露出在通过 CVD 方法形成的绝缘膜 6b 下面的热氧化绝缘膜（绝缘膜 6a）时，蚀刻速度明显变慢，从而有可能防止每个隔离部分 3 的绝缘膜 3b 厚度减小。由此，如在低击穿电压 MIS 形成区等中没有用抗蚀膜覆盖的隔离部分 3 可以简单地回到基于 CVD 方法的用作栅极绝缘膜 6 的绝缘膜 6b 淀积之前的状态。即，当在同一个衬底的上方形成高击穿电压 MIS 和低击穿电压 MIS 时，可以保证在低击穿电压 MIS 形成区中的隔离部分 3 的厚度，并且因此可以避免对低击穿电压 MIS 的不利影响。因此，有可能增强在同一个衬底 1S 的上方具有高击穿电压 MIS 和低击穿电压 MIS 的半导体器件的可靠性。随后，通过执行硬化处理（热处理工艺），减少阱中通过 CVD 方法形成的绝缘膜 6b，该阱在膜淀积时在其中保存电子、正空穴等，并且在该膜中包含水分（由于膜成分的反应产生的水分）。由此，绝缘膜 6b 变为实质上与热氧化膜具有相同质量的膜。随后，对衬底 1S 进行光热氧化处理。

接着，通过 CVD 方法在衬底 1S（即，晶片）的主表面的上方淀积例如由低阻抗多晶硅构成的导体膜。氧化其表面，并且随后在其上淀积由氮化硅等构成的绝缘膜。此外，氧化其表面，以形成绝缘膜。随后，通过光刻工艺和干蚀刻工艺对导体膜和绝缘膜的叠层膜进行构图，从而形成导体膜 13 和绝缘膜 14 的叠层图形，如在图 43 到图 45 的相同制造工艺中衬底 1S 的局部剖面图所示。形成导体膜 13 和绝缘膜 14 的叠层图形，从而覆盖高击穿电压 MIS 形成区 HR1 和 HR2，并且不覆盖低击穿电压 MIS 形成区 LR。导体膜 13 是用来形成每个高击穿电压 MIS 的栅电极的导体膜。在该阶段没有为每个高击穿电压 MIS 构图栅电极的原因在于：避免在高击穿电压 MIS 形成区 HR2 中出现的缺陷条件，特别是在低击穿电压 MIS 的栅电极形成时。这将在形成每个低击穿电压 MIS 的栅电极的工艺中进行说明。

接着，例如，利用通过光刻工艺形成的抗蚀膜的图形作为掩模通过离子注入等将硼引入衬底 1S，从而在高击穿电压 nMIS 形成区中形成 p^+ 型阱 PW1，以及在低击穿电压 MIS 形成区中形成 p^+型阱 PW2，如在图 46 到图 48 的相同制造工艺中衬底 1S 的局部剖面图所示。在高击穿电压 pMIS 侧，使硼通过导体膜 13 并且将其引入衬底 1S。随后，去掉用于形成 p^+型阱 PW1 和 PW2 的抗蚀膜，随后通过光刻工艺在衬底 1S 的主表面的上方形成另一个抗蚀膜的图形。此外，例如，利用抗蚀膜的图形作为掩模通过离子注入等将磷引入衬底 1S，从而在高击穿电压 pMIS 形成区中形成 n^+型阱 NW1，以及在低击穿电压 pMIS 形成区中形成 n^+型阱 NW2。在高击穿电压 nMIS 侧，使磷通过导体膜 13 并将其引入衬底 1S。然后，去掉抗蚀膜，随后对衬底 1S 进行热处理，以激活 p^+型阱 PW1 和 PW2 以及 n^+型阱 NW1 和 NW2。通过以这种方式在同一个工艺中执行用于形成高击穿电压 MIS 的阱和低击穿电压 MIS 的阱的工艺，与利用分离的抗蚀膜作为掩模形成高击穿电压 MIS 的阱和低击穿电压 MIS 的阱的情况相比，在本实施例中可以减少如抗蚀涂覆、曝光和显影等一系列光刻工艺步骤，从而有可能避免在同一个衬底 1S 的上方设置高击穿电压 MIS 和低击穿电压 MIS 的半导体器件的制造工艺步骤的数量显著增

加。此外，高击穿电压 MIS 和低击穿电压 MIS 可以共存。

接着，通过湿蚀刻方法等去掉低击穿电压 MIS 形成区 LR 的二氧化硅膜，随后进行热氧化处理，从而在低击穿电压 MIS 形成区中形成低击穿电压 MIS 栅极绝缘膜 15。栅极绝缘膜 15 例如由二氧化硅形成，并且具有例如大约 7nm 的二氧化硅转换厚度。随后，例如，通过 CVD 方法等在衬底 1S（即，晶片）的主表面的上方淀积多晶硅膜 16。此时，甚至在高击穿电压 MIS 形成区中的导体膜 13 和绝缘膜 14 的叠层图形的表面上方淀积多晶硅膜 16。随后，例如，利用分离的抗蚀膜的图形作为掩模，在多晶硅膜 16 中通过离子注入等将磷和硼分别引入 nMIS 形成区和 pMIS 形成区。然后，通过光刻工艺和干蚀刻工艺对多晶硅膜 16 进行构图，以形成低击穿电压 MIS 的栅电极 LG（16），如在图 49 到图 51 的相同制造工艺中衬底 1S 的局部剖面图所示。将低击穿电压 nMIS 的栅电极 LG 设置为 n 型，并且将低击穿电压 pMIS 的栅电极 LG 设置为 p 型。在蚀刻工艺中，也去掉在高击穿电压 MIS 形成区中的导体膜 13 和绝缘膜 14 的叠层图形的表面上方淀积的多晶硅膜 16。例如，以上述方式未形成高击穿电压 MIS 的栅电极的原因如下。即，可能存在这样一种情形，其中如果在低击穿电压 MIS 的栅电极 LG 的构图工艺之前形成高击穿电压 MIS 的栅电极，则当对低击穿电压 MIS 的栅电极 LG 进行构图时，用于形成低击穿电压 MIS 的栅电极 LG 的多晶硅膜 16 保留在每个已经形成的高击穿电压 MIS 栅电极的侧壁中。即使多晶硅膜 16 保留在高击穿电压 MIS 形成区 HR1 中的每个栅电极的侧表面中，特别是由于厚隔离部分 3 在其之下，因此也不会出现问题。但是，在高击穿电压 MIS 形成区 HR2 中，在每个栅电极的一个侧表面的一侧没有设置隔离部分 3，并且因此只有栅极绝缘膜 6 在其之下。因此，问题出现在于：如果将多晶硅膜 16 保留在高击穿电压 MIS 形成区 HR 中的栅电极的一个侧面上，则当形成半导体区时，在用作高击穿电压 MIS 的源极的半导体区中存在多晶硅膜 16 的蚀刻残留物，从而将该区域相应地与高击穿电压 MIS 的栅电极的侧面相分开。为了避免该问题，在第三实施例中，在低击穿电压 MIS 的栅电极 LG 的构图之前，不对高击穿电压 MIS 的栅电极进行构

图。

接着，通过光刻工艺和干蚀刻工艺对导体膜 13、绝缘膜 14 和栅极绝缘膜 6 的用 CVD 方法形成的绝缘膜 6b 进行构图，从而，如在图 52 到图 54 的相同制造工艺中衬底 1S 的局部剖面图所示，在高击穿电压 MIS 形成区 HR1 和 HR2 中形成栅电极 HG（13）。形成栅极绝缘膜 6 的用 CVD 方法形成的绝缘膜 6b，从而从在高击穿电压 MIS 区 HR1 中形成的栅电极 HG 的全部外围突出，并且除源极侧一侧外从在高击穿电压 MIS 形成区 HR2 中每个栅电极 HG 的外围突出。随后，例如，通过离子注入等将硼引入衬底 1S 的主表面中，以形成 p^-型半导体区 18，作为在自对准基底上相对于相应的在高击穿电压 MIS 形成区 HR2 中的栅电极 HG 的高击穿电压 pMIS 的范围。随后，通过光刻工艺在衬底 1S 的主表面的上方形成抗蚀膜图形。然后，例如，利用该图形作为掩模通过离子注入等将磷引入衬底 1S 的主表面中，从而形成 n^-型半导体区 19，作为在自对准基底上相对于相应的在高击穿电压 MIS 形成区 HR2 中的栅电极 HG 的高击穿电压 nMIS 的范围。随后，在去掉抗蚀膜之后，通过光刻工艺在衬底 1S 的主表面上方形成抗蚀膜图形。例如，利用其作为掩模，通过离子注入等将硼引入衬底 1S 的主表面中，从而形成 p^-型半导体区 20，作为在自对准基底上相对于相应的在低击穿电压 MIS 形成区 LR 中的每个栅电极 LG 的低击穿电压 pMIS 的范围。此时，通过离子注入等将磷引入，以形成用作 p^-型半导体区 20 之下的低击穿电压 pMIS 的穿通停止层（punch through stopper）的 n 型半导体区（凹陷区，hollow region）。然后，去掉抗蚀膜，并且之后将衬底 1S 进行热处理。随后，通过光刻工艺在衬底 1S 的主表面的上方形成抗蚀膜图形。例如，利用其作为掩模，通过离子注入等将磷引入衬底 1S 的主表面中，以形成 n^-型半导体区 21，作为在自对准基底上相对于在低击穿电压 MIS 形成区 LR 中相应的栅电极 LG 的低击穿电压 nMIS 的范围。此时，可以通过离子注入等将硼引入，以形成用作 n^-型半导体区 21 之下的低击穿电压 nMIS 的穿通停止层的 p 型半导体区（凹陷区）。

接着，通过 CVD 方法等在衬底 1S（即，晶片）的主表面的上方淀

积包括例如二氧化硅的绝缘膜。随后，通过各向异性干蚀刻进行回蚀，以便在对应于栅电极 HG 和 LG 的侧表面上方形成例如由二氧化硅等形成的侧壁 5，如在图 58 到图 60 的相同制造工艺中衬底 1S 的局部剖面图所示。此时，还去掉栅电极 HG 上的绝缘膜 14。随后，通过光刻工艺在衬底 1S 的主表面的上方形成抗蚀膜图形。然后，例如，利用该图形作为掩模，通过离子注入等将磷引入衬底 1S 的主表面中，以形成 n^+型半导体区 N1、N2 和 N3。n^+型半导体区 N1 对应于 n^+型阱 NW1 的拉出（pull-out）或吸入（drawing）区。n^+型半导体区（第一、第十一和第十二半导体区）N2 是用作高击穿电压 nMISQHn1 和 QHn2 中每个的源极和漏极的半导体区。n^+型半导体区 N3 是用作低击穿电压 nMISQLn1 的源极和漏极的半导体区。随后，在去掉抗蚀膜之后，通过光刻工艺在衬底 1S 的主表面的上方形成抗蚀膜图形。例如，利用其作为掩模，通过离子注入等将硼引入衬底 1S 的主表面中，以形成 p^+型半导体区 P1、P2 和 P3。p^+型半导体区 P1 是用作高击穿电压 pMISQHp1 和 QHp2 中每个的源极和漏极的半导体区。p^+型半导体区 P2 是 p^+型阱 PW1 的拉出（pull-out）区。p^+型半导体区 P3 是用作低击穿电压 pMISQLp1 的源极和漏极的半导体区。随后，对衬底 1S 进行热处理，以便激活 n^+型半导体区 N1、N2 和 N3 以及 p^+型半导体区 P1、P2 和 P3。由此，在同一个衬底 1S 的上方形成高击穿电压 nMIS（第五高击穿电压场效应晶体管）QHn1、高击穿电压 nMIS（第七高击穿电压场效应晶体管）QHn2、高击穿电压 pMIS（第六高击穿电压场效应晶体管）QHp1、高击穿电压 pMIS（第八高击穿电压场效应晶体管）QHp2、低击穿电压 nMISQLn1 和低击穿电压 pMISQLp1。作为一个例子，本实施例示出了作为低击穿电压 nMISQLn1 和低击穿电压 pMISQLp1 的源极和漏极的每个半导体区具有 LDD（轻掺杂漏极）结构的情况。低击穿电压 nMISQLn1 和低击穿电压 pMISQLp1 的工作电压低于高击穿电压 nMIS QHp1、QHp2、QHn1 和 QHn2 的工作电压。在基准电位侧的源极或电源电压例如为 0V，而在高电位侧的源极或电源电压例如为 1.5V。

接着，在衬底 1S 的主表面上进行光蚀刻工艺，以暴露出衬底 1S 的

主表面（有源区的主表面）以及栅电极 HG 和 LG 的上表面。随后，如在图 61 到图 63 的相同制造工艺中衬底 1S 的局部剖面图所示，根据自对准硅化物（salicide）工艺，在自对准基底上的 n^+型半导体区 N1、N2 和 N3、p^+型半导体区 P1、P2 和 P3 以及栅电极 HG 和 LG 的上表面的上方，形成例如硅化钴等硅化物层 2。例如，按如下方式进行自对准金属硅化物形成工艺。在光蚀刻工艺之后，通过溅射法等在衬底 1S 的主表面上方淀积例如钴（Co）等金属膜。随后，在例如 400°C 到 550°C 的温度范围内对衬底 1S 进行几十秒的热处理，以便使金属膜中的钴与衬底 1S 以及栅电极 HG 和 LG 中的硅彼此反应，从而在金属膜与衬底 1S 以及栅电极 HG 和 LG 相接触的部分形成由钴和硅的混合晶体构成的硅化物层。随后，利用例如氨过氧化氢溶液（ammonia hydrogen peroxide solution）等水溶液对未反应的钴进行选择性地湿蚀刻。此时，保留硅化物层不被蚀刻。随后，在温度为例如 800°C 下对衬底 1S 进行大约 90 秒的热处理，以将钴和硅的混合晶体相变为 $CoSi_2$，从而使其为低阻抗。由此，在自对准基底上形成硅化物层 2。金属膜并不限于钴，并且可以以各种方式进行改变。例如，可以采用钛（Ti）、铂（Pt）、镍（Ni）或钨（W）。当选择钛作为金属膜时，硅化物层 2 为硅化钛（$TiSi_2$）。当选择铂作为金属膜时，硅化物层 2 为硅化铂（$PtSi_2$）。当选择镍作为金属膜时，硅化物层 2 为硅化镍（$NiSi_2$）。当选择钨作为金属膜时，硅化物层 2 为硅化钨（WSi_2）。

通过半导体器件的普通金属布线形成工艺完成后续工序。即，根据布线层所需数目，重复进行层间绝缘膜淀积工序、层间绝缘膜平整工序、接触孔或通孔形成工序、栓塞（plug）形成工序、布线金属淀积工序和布线金属构图工序等，然后进行保护膜形成工序和焊盘（pad）开口形成工序。之后，通过检查工序和晶片切割工序将晶片分为单个半导体芯片，从而制造出在同一个衬底 1S 的上方同时具有高击穿电压 MIS 和低击穿电压 MIS 的半导体器件。

因此，根据第三实施例，除了在第一和第二实施例中获得的效果之外，还可以得到以下有利结果。

即，能够在同一个衬底 1S 的上方形成低击穿电压 MIS 和高击穿电压 MIS。还有可能制造出在同一个衬底 1S 的上方具有低击穿电压 MIS 和高击穿电压 MIS 的半导体器件，而不会显著增加制造工序。即，在制造工艺中将低击穿电压 MIS 制造工艺和高击穿电压 MIS 制造工艺放在一起使用，从而有可能减少制造工序，并且实现在同一个衬底 1S 的上方具有低击穿电压 MIS 和高击穿电压 MIS 的半导体器件的制造工序的简化。

第四优选实施例

第四实施例将说明高击穿电压 MIS 的改进。图 64 示出了高击穿电压 pMISQHp3 的一个例子的局部剖面图，图 65 是与图 64 相同位置的平面图，并且特别示出了在高击穿电压 pMISQHp3 的具有场缓和功能的 p^- 型半导体区 PV1 与相反掺杂区 DR 之间的布局关系的局部平面图，图 66 是与图 64 相同位置的平面图，并且特别示出了高击穿电压 pMISQHp3 的各个半导体区的样式的局部平面图，图 67 是与图 64 相同位置的平面图，示出了在有源区 L 中的半导体区的样式的局部平面图，图 68 是沿图 64 到图 67 的线 X5-X5 的剖面图，图 69 是沿图 64 到图 67 的线 X6-X6 的剖面图，图 70 是沿图 64 到图 67 的线 Y4-Y4 的剖面图。顺便提及，虽然本实施例将说明本发明用于高击穿电压 pMIS 的情况，但是通过类似于第一实施例的方式相反设置 p 和 n 导电类型，本发明也可用于高击穿电压 nMIS。虽然图 66 和图 67 是平面图，但是各个半导体区以阴影形式给出，以便容易看懂该图。

根据第四实施例的半导体器件的高击穿电压 pMIS（第三、第九和第十高击穿电压场效应晶体管）QHp3 采用例如可以实现 60V 击穿电压的结构。在高电位侧的源极或电源电压例如为 37V，并且在低电位（基准电位）侧的电源电压例如为 0（零）V。在高击穿电压 pMISQHp3 中，在除具有沟道区（有源区 L1）的具有场缓和功能的 p^- 型半导体区 PV1 之外的器件区域中，形成 n^+ 型半导体区（第五、第十五和第十七半导体区）NV1p。由 n^+ 型半导体区 NV1p 形成高击穿电压 pMISQHp3 的 n 型

阱。主要由在沟道区中的 n 型阱的杂质浓度（n^-型半导体区 NV1 与 n 型阱 DNW 的杂质浓度的和，即，n^+型半导体区 NV1p 的杂质浓度）、在衬底 1S 的沟道区中引入的用于反掺杂的杂质（例如，硼）浓度、以及栅极绝缘膜 6 的厚度，来确定高击穿电压 pMISQHp3 的阈值电压。反掺杂区 DR 表示在其中引入用于反掺杂的杂质的区域。虽然没有在沿第二方向的有源区 L1 的两端（即，对应于有源区 L 与隔离部分 3 之间的边界并且与隔离部分 3 的侧壁相接触的衬底 1S 部分）引入用于反掺杂的杂质，但是在位于它们之间的有源区 L1 中引入杂质。结果，将没有引入反掺杂杂质的区域设置为 n^+型半导体区 NV1p，而将引入反掺杂杂质的区域（除了在有源区 L1 中放置具有场缓和功能的 p^- 型半导体区 PV1 和 PV1 的区域之外）设置为 n^-型半导体区（第六、第十六和第十八半导体区）NV1m。即，n^-型半导体区 NV1m 产生了高击穿电压 pMISQHp3 的有效沟道区。而且，在半导体衬底的表面附近形成 n^-型半导体区 NV1m，并且在 n^+型半导体区 NV1p 的上方形成 n^- 型半导体区 NV1m。即，在比 n^+型半导体区 NV1p 更浅的位置形成 n^-型半导体区 NV1m。因此，可以将有源区 L1 的沟道区中间（衬底 1S 的主表面部分）的阈值电压设置为低于沿第二方向 Y 在有源区 L1 两端（与隔离部分 3 的侧壁接触的衬底 1S 部分）的阈值电压。即，MIS 在沟道区的中间容易工作，而在有源区的沿第二方向 Y 的两端难以工作。因此，即使隔离部分 3 的上表面凹入，也可以抑制或防止出现扭结效应（阈值电压与在第一实施例中描述的相同）。

现在，如图 70 所示，形成在栅电极 HG 之下形成沟道区的 n^-型半导体区 NV1m 的长度和 n^+型半导体区 NV1p 的长度，以便如从栅电极的横向方向（第二方向 Y）看到的，使有源区 L1 中 n^-型半导体区域 NV1m 的长度变得比 n^+型半导体区域 NV1p 的长度更长。即，形成在低浓度区中的半导体区 NV1m，从而占据大半个沟道区。由此，可以减小沿第二方向 Y 在沟道区的两端形成的难以工作的 MIS 的区域，从而有可能防止降低根据本发明的高击穿电压 MIS（例如，高击穿电压 pMISQHp3）的有效工作速度。

此时，如在栅电极 HG 的栅极宽度方向看到的，浓度相对低的半导体区 NV1m 被浓度相对高的半导体区 NV1p 所包围。如从衬底 1S 的主表面看到的，在比低浓度半导体区 NV1m 更深的位置形成高浓度半导体区 NV1p。

形成 n^+型半导体区 NV1p，以便变得比隔离部分 3 更深。以这种方式形成半导体区 NV1p，使得有可能增加在与隔离部分 3 的上部接触的衬底 1S 的每个肩部的阈值或电压。由此有可能抑制扭结效应的出现。

在根据第四实施例的高击穿电压 pMISQHp3 中，如在剖面中看到的，在形成沟道的 n^-型半导体区 NV1m 之下设置 n^+型半导体区 NV1p。由此，有可能增强抑制或防止在用作源极和漏极的 p^+型半导体区 P1 和 P1（p^-型半导体区 PV1 和 PV1）之间穿通的能力。即，有可能抑制在高击穿电压 pMISQHp3 工作时有效沟道长度的缩短。因此，可以缩短高击穿电压 pMISQHp3 的设计沟道长度（在第一方向 X 的长度）。由于反掺杂区 DR 的图形较大，并且具有用作与通过反掺杂杂质形成的半导体区具有相同导电类型的 p 型半导体区 PV1 和 PV1 的左右区域，所以即使反掺杂区 DR 出现或多或少的偏移，也不会出现问题。与第一实施例相比，可以使对准的容差变大。即，即使在减小高击穿电压 pMISQHp3 的尺寸的情况下，也完全可以采用反掺杂技术。由此，第四实施例与第一实施例相比，能够减小高击穿电压 pMISQHp3 的尺寸。因此，能够根据第四实施例减小具有高击穿电压 pMISQHp3 的半导体芯片的尺寸。

接着，图 71 示出了设置多个高击穿电压 pMISQHp3 的局部平面图的一个例子。高击穿电压 pMISQHp3 以其沟道方向（电流流动方向）沿第一方向 X 延伸的状态彼此相邻放置。彼此相邻地排列高击穿电压 pMISQHp3，从而共享作为源极和漏极的 p^+型半导体区 P1 和 P2。然后，设置 n^+型半导体区 N1 和 n 型阱 NW1，从而围绕一组多个高击穿电压 pMISQHp3。由此，即使每个高击穿电压 pMISQHp3 的尺寸减小量很小，整体上也能够大幅度地减小尺寸。因此，能够显著减小具有高击穿电压 pMISQHp3 的半导体芯片的尺寸。

第五优选实施例

第五实施例是根据第四实施例的高击穿电压 MIS 的改进。以在源极和阱之间不需要高击穿电压的高击穿电压 MIS 结构的例子进行介绍。

图 72 示出了根据第五实施例的高击穿电压 pMISQHp4 的一个例子的局部剖面图，图 73 是与图 72 相同位置的平面图，并且特别示出了在高击穿电压 pMISQHp4 的具有场缓和功能的 p^-型半导体区 PV1 与其中的反掺杂区之间的布局关系的局部平面图，图 74 是与图 72 相同位置的平面图，并且特别示出了高击穿电压 pMISQHp4 的各个半导体区的样式的局部平面图，图 75 是与图 72 相同位置的平面图，并且特别示出了在有源区中的半导体区的样式的局部平面图，图 76 是沿图 72 到图 75 的线 X7-X7 的剖面图，图 77 是沿图 72 到图 75 的线 X8-X8 的剖面图。顺便提及，由于沿图 72 到图 75 的线 Y5-Y5 的剖面图与在图 70 中所示的剖面图相同，所以将其省略。虽然图 74 和图 75 是平面图，但是隔离区以阴影形式给出，以便容易看懂该图。虽然在第五实施例中举例说明了高击穿电压 pMIS，但是本发明也可以以与第一实施例相同的方式应用于高击穿电压 nMIS。

根据第五实施例的半导体器件的高击穿电压 pMIS（第四、第十一和第十二高击穿电压场效应晶体管）QHp4 采用一种例如可以实现 60V 击穿电压的结构。在高电位侧的源极或电源电压为例如 37V，在低电位（基准电位）侧的源极或电源电压为例如 0（零）V。由于本实施例与第四实施例的抗扭结措施相同，所以省略对其的介绍。第五实施例与第四实施例之间的差别如下：在第五实施例中，以与第四实施例类似的方式将隔离部分 3 置于用作漏极的 p^+型半导体区 P1d 和沟道区之间。用作漏极的 p^+型半导体区 P1d 通过具有场缓和功能的 p^-型半导体区 PV1 电连接到有源区 L5 中的相应沟道区。不在用作源极的 p^+型半导体区 P1s 和沟道区之间置入隔离部分 3。p^+型半导体区 P1s 和沟道区彼此相邻地设置在一个有源区 L5 中，并且彼此电连接，而不通过具有场缓和功能的 p^-型半导体区 PV1。不形成栅电极 HG 来覆盖有源区 L 的整个区域。在有源区 L5 中，在平面基底上叠置栅电极 HG 的部分（除去设置在漏极侧的具有

场缓和功能的 p^-型半导体区 PV1 之外的部分）形成沟道区，而用作源极的 p^+型半导体区 P1s 放在平面基底上不与栅电极 HG 重叠的部分。但是，在第五实施例中，以与第四实施例类似的方式，将在没有引入反掺杂杂质的有源区 L5 的沿第二方向 Y 的两端区域构成 n^+型半导体区 NV1p。另一方面，将引入反掺杂杂质的区域（除了放置具有场缓和功能的 p^-型半导体区 PV1 之外的区域）构成 n^-型半导体区 NV1m。在衬底 1S 的表面附近形成 n^-型半导体区 NV1m，并且在 n^+型半导体区 NV1p 的上方形成 n^- 型半导体区 NV1m。即，在比 n^+型半导体区 NV1p 更浅的位置形成 n^-型半导体区 NV1m。因此，即使栅电极 HG 为在平面基底上与其重叠的有源区 L5，也可以将有源区 L5 的沟道区中间（衬底 1S 的主表面部分）的阈值电压设置得低于在有源区 L5 沿第二方向 Y 的两端的阈值电压。因此，可以以与第四实施例类似的方式抑制或防止出现扭结效应（阈值电压与在第一实施例的相同）。

这里以类似于第四实施例的方式，如图 70 所示，如在有源区 L5 中的栅电极的横向方向（第二方向 Y）看到的，形成在栅电极 HG 之下形成沟道区的 n^-型半导体区 NV1m 的长度和 n^+型半导体区 NV1p 的长度，从而使 n^- 型半导体区 NV1m 的长度变得比 n^+型半导体区 NV1p 的长度更长。即，形成 n^- 型半导体区 NV1m，从而占据大半个沟道区。由此，可以减小在沟道区沿第二方向 Y 的两端形成的难以工作的 MIS 的区域，从而能够防止根据本实施例的高击穿电压 MIS（例如，高击穿电压 pMISQHp3）的有效操作速度的降低。

此时，如在栅电极 HG 的栅极宽度方向看到的，浓度相对低的半导体区 NV1m 被浓度相对高的半导体区 NV1p 所包围。如从衬底 1S 的主表面看到的，在比低浓度半导体区 NV1m 更深的位置形成高浓度半导体区 NV1p。

形成 n^+型半导体区 NV1p 以便比隔离部分 3 更深。以这种方式形成半导体区 NV1p，能够增加在与隔离部分 3 的上部接触的衬底 1S 的每个肩部的阈值或电压。由此能够抑制扭结效应的出现。

第五实施例的结构采取这样一种电路结构，其中加在用作源极的 p^+

型半导体区 P1s、深 n 型阱 DNW、n^+型半导体区 NV1p 和 n^-型半导体区 NV1m 的电位相等，即，在用作源极的 p^+型半导体区 P1s、深 n 型阱 DNW、n^+型半导体区 NV1p 和 n^-型半导体区 NV1m 之间没有电位差。

在以这种方式介绍的第五实施例中，由于与第二实施例中所介绍的相同原因，可以减小高击穿电压 pMISQHp4 的尺寸。由于特别如第四实施例中所介绍的，在第五实施例中，能够增强对于穿通进行抑制或防止的能力，所以与第二实施例相比可以进一步减小高击穿电压 pMISQHp4 的尺寸。因此，与第二实施例相比，能够进一步减小根据第五实施例的具有高击穿电压 pMISQHp4 的半导体芯片的尺寸。

第六优选实施例

通过图 78 到图 101，第六实施例将说明半导体器件的制造方法的一个例子，其中在同一个衬底 1S 上提供具有在第四和第五实施例中介绍的结构的高击穿电压 MIS 以及低击穿电压 MIS。顺便提及，图 78 到图 101 所示的符号 HR3 表示用于形成具有第四实施例的结构的高击穿电压 MIS 的区域（X5-X5），符号 HR4 表示用于形成具有第五实施例的结构的高击穿电压 MIS 的区域（X7-X7），符号 LR 表示低击穿电压 MIS 的形成区域。

在完成与显示第三实施例的图 16 到图 33 所介绍的相同的工艺步骤之后，首先通过光刻工艺在衬底 1S 的主表面上方形成抗蚀膜图形 PR3，如在图 78 到图 80 的相同制造工艺中衬底 1S 的局部剖面图所示。以这种方式形成抗蚀膜 PR3 的图形，以便暴露出在高击穿电压 nMIS 形成区中每个具有场缓和功能的 n^-型半导体区和在高击穿电压 pMIS 形成区中的 n^+型半导体区的形成区域，而覆盖除它们之外的其它区域。随后，例如，利用抗蚀膜 PR3 的图形作为掩模通过离子注入等在衬底 1S 中选择性地引入磷。由此，由于在高击穿电压 nMIS 形成区中形成深 p 型阱 DPW，所以形成了 n^-型半导体形成区 NV1。由于在高击穿电压 pMIS 形成区中形成深 n 型阱 DNW，所以形成了 n^+型半导体形成区 NV1p。此时，形成半导体区 NV1 和半导体区 NV1p，从而比隔离部分 3 更深。以这种

方式形成半导体区 NV1p，能够增强抑制或防止出现扭结效应的能力。顺便提及，虽然在该阶段，高击穿电压 nMIS 形成区中每个具有场缓和功能的 n^-型半导体形成区 NV1、和在高击穿电压 pMIS 形成区中的 n^+型半导体区 NV1p 在引入用于形成它们的杂质时还没有完全形成，但是还是将这些区域显示出来，以便容易理解对其的介绍。

接着，去掉抗蚀膜 PR3，随后通过光刻工艺在衬底 1S 的主表面上方形成抗蚀膜 PR4 的图形，如在图 81 到图 83 的相同制造工艺中衬底 1S 的局部剖面图所示。以这种方式形成抗蚀膜 PR4 的图形，以便暴露出在高击穿电压 pMIS 形成区中每个具有场缓和功能的 p^-型半导体区和在高击穿电压 nMIS 形成区中的 p^+型半导体区的形成区域，而覆盖除它们之外的其它区域。随后，例如，利用抗蚀膜 PR4 的图形作为掩模通过离子注入等在衬底 1S 中选择性地引入硼。由此，由于在高击穿电压 pMIS 形成区中形成深 n 型阱 DNW，所以形成了 p^-型半导体区 PV1。由于在高击穿电压 nMIS 形成区中形成深 p 型阱 DPW，所以形成了 p^+型半导体区 PV1p（第五、第十五和第十七半导体区）。此时，形成半导体区 PV1 和半导体区 PV1p，以便比隔离部分 3 更深。因此，通过形成半导体区 PV1p，能够增强抑制或防止出现扭结效应的能力。顺便提及，虽然在该阶段没有完全形成在高击穿电压 nMIS 形成区中每个具有场缓和功能的 n^-型半导体形成区 NV1、在高击穿电压 pMIS 形成区中的 n^+型半导体区 NV1p、在高击穿电压 pMIS 形成区中每个具有场缓和功能的 p^-型半导体区 PV1、和在高击穿电压 nMIS 形成区中的 p^+型半导体区 PV1p，但是还是将这些区域显示出来，以便容易理解对其的介绍。

接着，去掉抗蚀膜 PR4，随后对衬底 1S 进行扩大扩散处理（退火），以比隔离部分 3 深并且扩大到比深 n 型阱 DNW 和深 p 型阱 DPW 浅的位置的状态，形成相应的在高击穿电压 nMIS 形成区中每个具有场缓和功能的 n^-型半导体区 NV1、在高击穿电压 nMIS 形成区中的 p^+型半导体区 PV1p、在高击穿电压 pMIS 形成区中每个具有场缓和功能的 p^-型半导体区 PV1 和在高击穿电压 pMIS 形成区中的 n^+型半导体区 NV1p。由此，在第六实施例中，在与每个具有场缓和功能的 p^-型半导体区 PV1 和 n^-

型半导体区 NV1 相同的形成工艺中，形成 p^+型半导体区 PV1p 和 n^+型半导体区 NV1p。因此，即使形成 p^+型半导体区 PV1p 和 n^+型半导体区 NV1p，也不增加半导体器件制造工序。因此，可以提供高性能和高可靠性的半导体器件而不显著增加半导体器件的制造时间和成本。

接着，工序进行到反掺杂工艺。图 87 到图 92 分别示出了对于高击穿电压 MIS 形成区在反掺杂工艺中的衬底 1S 的局部剖面图。图 87 是包括对应于图 64 到图 67 的线 X5-X5 的位置或部分的剖面图，图 88 是包括对应于图 64 到图 67 的线 X6-X6 的位置或部分的剖面图，图 89 是包括对应于图 72 到图 75 的线 X7-X7 的位置或部分的剖面图，图 90 是包括对应于图 72 到图 75 的线 X8-X8 的位置或部分的剖面图，图 91 是对应于图 64 到图 67 的线 Y4-Y4 中每一个和图 72 到图 75 的线 Y5-Y5 中每一个的剖面图，图 92 示出了在反掺杂工艺中低击穿电压 MIS 的形成区域的局部剖面图。顺便提及，由于在反掺杂工艺中对应于图 64 到图 67 的线 Y4-Y4 的位置的剖面图与对应于图 72 到图 75 的线 Y5-Y5 的位置的剖面图相同，所以为了简化对其的介绍，在图 91 中仅示出了与其相应的剖面图。

首先通过光刻工艺在衬底 1S（即，晶片）的主表面的上方形成抗蚀膜 PR5 的图形。以这种方式形成抗蚀膜 PR5 的图形，以便暴露出在高击穿电压 nMIS 形成区中的反掺杂区，而覆盖除它们之外的其它区域。即，在如图 87 和图 91 所示的形成区 HR3 中，利用抗蚀膜 PR5 覆盖高击穿电压 nMIS 侧的有源区 L1 沿第二方向 Y 的两端的一部分。如图 88 和图 91 所示，将在高击穿电压 nMIS 侧的除它之外的有源区 L1 从抗蚀膜 PR5 中暴露出来。在如图 89 和图 91 所示的形成区 HR4 中，利用抗蚀膜 PR5 覆盖高击穿电压 nMIS 侧的有源区 L5 沿第二方向 Y 的两端的一部分。如图 90 和图 91 所示，将在高击穿电压 nMIS 侧的除它之外的有源区 L5 从抗蚀膜 PR5 中暴露出来。随后，例如，用抗蚀膜 PR5 的图形作为掩模通过离子注入等在衬底 1S 中选择性地并且浅地引入磷或砷（As）。由此，在从抗蚀膜 PR5 中暴露出来的高击穿电压 nMIS 侧的有源区 L1 和 L5 的 p^+型半导体区 PV1p 的上方，形成 p^-型半导体区（第六、第十六和第十

八半导体区）PV1m。另一方面，即使在同一个高击穿电压 nMIS 侧的有源区 L1 和 L5 中，在沿第二方向 Y 的两端用抗蚀膜 PR5 覆盖的区域中的 p^+型半导体区 PV1p 的上部也保持为 p^+型。而且在衬底 1S 的表面附近形成p^-型半导体区PV1m，并且在p^+型半导体区PV1p的上方形成p^-型半导体区 PV1m。即，在比 p^+型半导体区 PV1p 更浅的位置形成 p^-型半导体区 PV1m。因此，可以将在高击穿电压 nMIS 侧的有源区 L1 和 L5 的沟道区中间（衬底 1S 的主表面部分）的阈值电压设置为低于在有源区 L1 和 L5 沿第二方向 Y 的两端（与隔离部分 3 的侧壁相接触的衬底 1S 部分）的阈值电压，从而能够抑制或防止扭结效应的出现。

现在，如在稍后形成的栅电极的横向方向（第二方向 Y）看到的，形成在栅电极 HG 下方形成沟道区的半导体区 PV1m 的长度和半导体区 PV1p 的长度，以便使半导体区 PV1m 的长度大于半导体区 PV1p 的长度。由此，可以减小在沟道区的沿第二方向 Y 的两端形成的难以工作的 MIS 的区域，从而能够防止根据本实施例的高击穿电压 nMIS 的有效工作速度的降低。

此时，形成半导体区 PV1p 以便比隔离部分 3 更深。以该种方式形成半导体区 PV1p，能够增加在与隔离部分 3 的上部接触的衬底 1S 的每个肩部的阈值或电压。由此能够抑制扭结效应的出现。

接着，去掉抗蚀膜 PR5，随后工序进行到对高击穿电压 pMIS 形成区进行的反掺杂工艺。图 93 到图 98 分别示出了在对高击穿电压 pMIS 形成区进行反掺杂工艺时衬底 1S 的局部剖面图。图 93 是包括对应于图 64 到图 67 的线 X5-X5 的位置或部分的剖面图，图 94 是包括对应于图 64 到图 67 的线 X6-X6 的位置或部分的剖面图，图 95 是包括对应于图 72 到图 75 的线 X7-X7 的位置或部分的剖面图，图 96 是包括对应于图 72 到图 75 的线 X8-X8 的位置或部分的剖面图，图 97 是对应于图 64 到图 67 的线 Y4-Y4 中每一个或图 72 到图 75 的线 Y5-Y5 中每一个的剖面图，图 98 示出了在反掺杂工艺中低击穿电压 MIS 形成区的局部剖面图。顺便提及，由于对应于在反掺杂工艺中的图 64 到图 67 的线 Y4-Y4 的位置的剖面图与对应于图 72 到图 75 的线 Y5-Y5 的位置的剖面图也相同，

所以为了简化对它们的介绍，在图 97 中仅示出了与其相应的剖面图。

首先通过光刻工艺在衬底 1S（即，晶片）的主表面上方形成抗蚀膜 PR6 的图形。以这种方式形成抗蚀膜 PR6 的图形，以便暴露出在高击穿电压 pMIS 形成区中的反掺杂区 DR，而覆盖除它之外的其它区域。即，在如图 93 和图 97 所示的形成区 HR3 中，利用抗蚀膜 PR6 覆盖高击穿电压 pMIS 侧的有源区 L1 沿第二方向 Y 的两端的一部分。如图 94 和图 97 所示，在高击穿电压 pMIS 侧的除它之外的有源区 L1 从抗蚀膜 PR6 中暴露出来。在如图 95 和图 97 所示的形成区 HR4 中，利用抗蚀膜 PR6 覆盖高击穿电压 pMIS 侧的有源区 L5 沿第二方向 Y 的两端的一部分。如图 96 和图 97 所示，在高击穿电压 pMIS 侧的除它之外的有源区 L5 从抗蚀膜 PR6 中暴露出来。随后，例如，利用抗蚀膜 PR6 的图形作为掩模，通过离子注入等在衬底 1S 中选择性地并且浅地引入硼。由此，在从抗蚀膜 PR6 中暴露出来的高击穿电压 pMIS 侧的有源区 L1 和 L5 的 n^+ 型半导体区 NV1p 的上方，形成 n^-型半导体区 NV1m。另一方面，在同一个高击穿电压 pMIS 侧的有源区 L1 和 L5 中，在沿第二方向 Y 的两端用抗蚀膜 PR6 所覆盖的区域中的 n^+型半导体区 NV1p 的上部也保持为 n^+型。而且在半导体衬底 1S 的表面附近形成 n^-型半导体区 NV1m，并且在 n^+型半导体区 NV1p 的上方形成 n^- 型半导体区 NV1m。即，在比 n^+ 型半导体区 NV1p 更浅的位置形成 n^-型半导体区 NV1m。因此，可以将在高击穿电压 pMIS 侧的有源区 L1 和 L5 的沟道区中间（衬底 1S 的主表面部分）的阈值电压设置为低于在高击穿电压 pMIS 侧的有源区 L1 和 L5 沿第二方向 Y 的两端(与隔离部分 3 的侧壁相接触的衬底 1S 部分）的阈值电压，从而能够抑制或防止扭结效应的出现。

现在，如在稍后形成的栅电极的横向方向（第二方向 Y）看到的，形成在栅电极 HG 之下形成沟道区的半导体区 NV1m 的长度和半导体区 NVIp 的长度，以便使半导体区 NV1m 的长度大于半导体区 NV1p 的长度。即，形成半导体区 NV1m，从而占据大半个沟道区。由此，可以减小在沟道区沿第二方向 Y 的两端所形成的难以工作的 MIS 的区域，从而能够防止根据本实施例的高击穿电压 pMIS 的有效工作速度。

此时，形成半导体区 NV1p 以便比隔离部分 3 更深。以这种方式形成半导体区 NV1p，能够增加在与隔离部分 3 的上部接触的衬底 1S 的肩部的阈值或电压。由此，能够抑制扭结效应的出现。

随后，去掉抗蚀膜 PR6，然后通过与第三实施例相同的工艺步骤，在同一个衬底 1S 上方形成相应的高击穿电压 nMIS（第九和第十高击穿电压场效应晶体管）QHn3、高击穿电压 nMIS（第十一和第十二高击穿电压场效应晶体管）QHn4、高击穿电压 pMISQHp3 和 QHp4、低击穿电压 nMISQLn1 和低击穿电压 pMISQLp1，如在图 99 到图 101 的相同制造工艺中衬底 1S 的局部剖面图所示。顺便提及，省略了绝缘膜 6a 的图示，以便容易看懂和理解第六实施例的附图。因此，在制造工艺中将低击穿电压 MIS 制造工艺和高击穿电压 MIS 制造工艺放在一起应用，从而能够减少在同一个衬底 1S 的上方具有低击穿电压 MIS 和高击穿电压 MIS 的半导体器件的制造工序。

第七优选实施例

第七实施例将说明利用通过 LOCOS（硅的局部氧化，Local Oxidization of Silicom）方法形成的隔离部分代替根据第四实施例的半导体器件的每个沟槽型隔离部分 3 的情况。

在图 102 到图 104 中示出了根据第七实施例的高击穿电压 MIS 的一个例子的局部剖面图。其平面图与第四实施例采用的图 64 到图 67 相同。图 102 示出了对应于图 64 到图 67 的线 X5-X5 的位置或部分的剖面图，图 103 示出了对应于图 64 到图 67 的线 X6-X6 的位置或部分的剖面图，图 104 示出了对应于图 64 到 67 的线 Y4-Y4 的位置或部分的剖面图。顺便提及，虽然在这里介绍了本发明用于高击穿电压 pMISQHp5 的情况，但是本发明也可用于高击穿电压 nMIS。

除了通过 LOCOS 方法形成隔离部分 3 之外，根据第七实施例的高击穿电压 pMISQHp5 与第四实施例相同。即，在衬底 1S 的主表面之上的有源区中，形成包括薄二氧化硅等的绝缘膜和在其上淀积的包括氮化硅等的抗氧化绝缘膜的叠层图形，而不是通过在衬底 1S 的主表面中挖

沟槽并在其中嵌入绝缘膜来形成隔离部分。随后，衬底 1S 经过热氧化工艺，从而在从叠层图形中暴露出来的隔离区中形成包括二氧化硅等的隔离部分 3。

即使在如第四实施例所述的本实施例中，也能够增强对于在用作源极和漏极的 p^+型半导体区 P1 和 P1（p^-型半导体区 PV1 和 PV1）之间穿通进行抑制或防止的能力。因此，可以缩短高击穿电压 pMISQHp5 的设计沟道长度（在第一方向 X 的长度）。即，即使在其中的隔离部分 3 是通过 LOCOS 方法形成的高击穿电压 pMISOHp5 的情况下，也能够减小其尺寸。还能够减小具有高击穿电压 pMISQHp5 的半导体芯片的尺寸。

由于除隔离部分 3 之外的结构和制造方法与第四和第六实施例类似，并且可以得到类似的效果，所以省略对其的介绍。

第八优选实施例

第八实施例将说明利用通过 LOCOS 方法形成的隔离部分代替根据第五实施例的半导体器件的每个沟槽型隔离部分 3 的情况。

在图 105 和图 106 中示出了根据第八实施例的高击穿电压 MIS 的一个例子的局部剖面图。其平面图与在第五实施例中采用的图 72 到图 75 相同。图 105 示出了对应于图 72 到图 75 的线 X7-X7 的位置或部分的剖面图，图 106 示出了对应于图 72 到图 75 的线 X8-X8 的位置或部分的剖面图。由于沿图 72 到图 75 的线 Y5-Y5 的剖面图与在第七实施例中采用的图 104 相同，所以省略对其的介绍。顺便提及，虽然在这里介绍了本发明用于高击穿电压 pMISQHp6 的情况，但是本发明也可用于高击穿电压 nMIS。

除了通过 LOCOS 方法形成隔离部分 3 之外，根据第八实施例的高击穿电压 pMISQHp6 与第五实施例相同。即，以与第七实施例类似的方式，在衬底 1S 的主表面上方的有源区中，形成包括薄二氧化硅等的绝缘膜和在其上淀积的包括氮化硅等的抗氧化绝缘膜的叠层图形。随后，衬底 1S 经过热氧化工艺，从而在从叠层图形中暴露出来的隔离区中形成包括二氧化硅等的隔离部分 3。

即使在第八实施例中，也能够以与第四到第六实施例类似的方式增强对于高击穿电压 pMISQHp6 穿通进行抑制或防止的能力。从而，可以缩短高击穿电压 pMISQHp6 的设计沟道长度（沿第一方向 X 的长度）。因此，由于可以减小在其中的隔离部分 3 是通过 LOCOS 方法形成的高击穿电压 pMISQHp6 的尺寸，所以能够减小具有高击穿电压 pMISQHp6 的半导体芯片的尺寸。

由于除隔离部分 3 之外的结构和制造方法与第五和第六实施例类似，并且可以得到类似的效果，所以省略对其的介绍。

虽然基于优选实施例详细介绍了发明人作出的本发明，但是本发明并不限于上述实施例。不用说，可以在不脱离其要点的范围内进行各种变化。

虽然在第一到第八实施例中已经说明了例如在分离的工序中形成高击穿电压 MIS 的栅电极和低击穿电压 MIS 的栅电极的情况，但是本发明并不限于此。可以在同一个工序中形成高击穿电压 MIS 的栅电极和低击穿电压 MIS 的栅电极。例如，以下面的方式处理这种情况。如在第三和第六实施例中那样，首先对通过 CVD 方法形成的高击穿电压 MIS 的绝缘膜 6b 进行构图。随后，用其相应的抗蚀膜覆盖高击穿电压 MIS 形成区。然后，蚀刻在低击穿电压 MIS 形成区中的衬底 1S 的主表面上方形成的有源区的硅从而使其暴露出来，之后去掉抗蚀膜。接着，通过热氧化方法等形成低击穿电压 MIS 的栅极绝缘膜，之后在衬底 1S 的主表面的整个区域的上方淀积栅电极形成导体膜。通过光刻工艺和干蚀刻工艺对其进行构图，从而在高击穿电压 MIS 和低击穿电压 MIS 形成区中形成栅电极。

当高击穿电压 MIS 的漏极击穿电压相对低、例如大约 7 到 30V 时，为了形成低击穿电压 MIS 的阱通过离子注入等引入杂质，可以与为了形成高击穿电压 MIS 的每个具有场缓和功能的半导体区（PV1 和 NV1）以及其中的沟道停止层通过离子注入等引入杂质共同使用。在这种情况下，一次引入工序能够形成低击穿电压 MIS 的阱、高击穿电压 MIS 的每个具有场缓和功能的半导体区以及沟道停止层。即，由于可以删减具

有诸如抗蚀剂涂覆、显影和曝光等一系列工序的光刻工艺，所以可以大大减少半导体器件的制造工序。

虽然上述介绍主要针对本发明人作出的发明应用于半导体器件的制造方法的情况，该半导体器件应用于属于本发明背景的应用领域的液晶显示器的驱动电路、用于进行大电流控制的电动机控制驱动电路等，但是本发明并不限于此，而是可以以各种方式进行应用。本发明还可用于其它电子设备的半导体器件的制造方法，例如，用在汽车的各种电路中等。

本发明可用于半导体器件的制造行业。

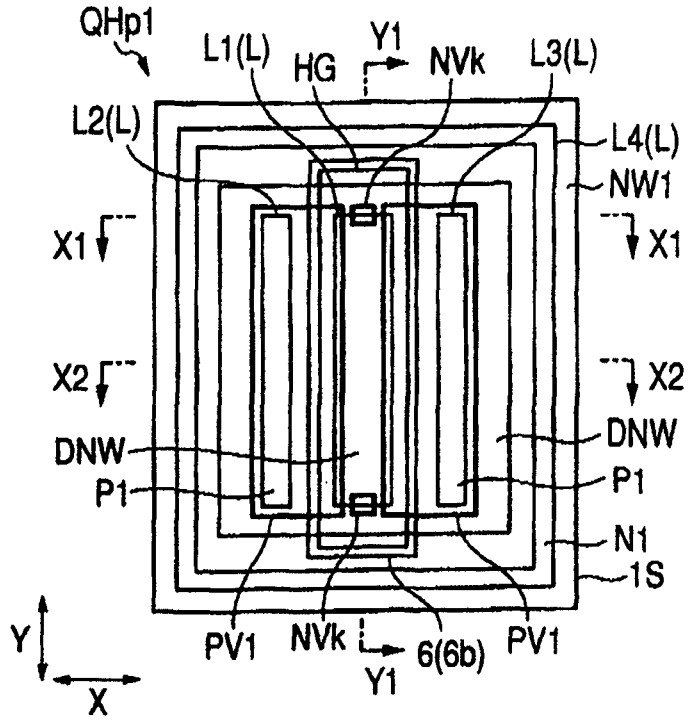

QHp1
L1(L)
HG
Y1
NVk
L3(L)
L2(L)
L4(L)
NW1
X1
X1
X2
X2
DNW
DNW
P1
P1
N1
1S
Y
PV1
NVk
6(6b)
PV1
Y1
X

图 1

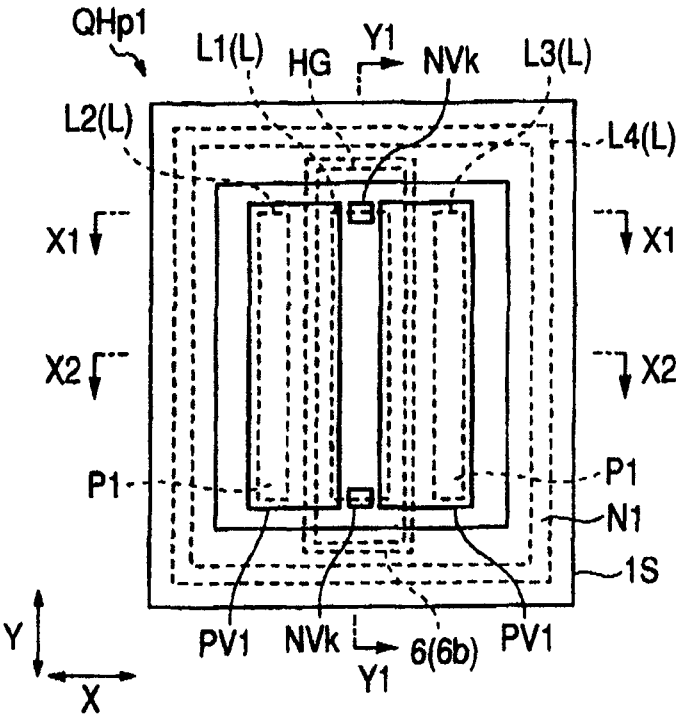

QHp1
L1(L)
HG
Y1
NVk
L3(L)
L2(L)
L4(L)
X1
X1
X2
X2
P1
P1
N1
1S
Y
PV1
NVk
6(6b)
PV1
Y1
X

图 2

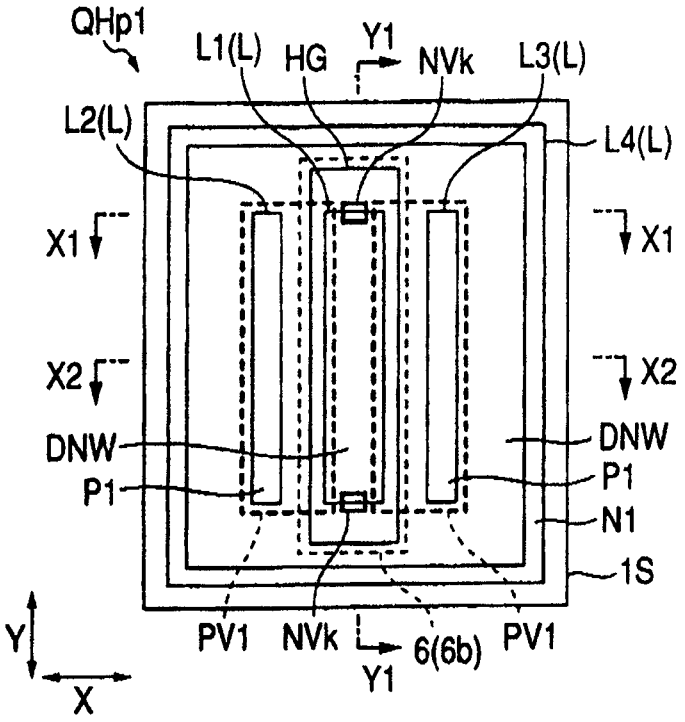

QHp1
L1(L)
HG
Y1
NVk
L3(L)
L2(L)
L4(L)
X1
X1
X2
X2
DNW
DNW
P1
P1
N1
1S
PV1
NVk
6(6b)
PV1
Y1
Y
X

图 3

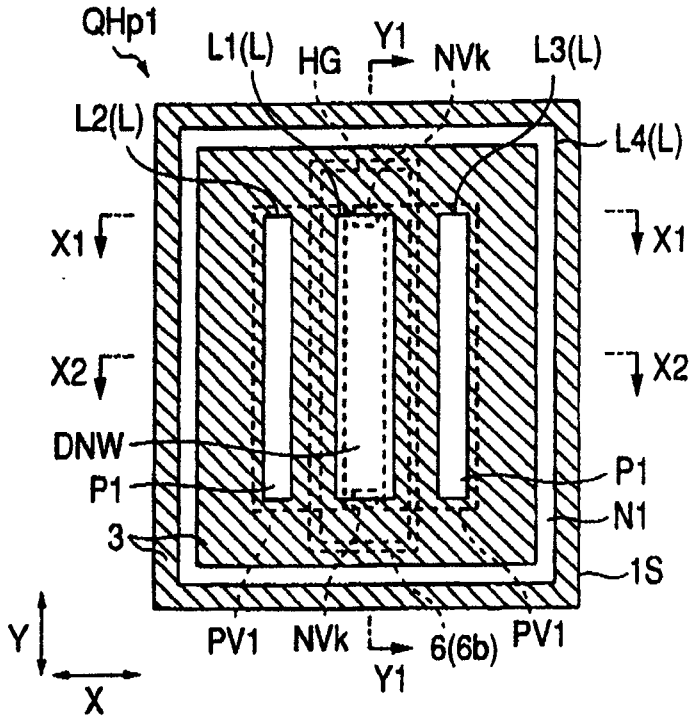

QHp1
L1(L)
HG
Y1
NVk
L3(L)
L2(L)
L4(L)
X1
X1
X2
X2
DNW
P1
P1
N1
3
1S
PV1
NVk
6(6b)
PV1
Y1
Y
X

图 4

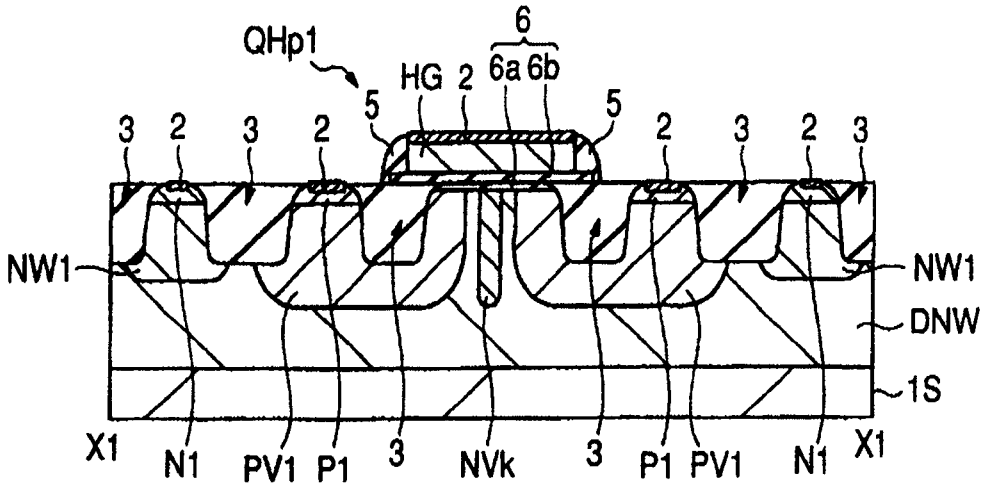

QHp1
6
HG 2
6a 6b
5
5
3 2 3 2
2 3 2 3
NW1
NW1
DNW
1S
X1
N1
PV1
P1
3
NVk
3
P1
PV1
N1
X1

图 5

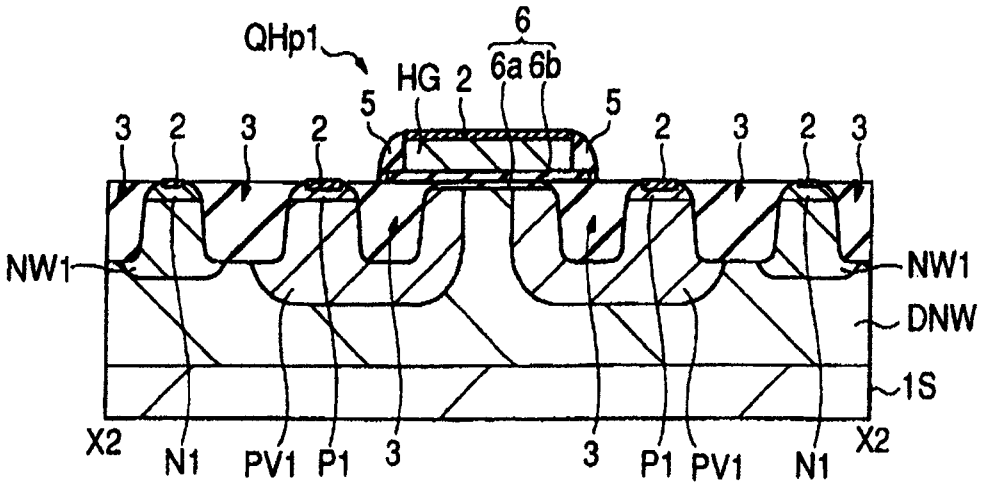

QHp1
6
HG 2
6a 6b
5
5
3 2 3 2
2 3 2 3
NW1
NW1
DNW
1S
X2
N1
PV1
P1
3
3
P1
PV1
N1
X2

图 6

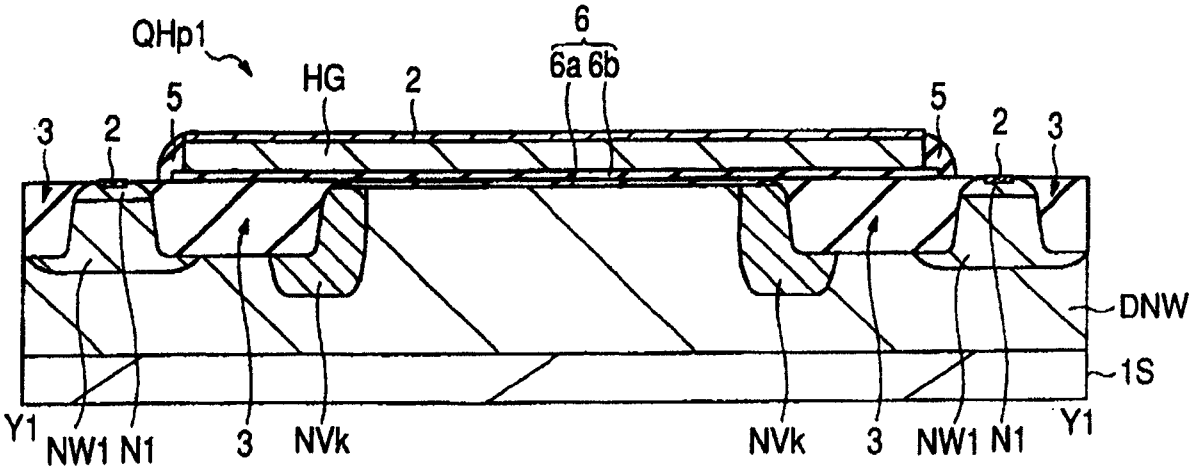


图 7

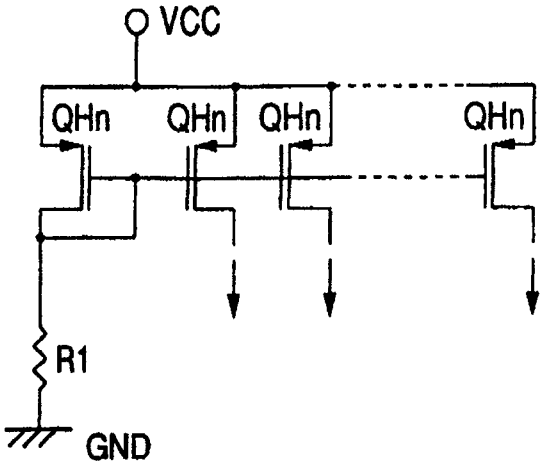


图 8

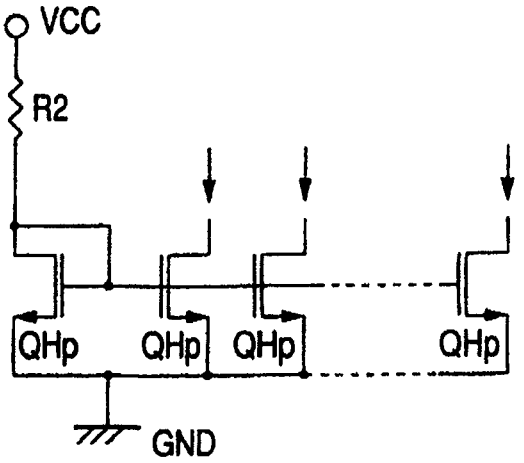


图 9

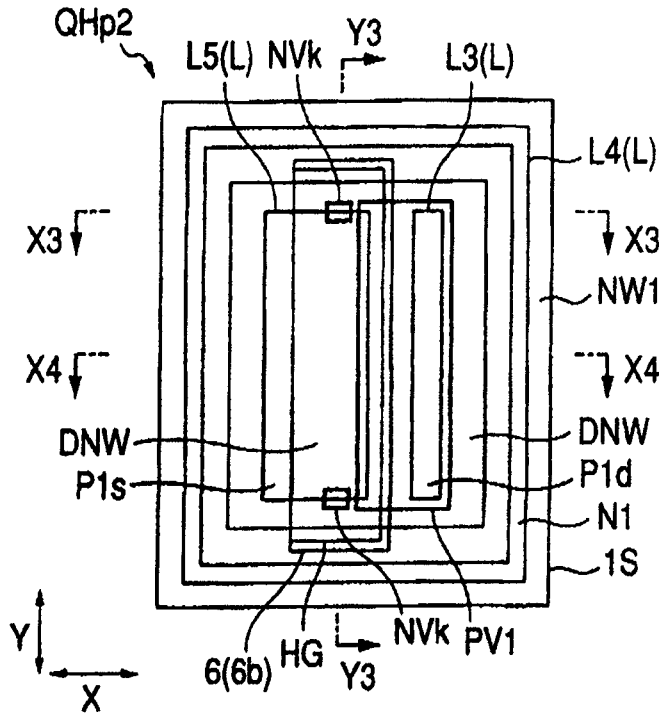

QHp2
L5(L)
NVk
Y3
L3(L)
L4(L)
X3
X3
NW1
X4
X4
DNW
DNW
P1s
P1d
N1
1S
Y
X
6(6b)
HG
NVk
PV1
Y3

图 10

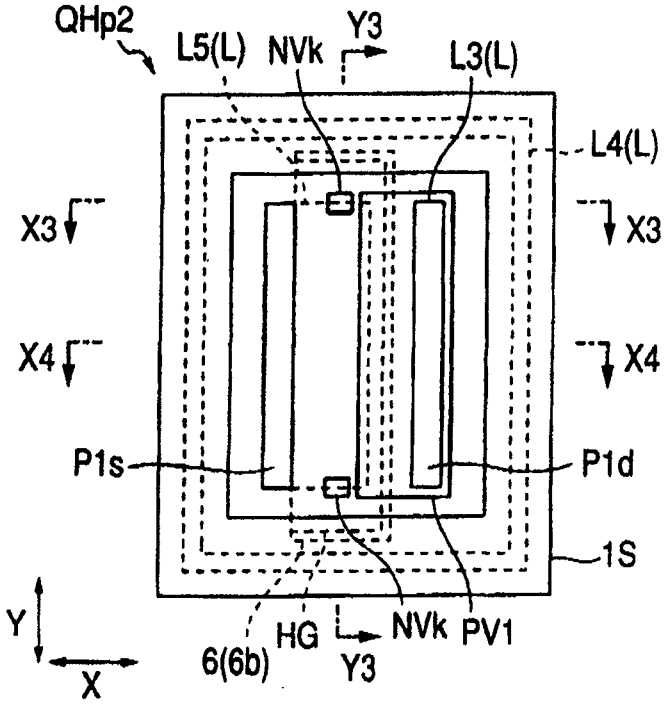

QHp2
L5(L)
NVk
Y3
L3(L)
L4(L)
X3
X3
X4
X4
P1s
P1d
1S
Y
X
6(6b)
HG
NVk
PV1
Y3

图 11

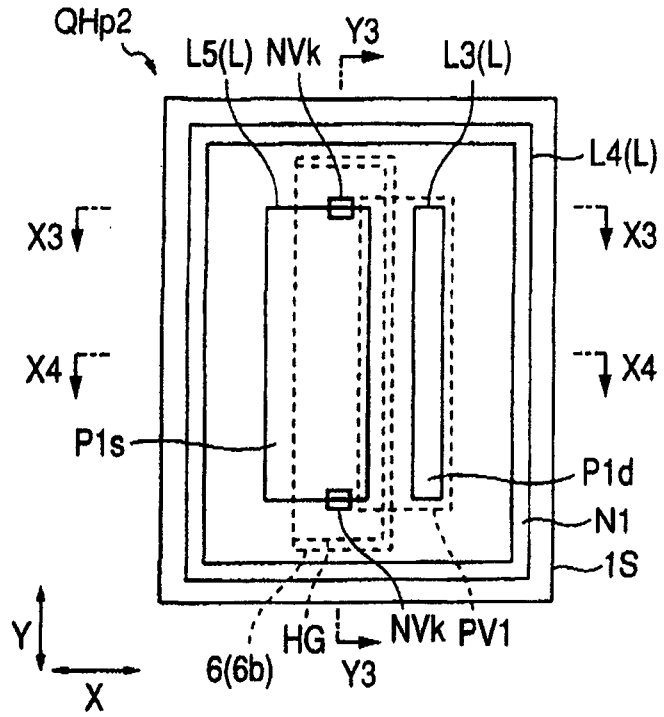

QHp2
L5(L)
NVk
Y3
L3(L)
L4(L)
X3
X3
X4
X4
P1s
P1d
N1
1S
Y
X
6(6b)
HG
NVk
PV1
Y3

图 12

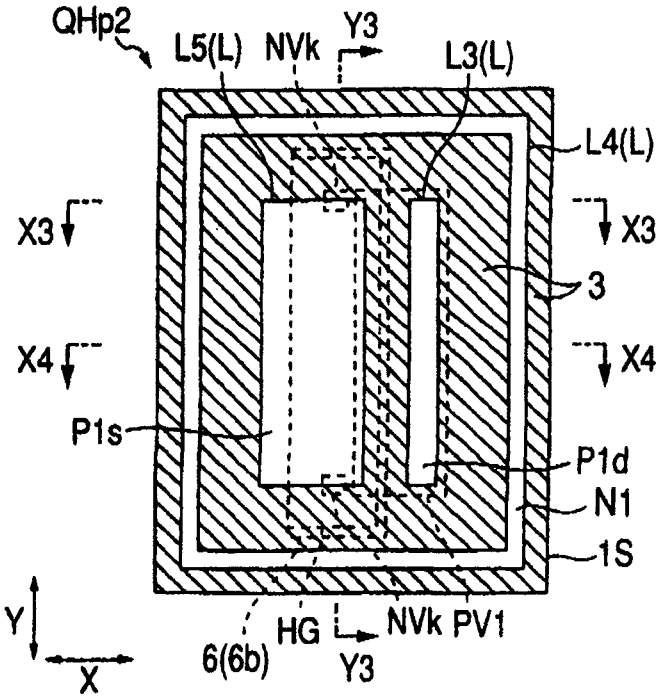

QHp2
L5(L)
NVk
Y3
L3(L)
L4(L)
X3
X3
3
X4
X4
P1s
P1d
N1
1S
Y
X
6(6b)
HG
NVk
PV1
Y3

图 13

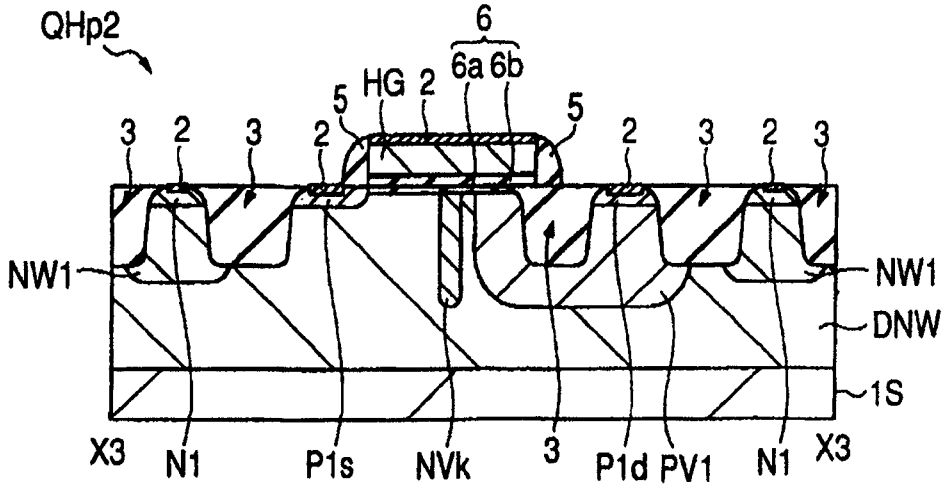

QHp2
6
6a 6b
HG
2
5
5
3
2
3
2
2
3
2
3
NW1
NW1
DNW
1S
X3
N1
P1s
NVk
3
P1d
PV1
N1
X3

图 14

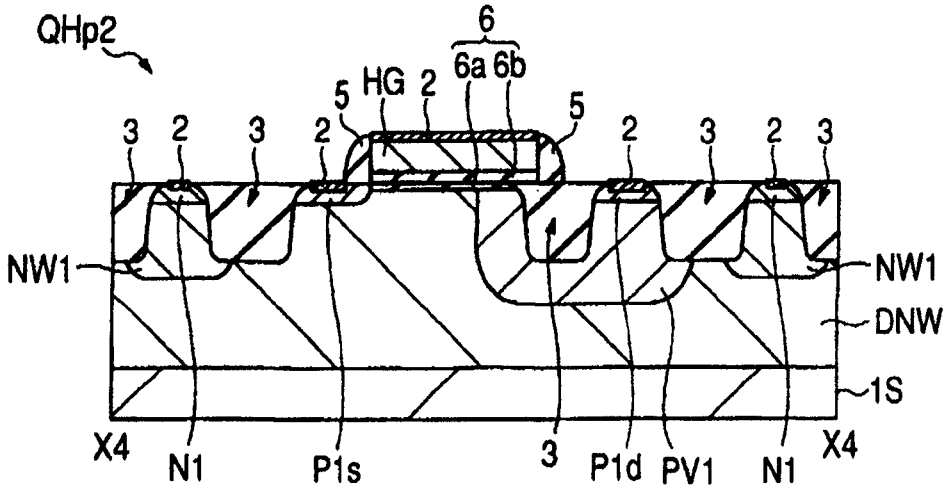

QHp2
6
6a 6b
HG
2
5
5
3
2
3
2
2
3
2
3
NW1
NW1
DNW
1S
X4
N1
P1s
3
P1d
PV1
N1
X4

图 15

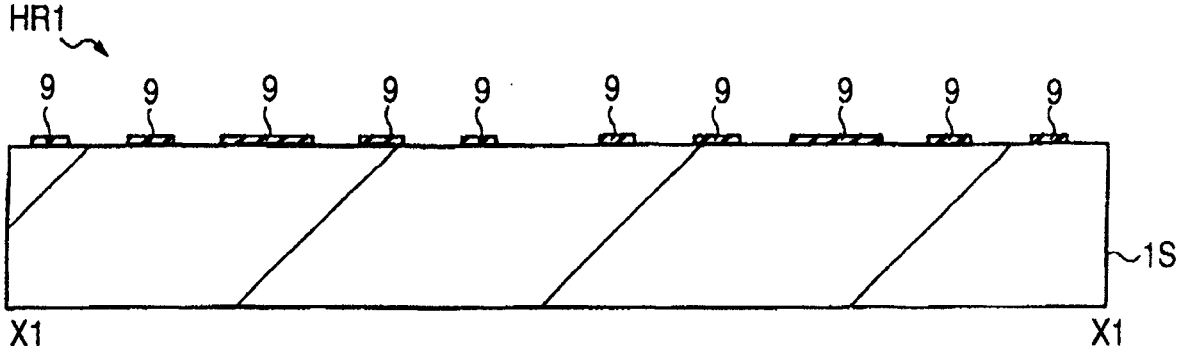


图 16

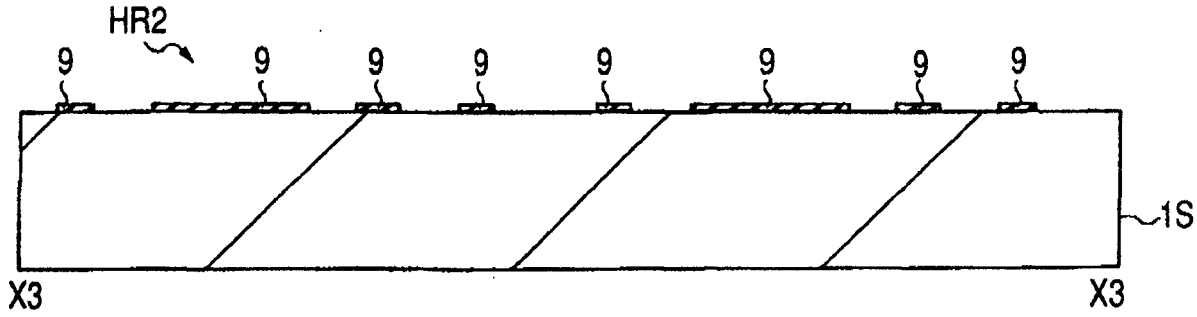


图 17

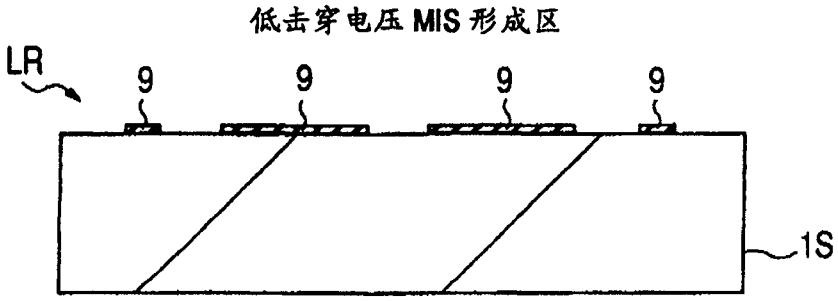


图 18

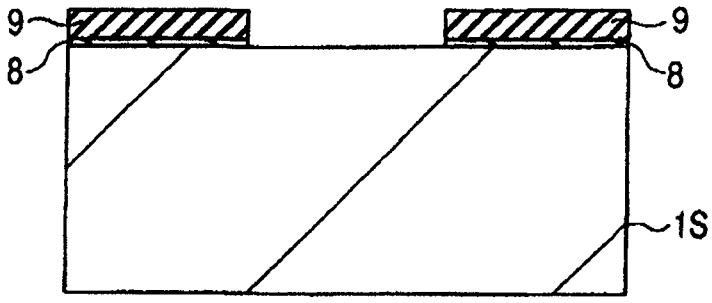


图 19

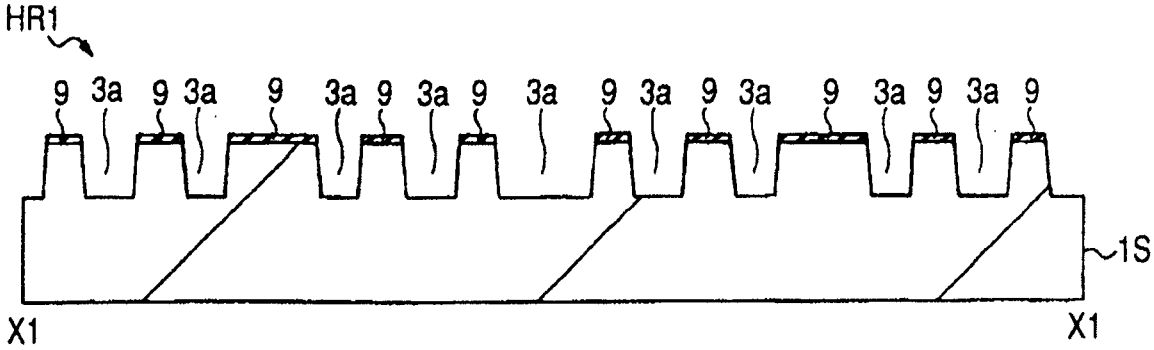


图 20

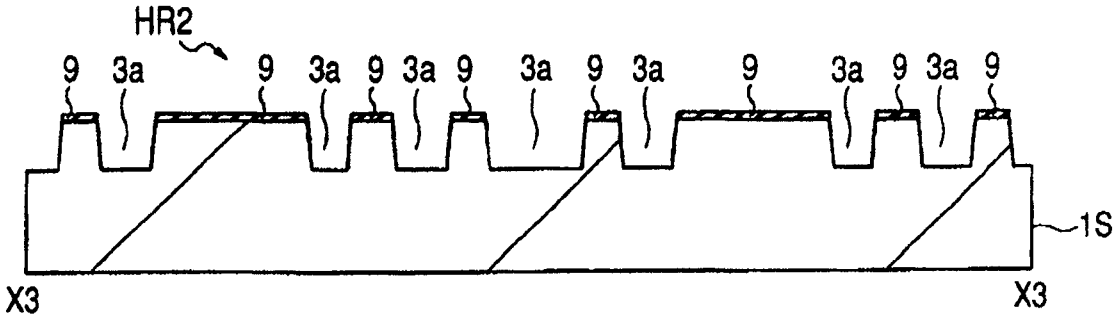


图 21

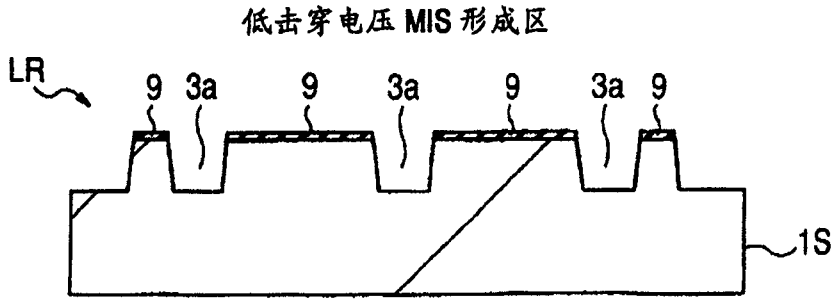


图 22

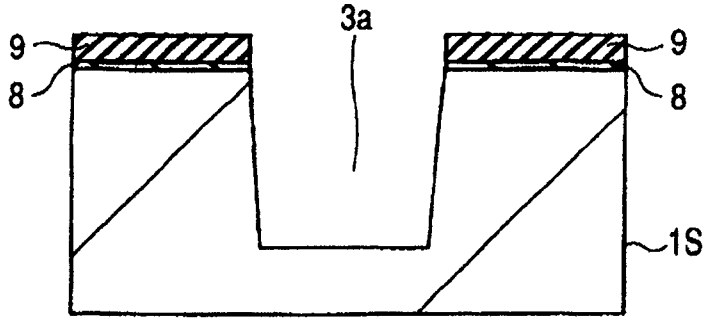


图 23

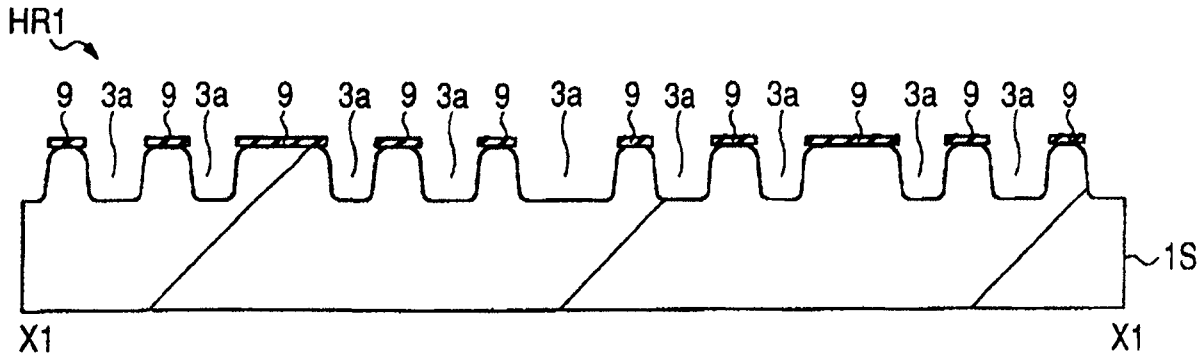


图 24

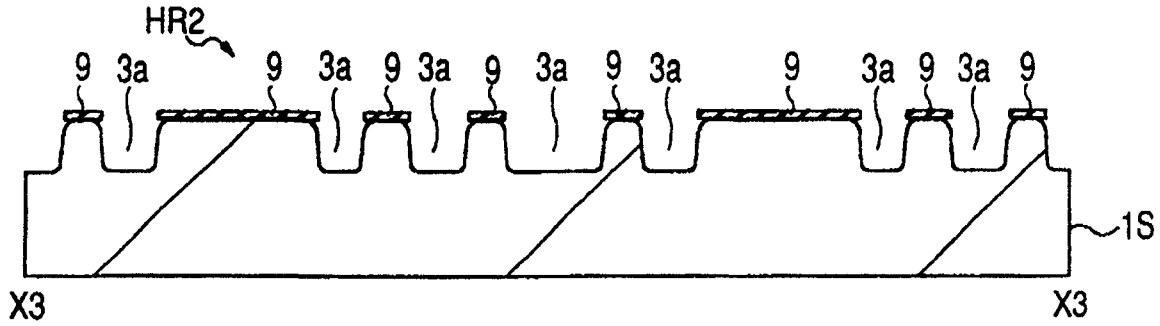


图 25

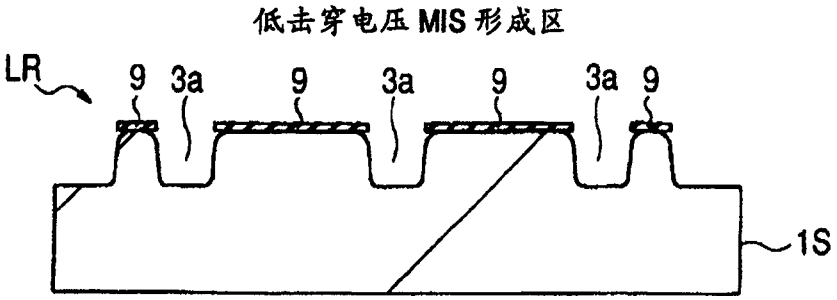


图 26

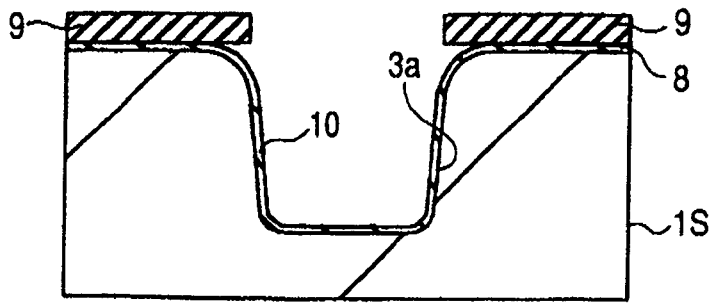


图 27

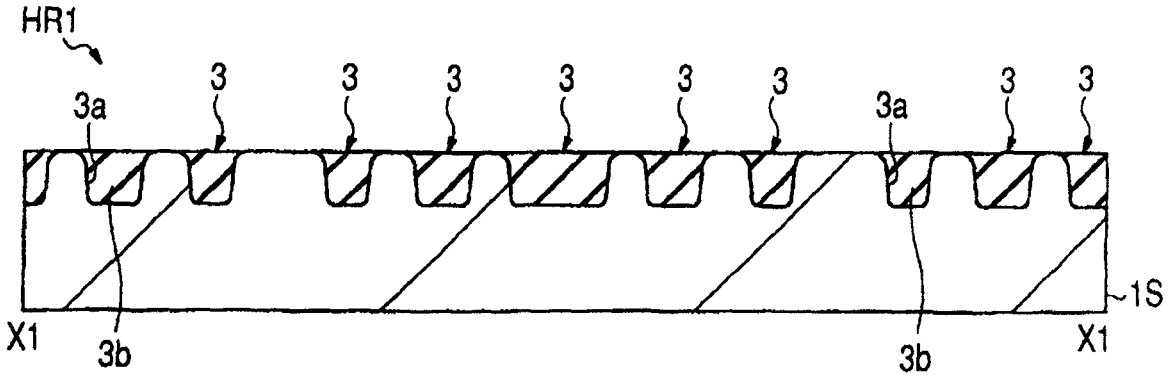

HR1
3a
3
3
3
3
3
3
3a
3
3
1S
X1
3b
3b
X1

图 28

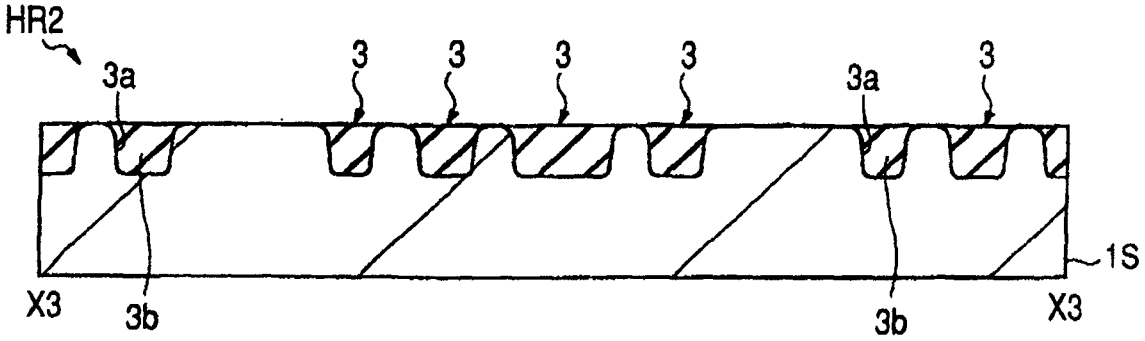

HR2
3a
3
3
3
3
3a
3
1S
X3
3b
3b
X3

图 29

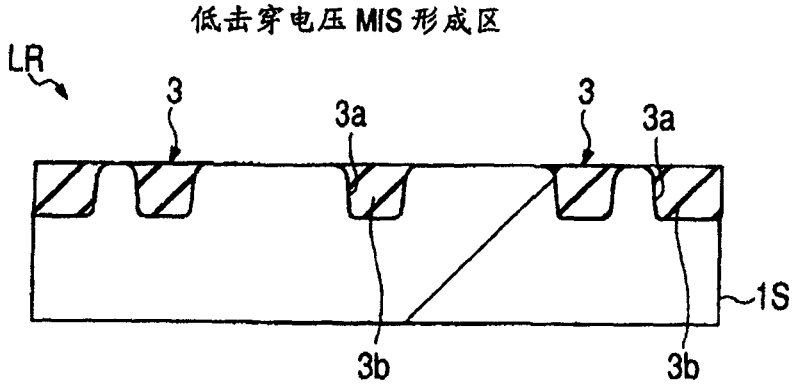

低击穿电压 MIS 形成区
LR
3
3a
3
3a
1S
3b
3b

图 30

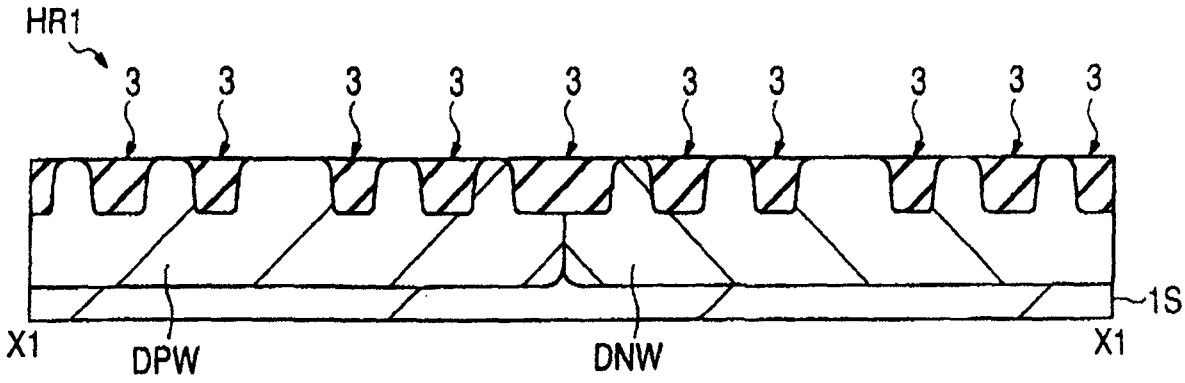

HR1
3
3
3
3
3
3
3
3
3
3
1S
X1
DPW
DNW
X1

图 31

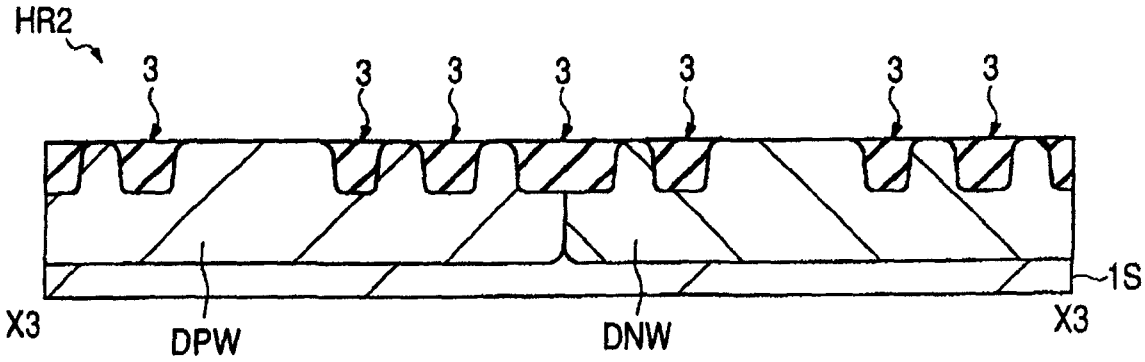

HR2
3
3
3
3
3
3
3
1S
X3
DPW
DNW
X3

图 32

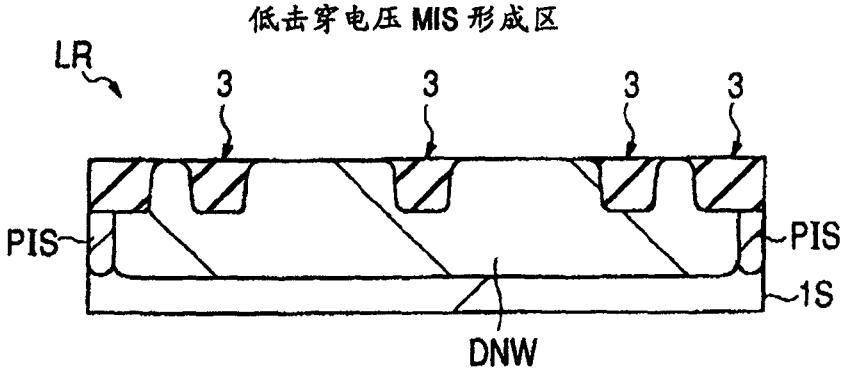

低击穿电压 MIS 形成区
LR
3
3
3
3
PIS
PIS
1S
DNW

图 33

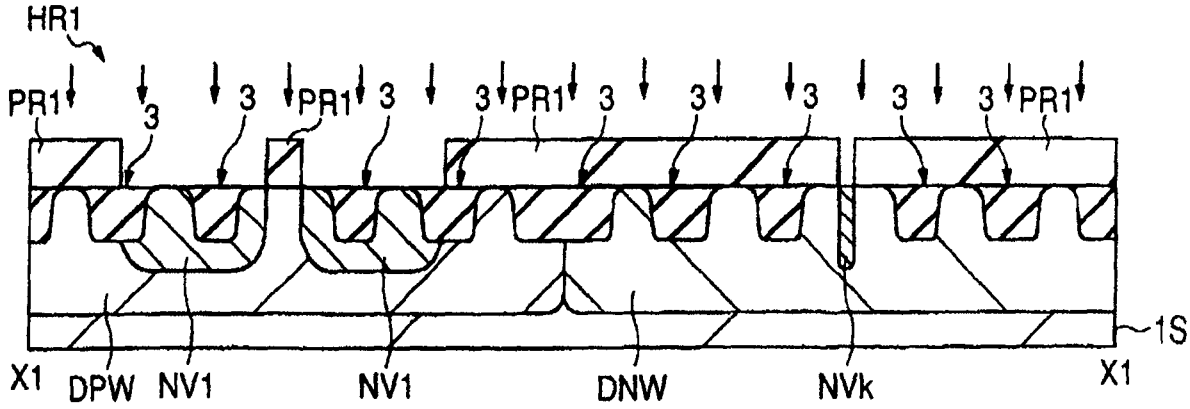


图 34

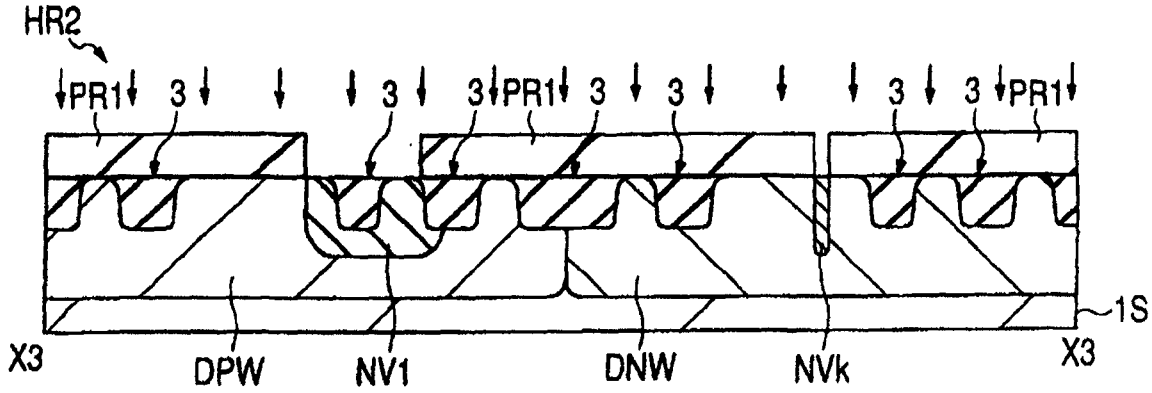


图 35

低击穿电压 MIS 形成区

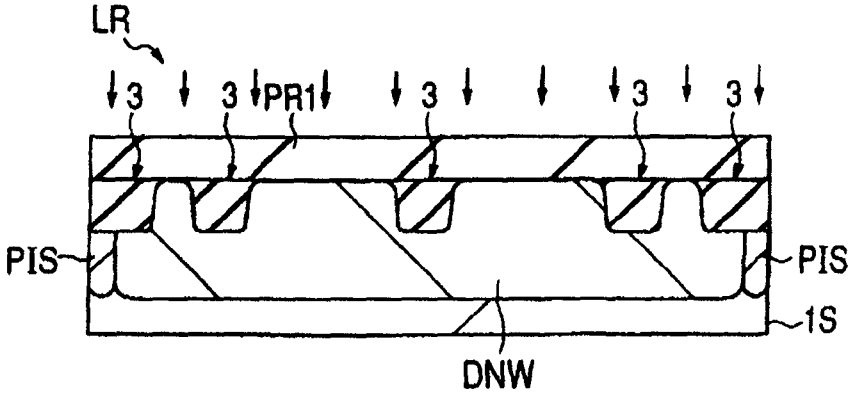


图 36

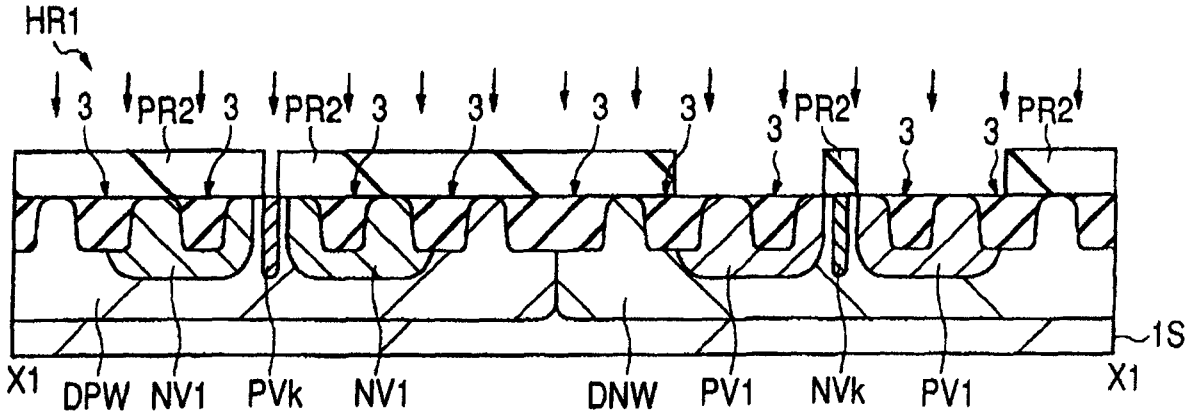

HR1
3
PR2
3
PR2
3
3
3
3
3
PR2
3
3
PR2
1S
X1
DPW
NV1
PVk
NV1
DNW
PV1
NVk
PV1
X1

图 37

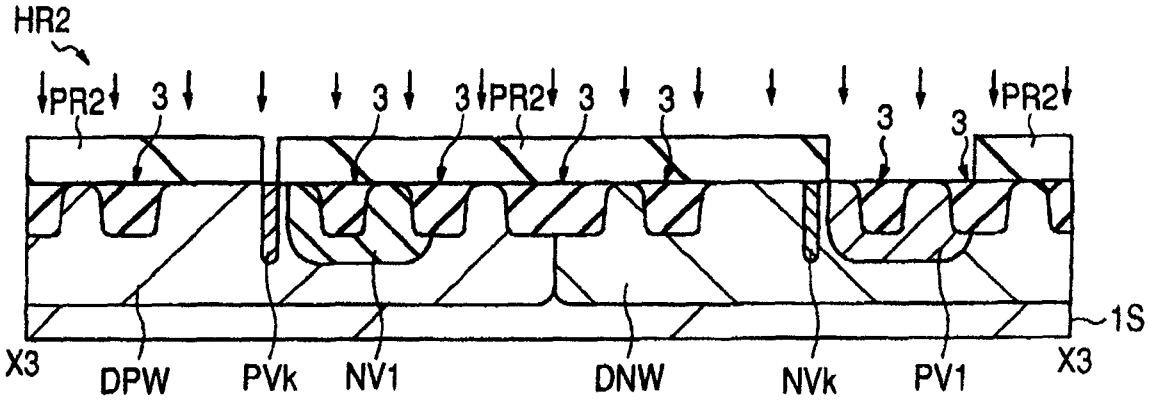

HR2
PR2
3
3
3
PR2
3
3
3
3
PR2
1S
X3
DPW
PVk
NV1
DNW
NVk
PV1
X3

图 38

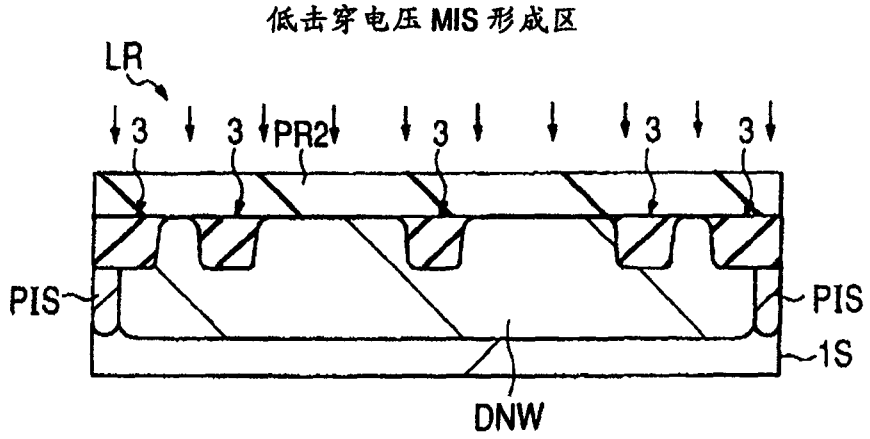

低击穿电压MIS形成区
LR
3
3
PR2
3
3
3
PIS
PIS
1S
DNW

图 39

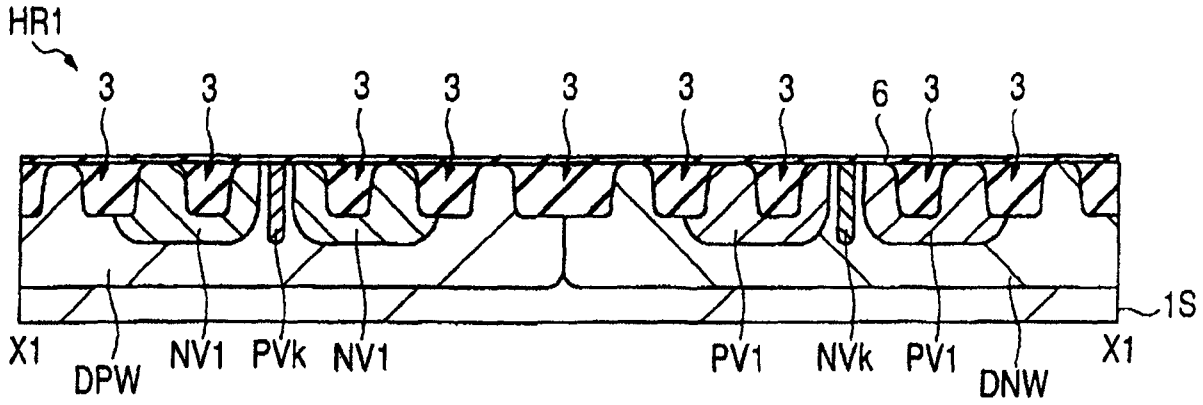

HR1
3
3
3
3
3
3
3
6
3
3
1S
X1
DPW
NV1
PVk
NV1
PV1
NVk
PV1
DNW
X1

图 40

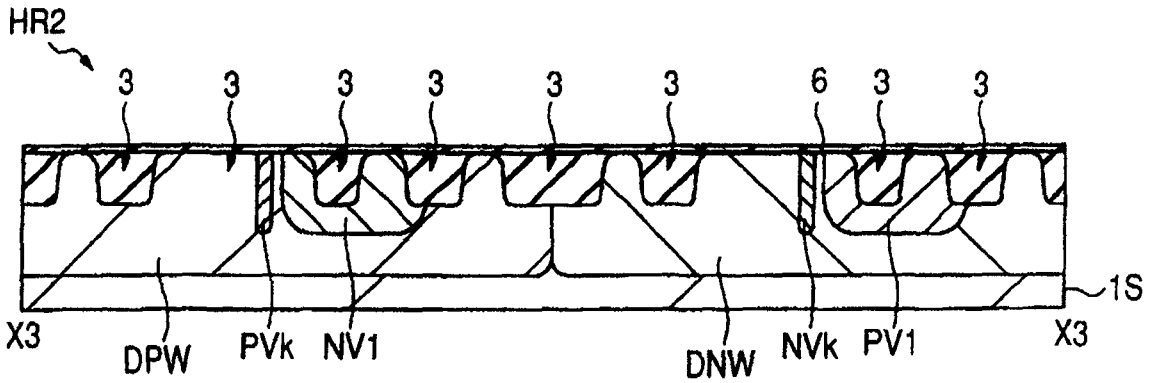

HR2
3
3
3
3
3
3
6
3
3
1S
X3
DPW
PVk
NV1
DNW
NVk
PV1
X3

图 41

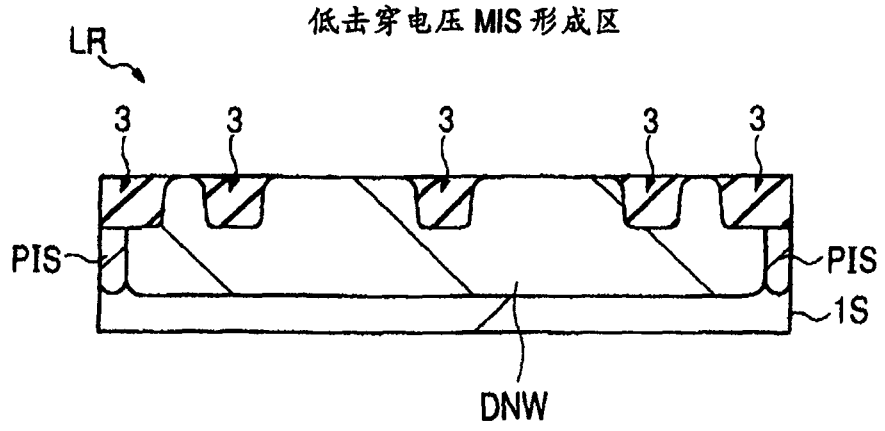
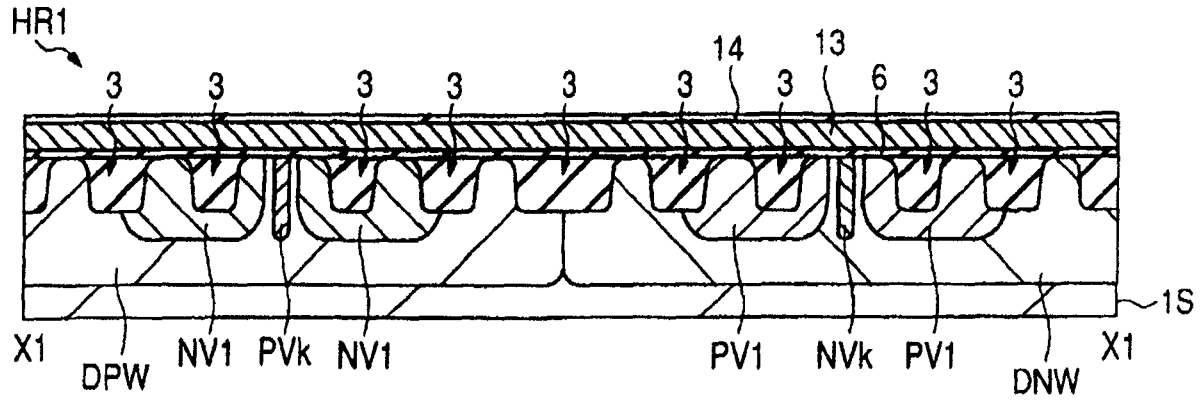

低击穿电压 MIS 形成区
LR
3
3
3
3
3
PIS
PIS
1S
DNW

图 42


HR1
3
3
3
3
3
3
14
3
13
6
3
3
1S
X1
DPW
NV1
PVk
NV1
PV1
NVk
PV1
DNW
X1

国 43

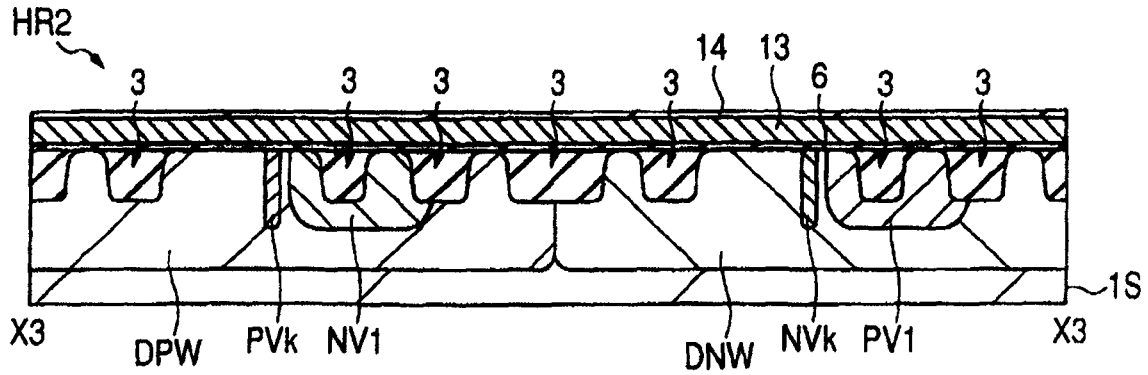

HR2
3
3
3
3
3
14
13
6
3
3
1S
X3
DPW
PVk
NV1
DNW
NVk
PV1
X3

图 44

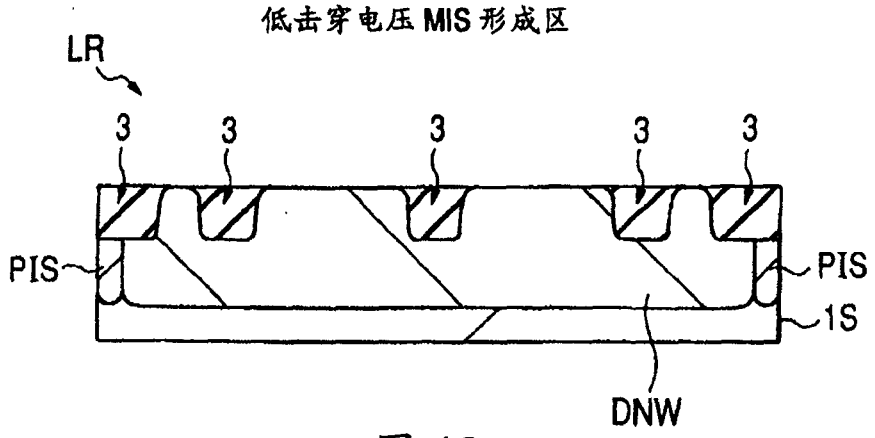

低击穿电压MIS形成区
LR
3
3
3
3
3
PIS
PIS
1S
DNW

图 45

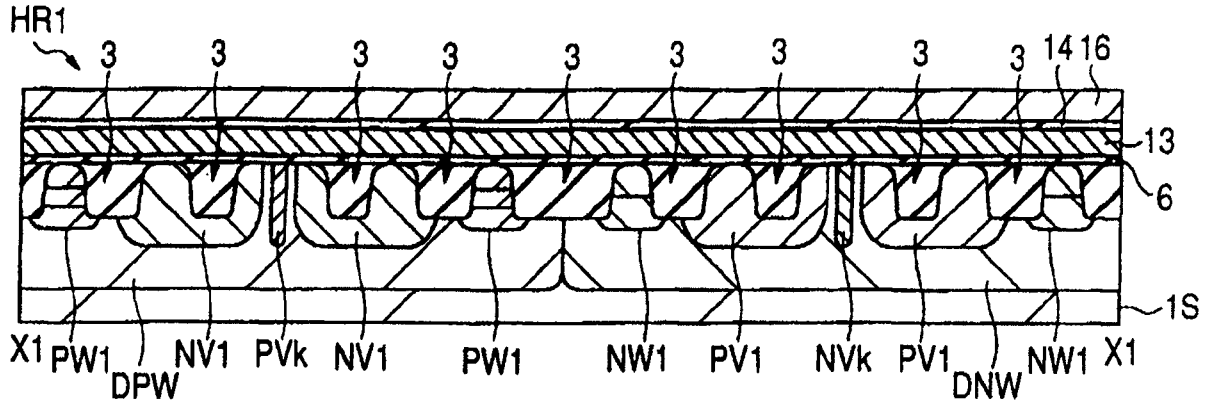

HR1
3
3
3
3
3
3
3
3
3
14
16
13
6
1S
X1
PW1
DPW
NV1
PVk
NV1
PW1
NW1
PV1
NVk
PV1
DNW
NW1
X1

图 46

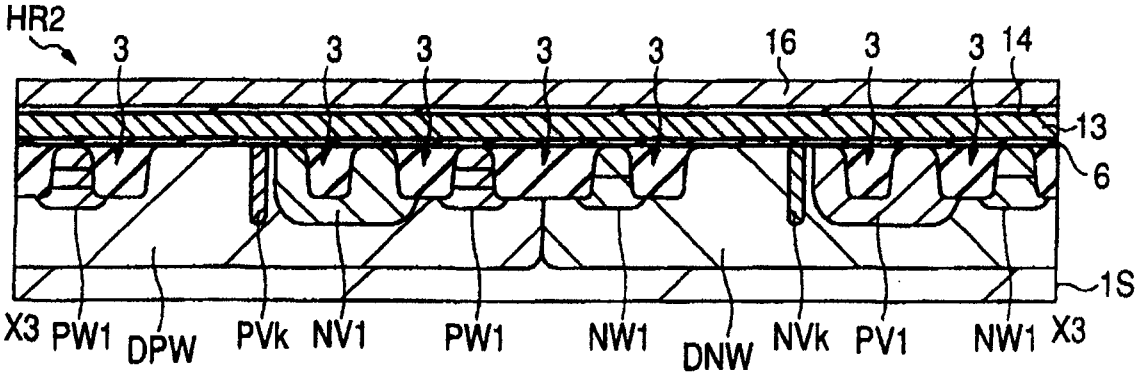

HR2
3
3
3
3
3
16
3
3
14
13
6
1S
X3
PW1
DPW
PVk
NV1
PW1
NW1
DNW
NVk
PV1
NW1
X3

图 47

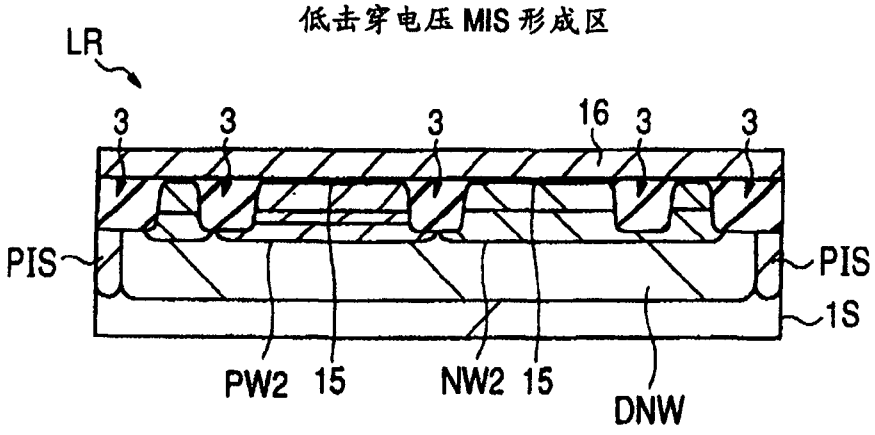

低击穿电压 MIS 形成区
LR
3
3
3
16
3
3
PIS
PIS
1S
PW2
15
NW2
15
DNW

图 48

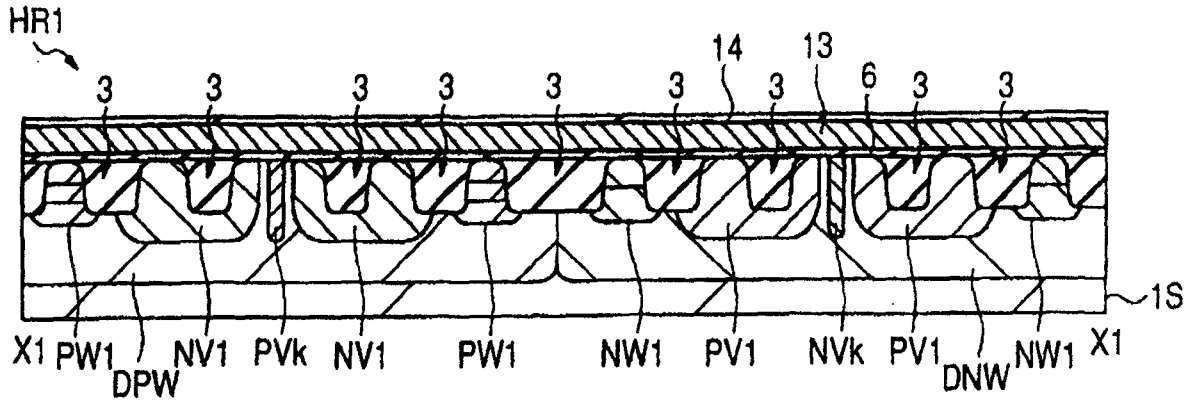

HR1
3
3
3
3
3
3
14
3
13
6
3
3
1S
X1
PW1
DPW
NV1
PVk
NV1
PW1
NW1
PV1
NVk
PV1
DNW
NW1
X1

图 49

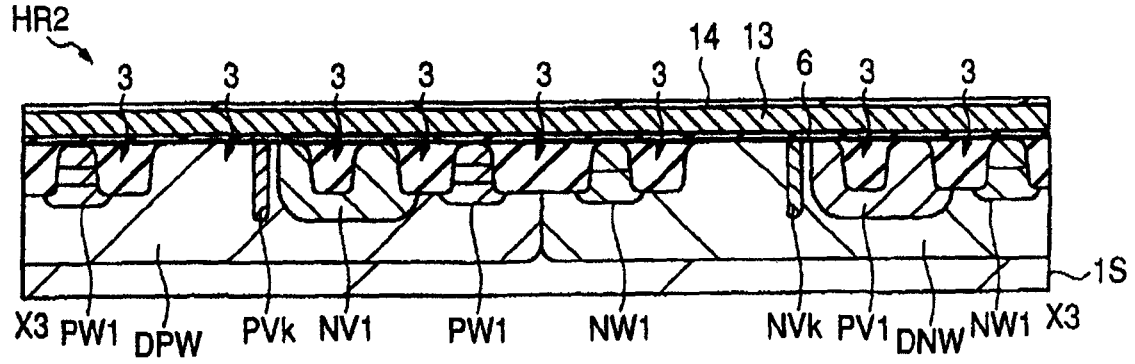

HR2
3
3
3
3
3
3
14
13
6
3
3
1S
X3
PW1
DPW
PVk
NV1
PW1
NW1
NVk
PV1
DNW
NW1
X3

图 50

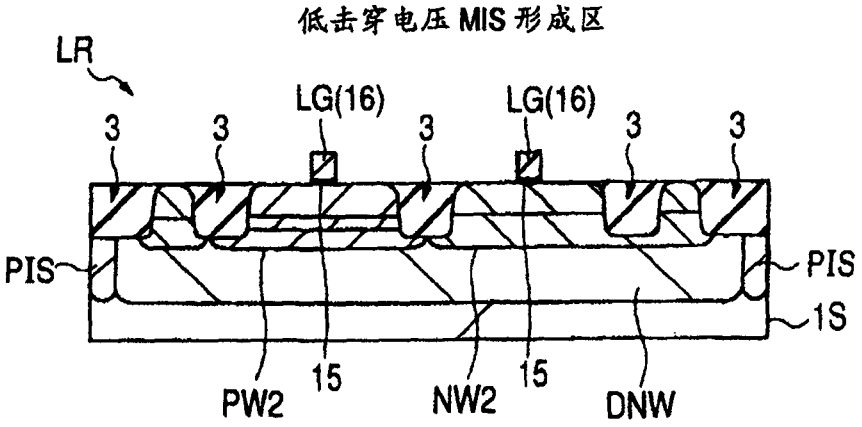

低击穿电压 MIS 形成区
LR
LG(16)
LG(16)
3
3
3
3
3
PIS
PIS
1S
PW2
15
NW2
15
DNW

图 51

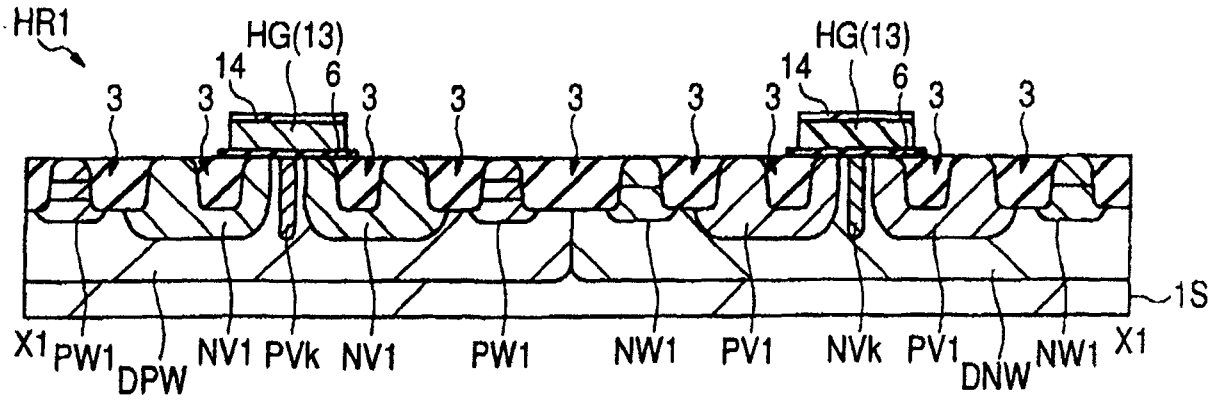

HR1
HG(13)
HG(13)
14
6
3
1S
X1
PW1
DPW
NV1
PVk
NV1
PW1
NW1
PV1
NVk
PV1
DNW
NW1
X1

图 52

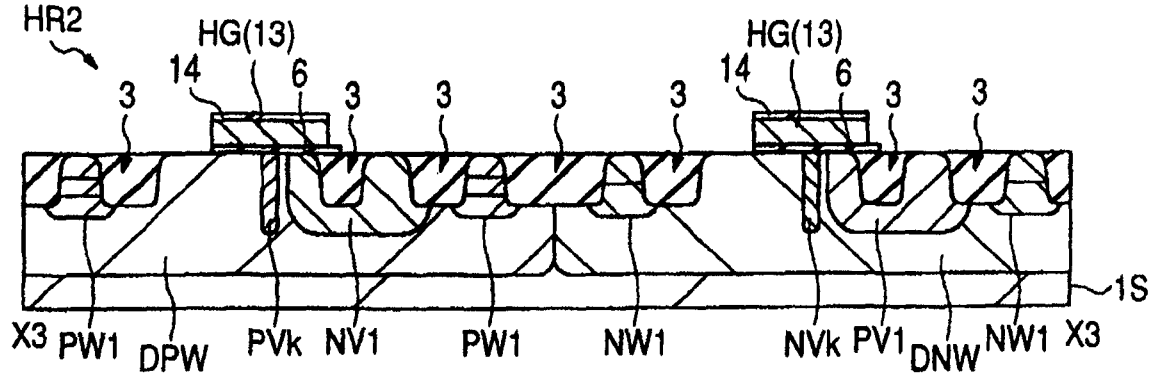

HR2
HG(13)
HG(13)
14
6
3
1S
X3
PW1
DPW
PVk
NV1
PW1
NW1
NVk
PV1
DNW
NW1
X3

图 53

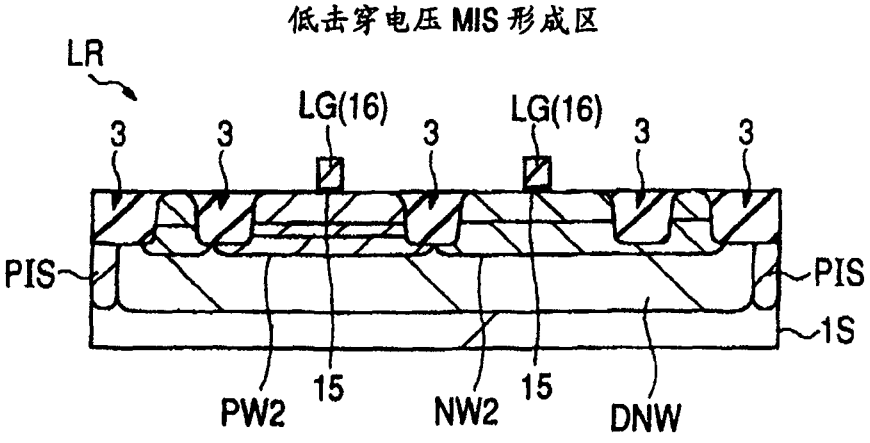

低击穿电压MIS形成区
LR
LG(16)
LG(16)
3
PIS
PIS
1S
PW2
15
NW2
15
DNW

图 54

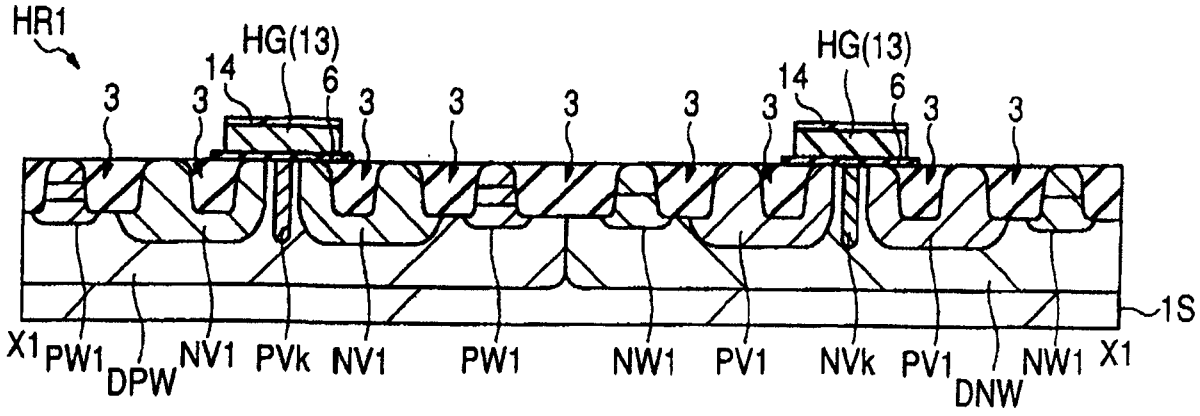


图 55

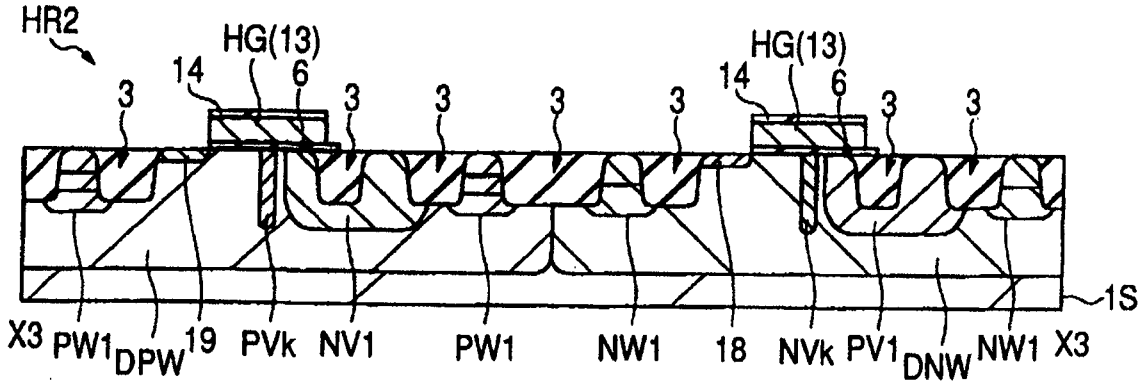


图 56

低击穿电压 MIS 形成区

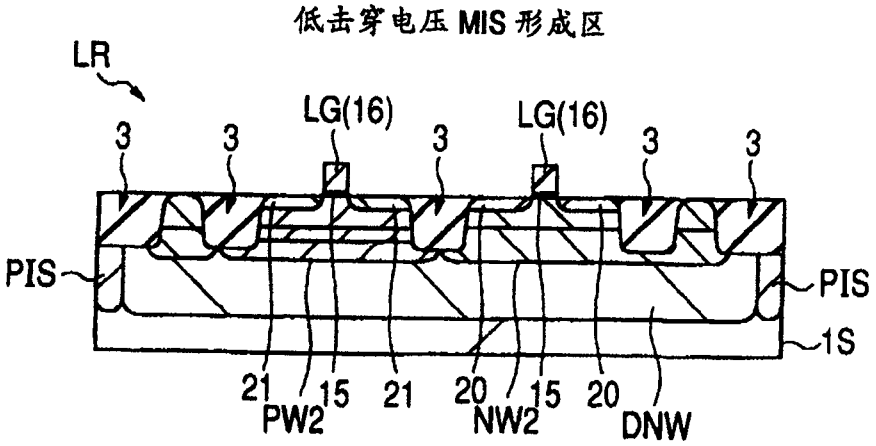


图 57

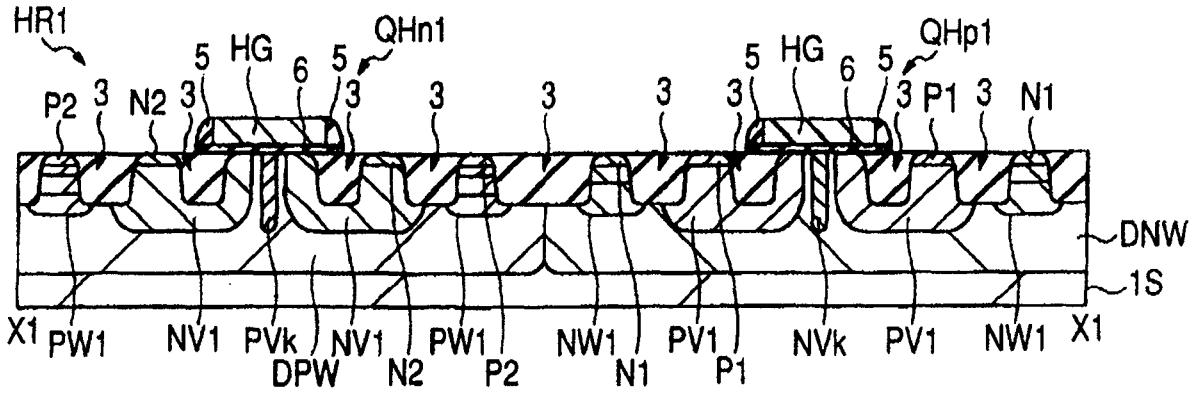


图 58

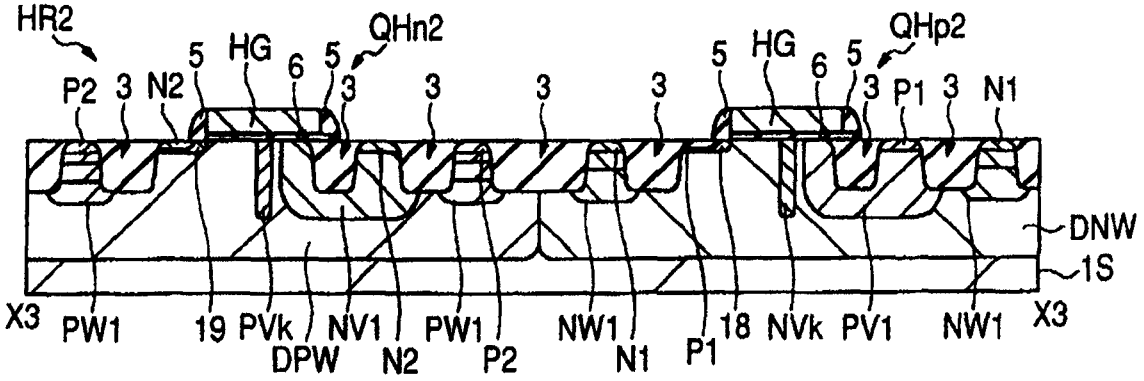


图 59

低击穿电压 MIS 形成区

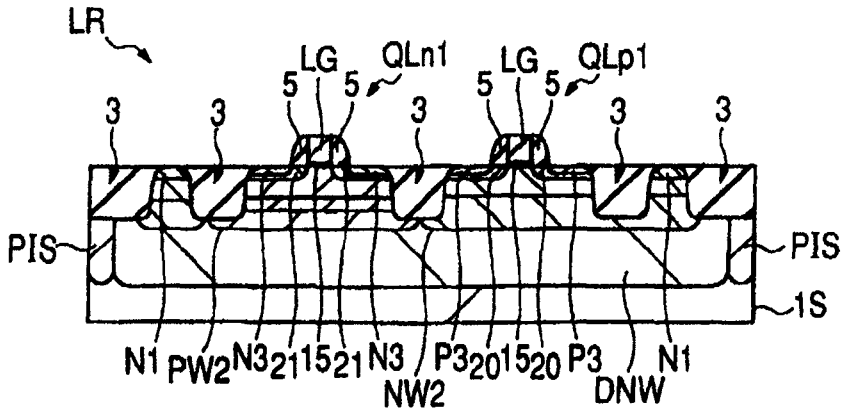


图 60

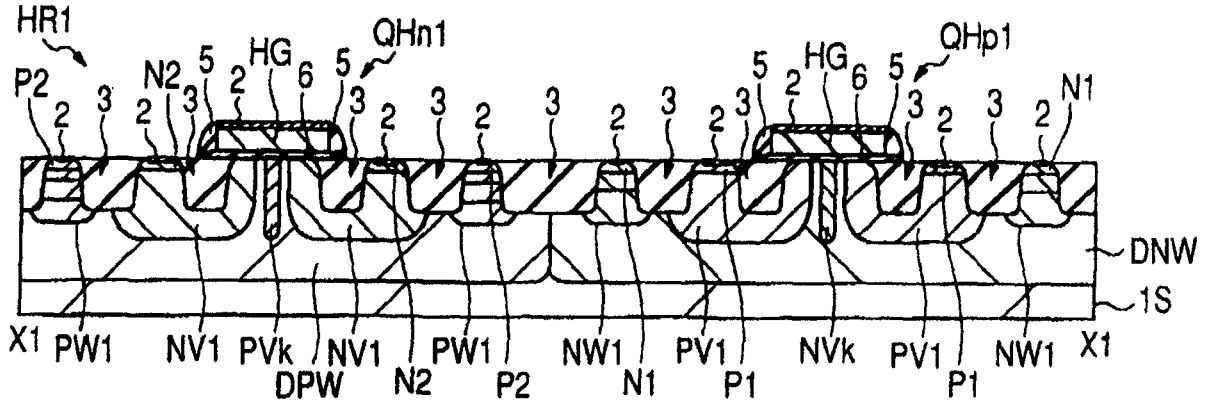


图 61

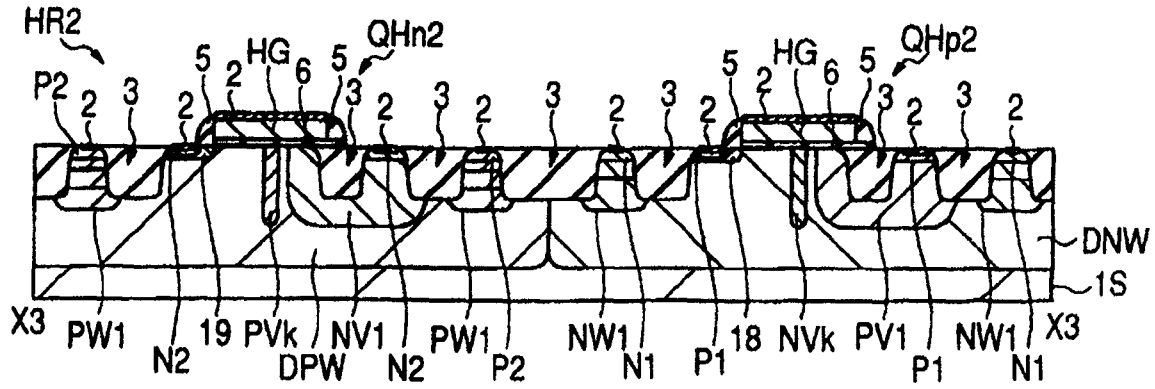


图 62

低击穿电压 MIS 形成区

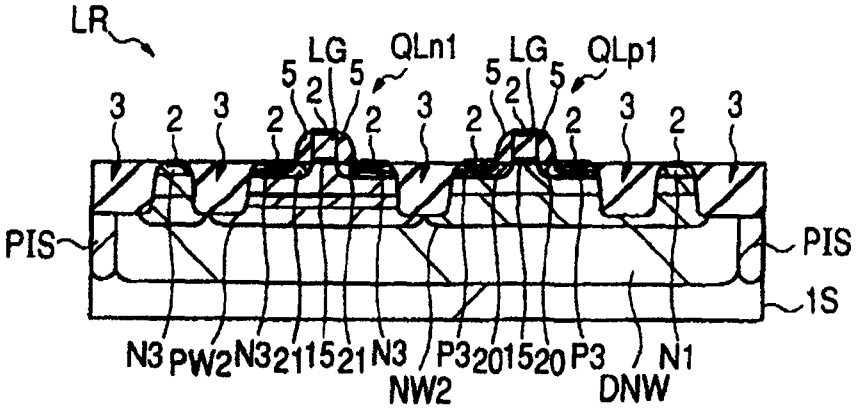


图 63

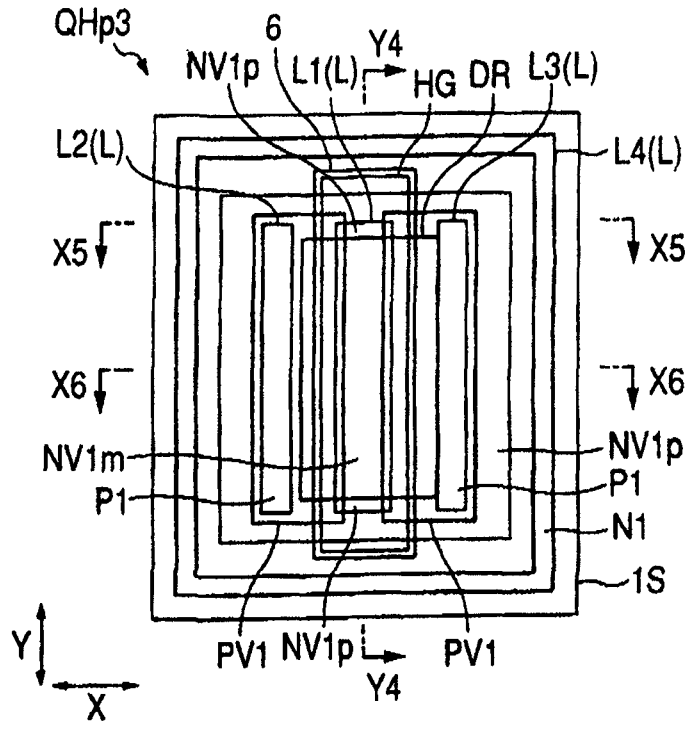

QHp3
6
NV1p
L1(L)
Y4
HG
DR
L3(L)
L2(L)
L4(L)
X5
X5
X6
X6
NV1m
NV1p
P1
P1
N1
1S
Y
X
PV1
NV1p
PV1
Y4

图 64

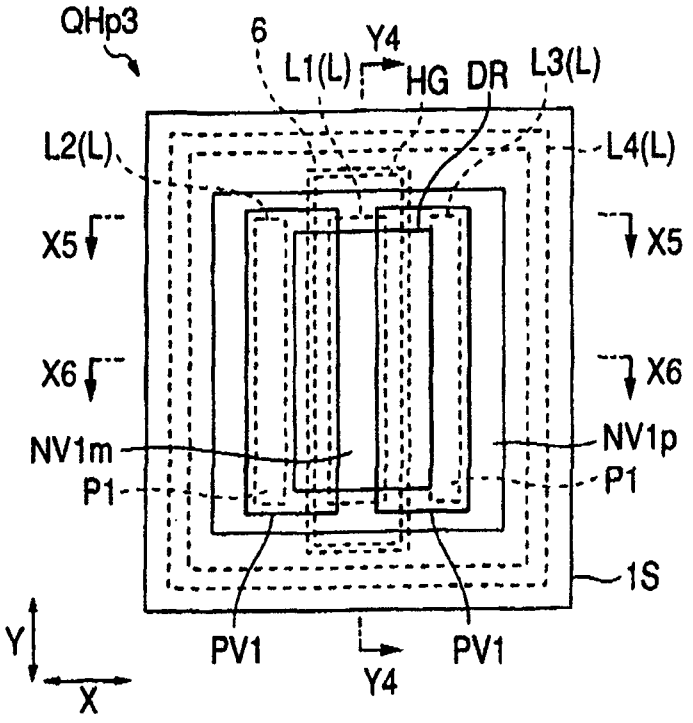

QHp3
6
Y4
L1(L)
HG
DR
L3(L)
L2(L)
L4(L)
X5
X5
X6
X6
NV1m
NV1p
P1
P1
1S
Y
X
PV1
PV1
Y4

图 65

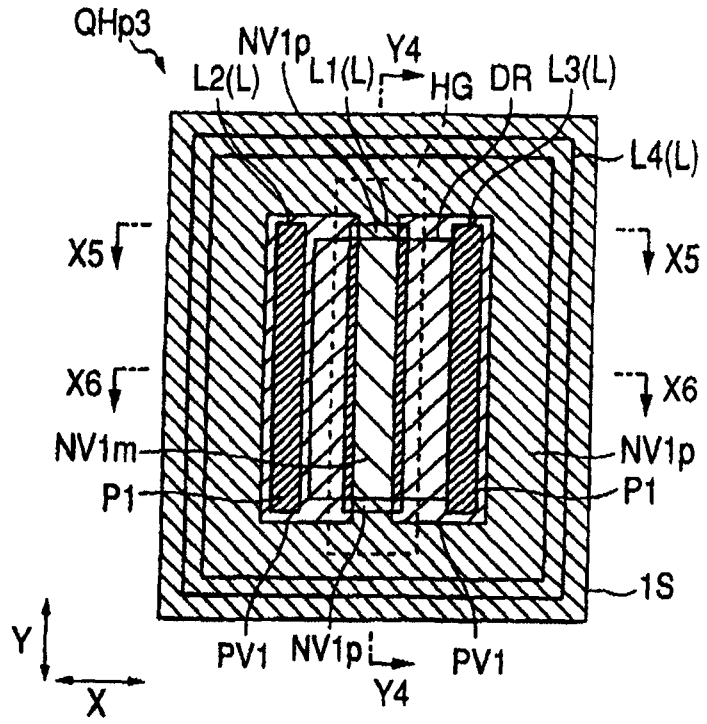

QHp3
NV1p
Y4
L2(L)
L1(L)
HG
DR
L3(L)
L4(L)
X5
X5
X6
X6
NV1m
NV1p
P1
P1
1S
Y
PV1
NV1p
PV1
X
Y4

图 66

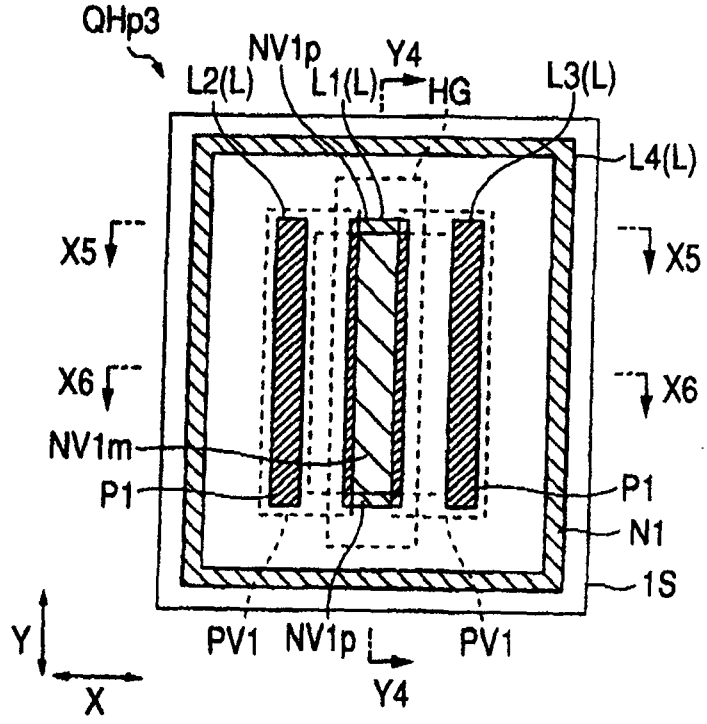

QHp3
NV1p
Y4
L2(L)
L1(L)
HG
L3(L)
L4(L)
X5
X5
X6
X6
NV1m
P1
P1
N1
1S
Y
PV1
NV1p
PV1
X
Y4

图 67

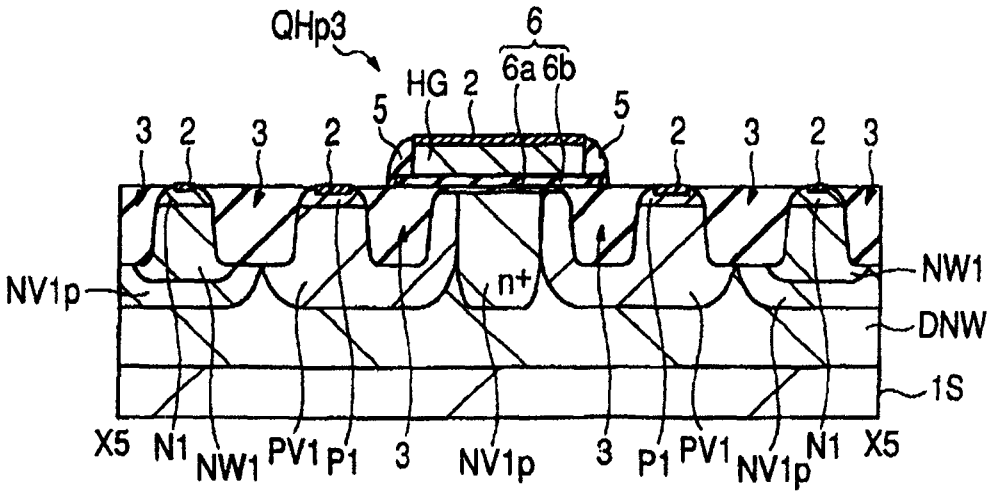

QHp3
6
6a 6b
HG 2
5
3 2 3 2
5
2 3 2 3
NV1p
n+
NW1
DNW
1S
X5 N1 NW1 PV1 P1 3 NV1p 3 P1 PV1 NV1p N1 X5

图 68

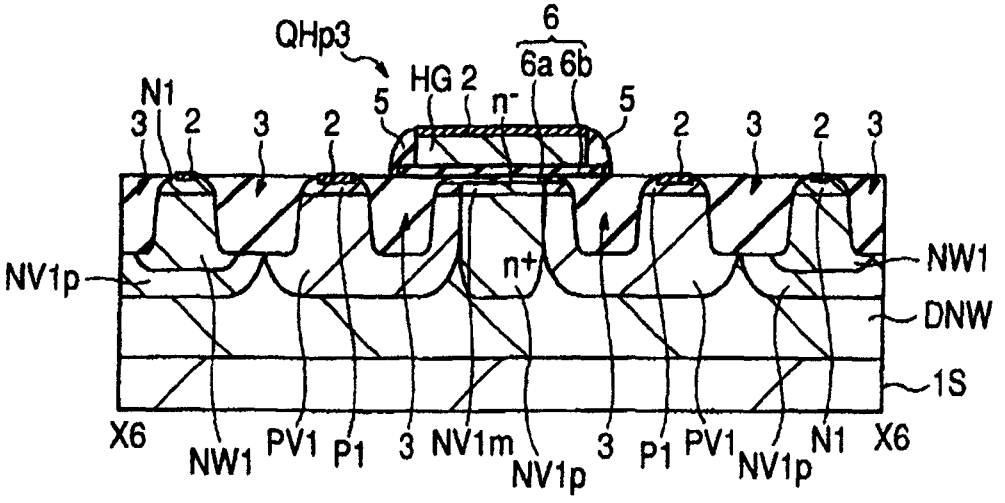

QHp3
6
6a 6b
HG 2
N1
5
n-
3 2 3 2
5
2 3 2 3
NV1p
n+
NW1
DNW
1S
X6 NW1 PV1 P1 3 NV1m NV1p 3 P1 PV1 NV1p N1 X6

图 69

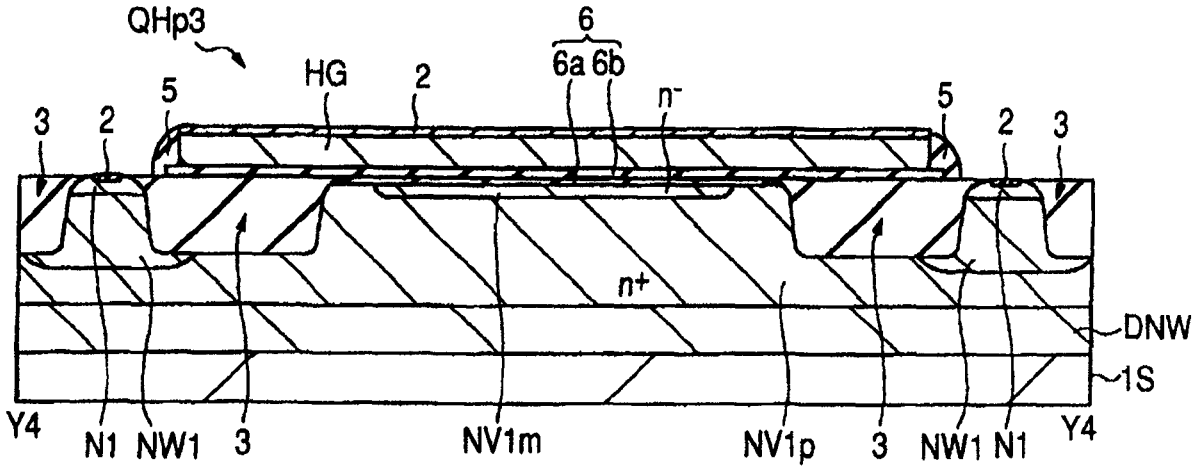


图 70

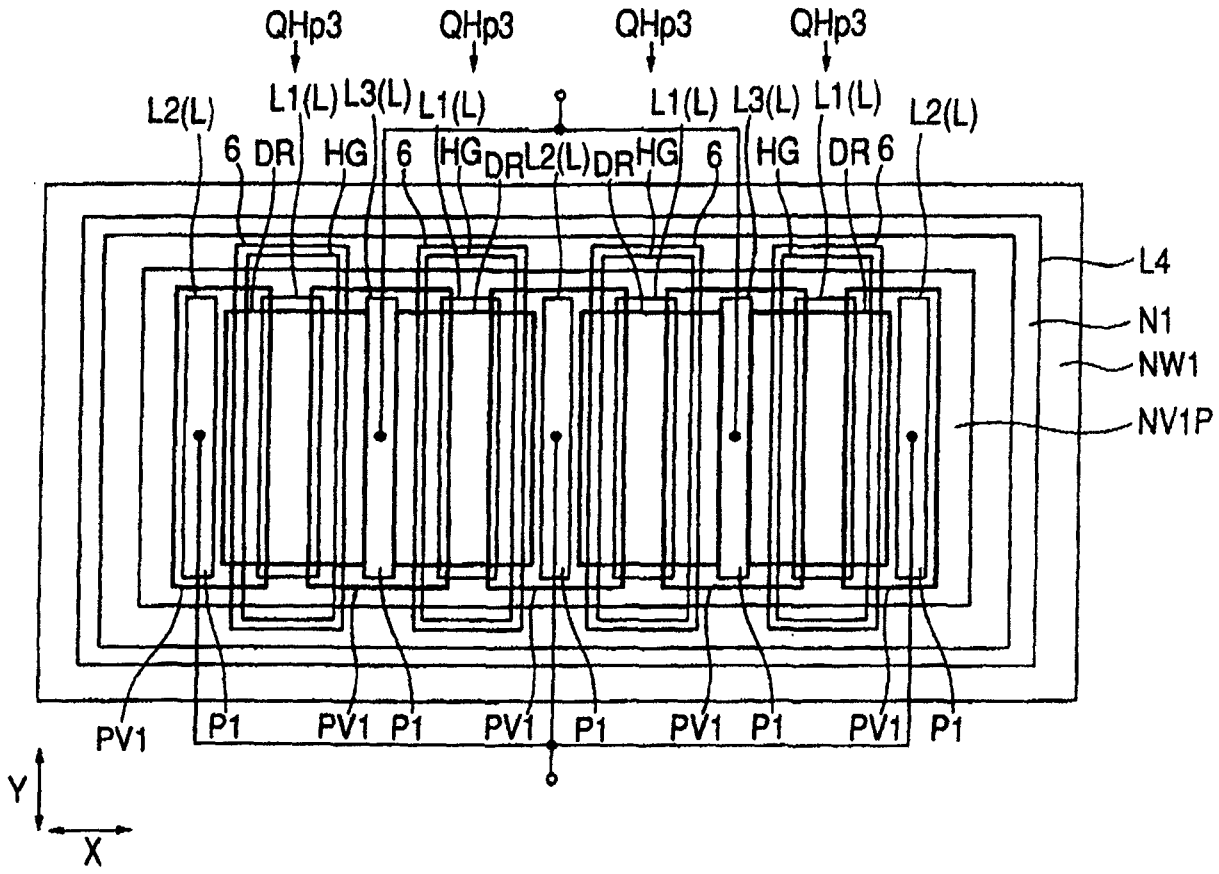

QHp3
QHp3
QHp3
QHp3
L2(L)
L1(L)
L3(L)
L1(L)
L1(L)
L3(L)
L1(L)
L2(L)
6
DR
HG
6
HG
DR
L2(L)
DR
HG
6
HG
DR
6
L4
N1
NW1
NV1P
PV1
P1
PV1
P1
PV1
P1
PV1
P1
PV1
P1
Y
X

图 71

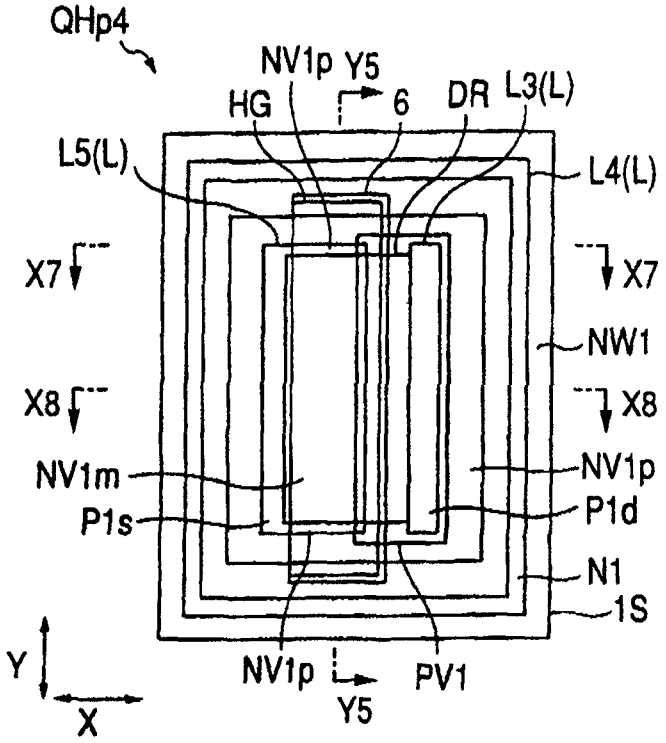

QHp4
NV1p
Y5
HG
6
DR
L3(L)
L5(L)
L4(L)
X7
X7
NW1
X8
X8
NV1m
NV1p
P1s
P1d
N1
1S
Y
NV1p
PV1
X
Y5

图 72

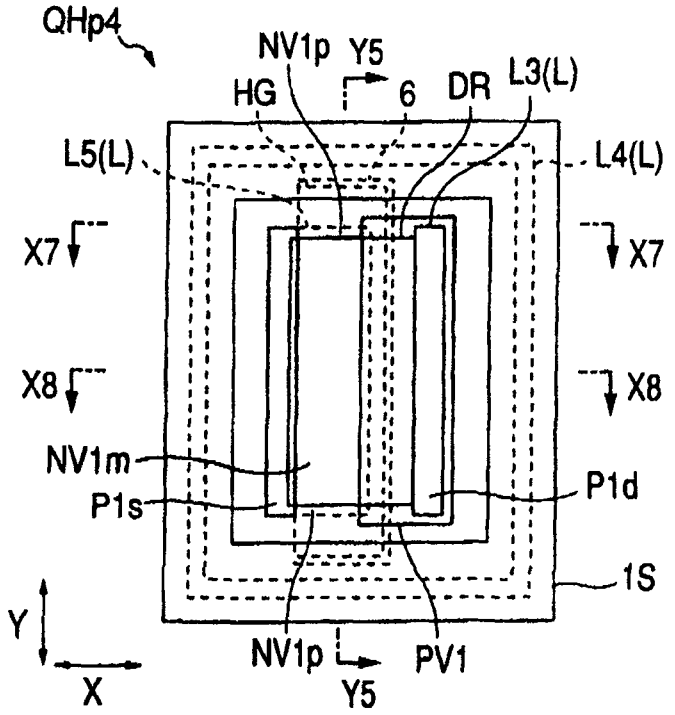

QHp4
NV1p
Y5
HG
6
DR
L3(L)
L5(L)
L4(L)
X7
X7
X8
X8
NV1m
P1s
P1d
1S
Y
NV1p
PV1
X
Y5

图 73

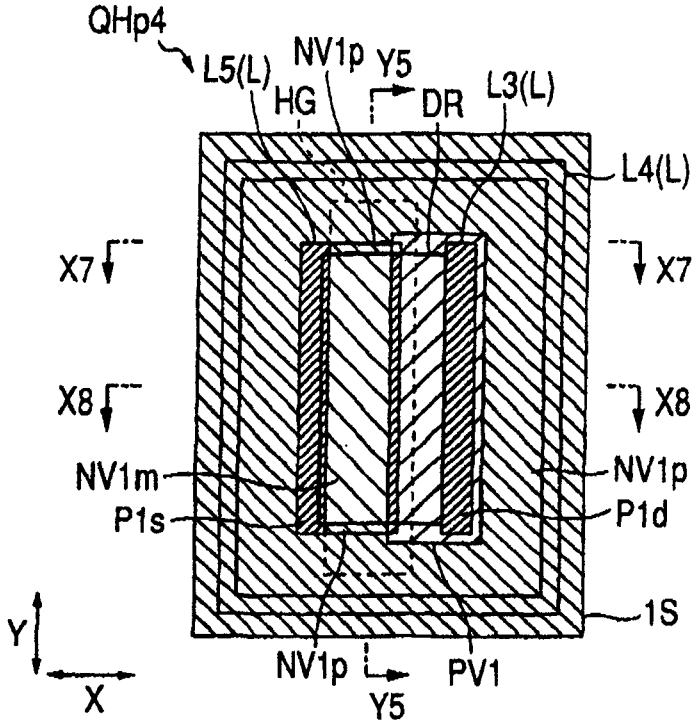

QHp4
L5(L)
NV1p
Y5
HG
DR
L3(L)
L4(L)
X7
X7
X8
X8
NV1m
NV1p
P1s
P1d
1S
Y
X
NV1p
Y5
PV1
Y5

图 74

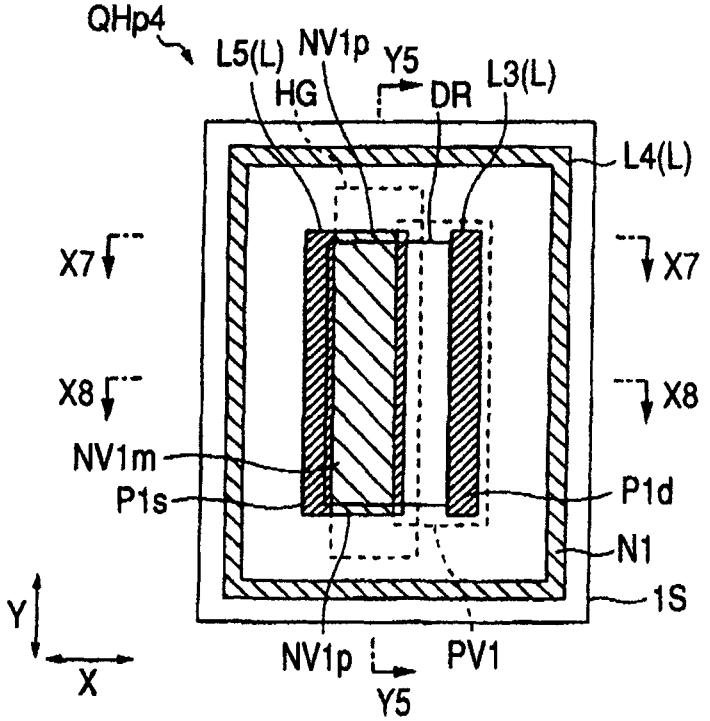

QHp4
L5(L)
NV1p
Y5
HG
DR
L3(L)
L4(L)
X7
X7
X8
X8
NV1m
P1s
P1d
N1
1S
Y
X
NV1p
PV1
Y5

图 75

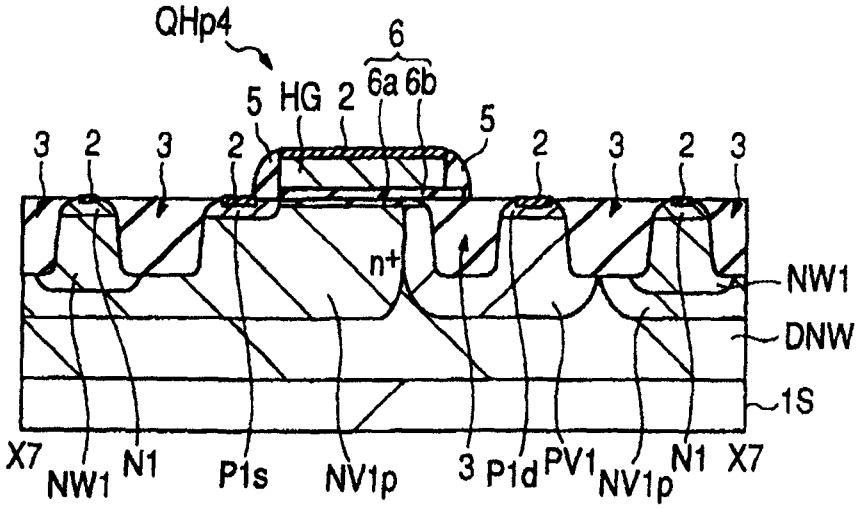

QHp4
6
5 HG 2 6a 6b
5
3 2 3 2
2 3 2 3
n+
NW1
DNW
1S
X7 NW1 N1 P1s NV1p 3 P1d PV1 NV1p N1 X7

图 76

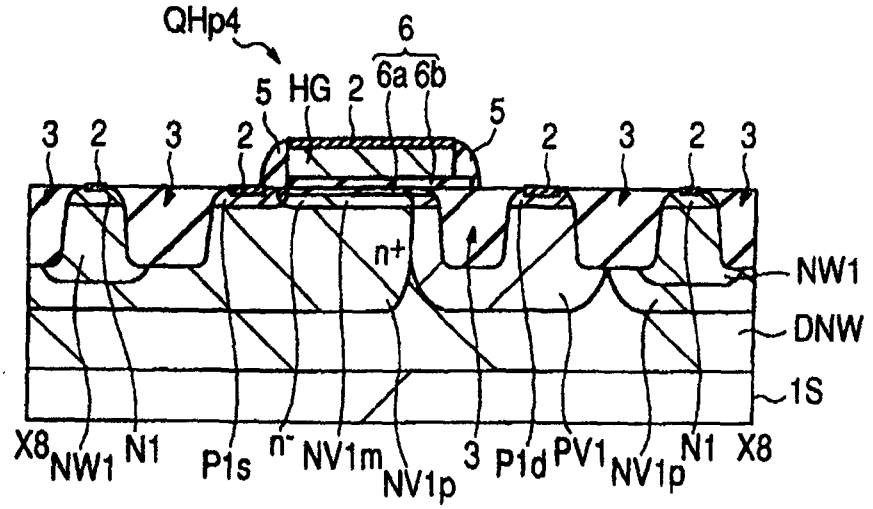

QHp4
6
5 HG 2 6a 6b
5
3 2 3 2
2 3 2 3
n+
NW1
DNW
1S
X8 NW1 N1 P1s n- NV1m NV1p 3 P1d PV1 NV1p N1 X8

图 77

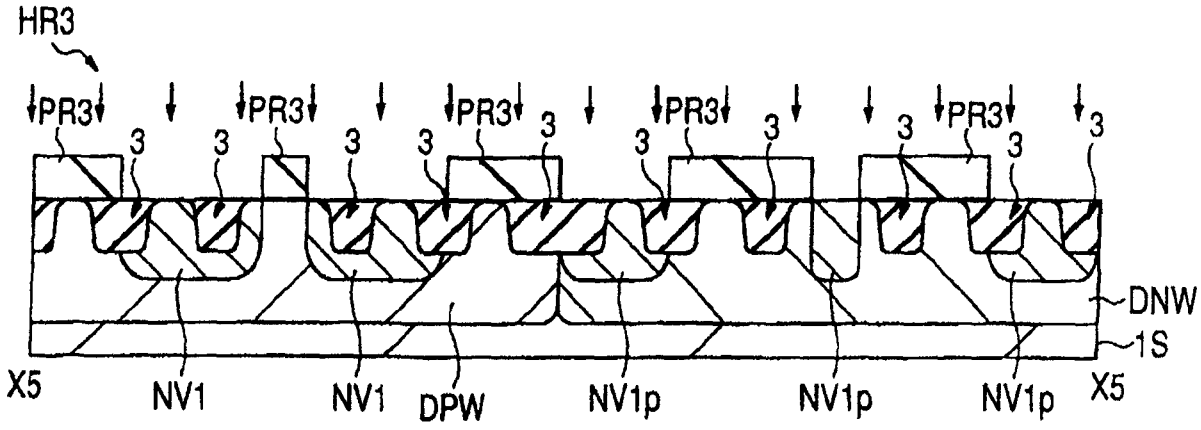


图 78

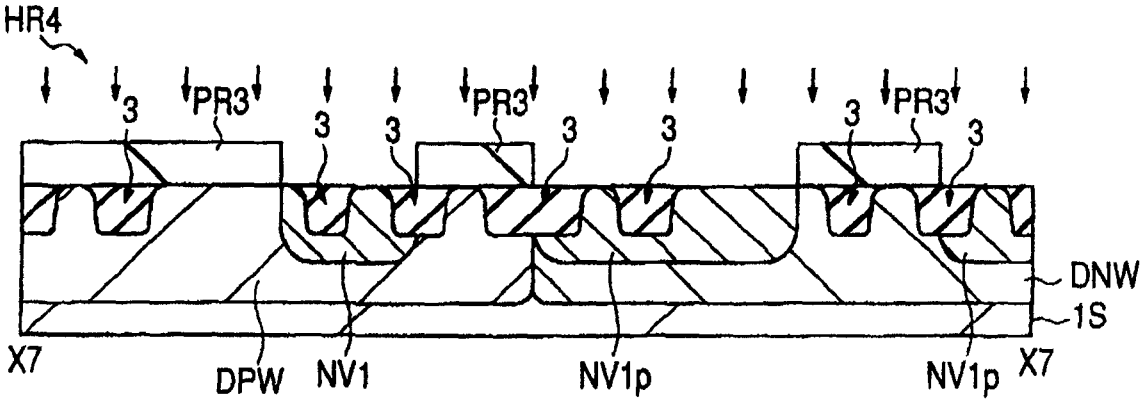


图 79

低击穿电压 MIS 形成区

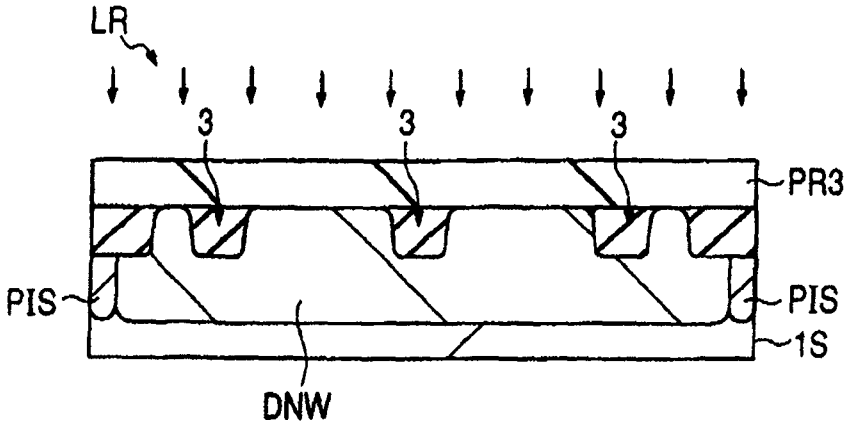


图 80

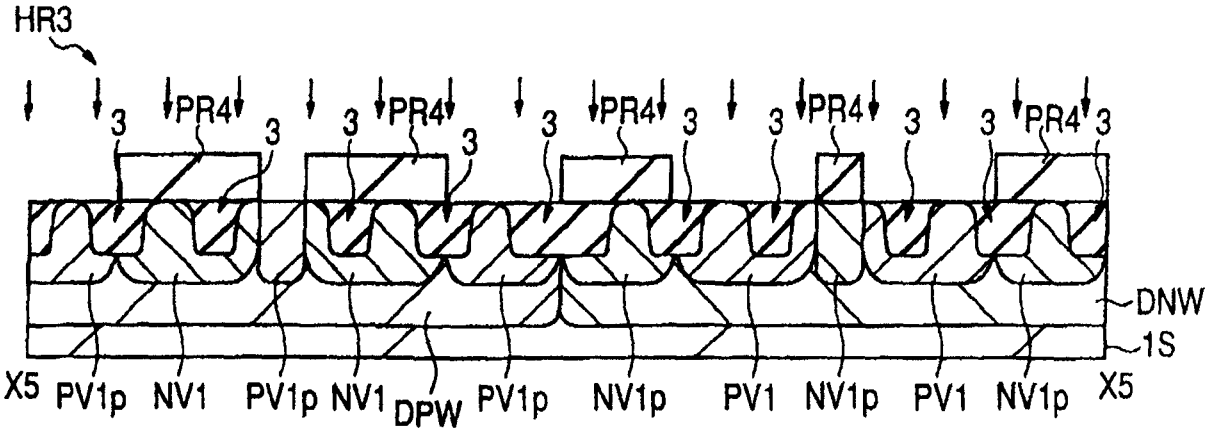


图 81

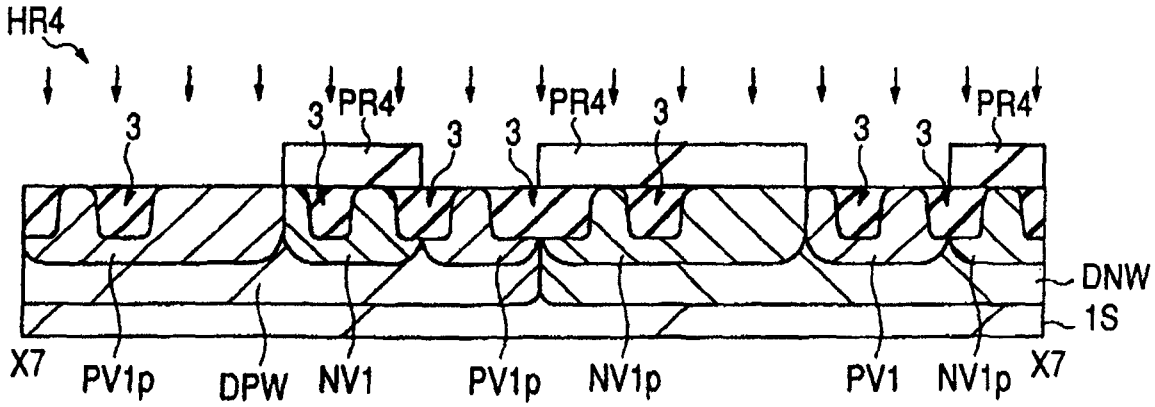


图 82

低击穿电压 MIS 形成区

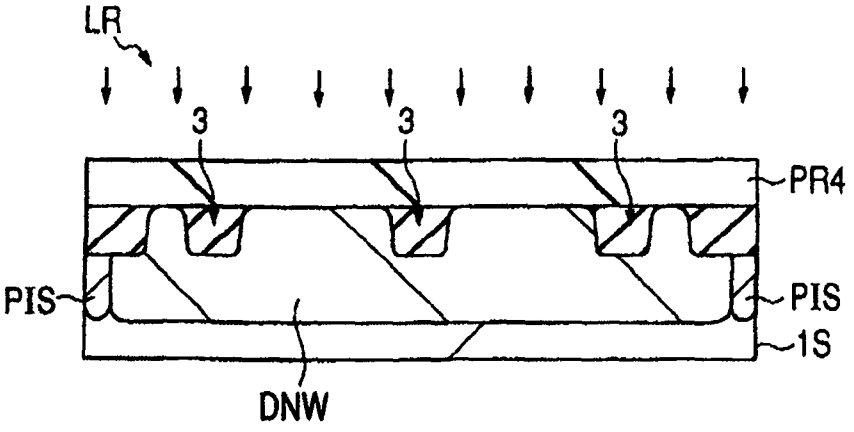


图 83

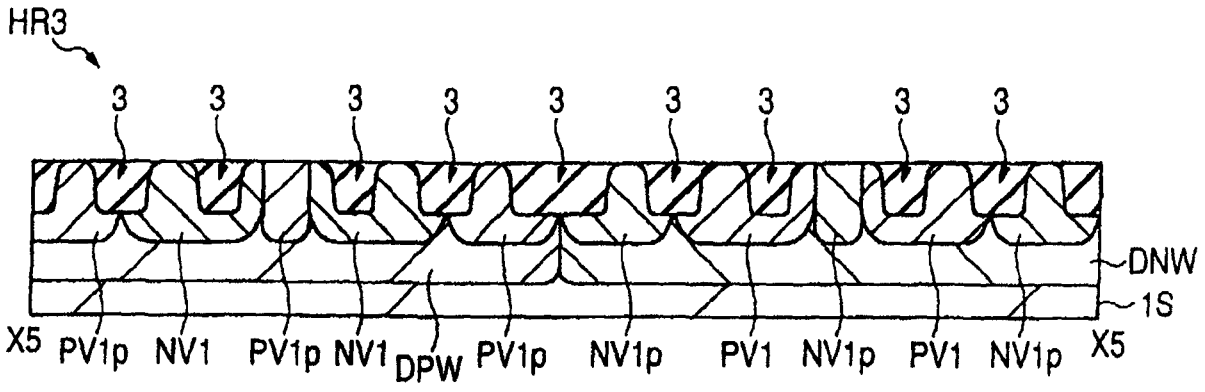

HR3
3
3
3
3
3
3
3
3
3
DNW
1S
X5
PV1p
NV1
PV1p
NV1
DPW
PV1p
NV1p
PV1
NV1p
PV1
NV1p
X5

图 84

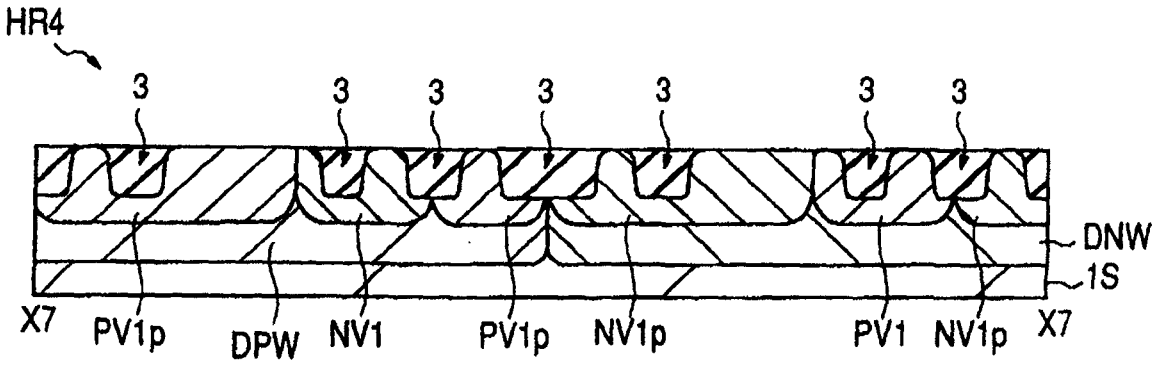

HR4
3
3
3
3
3
3
3
DNW
1S
X7
PV1p
DPW
NV1
PV1p
NV1p
PV1
NV1p
X7

图 85

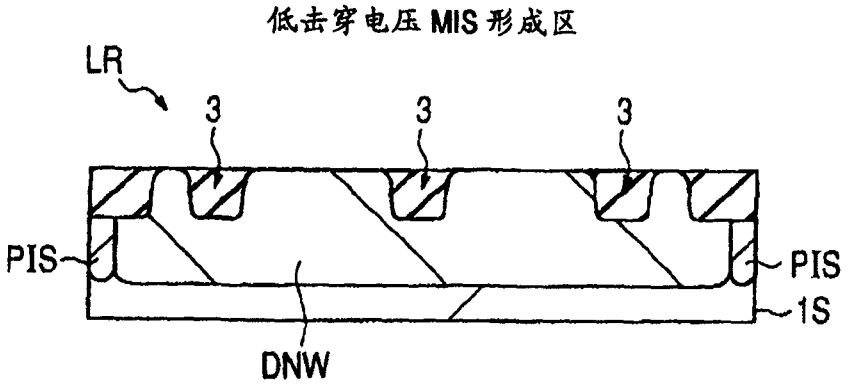

低击穿电压 MIS 形成区
LR
3
3
3
PIS
PIS
1S
DNW

图 86

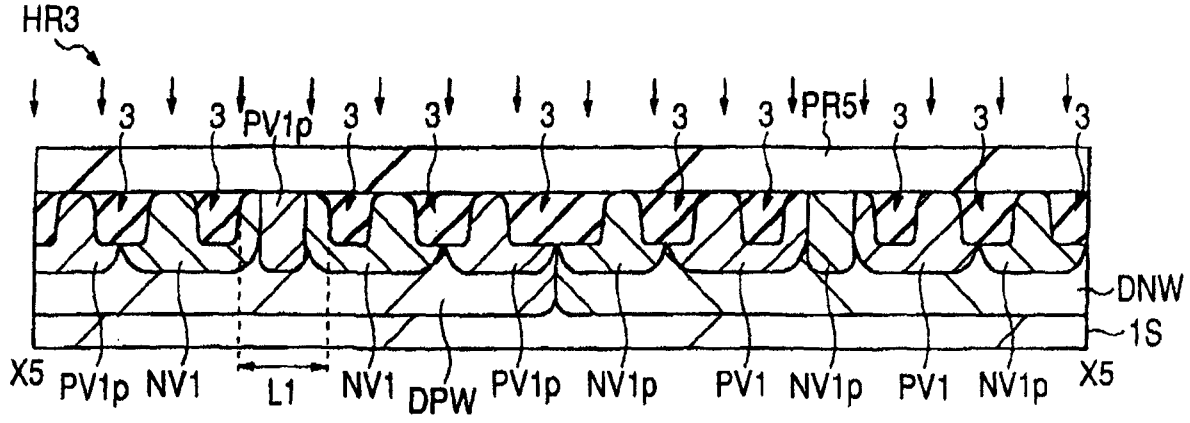

HR3
3
PV1p
PR5
DNW
1S
X5
PV1p
NV1
L1
NV1
DPW
PV1p
NV1p
PV1
NV1p
PV1
NV1p
X5

图 87

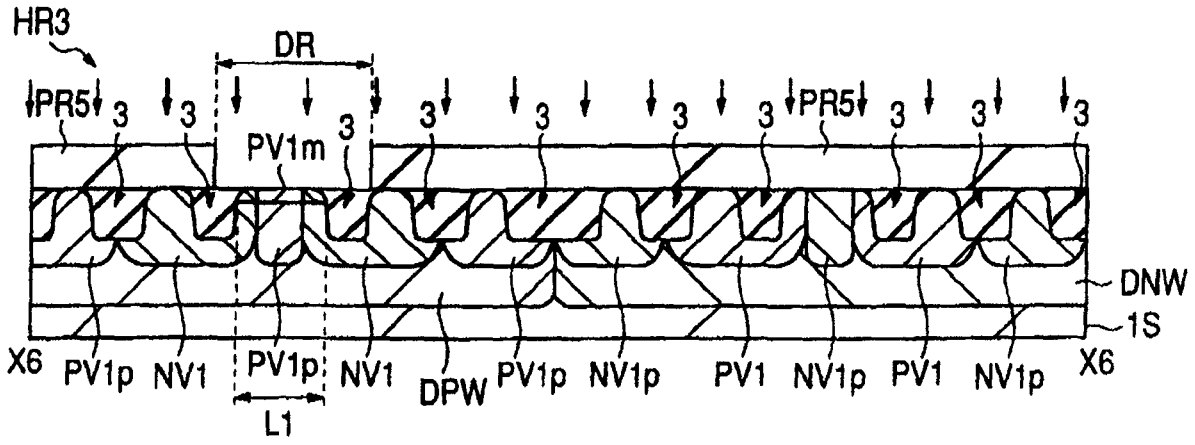

HR3
DR
PR5
3
PV1m
PR5
DNW
1S
X6
PV1p
NV1
PV1p
L1
NV1
DPW
PV1p
NV1p
PV1
NV1p
PV1
NV1p
X6

图 88

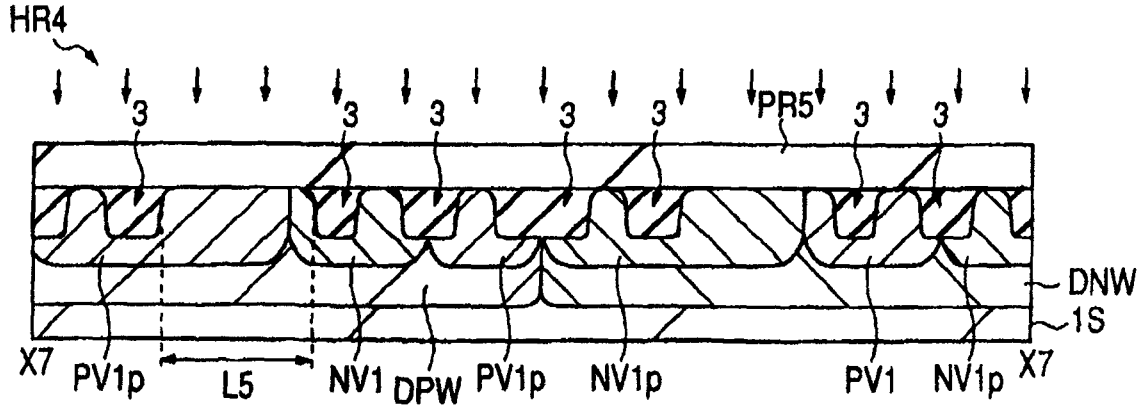

HR4
3
PR5
DNW
1S
X7
PV1p
L5
NV1
DPW
PV1p
NV1p
PV1
NV1p
X7

图 89

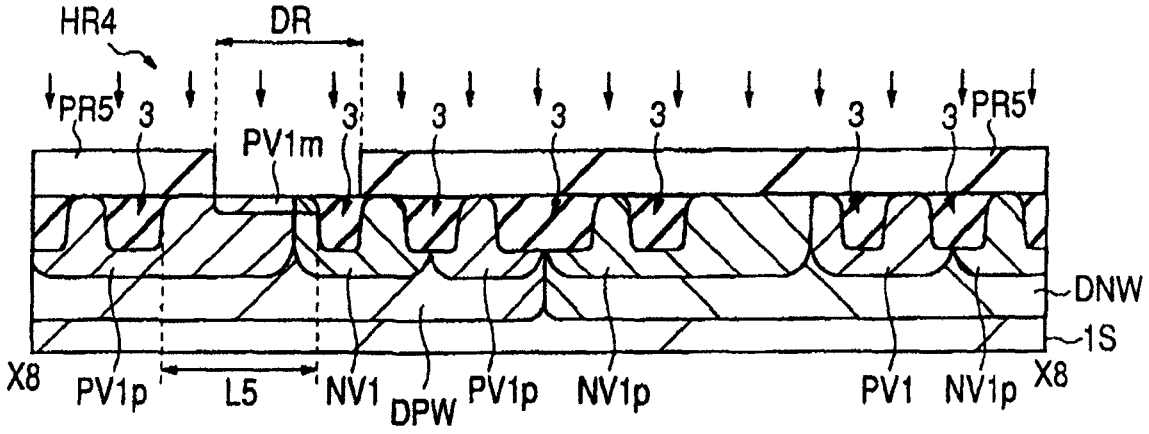


图 90

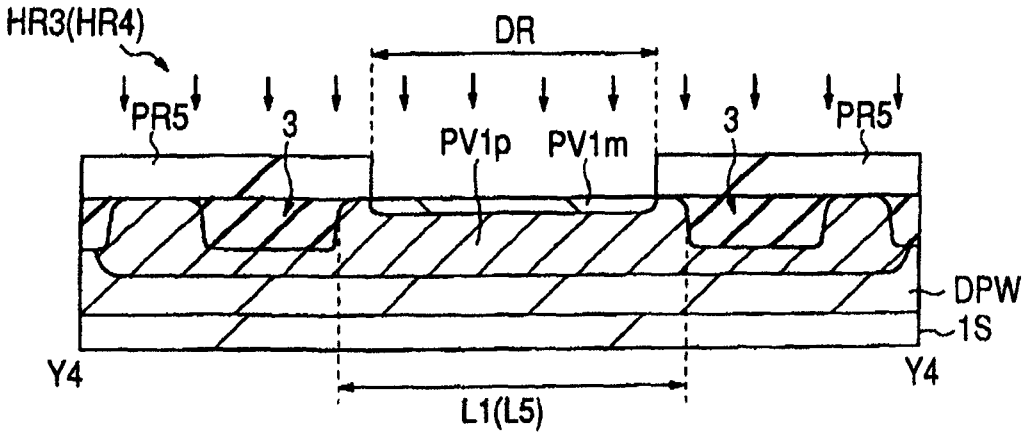


图 91

低击穿电压 MIS 形成区

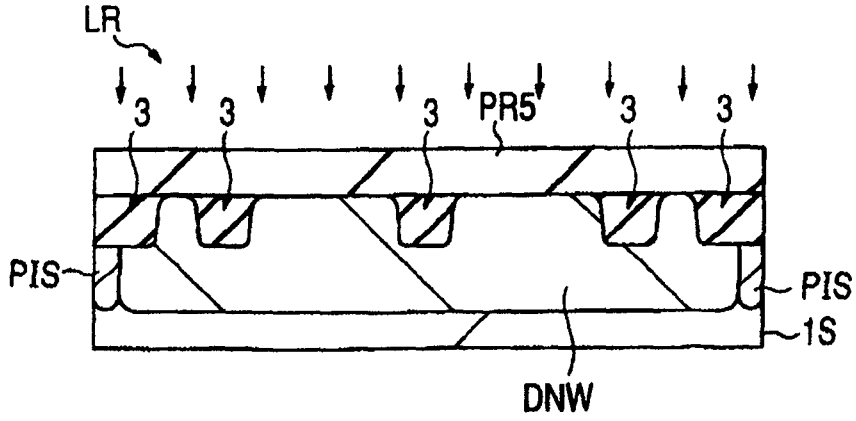


图 92

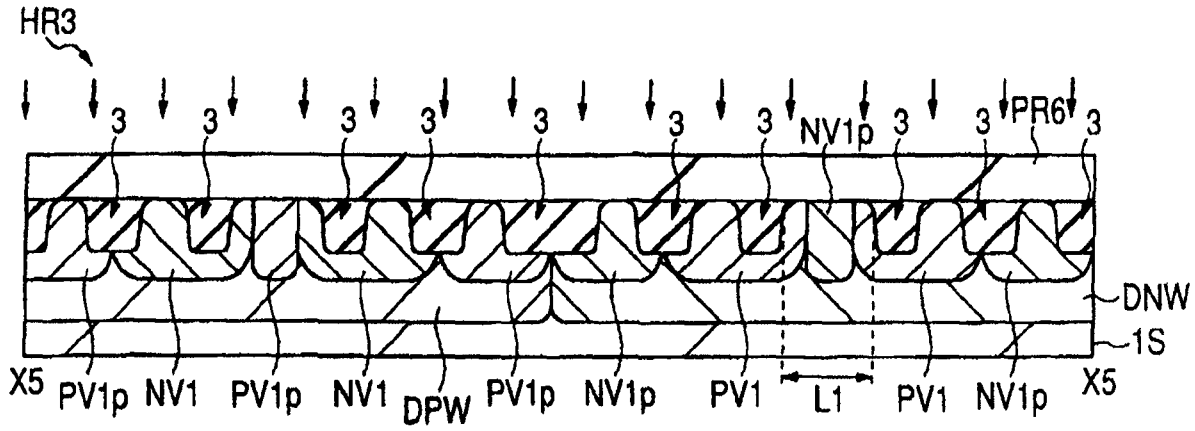

HR3
3
NV1p
PR6
DNW
1S
X5
PV1p
NV1
DPW
L1
PV1
X5

图 93

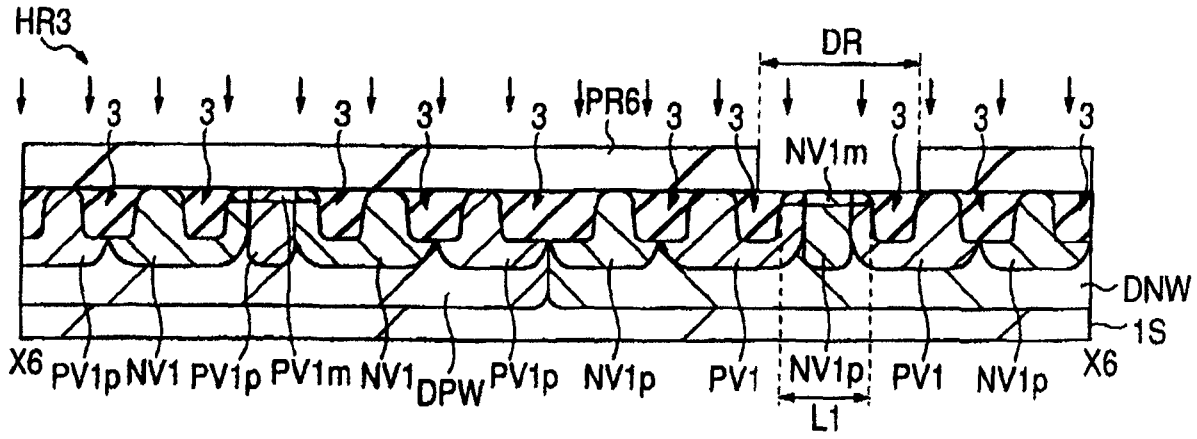

HR3
DR
PR6
NV1m
DNW
1S
X6
PV1p
NV1
PV1m
DPW
L1
X6

图 94

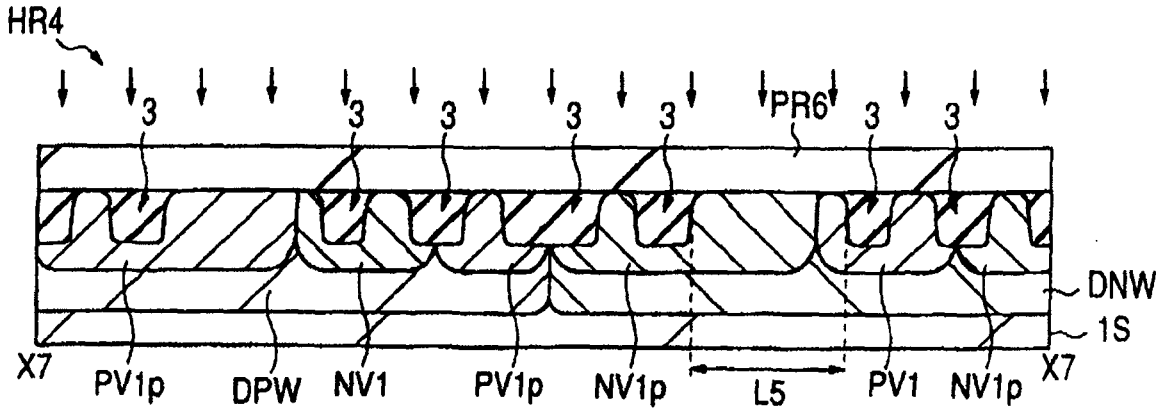

HR4
PR6
DNW
1S
X7
PV1p
DPW
NV1
NV1p
L5
X7

图 95

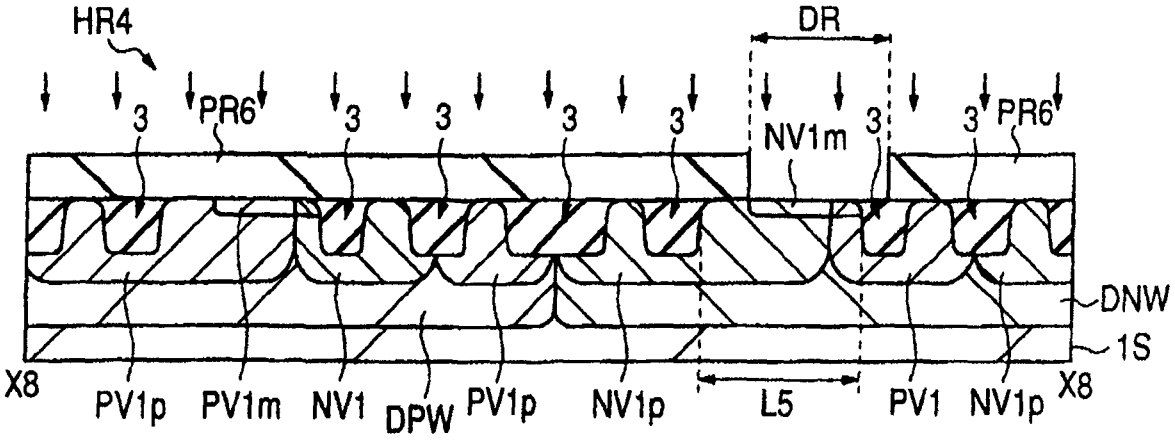

HR4
DR
3
PR6
NV1m
DNW
1S
X8
PV1p
PV1m
NV1
DPW
NV1p
L5
PV1

图 96

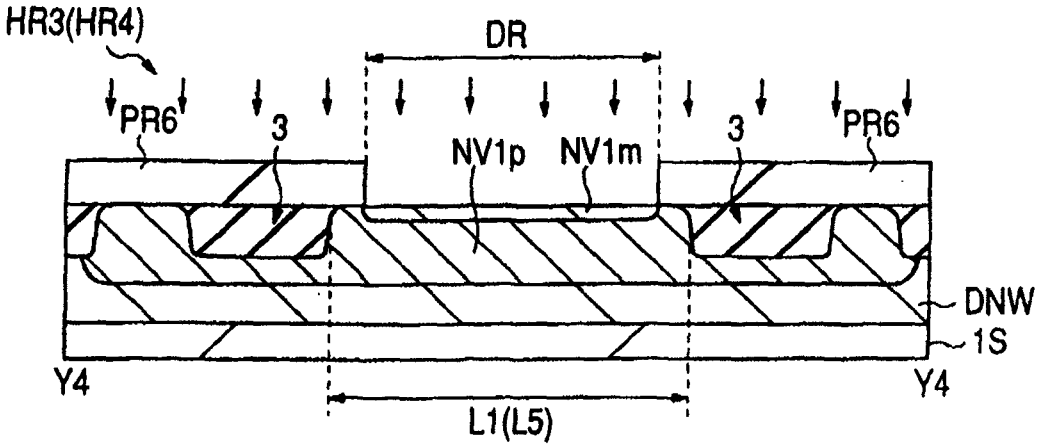

HR3(HR4)
DR
PR6
3
NV1p
NV1m
DNW
1S
Y4
L1(L5)

图 97

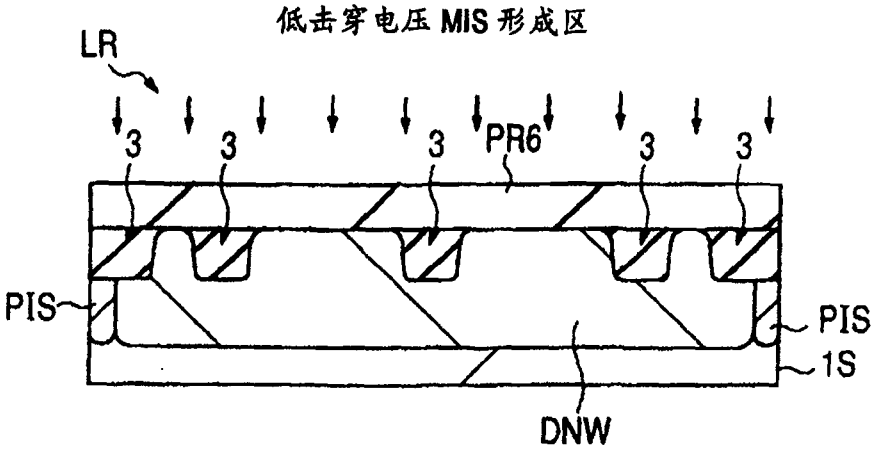

低击穿电压 MIS 形成区
LR
3
PR6
PIS
DNW
1S

图 98

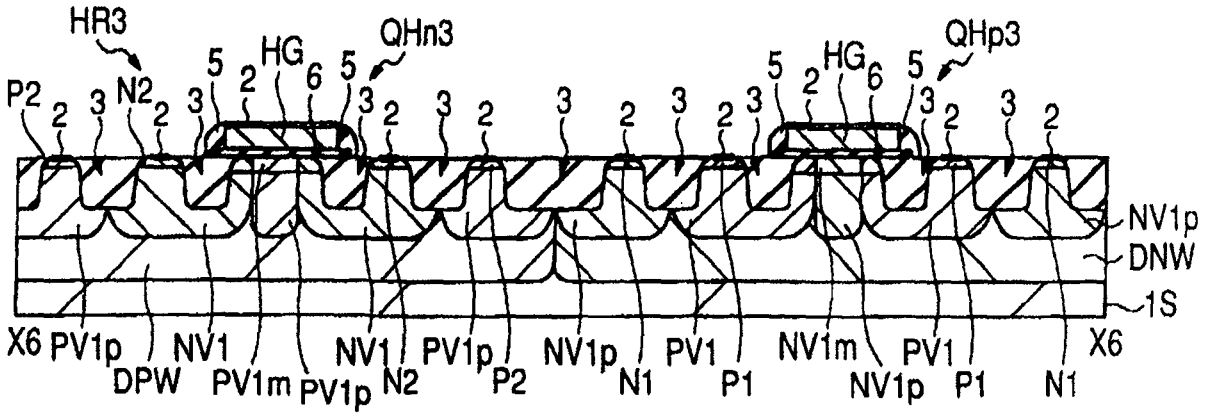


图 99

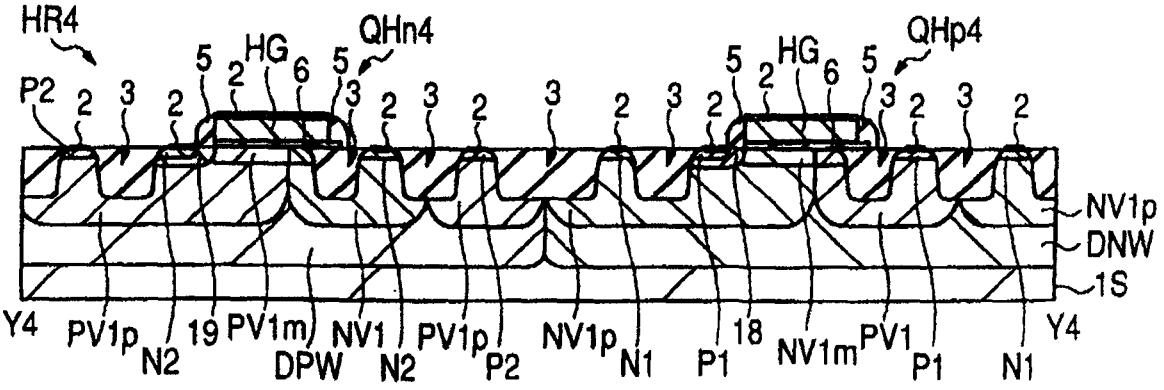


图 100

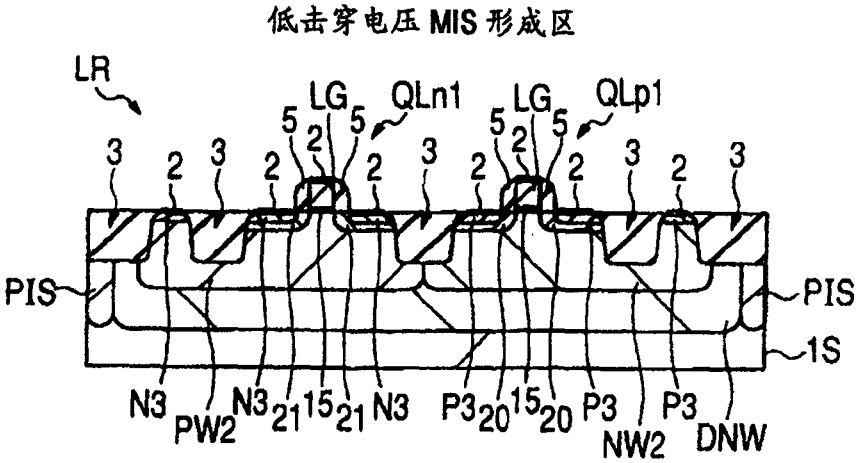


图 101

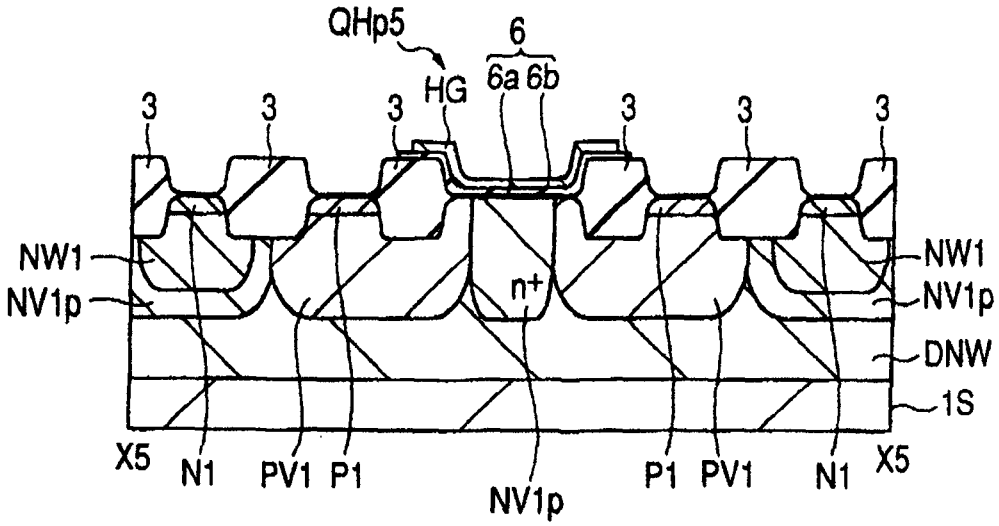

QHp5
6
6a 6b
HG
3
NW1
NV1p
n+
DNW
1S
X5
N1
PV1
P1
NV1p

图 102

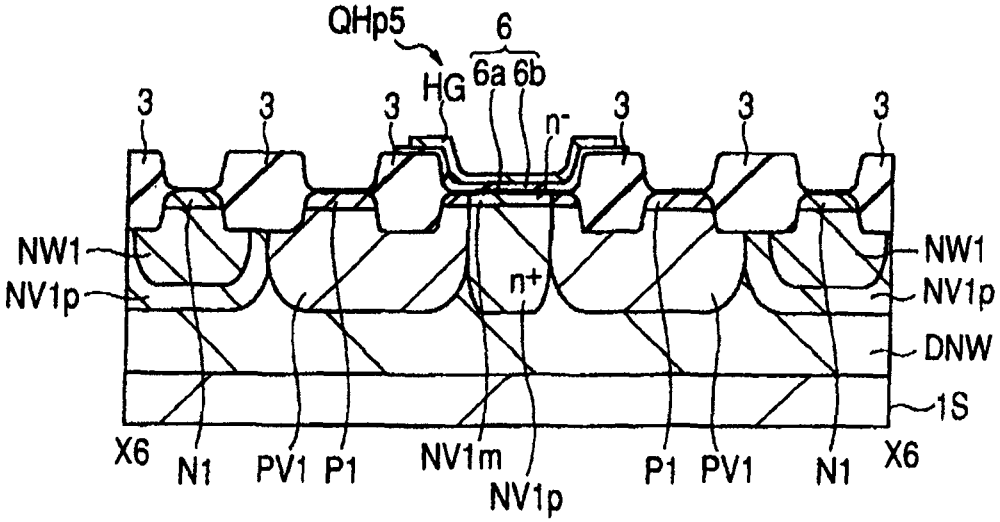

QHp5
6
6a 6b
HG
3
n-
NW1
NV1p
n+
DNW
1S
X6
N1
PV1
P1
NV1m
NV1p

图 103

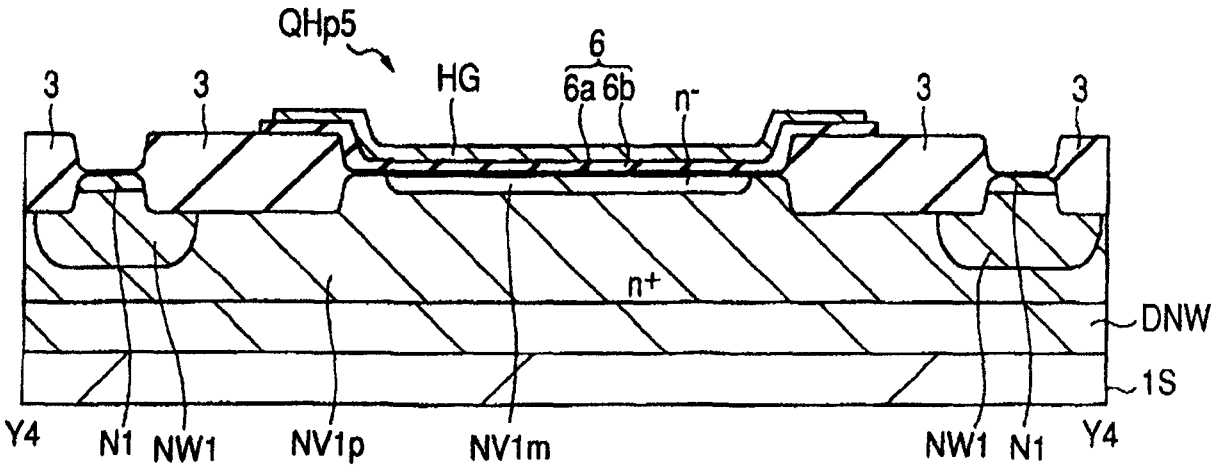

QHp5
6
HG
6a 6b
n-
3
3
3
3
n+
DNW
1S
Y4
N1
NW1
NV1p
NV1m
NW1
N1
Y4

图 104

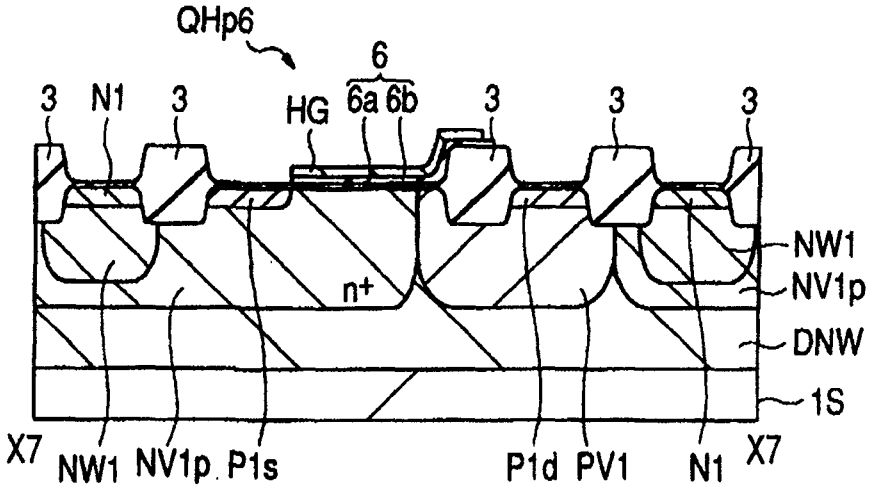

QHp6
6
3
N1
3
HG
6a 6b
3
3
3
NW1
NV1p
n+
DNW
1S
X7
NW1
NV1p
P1s
P1d
PV1
N1
X7

图 105

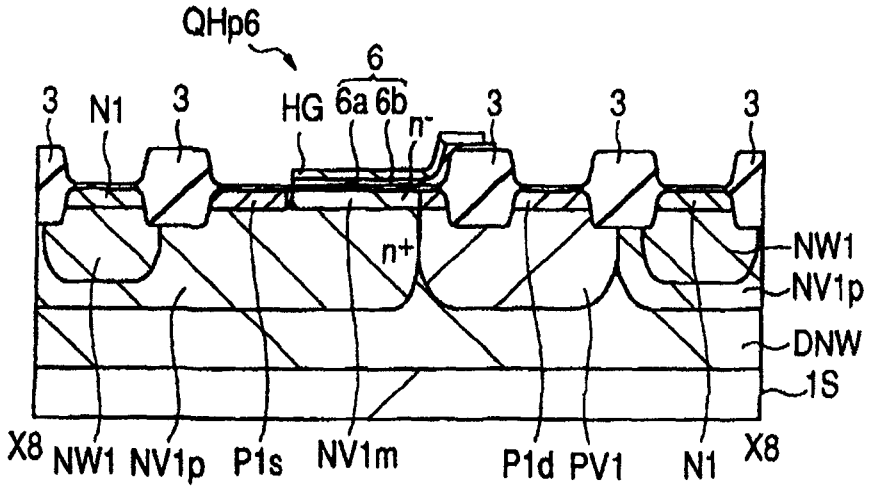

QHp6
6
3
N1
3
HG
6a
6b
n-
3
3
3
n+
NW1
NV1p
DNW
1S
X8
NW1
NV1p
P1s
NV1m
P1d
PV1
N1
X8

图 106

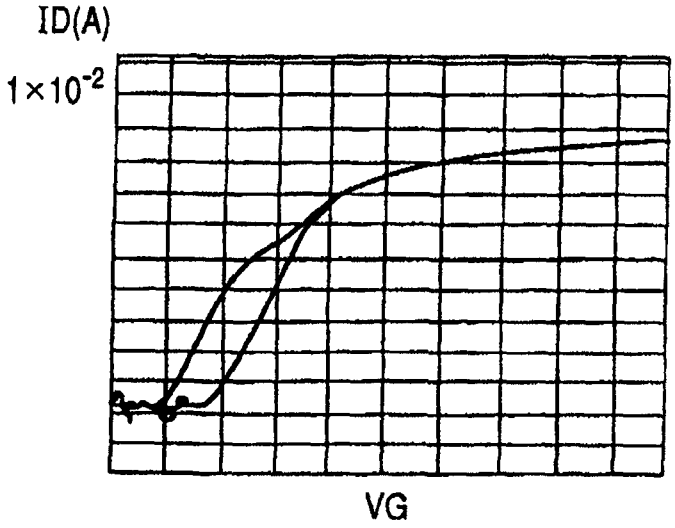


图 107

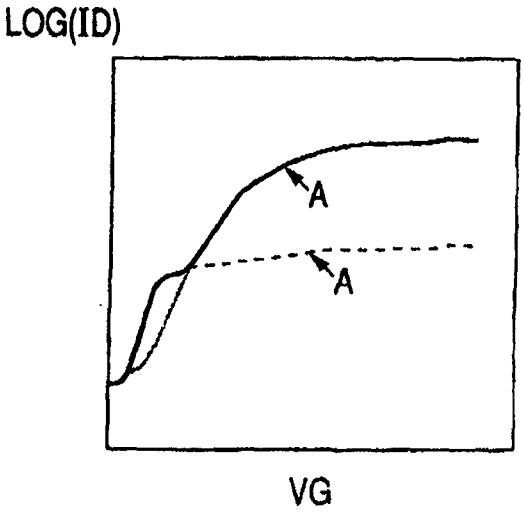


图 108

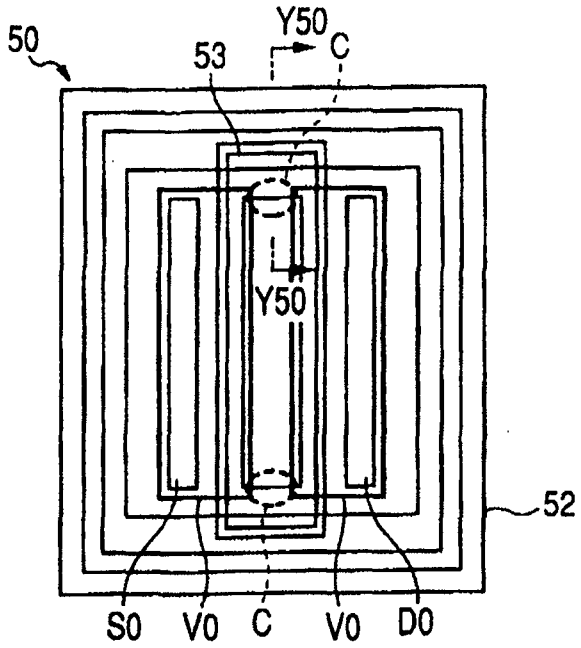


图 109

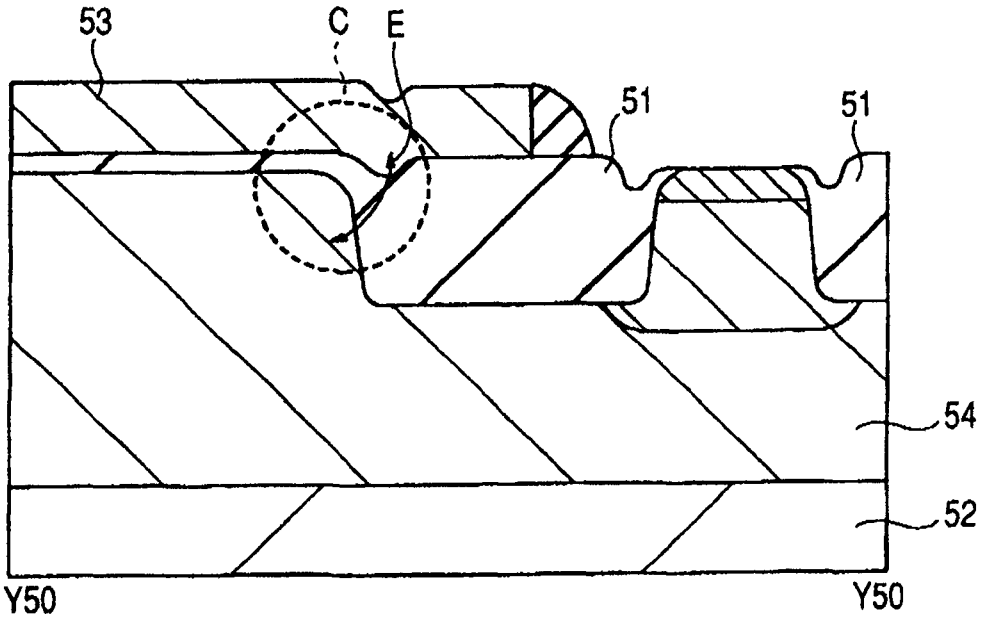


图 110

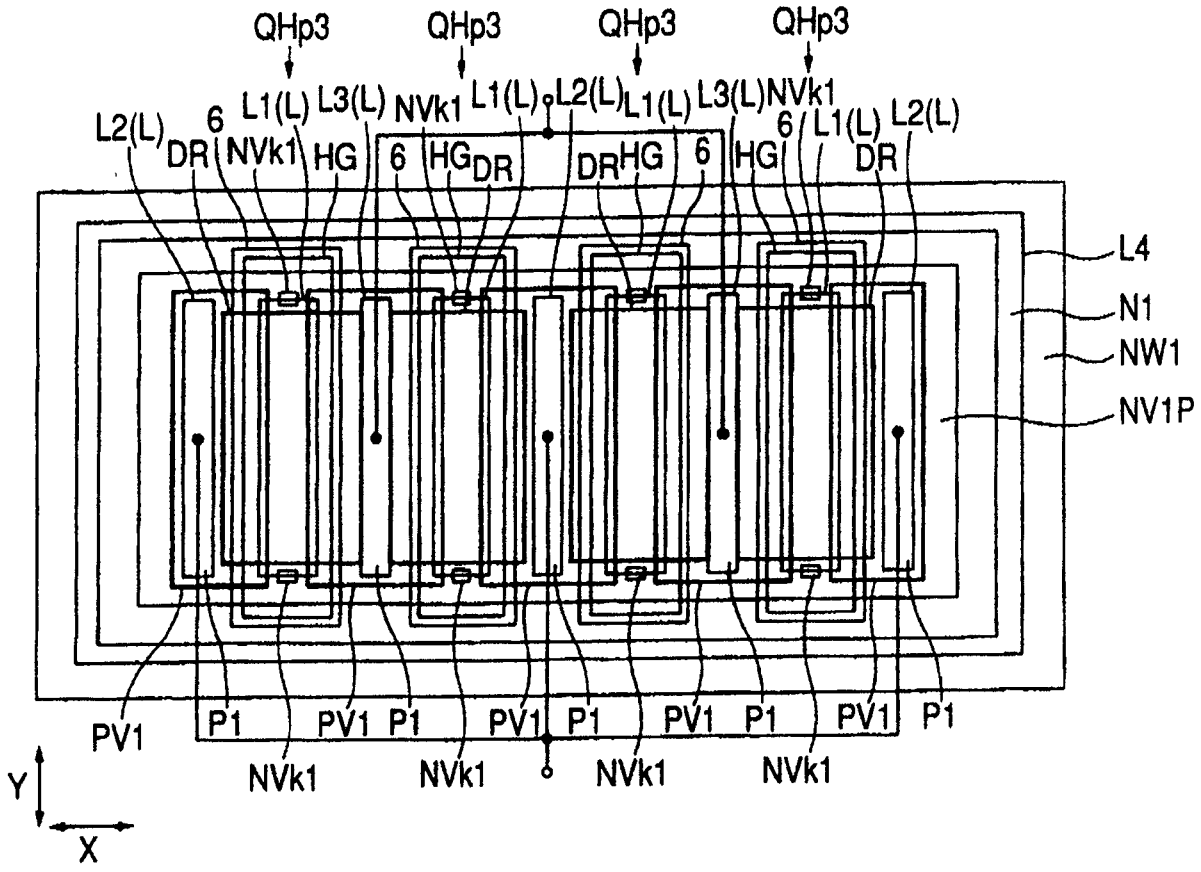

QHp3
QHp3
QHp3
QHp3
L2(L)
6
L1(L)
L3(L)
NVk1
L1(L)
L2(L)
L1(L)
L3(L)
NVk1
6
L1(L)
L2(L)
DR
NVk1
HG
6
HG
DR
DR
HG
6
HG
DR
L4
N1
NW1
NV1P
PV1
P1
PV1
P1
PV1
P1
PV1
P1
PV1
P1
NVk1
NVk1
NVk1
NVk1
Y
X

图 111