

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 1 月 9 日 (09.01.2014)



(10) 国际公布号
WO 2014/005359 A1

- (51) 国际专利分类号:
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)
- (21) 国际申请号: PCT/CN2012/078784
- (22) 国际申请日: 2012 年 7 月 18 日 (18.07.2012)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201210229434.X 2012 年 7 月 3 日 (03.07.2012) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3#, Beijing 100029 (CN)。
- (72) 发明人; 及
- (75) 发明人/申请人 (仅对美国): 尹海洲 (YIN, Haizhou) [CN/US]; 美国纽约州波基普西市洛克科劳斯特街 11#, New York 12603 (US)。 朱慧珑 (ZHU, Huilong) [US/US]; 美国纽约州波基普西市奥特姆路 93#, New York 12603 (US)。 张珂珂 (ZHANG, Keke)

[CN/CN]; 中国山东省聊城市莘县莘亭镇蒋庄村 191 号, Shandong 252411 (CN)。

- (74) 代理人: 北京汉昊知识产权代理事务所 (普通合伙) (HANHOW INTELLECTUAL PROPERTY PARTNERS); 中国北京市东城区东长安街 1 号东方广场西 1 区 11 层 1111 室朱海波, Beijing 100738 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH,

[见续页]

(54) Title: SEMICONDUCTOR COMPONENT AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 半导体器件及其制造方法

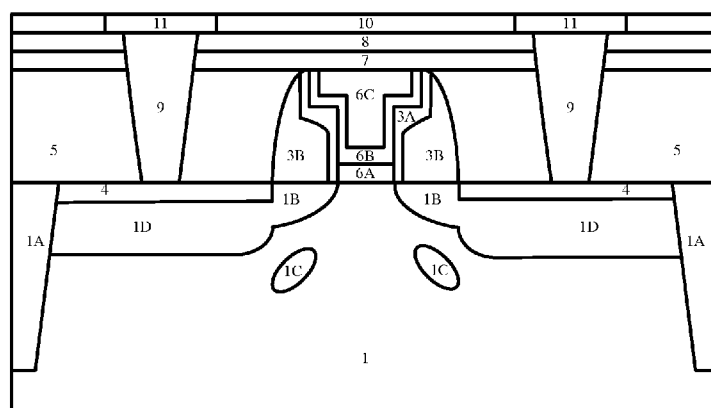


图11 / Fig. 11

(57) Abstract: Disclosed is a method for manufacturing a semiconductor component. The method comprises: forming T-shaped dummy gate structures (2A, 2B, and 2C) on a substrate (1); removing the T-shaped dummy gate structures (2A, 2B, and 2C), leaving behind a T-shaped gate groove (2E); and sequentially filling a gate insulation layer (6A) and metal layers (6B and 6C) into the T-shaped gate groove (2E), where the metal layers (6B and 6C) form a T-shaped metal gate structure. By forming the T-shaped dummy gate and the T-shaped gate groove, the method prevents a suspension phenomenon and formation of pores in a subsequent metal gate filling process, thus increasing component performance.

(57) 摘要: 公开了一种半导体器件制造方法。该方法包括: 在衬底 (1) 上形成 T 型伪栅极结构 (2A、2B、2C); 去除 T 型伪栅极结构 (2A、2B、2C), 留下 T 型栅极沟槽 (2E); 在 T 型栅极沟槽 (2E) 中依次填充栅极绝缘层 (6A) 和金属层 (6B、6C), 其中金属层 (6B、6C) 形成 T 型金属栅极结构。该方法通过形成 T 型伪栅极以及 T 型栅极沟槽, 避免了后续金属栅极填充工艺中的悬挂现象以及孔洞形成, 提高了器件性能。

WO 2014/005359 A1



CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE,
IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,
RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

半导体器件及其制造方法

[0001] 本申请要求了2012年7月3日提交的、申请号为201210229434.X、发明名称为“半导体器件及其制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

[0002] 本发明涉及一种半导体器件及其制造方法，特别是涉及一种避免在金属栅极中形成孔洞的半导体器件制造方法以及使用该方法制造的半导体器件。

背景技术

[0003] 随着 MOSFET 特征尺寸持续等比例缩减，对栅极绝缘隔离效果以及栅极对沟道区控制能力的要求越来越高，传统的氧化硅栅绝缘层在厚度逐渐变薄的情况下已经难以继续提供足够的绝缘隔离，而多晶硅栅极也难以精确控制功函数以调节器件阈值电压。高 k 材料作为栅极绝缘层、并且金属材料填充作为栅极导电层的高 k-金属栅结构已经成为目前 MOSFET 的主流。由于高 k 材料特性易在高温或者离子轰击条件下变化，先沉积栅极堆叠结构而后离子注入并激活退火形成源漏区的前栅工艺发展受到限制。先沉积伪栅极堆叠、注入形成源漏区，再刻蚀去除伪栅极形成栅极沟槽、在栅极沟槽中沉积栅极堆叠，这种后栅工艺逐渐占据主导地位。

[0004] 然而，随着尺寸进一步缩减，小尺寸的器件使得栅极沟槽的深宽比越来越大，后栅工艺中填充栅极沟槽成为制约工艺发展的一个重要瓶颈。正如 US 2012/012948 A1 中所公开的，由于栅极沟槽宽度相对于其深度而言过窄，在沉积功函数调节层/金属阻挡层时，该第一层金属材料会在栅极沟槽的上

边沿形成“悬挂”，也即在上边沿处第一金属层会形成朝向栅极沟槽中心、超越了栅极侧墙的局部突起。在后续沉积金属填充层时，第二层金属材料会由于该局部突起而在顶部过早闭合、结束沉积填充，相应地在中部和底部形成了未完全填充而引发的孔洞。这些孔洞使得整个金属栅的电阻率不必要地增大，降低了器件的性能。

发明内容

[0005] 由上所述，本发明的目的在于提供一种能够避免在金属栅极中形成孔洞的半导体器件制造方法以及使用该方法制造的半导体器件。

10 [0006] 为此，本发明提供了一种半导体器件制造方法，包括：在衬底上形成T型伪栅极结构；去除T型伪栅极结构，留下T型栅极沟槽；在T型栅极沟槽中依次填充栅极绝缘层和金属层，其中金属层形成T型金属栅极结构。

[0007] 其中，形成T型伪栅极结构的步骤进一步包括：在衬底上形成第一伪栅极层与第二伪栅极层；选择性刻蚀第一伪栅极层，使得第一伪栅极层剩余宽度
15 小于第二伪栅极层剩余宽度，构成T型伪栅极结构。

[0008] 其中，形成第二伪栅极层之后、选择性刻蚀第一伪栅极层之前，还包括刻蚀第二伪栅极层与第一伪栅极层而形成上下等宽的伪栅极结构。

[0009] 其中，第一伪栅极层与第二伪栅极层材料不同。

[0010] 其中，第一伪栅极层和/或第二伪栅极层材料选自下列组合之一：多晶
20 硅、多晶硅SiGe、非晶硅、氧化硅、氮化硅、氮氧化硅、非晶碳。

[0011] 其中，在形成第一伪栅极层之前，还包括在衬底上形成垫氧化层。

[0012] 其中，在形成第二伪栅极层之后、选择性刻蚀第一伪栅极层之前，还包括在第二伪栅极层上形成伪栅极盖层。

[0013] 其中，选择性刻蚀采用干法刻蚀和/或湿法腐蚀。

[0014] 其中，形成T型伪栅极结构之后、去除T型伪栅极结构之前，还包括：在T型伪栅极结构上形成第一栅极侧墙，在第一栅极侧墙两侧的衬底中形成轻掺杂的源漏延伸区和/或晕状源漏掺杂区。

5 [0015] 其中，形成轻掺杂的源漏延伸区和/或晕状源漏掺杂区之后还包括：在第一栅极侧墙上形成第二栅极侧墙，在第二栅极侧墙两侧的衬底中形成源漏重掺杂区，在源漏重掺杂区中/上形成源漏接触层。

[0016] 其中，形成T型伪栅极结构之后、去除T型伪栅极结构之前，还包括在衬底上形成层间介质层并且平坦化层间介质层直至暴露T型伪栅极结构。

10 [0017] 其中，平坦化步骤进一步包括：执行第一平坦化直至暴露伪栅极盖层，执行第二平坦化直至暴露第二伪栅极层。

[0018] 其中，金属层包括功函数调节层与金属栅填充层。

[0019] 其中，栅极绝缘层包括高k材料。

15 [0020] 本发明还提供了一种半导体器件，包括衬底、衬底上的栅极绝缘层、栅极绝缘层上的T型金属栅极结构、以及T型金属栅极结构两侧的源漏区。

[0021] 依照本发明的半导体器件制造方法，通过形成T型伪栅极以及T型栅极沟槽，避免了后续金属栅极填充工艺中的悬挂现象以及孔洞形成，提高了器件性能。

20 附图说明

[0022] 以下参照附图来详细说明本发明的技术方案，其中：

[0023] 图1至图11为依照本发明的半导体器件制造方法的各个步骤的剖面示意图。

具体实施方式

[0024] 以下参照附图并结合示意性的实施例来详细说明本发明技术方案的特征及其技术效果，公开了能够避免在金属栅极中形成孔洞的半导体器件制造方法以及使用该方法制造的半导体器件。需要指出的是，类似的附图标记表示类
5 似的结构，本申请中所用的术语“第一”、“第二”、“上”、“下”等等可用于修饰各种器件结构或制造工序。这些修饰除非特别说明并非暗示所修饰器件结构或制造工序的空间、次序或层级关系。

[0025] 图1至图11为依照本发明的半导体器件制造方法的各个步骤的剖面示意图。

10 [0026] 如图1所示，在衬底1上依次形成伪栅极材料层的堆叠。提供衬底1，例如为硅基材料，包括体硅（Si）、绝缘体上硅（SOI）、SiGe、SiC、应变硅、硅纳米管等等。此外，衬底1也可以是其他半导体材料，例如Ge、GeOI、SiGe、III-V族化合物、II-VI族化合物。优选地，选用体硅或SOI作为衬底1，以便与CMOS工艺兼容。优选地，形成由衬底1对应的氧化材料（例如氧化硅等绝缘材
15 料）构成的隔离区1A，例如在衬底1中通过刻蚀后再沉积填充的工艺形成浅沟槽隔离（STI）1A，STI 1A包围并限定出了器件的有源区。如图1所示，在衬底1上（有源区中）采用LPCVD、HDPCVD、ALD、MBE、阴极射线沉积、射频溅射、离子束沉积、MVPECVD、RFPECVD等常规方法依次沉积可选的垫氧化层2A、第一伪栅极层2B、第二伪栅极层2C以及可选的伪栅极盖层2D。其中，垫氧化层2A为
20 氧化硅，用于在后续刻蚀工艺中保护衬底沟道区表面，避免过刻蚀沟道区而增大表面缺陷密度引起器件性能下降，其厚度例如仅1~3nm。当然，也可以省略垫氧化层2A。第一伪栅极层2B与第二伪栅极层2C材质不同，以使得后续刻蚀时两者刻蚀速率不同，具体地使得第一伪栅极层2B刻蚀速率大于第二伪栅极层2C

刻蚀速率，因而使得形成T型伪栅极结构。具体地，第一伪栅极层2B可以是多晶SiGe，而第二伪栅极层2C可以是多晶硅。此外，也可以是其他材料，例如第一/第二伪栅极叠层2B/2C是非晶碳/多晶硅、多晶SiGe/非晶硅、非晶硅/氧化硅、多晶硅/氧化硅/、氮化硅/多晶硅、氮化硅/氧化硅、多晶SiGe/氮化硅、多晶SiGe/氧化硅等等，只要层2A、2B、2C、2D中相邻的两层材质不同即可。

伪栅极盖层2D优选地为氮化硅、氮氧化硅、类金刚石无定形碳（DLC）等较硬的材料，以便在稍后刻蚀伪栅极堆叠结构时用作硬掩模，以保护下层较软的材料。当然，如果第二伪栅极层2C本身较硬，则也可以省略伪栅极盖层2D。2A至2D各层厚度依照T型伪栅极形态需要而合理设定，不必完全如图1所示。例如，层2A厚度可以仅为1~3nm，层2B厚度可以是5~20nm，层2C厚度可以是5~10nm，层2D厚度可以是1~5nm。

[0027] 如图2所示，采用传统的刻蚀工艺，刻蚀层2A至2D，形成具有基本垂直侧面的等宽伪栅极堆叠结构。例如优选地在光刻胶的掩蔽下采用等离子体刻蚀，各向异性地刻蚀各个层。优选地，等离子体刻蚀气体为基本不与各层反应的离子，如Ar、He、Ne、Kr、Xe等惰性气体离子（和/或这些惰性气体离子的稳定氟化物）。形成的伪栅极堆叠结构2A/2B/2C/2D上下等宽，例如为后续形成器件的沟道宽度，诸如10~30nm。

[0028] 如图3所示，选择性刻蚀垫氧化层2A和第一伪栅极层2B，形成T型伪栅极堆叠结构。如果采用干法刻蚀，则可以调节刻蚀气体流量和组分，使得刻蚀气体对于垫氧化层2A和第一伪栅极层2B的刻蚀速率大于第二伪栅极层2C和伪栅极盖层2D的刻蚀速率。具体地，干法刻蚀中，刻蚀气体对SiGe/Si的选择比与混合气体组分、微波频率、温度、气压以及SiGe中Ge的含量等因素有关。例如在氧气作为辅助气体条件下，氟基气体对SiGe的

刻蚀速率达 4000nm/min, 对 Si 的刻蚀速率仅为 40nm/min, 选择比高达 100:1, 可以认为在刻蚀 SiGe 过程中, Si 基本未被刻蚀。刻蚀气体可以包括碳氟基气体 (CF₄、CH₂F₂、CH₃F、CHF₃、C₂H_xF_{6-x}、C₃H_xF_{8-x} 等等)、SF₆、NF₃、XeF 等含氟气体, 以及可选地诸如 O₂、O₃、Cl₂、NO₂ 等氧化性气体, 以及 Ar、He 等惰性稀释气体。如果采用湿法腐蚀, 则可以依照各层材料不同而选择合适的湿法腐蚀液。具体地, 对于多晶 SiGe/多晶 Si 常用的选择性腐蚀液有: HNO₃: H₂O: HF、HF: H₂O₂: H₂O、H₃PO₄-KH₂PO₄-NaOH 缓冲液和 NH₄OH: H₂O₂: H₂O 等。其中含有 HF 的溶液对氧化硅没有选择性, 腐蚀 SiGe 的同时也可将垫氧化层腐蚀掉。不含有 HF 的溶液需另外采用 HF 基腐蚀液刻蚀垫氧化层。(体积) 比例为 1:1:5 的 NH₄OH: H₂O₂: H₂O 溶液在 Ge (原子数目比) 含量为 40% 时的刻蚀选择比为 36:1, 在 Ge 含量为 55% 时的选择比为 117:1。此外, 选择性刻蚀也可以是干法刻蚀与湿法刻蚀的组合, 例如先干法刻蚀第一伪栅极层 2B 然后湿法腐蚀下方的垫氧化层 2A, 或者先湿法腐蚀部分第一伪栅极层 2B 然后干法刻蚀去除残留的第一伪栅极层 2B 以及垫氧化层 2A。在图 2 所示的选择性刻蚀步骤中, 伪栅极盖层 2D 用于保护第二伪栅极层 2C 并作为后续 CMP 的停止层, 由于刻蚀具有选择性, 伪栅极盖层 2D 及第二伪栅极层 2C 不被刻蚀或基本不被刻蚀, 最终使得第二伪栅极层 2C 保留的宽度要大于第一伪栅极层 2B 保留的宽度, 从而构成如图 2 所示的 T 型伪栅极堆叠结构。具体地, 第一伪栅极层 2B 剩余宽度可以是第二伪栅极层 2C 剩余宽度的 2/3 ~ 4/5。

[0029] 如图4所示, 形成第一栅极侧墙、源漏轻掺杂区。通过LPCVD、HDPCVD、ALD、MBE、阴极射线沉积、射频溅射、离子束沉积、MVPECVD、RFPECVD等常规沉积方法, 在T型伪栅极堆叠结构上以及侧面形成第一栅极侧墙3A, 其材质例

如是氮化硅、氮氧化硅、DLC，其厚度优选地足够薄以使其与T型伪栅极堆叠结构共型而不会影响其剖面形态。具体地，第一栅极侧墙3A厚度可以仅为1~3nm。以第一栅极侧墙3A为掩模，进行第一次源漏掺杂离子注入，在T型伪栅极堆叠结构两侧的衬底中形成轻掺杂的源漏延伸区1B和/或晕状源漏掺杂区1C。掺杂离子的种类、剂量、能量依照MOSFET类型以及结深而定，在此不再赘述。

[0030] 如图5所示，形成第二栅极侧墙、源漏重掺杂区、源漏接触层。在第一栅极侧墙3A上采用相同或者类似地工艺，同样沉积氮化硅、氮氧化硅、DLC等侧墙材料，然后刻蚀形成第二栅极侧墙3B，第二栅极侧墙3B的宽度大于第一栅极侧墙3A的厚度，例如为20~50nm。随后以第二栅极侧墙3B为掩模，进行第二次源漏掺杂离子注入，在第二栅极侧墙3B两侧的衬底中形成源漏重掺杂区1D。随后在整个器件上沉积金属薄层（未示出），作为源漏接触层的前驱物，例如是Ni、Pt、Co及其组合。例如在550~850℃高温退火10s~5min，使得金属薄层与源漏重掺杂区1D中的衬底1材质发生反应，形成电阻率较低的源漏接触层4。当衬底1为硅基材质时，源漏接触层4为金属硅化物。

[0031] 如图6所示，在整个器件结构上沉积形成层间介质层5。例如通过LPCVD、PECVD、旋涂、喷涂、丝网印刷等方式，形成低k材料的层间介质层（ILD）5，低k材料包括但不限于有机低k材料（例如含芳基或者多元环的有机聚合物）、无机低k材料（例如无定形碳氮薄膜、多晶硼氮薄膜、氟硅玻璃、BSG、PSG、BPSG）、多孔低k材料（例如二硅三氧烷（SSQ）基多孔低k材料、多孔二氧化硅、多孔SiOCH、掺C二氧化硅、掺F多孔无定形碳、多孔金刚石、多孔有机聚合物）。优选地，ILD5为氧化硅或者氮氧化硅。

[0032] 如图7所示，可以采用过刻蚀或者CMP工艺，平坦化ILD5以及伪栅极盖层2D，直至暴露第二伪栅极层2C。平坦化工艺可以包括两个步骤，首先采

用第一 CMP 或第一平坦化刻蚀处理 ILD5 直至暴露伪栅极盖层 2D, 也即平坦化停止在伪栅极盖层 2D 的上表面上, 随后更换研磨液或者刻蚀媒介 (刻蚀气体或者刻蚀液) 以去除伪栅极盖层 2D, 停止在第二伪栅极层 2C 的上表面上。此时, 如图 7 所示, 余下的层 2C 与 2B 一同构成 T 型伪栅极结构。

5 [0033] 如图 8 所示, 刻蚀去除 T 型伪栅极结构 2C/2B 以及垫氧化层 2A, 留下 T 型栅极沟槽 2E。可以采用等离子体刻蚀的干法工艺 (刻蚀终点选择可以依照特殊化合物的生成检测, 或者依照刻蚀速率、时间以及薄膜厚度之间的关系来计算), 例如 O、Ar、CF₄ 等离子体刻蚀, 去除伪栅极以及垫氧化层 2A 而留下栅极沟槽 2E。或者可以依照层 2C、层 2B 以及层 2A 的材质不同, 选择不同的刻蚀
10 液湿法腐蚀去除。

[0034] 如图 9 所示, 形成栅极绝缘层 6A、以及功函数调节层 6B。采用 LPCVD、HDPCVD、ALD、MBE、阴极射线沉积、射频溅射、离子束沉积、MVPECVD、RFPECVD 等常规方法在栅极沟槽 2E 的底部沉积高 k 材料, 作为栅极绝缘层 6A。高 k 材料包括但不限于氮化物 (例如 SiN、AlN、TiN)、金属氧化物 (主要为副族和镧系金属元素氧化物, 例如 Al₂O₃、Ta₂O₅、TiO₂、ZnO、ZrO₂、HfO₂、CeO₂、Y₂O₃、La₂O₃)、
15 钙钛矿相氧化物 (例如 PbZr_xTi_{1-x}O₃ (PZT)、Ba_xSr_{1-x}TiO₃ (BST))。可选地, 栅极绝缘层 6A 不仅如图 9 所示沉积在栅极沟槽 2E 的底部, 也可以还沉积在其侧壁上 (未示出)。随后, 例如通过溅射、MOCVD、ALD 等方式, 在 ILD 5 上以及 T 型栅极沟槽 2E 中沉积形成第一金属层 6B, 用作功函数调节层或者金属阻挡层。
20 第一金属层 6B 的材质例如是 TiN、TaN 及其组合, 其厚度依照功函数调节需要而选定。值得注意的是, 由于 T 型栅极沟槽的特殊形态, 使得沉积第一金属层 6B 时不会发生悬挂现象。

[0035] 如图 10 所示, 在第一金属层 6B 上沉积第二金属层 6C。例如通过溅射、

MOCVD、ALD等方式，在第一金属层6B上（包括继续填充在栅极沟槽中）形成第二金属层6C以用作金属栅填充层，其材质例如为Ti、Ta、W、Al、Cu、Mo等等及其组合。由于图9所示的第一金属层6B沉积时没有发生悬挂现象，因此第二金属层6C得以顺利完全填充了栅极沟槽的剩余部分，没有在栅极中留下任何孔洞，因此确保了栅极电阻不会增大，最终提高了器件性能。如图10所示，第一金属层6B、第二金属层6C共同构成了与T型栅极沟槽共型的T型金属栅极结构。

[0036] 最后，如图11所示，完成后续工艺。在整个器件上沉积例如SiN、SiON材质的接触刻蚀停止层（CESL）7，沉积第二ILD 8，刻蚀第二ILD 8、CESL7以及ILD5形成源漏接触孔，填充金属和/或金属氮化物形成源漏接触塞9，沉积第三ILD 10并刻蚀形成引线孔，在引线孔中填充金属形成引线11，构成器件的字线或位线，完成最终的器件结构。如图11所示，最终的MOSFET器件结构至少包括衬底1、衬底1上的栅极绝缘层6A、T型金属栅极结构6B/6C、T型金属栅极结构两侧的源漏区（源漏扩展区1B、晕状源漏区1C）、源漏区上的源漏接触层4。MOSFET其余各个部件结构以及相应的材料在上述方法描述中已经详细列出，在此不再赘述。

[0037] 依照本发明的半导体器件制造方法，通过形成T型伪栅极以及T型栅极沟槽，避免了后续金属栅极填充工艺中的悬挂现象以及孔洞形成，提高了器件性能。

[0038] 尽管已参照一个或多个示例性实施例说明本发明，本领域技术人员可以知晓无需脱离本发明范围而对器件结构做出各种合适的改变和等价方式。此外，由所公开的教导可做出许多可能适于特定情形或材料的修改而不脱离本发明范围。因此，本发明的目的不在于限定在作为用于实现本发明的最佳实施方式而公开的特定实施例，而所公开的器件结构及其制造方法将包括落入本发明

范围内的所有实施例。

权 利 要 求

1. 一种半导体器件制造方法, 包括:
在衬底上形成T型伪栅极结构;
5 去除T型伪栅极结构, 留下T型栅极沟槽;
在T型栅极沟槽中依次填充栅极绝缘层和金属层, 其中金属层形成T型金属栅极结构。
2. 如权利要求1的方法, 其中, 形成T型伪栅极结构的步骤进一步包括:
在衬底上形成第一伪栅极层与第二伪栅极层;
10 选择性刻蚀第一伪栅极层, 使得第一伪栅极层剩余宽度小于第二伪栅极层剩余宽度, 构成T型伪栅极结构。
3. 如权利要求2的方法, 其中, 形成第二伪栅极层之后、选择性刻蚀第一伪栅极层之前, 还包括刻蚀第二伪栅极层与第一伪栅极层而形成上下等宽的伪栅极结构。
- 15 4. 如权利要求2的方法, 其中, 第一伪栅极层与第二伪栅极层材料不同。
5. 如权利要求4的方法, 其中, 第一伪栅极层和/或第二伪栅极层材料选自下列组合之一: 多晶硅、多晶硅SiGe、非晶硅、氧化硅、氮化硅、氮氧化硅、非晶碳。
6. 如权利要求2的方法, 其中, 在形成第一伪栅极层之前, 还包括在衬底上
20 形成垫氧化层。
7. 如权利要求2的方法, 其中, 在形成第二伪栅极层之后、选择性刻蚀第一伪栅极层之前, 还包括在第二伪栅极层上形成伪栅极盖层。
8. 如权利要求2的方法, 其中, 选择性刻蚀采用干法刻蚀和/或湿法腐蚀。
9. 如权利要求1的方法, 其中, 形成T型伪栅极结构之后、去除T型伪栅极结
25 构之前, 还包括: 在T型伪栅极结构上形成第一栅极侧墙, 在第一栅极侧墙两侧的衬底中形成轻掺杂的源漏延伸区和/或晕状源漏掺杂区。
10. 如权利要求9的方法, 其中, 形成轻掺杂的源漏延伸区和/或晕状源漏掺杂区之后还包括: 在第一栅极侧墙上形成第二栅极侧墙, 在第二栅极侧墙两侧的衬底中形成源漏重掺杂区, 在源漏重掺杂区中/上形成源漏接触层。
- 30 11. 如权利要求2的方法, 其中, 形成T型伪栅极结构之后、去除T型伪栅极结构之前, 还包括在衬底上形成层间介质层并且平坦化层间介质层直至暴露T型伪栅极结构。

12. 如权利要求11的方法，其中，平坦化步骤进一步包括：执行第一平坦化直至暴露伪栅极盖层，执行第二平坦化直至暴露第二伪栅极层。
13. 如权利要求1的方法，其中，金属层包括功函数调节层与金属栅填充层。
14. 如权利要求1的方法，其中，栅极绝缘层包括高k材料。
- 5 15. 一种半导体器件，包括衬底、衬底上的栅极绝缘层、栅极绝缘层上的T型金属栅极结构、以及T型金属栅极结构两侧的源漏区。

附图

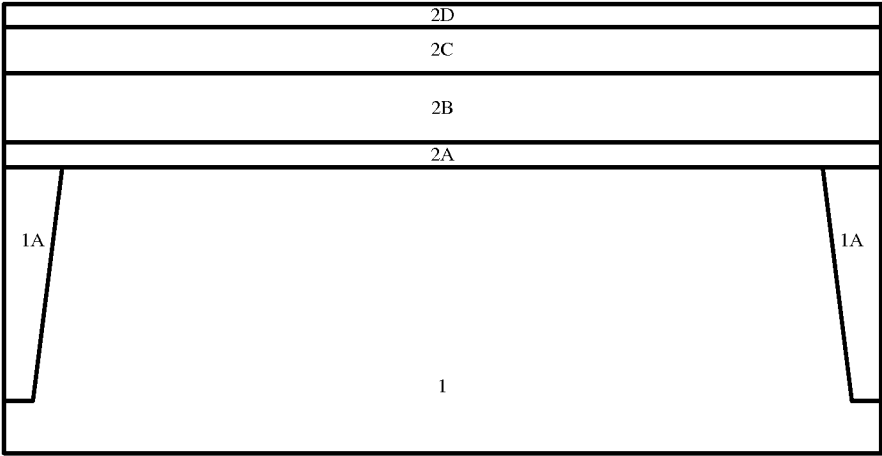


图1

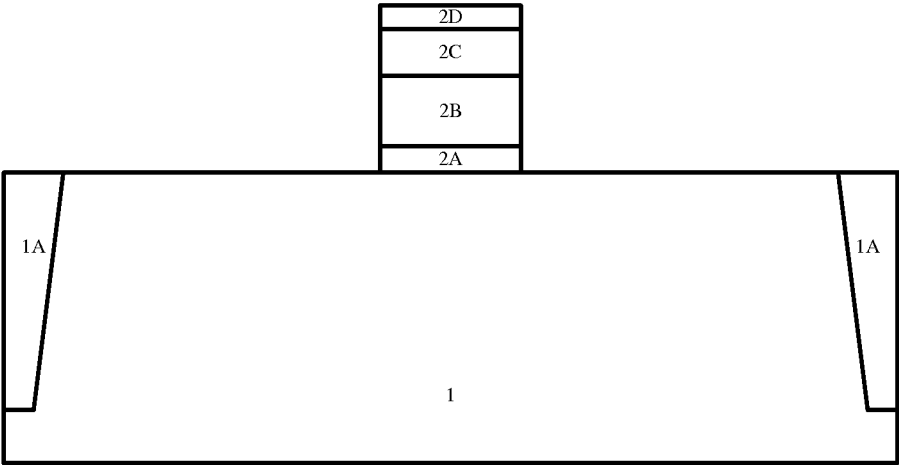


图2

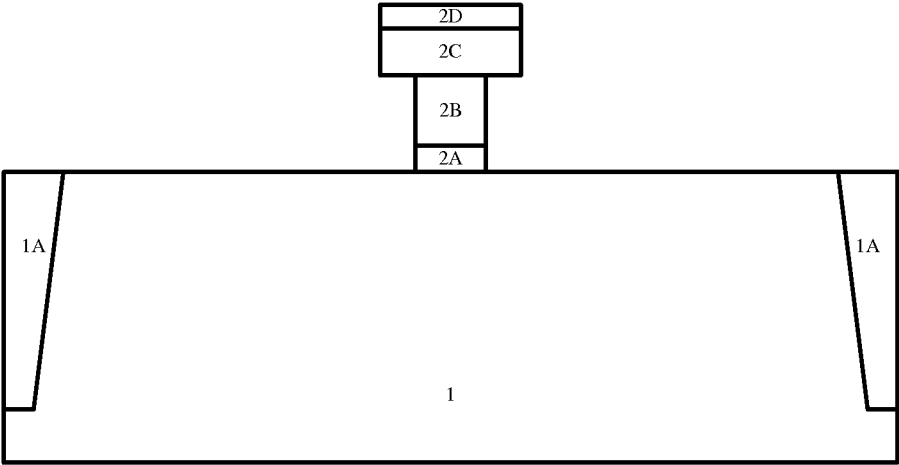


图3

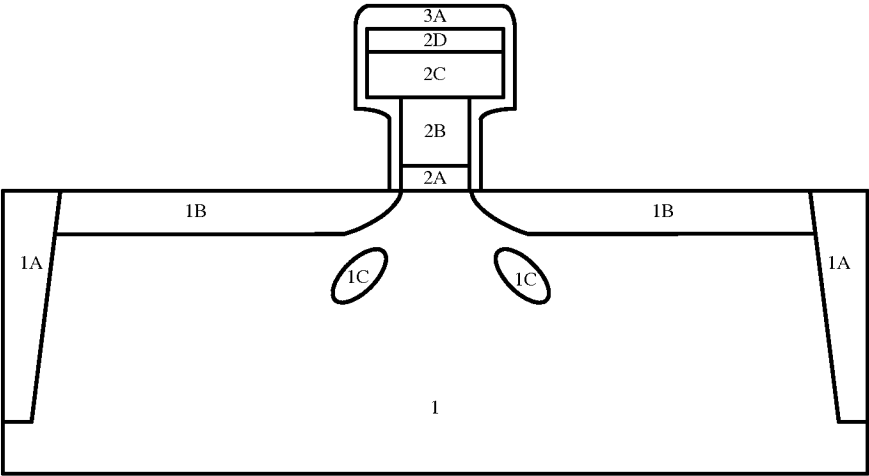


图4

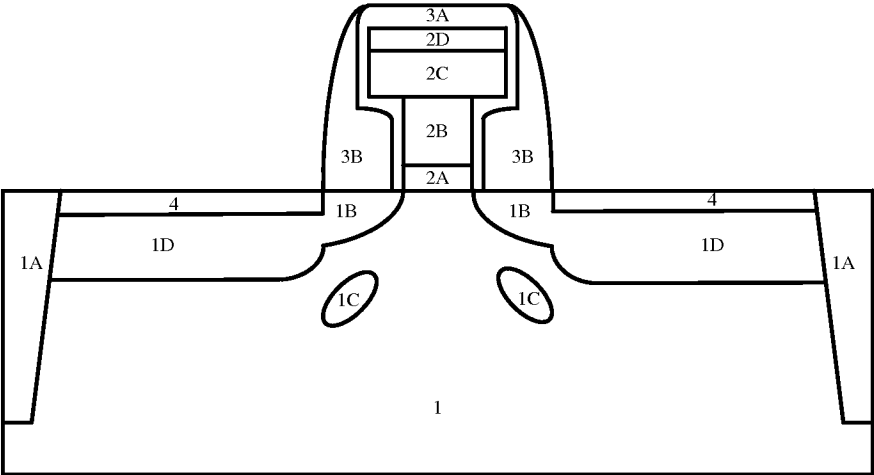


图5

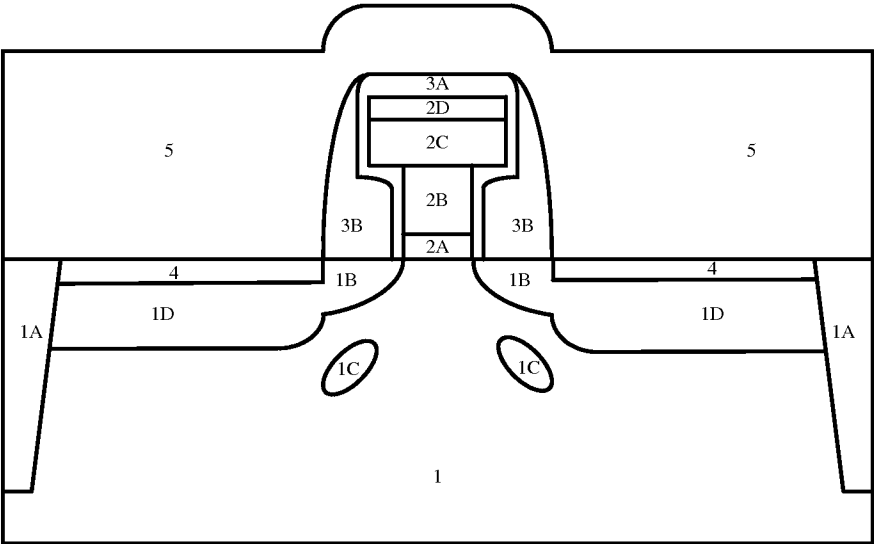


图6

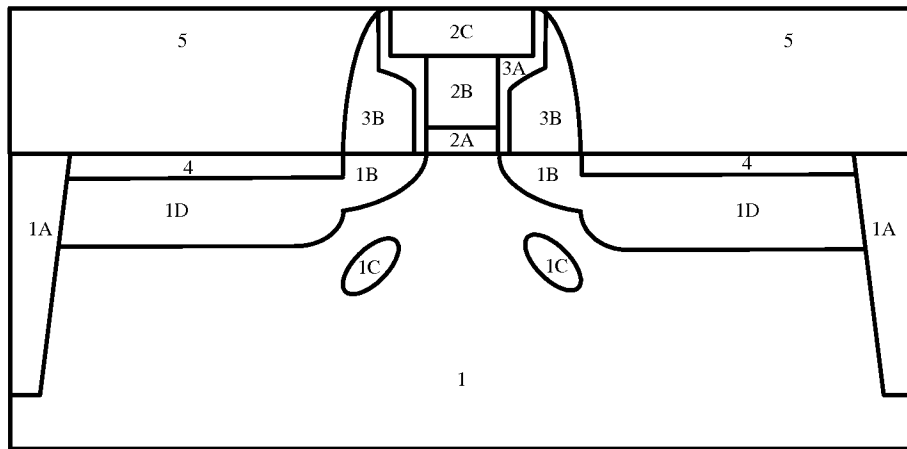


图7

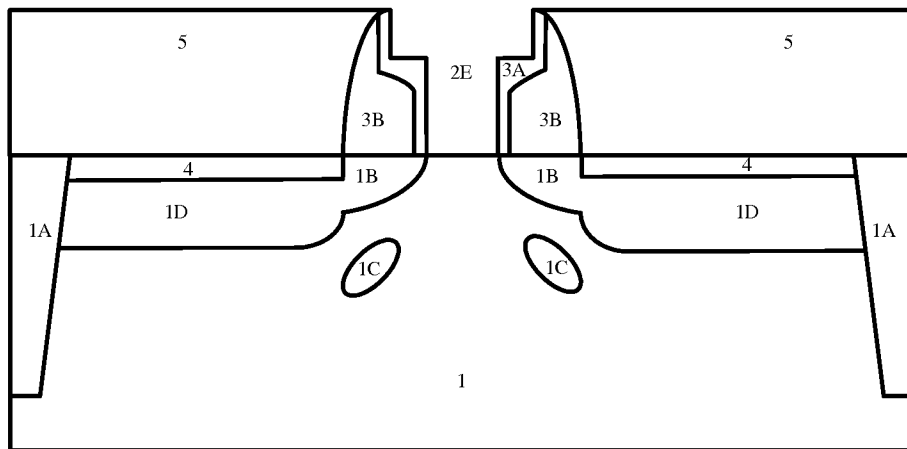


图8

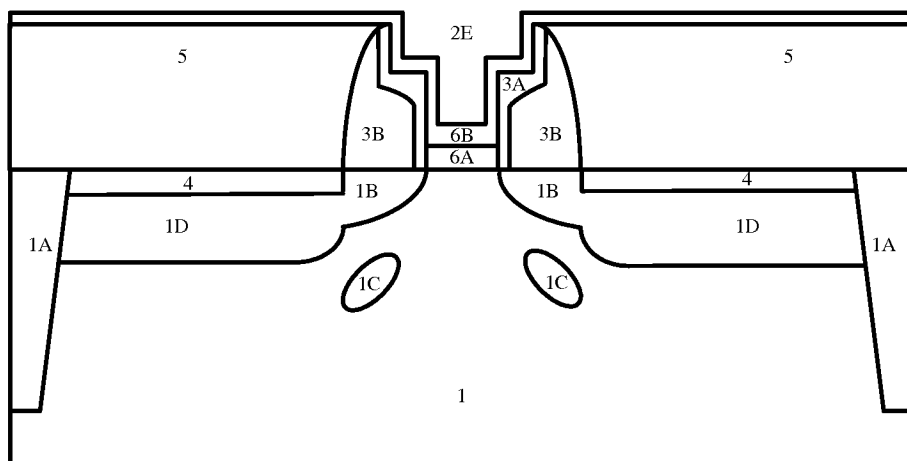


图9

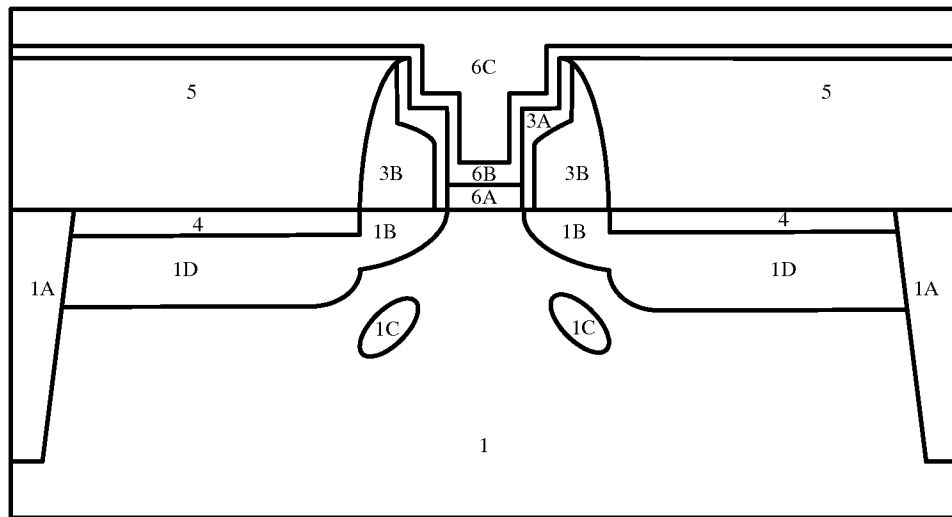


图10

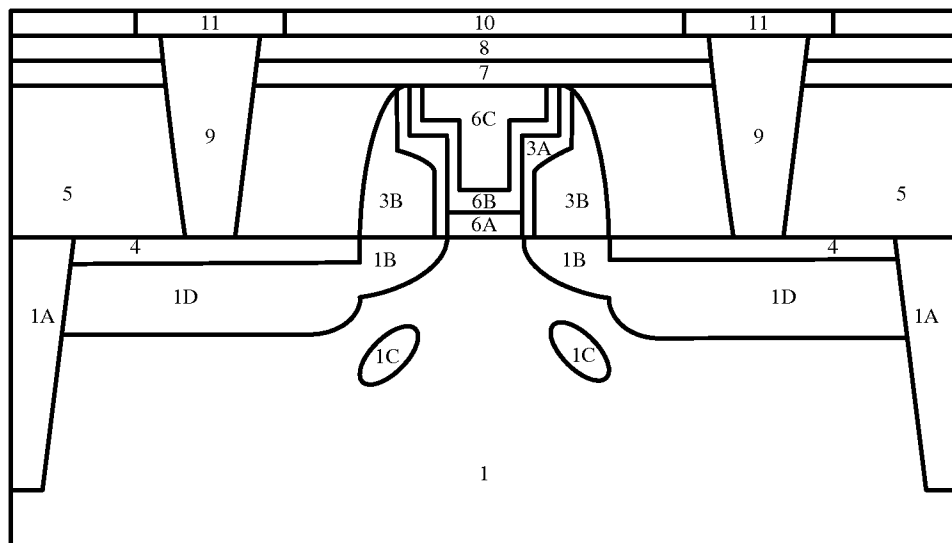


图11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/078784

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 21/-; H01L 29/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN: T, gate, dummy

CNABS, CNKI: T, gate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 102479691 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORP.), 30 May 2012 (30.05.2012), paragraphs [0016]-[0048], and figures 1-11	1, 9-10, 13-15
Y		2-8, 11-12
Y	JP 2000077351 A (JAPAN RADIO CO., LTD.), 14 March 2000 (14.03.2000), paragraphs [0022]-[0030], and figures 1-8	2-8, 11-12

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
20 March 2013 (20.03.2013)

Date of mailing of the international search report
18 April 2013 (18.04.2013)

Name and mailing address of the ISA/CN:
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No.: (86-10) 62019451

Authorized officer
WANG, Xin
Telephone No.: (86-10) **62411567**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2012/078784

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102479691 A	30.05.2012	None	
JP 2000077351 A	14.03.2000	None	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/078784

CONTINUATION: A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336 (2006.01) i

H01L 29/78 (2006.01) i

国际检索报告

国际申请号

PCT/CN2012/078784

A. 主题的分类

见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L 21/-; H01L 29/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

VEN: T, gate, dummy

CNABS, CNKI: T, 栅

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN102479691 A (中芯国际集成电路制造(上海)有限公司) 30.5 月 2012 (30.05.2012) 第[0016]-[0048]段; 附图 1-11	1, 9-10, 13-15
Y		2-8, 11-12
Y	JP2000077351 A (JAPAN RADIO CO LTD) 14.3 月 2000 (14.03.2000) 第[0022]-[0030]段; 附图 1-8	2-8, 11-12



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

20.3 月 2013 (20.03.2013)

国际检索报告邮寄日期

18.4 月 2013 (18.04.2013)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

王欣

电话号码: (86-10) **62411567**

国际检索报告

关于同族专利的信息

国际申请号

PCT/CN2012/078784

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN102479691 A	30.05.2012	无	
JP2000077351 A	14.03.2000	无	

续: **A. 主题的分类**

H01L 21/336 (2006.01) i

H01L 29/78 (2006.01) i