【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第３区分
【発行日】平成19年7月26日(2007.7.26)

【公表番号】特表2007-515869(P2007-515869A)
【公表日】平成19年6月14日(2007.6.14)
【年通号数】公開・登録公報2007-022
【出願番号】特願2006-539879(P2006-539879)
【国際特許分類】
Ｈ０４Ｎ　5/335　(2006.01)
Ｈ０４Ｎ　3/15　(2006.01)
Ｈ０４Ｎ　9/07　(2006.01)
Ｈ０１Ｌ　27/146　(2006.01)
【ＦＩ】
Ｈ０４Ｎ　5/335　Ｐ
Ｈ０４Ｎ　3/15
Ｈ０４Ｎ　5/335　Ｅ
Ｈ０４Ｎ　9/07　Ａ
Ｈ０１Ｌ　27/14　Ａ

【手続補正書】
【提出日】平成19年5月9日(2007.5.9)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
イメージセンサ読出し回路であって、
複数のアナログ画素およびアナログリセットの信号値を受信する列ラインと、
前記列ラインに連結されたビニング回路とをそなえ、
前記ビニング回路は、
前記列ラインからの複数の画素から予め定められた第1の複数のアナログ画素信号値を各別に蓄積する第1の複数の電荷蓄積素子と、
蓄積された前記第1の複数のアナログ画素信号値を組合せ、第1の出力ライン上に出力する第1組合せ回路と、
前記列ラインからの複数の画素から予め定められた第２の複数のアナログリセット信号値を各別に蓄積する第２の複数の電荷蓄積素子と、
蓄積された前記第２の複数のアナログリセット信号値を組合せ、第２の出力ライン上に出力する第２組合せ回路とを有するイメージセンサ読出し回路。
【請求項２】
前記第1の組み合わせ回路は、複数の第１サンプルスイッチを有し、
前記第1の複数の電荷蓄積素子は、第1の複数の容量素子を有し、
前記複数の第１サンプルスイッチの各々が前記複数の第１容量素子のそれぞれに連結され、前記複数の第１容量素子が前記第１出力ラインにさらに連結される、請求項１に記載の読出し回路。
【請求項３】
前記第２の組み合わせ回路は、複数の第２サンプルスイッチを有し、
前記第２の複数の電荷蓄積素子は、複数の第２容量素子を有し、

前記複数の第２サンプルスイッチの各々が、前記複数の第２容量素子のそれぞれに連結され、前記複数の第２容量素子が、前記第２出力ラインにさらに連結される、請求項２に記載の読出し回路。
【請求項４】
前記複数の第１サンプルスイッチおよび第２サンプルスイッチと前記複数の第１容量素子および第２容量素子が、偶数個のサンプルスイッチと容量素子を含む、請求項３に記載の読出し回路。
【請求項５】
イメージセンサ用のビニング回路であって、
アクティブピクセルセンサのアナログ画素およびアナログリセットの信号値を受信する列ラインと、
前記列ラインからの複数の画素からの第１の複数のアナログ画素値を蓄積する第１の複数の電荷蓄積素子を有する、前記列ラインに結合された第１サンプル回路と、
前記列ラインに結合され、前記列ラインからの前記複数の画素からの第２の複数のアナログリセット信号値を各別に蓄積する第２の複数の電荷蓄積素子を有する第２サンプル回路と、
前記第１サンプル回路および第１出力ラインに連結される第1スイッチであって、前記複数のアナログ画素信号値を組み合わせて、前記組み合わせた画素信号値を前記第１出力ライン上に出力するように制御される、前記第１スイッチと、
前記第２サンプル回路および第２出力ラインに連結される第２スイッチであって、前記複数のアナログリセット信号値を組み合わせて、前記組み合わせたリセット信号値を前記第２出力ライン上に出力するように制御される、前記第２スイッチと、
を含む、ビニング回路。
【請求項６】
前記第１サンプル回路が更に複数の第１のサンプルスイッチを有し、
複数の前記第１の電荷蓄積素子が複数の第１容量素子を有し、
前記複数の第１サンプルスイッチの各々が、前記複数の第１容量素子のそれぞれに連結され、前記複数の第１容量素子が、前記第１出力ラインにさらに連結される、請求項５に記載のビニング回路。
【請求項７】
前記第２サンプル回路が、更に複数の第２のサンプルスイッチを有し、
複数の第２の電荷蓄積素子が複数の第２の容量素子を有し、
前記複数の第２サンプルスイッチの各々が、前記複数の第２容量素子のそれぞれに連結され、前記複数の第２容量素子が、前記第２出力ラインにさらに連結される、請求項７に記載のビニング回路。
【請求項８】
前記複数の第１サンプルスイッチおよび第２サンプルスイッチと前記複数の第１容量素子および第２容量素子が、偶数個のサンプルスイッチと容量素子を含む、請求項７に記載のビニング回路。
【請求項９】
アクティブイメージセンサの出力をビニングする方法であって、
第１の所定のシーケンスにより、前記センサの複数の画素からのアナログ出力信号値をサンプリングおよび蓄積するステップと、
第２の所定のシーケンスにより、前記センサの前記列ライン前記複数の画素からのアナログリセット信号値をサンプリングおよび蓄積するステップと、
次いでサンプリングしかつ蓄積した全てのアナログ出力信号値を組み合わせて第１出力ライン上に出力するステップと、
サンプリングおよび蓄積した全てのアナログリセット信号値を組み合わせて第２出力ライン上に出力するステップと、
を含む、方法。

【請求項１０】
前記アナログ出力信号をサンプリングする前記ステップが、前記第１の所定のシーケンスにより複数の第１の容量素子のそれぞれの容量素子に各アナログ出力信号値を蓄積することを含む、請求項９に記載の方法。
【請求項１１】
前記アナログリセット信号値をサンプリングする前記ステップが、前記第２の所定のシーケンスにより複数の容量素子のそれぞれの容量素子に各アナログリセット信号を蓄積することを含む、請求項９に記載の方法。
【請求項１２】
前記第１および前記第２の所定のシーケンスが、フル解像度未満の画素解像度条件により決定される、請求項９に記載の方法。
【請求項１３】
前記第１および前記第２の所定のシーケンスが、前記アクティブイメージセンサにおける１つの列読出し回路からの異なる列出力信号およびリセット信号値を補間することをさらに含む、請求項１２に記載の方法。
【請求項１４】
前記所定のシーケンスが、前記アクティブイメージセンサにおける１つの列読出し回路からの異なる列から同一色をサンプリングすることをさらに含む、請求項１３に記載の方法。
【請求項１５】
前記第１および前記第２の所定のシーケンスが、前記アクティブイメージセンサにおける異なる列読出し回路を補間することをさらに含む、請求項１２に記載の方法。
【請求項１６】
前記第１および前記第２の所定のシーケンスがベイヤーパターンにより決定される、請求項９に記載の方法。
【請求項１７】
前記組み合わされたアナログリセット信号から前記組み合わされたアナログ出力信号値を減算することを含む、請求項９に記載の方法。
【請求項１８】
前記センサのサンプリングされた信号値の色分離値を計算することをさらに含む、請求項１７に記載の方法。
【請求項１９】
電荷－ドメイン読出し回路であって、
複数の列読出し回路であって、それぞれがアクティブピクセルセンサの複数の画素の多重画素信号値とリセット信号値とをサンプリングして組合せ、各列読出し回路が、前記アクティブピクセルセンサにおけるセンサのそれぞれの列に関連する、前記複数の列読出し回路であり、それぞれ
前記センサの列からの前記多重画素信号値の各々を各別に蓄積する複数の第１の電荷蓄積素子と、
前記センサからの前記多重リセット信号値のそれぞれを各別に蓄積する複数の第２の電荷蓄積素子と、
それぞれ蓄積された前記多重画素信号値およびリセット信号値を組み合わせる組合せ回路とを有する列読出し回路と、
前記列読出し回路のうちの選択された回路によって蓄積された前記画素信号値を受信する第１バスと、
前記列読出し回路のうちの選択された回路によって蓄積された前記リセット信号値を受信する第２バスと、
を含む、電荷－ドメイン読出し回路。
【請求項２０】
前記組合せ回路の各々が、複数のスイッチを有し、

前記複数の電荷蓄積素子の各々は複数の電荷蓄積素子を有し、
複数の第１スイッチの各々が前記複数の第１の電荷蓄積素子のそれぞれに連結され、前記複数の第１のスイッチを選択的にイネーブルにして、前記電荷蓄積素子により蓄積される前記アレイ中のセンサからの信号をサンプリングすることができる、請求項１９に記載の回路。
【請求項２１】
各列読出し回路が複数の第２スイッチを含み、前記複数の第２スイッチを選択的にイネーブルにすると、前記複数の第１スイッチのうちの対応するスイッチをイネーブルにしてセンサからの値をサンプリングする際に、前記電荷蓄積素子の一方の側を基準電圧に保持することができる、請求項２０に記載の回路。
【請求項２２】
各列読出し回路が、選択的にイネーブルにされることで複数の電荷蓄積素子の各々の一方の側を共に短絡することのできるスイッチを含む、請求項２０に記載の回路。
【請求項２３】
前記列読出し回路同士の間に連結された列スイッチをさらに含み、前記列スイッチを選択的にイネーブルにすることで、アクティブピクセルセンサにおけるセンサの前記列に存在する、前記蓄積された画素信号値とリセット信号値を共に連結することができる、請求項１８に記載の回路。
【請求項２４】
センサアレイにおいてアクティブピクセルセンサからの値を読み出す方法であって、
列ライン上の読み出すべき値を有するセンサの複数の行を選択するステップと、
前記列ライン上の前記選択された行における複数のセンサに対する相関２重サンプリング値を蓄積するステップであって、前記センサが位置されている前記アレイ内の列に関連した各読出し回路内の対をなす電荷蓄積素子によって、各センサに対する前記値が蓄積される、前記ステップと、
前記蓄積した信号値を組み合わせるステップと、
前記読出し回路に共通したオペアンプベースの電荷検出回路を用いて、前記選択された行における前記複数のセンサに関連した前記蓄積値を検出するステップと、
を含む方法。
【請求項２５】
前記相関２重サンプリング値を蓄積することが、センサの信号値をサンプリングして蓄積することと、前記センサのリセット値をサンプリングして蓄積することとを含む、請求項２４に記載の方法。
【請求項２６】
複数の電荷蓄積素子の各々の組における第１の側を基準電圧に設定し、その後前記複数の電荷特席装置のそれぞれの第２の側に前記信号値およびリセット値を連結することを含む、請求項２５に記載の方法。
【請求項２７】
基準電圧を設定することが、前記共通したオペアンプベースの電荷検出回路から前記基準電圧を供給することを含む、請求項２６に記載の方法。
【請求項２８】
前記蓄積値を検出することが、前記オペアンプベースの電荷検出回路におけるフィードバック容量素子へと各読み取り回路内に蓄積された電荷を伝送するために、クローバースイッチを使用することを含む、請求項２７に記載の方法。
【請求項２９】
処理システムであって、
処理回路と、
電荷－ドメイン読出し回路を有する、前記処理回路に連結された撮像回路と、
を含み、前記読出し回路が：
各々がアクティブピクセルセンサの複数の画素信号値およびリセット値をサンプリング

して蓄積する複数の列読出し回路であって、各列読出し回路がアクティブピクセルセンサにおけるセンサの各列に関連する、前記列読出し回路であって、

前記センサの列からの前記多重画素信号値の各々を各別に蓄積する複数の第1の電荷蓄積素子、

前記センサの列からの前記多重リセット信号値の各々を各別に蓄積する複数の電荷蓄積素子、および

前記各別に蓄積された多重画素信号値およびリセット信号値を組み合わせる組合せ回路、

を有する読出し回路と；

前記列読出し回路のうちの選択された回路により蓄積された画素信号値を受け取る第１バスと；

前記列読出し回路のうちの選択された回路により蓄積された前記画素リセット信号値を受け取る第２バスと；を含む、処理システム。

【請求項３０】

前記組合せ回路の各々が複数の第１スイッチを有し、

複数の前記電荷蓄積素子の各々が複数の電荷蓄積素子を有し、

前記複数の第1のスイッチの各々が前記複数の電荷蓄積素子のそれぞれに連結され、前記複数のスイッチを選択的にイネーブルにして、前記電荷蓄積素子により蓄積される前記アレイ中のセンサからの信号をサンプリングすることができる、請求項２９に記載の処理システム。

【請求項３１】

各列読出し回路が複数の第２スイッチを含み、前記複数の第２スイッチを選択的にイネーブルにすると、前記第１スイッチのうちの対応するスイッチをイネーブルにしてセンサからの値をサンプリングする際に、前記電荷蓄積素子の一方の側を基準電圧に保持することができる、請求項３０に記載の処理システム。

【請求項３２】

各列読出し回路が、選択的にイネーブルにされることで複数の電荷蓄積素子の各々の一方の側を共に短絡することのできるスイッチを含む、請求項３１に記載の処理システム。

【請求項３３】

前記列読出し回路同士の間に連結された列スイッチをさらに含み、前記列スイッチを選択的にイネーブルにすることで、アクティブピクセルセンサにおけるセンサの前記列に存在する、前記蓄積された画素信号値とリセット値を共に連結することができる、請求項３２に記載の処理システム。