



2018 년 10 월 25 일 (25.10.2018) WIPO | PCT

(51) 국제특허분류:

H03M 3/04 (2006.01)

G01R 27/00 (2006.01)

H03F 3/38 (2006.01)

(21) 국제출원번호:

PCT/KR2017/012761

(22) 국제출원일:

2017 년 11 월 10 일 (10.11.2017)

(25) 출원언어:

한국어

(26) 공개언어:

한국어

(30) 우선권정보:

10-2017-0050260 2017 년 4 월 19 일 (19.04.2017) KR

(71) 출원인: 울산과학기술원 (ULSAN NATIONAL INSTITUTE OF SCIENCE AND TECHNOLOGY) [KR/KR];
44919 울산시 울주군 언양읍 유니스트길 50, Ulsan (KR).

(72) 발명자: 김재준 (KIM, Jae Joon); 44919 울산시 울주군 언양읍 유니스트길 50 울산과학기술원, Ulsan (KR).

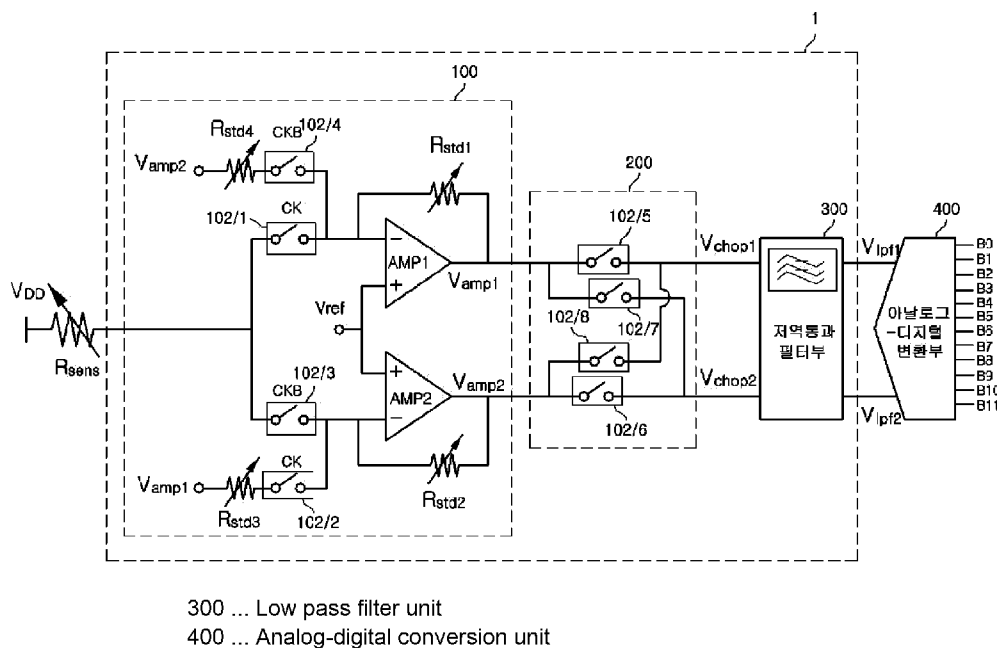
김승목 (KIM, Seungmok); 44919 울산시 울주군 언양읍 유니스트길 50 울산과학기술원, Ulsan (KR). 박경환 (PARK, Kyeong-Hwan); 44919 울산시 울주군 언양읍 유니스트길 50 울산과학기술원, Ulsan (KR).

(74) 대리인: 제일특허법인 (FIRSTLAW P.C.); 06775 서울시 서초구 마방로 60, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) Title: DIFFERENTIAL MODE CONVERTING DEVICE, AND MEASURING DEVICE USING DIFFERENTIAL MODE CONVERTING DEVICE

(54) 발명의 명칭: 차동 모드 변환 장치 및 차동 모드 변환 장치를 이용한 계측 장치



(57) Abstract: The present invention relates to a differential mode converting device and a measuring device using the same, and can comprise: a target resistor for measuring a resistance value; an input mode converting unit, which receives, in a single-ended mode, an input voltage provided through the target resistor, so as to convert the same into a first differential voltage and a second differential voltage which have square wave forms symmetrical to each other with respect to a reference voltage and output the same; a chopper unit, which receives the first differential voltage and the second differential voltage so as to output a first chopping voltage and a second chopping voltage which have direct current forms symmetrical to each other with respect to the reference voltage; a low pass filter unit, which receives the first chopping voltage and the second chopping voltage so as to output a first output voltage and a second output voltage with a minimized noise and offset; and an analog-to-digital conversion unit, which performs analog-to-digital conversion on the first output voltage and the second output voltage so as to output a digital signal corresponding to the resistance value of the

SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR,
TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역
내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE,
LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유
럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,
FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK,
MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

target resistor.

(57) 요약서: 본 발명은 차동 모드 변환 장치 및 이를 이용한 계측 장치에 관한 것으로, 저항값을 측정하기 위한 타겟 저항; 상기 타겟 저항을 거쳐 제공되는 입력 전압을 단일 모드(single-ended mode)로 입력 받아 기준 전압을 중심으로 서로 대칭되는 구형파 형태의 제1 차동 전압 및 제2 차동 전압으로 변환하여 출력하는 입력 모드 변환부; 상기 제1 차동 전압 및 상기 제2 차동 전압을 입력 받아 상기 기준 전압을 중심으로 서로 대칭되는 직류 형태의 제1 초평 전압 및 제2 초평 전압을 출력하는 초퍼부; 상기 제1 초평 전압 및 상기 제2 초평 전압을 입력 받아 노이즈와 오프셋을 최소화시켜 제1 출력 전압 및 제2 출력 전압을 출력하는 저역 통과 필터부; 및 상기 제1 출력 전압 및 상기 제2 출력 전압을 아날로그-디지털 변환하여 상기 타겟 저항의 저항값에 대응하는 디지털 신호를 출력하는 아날로그-디지털 변환부를 포함할 수 있다.

명세서

발명의 명칭: 차동 모드 변환 장치 및 차동 모드 변환 장치를 이용한 계측 장치

기술분야

- [1] 본 발명은 차동 모드 변환 장치 및 이를 이용한 계측 장치에 관한 것이다.

배경기술

- [2] 전자회로 분야, 특히 스위칭 디바이스, 저항 감지기 등의 계측 장비와 접목되는 전자회로 분야에서는 입력 전압 신호의 왜곡을 최소화하고 정확성을 극대화하기 위한 연구가 지속적으로 진행되고 있다.
- [3] 예컨대, 입력되는 DC(Direct Current) 전압에 대해 노이즈(noise)나 오프셋(offset) 전압은 최소화시키고 DC 입력신호 성분만을 상향 변조하여 출력함으로써 저항값과 같은 계측 정보를 정확히 얻을 수 있는 기술이 필요하며, 전자회로에서의 초핑(chopping)은 이러한 필요성에 의해 연구된 전력 변환 기술의 하나의 원리라고 볼 수 있다.
- [4] 그런데, 초핑 원리에 의해 제작되는 초퍼 회로는 두 개의 차동(differential) 입력을 전제로 하기 때문에, 단일(single-ended) 입력을 필요로 하는 대부분의 전자기기들, 예를 들어 의료기기, 휴대폰 등의 전자기기에는 초퍼 회로를 실질적으로 적용하기 어렵다는 한계가 있다.

발명의 상세한 설명

기술적 과제

- [5] 본 발명의 실시예에서는, 단일 모드로 입력된 전력 신호를 차동 모드로 변환하여 초퍼 회로의 차동 입력 신호로 인가할 수 있는 차동 모드 변환 장치를 제공하고자 한다.
- [6] 또한, 본 발명의 실시예에서는, 단일 모드로 입력된 신호를 차동 모드로 변환하여 초퍼 회로의 차동 입력 신호로 인가하되, 초퍼 회로의 차동 출력 신호를 아날로그-디지털(Analog to Digital) 변환하여 계측 정확도와 높은 분해능을 제공할 수 있는 차동 모드 변환 장치를 이용한 계측 장치를 제공하고자 한다.

과제 해결 수단

- [7] 본 발명의 일 실시예에 따르면, 입력 전압을 단일 모드(single-ended mode)로 입력 받아 기준 전압을 중심으로 서로 대칭되는 구형파 형태의 제1 차동 전압 및 제2 차동 전압으로 변환하여 출력하는 입력 모드 변환부; 상기 제1 차동 전압 및 상기 제2 차동 전압을 입력 받아 상기 기준 전압을 중심으로 서로 대칭되는 직류 형태의 제1 초핑 전압 및 제2 초핑 전압을 출력하는 초퍼부; 및 상기 제1 초핑 전압 및 상기 제2 초핑 전압을 입력 받아 노이즈와 오프셋을 최소화시켜 제1 출력 전압 및 제2 출력 전압을 출력하는 저역 통과 필터부를 포함하는 차동 모드

변환 장치를 제공할 수 있다.

- [8] 본 발명의 다른 실시예에 따르면, 저항값을 측정하기 위한 타겟 저항; 상기 타겟 저항을 거쳐 제공되는 입력 전압을 단일 모드로 입력 받아 기준 전압을 중심으로 서로 대칭되는 구형파 형태의 제1 차동 전압 및 제2 차동 전압으로 변환하여 출력하는 입력 모드 변환부; 상기 제1 차동 전압 및 상기 제2 차동 전압을 입력 받아 상기 기준 전압을 중심으로 서로 대칭되는 직류 형태의 제1 초핑 전압 및 제2 초핑 전압을 출력하는 초퍼부; 상기 제1 초핑 전압 및 상기 제2 초핑 전압을 입력 받아 노이즈와 오프셋을 최소화시켜 제1 출력 전압 및 제2 출력 전압을 출력하는 저역 통과 필터부; 및 상기 제1 출력 전압 및 상기 제2 출력 전압을 아날로그-디지털 변환하여 상기 타겟 저항의 저항값에 대응하는 디지털 신호를 출력하는 아날로그-디지털 변환부를 포함하는 계측 장치를 제공할 수 있다.

발명의 효과

- [9] 본 발명의 실시예에 의하면, 단일 모드 입력을 차동 모드로 변환하여 초퍼 회로의 차동 입력 신호로 인가할 수 있는 차동 모드 변환 장치를 제공함으로써, 노이즈와 오프셋 전압을 최소화하는 초퍼 회로의 기능을 유지하면서 단일 모드로의 입력이 가능하다. 또한, 본 발명의 실시예에 의하면, 단일 모드로 입력된 신호를 차동 모드로 변환하여 초퍼 회로의 차동 입력 신호로 인가되, 초퍼 회로의 차동 출력 신호를 저역 통과 필터부를 거친 후 아날로그-디지털 변환하여 계측 정확도와 높은 분해능을 제공할 수 있다.

도면의 간단한 설명

- [10] 도 1은 본 발명의 일 실시예에 따른 차동 모드 변환 장치의 구성도이다.
 [11] 도 2a는 도 1의 입력 모드 변환부의 제1 차동 전압의 파형을 예시한 도면이다.
 [12] 도 2b는 도 1의 입력 모드 변환부의 제2 차동 전압의 파형을 예시한 도면이다.
 [13] 도 3a는 도 1의 초퍼부의 제1 초핑 전압의 파형을 예시한 도면이다.
 [14] 도 3b는 도 1의 초퍼부의 제2 초핑 전압의 파형을 예시한 도면이다.
 [15] 도 4는 도 1의 저역 통과 필터부(Low Pass Filter)의 출력 파형을 예시한 도면이다.
 [16] 도 5는 본 발명의 다른 실시예에 따른 차동 모드 변환 장치를 이용한 계측 장치의 구성도이다.
 [17] 도 6 및 도 7은 도 5의 계측 장치에서 클럭 신호에 따른 스위치의 동작 과정을 예시한 구성도이다.
 [18] 도 8은 도 5의 아날로그-디지털 변환부를 통해 출력된 디지털 비트로부터 저항값을 측정하기 위한 시스템 예시도이다.

발명의 실시를 위한 최선의 형태

- [19] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본

발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명의 범주는 청구항에 의해 정의될 뿐이다.

- [20] 본 발명의 실시예들을 설명함에 있어서 공지 기능 또는 구성에 대한 구체적인 설명은 본 발명의 실시예들을 설명함에 있어 실제로 필요한 경우 외에는 생략될 것이다. 그리고 후술되는 용어들은 본 발명의 실시예에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- [21] 본 발명의 실시예에서는, 단일 모드로 입력된 신호를 차동 모드로 변환하여 초퍼 회로의 차동 입력 신호로 인가할 수 있는 차동 모드 변환 장치를 제공하고자 하며, 초퍼 회로의 차동 출력 신호를 저역 통과 필터링한 후 아날로그-디지털 변환하여 계측 정확도와 높은 분해능을 제공하고자 하는 것으로, 이러한 기술사상으로부터 본 발명의 목적으로 하는 바를 용이하게 달성할 수 있을 것이다.
- [22] 이하, 첨부된 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명하기로 한다.
- [23] 도 1은 본 발명의 일 실시예에 따른 차동 모드 변환 장치(1)의 개략도이며, 도시된 바와 같이 이 장치는, 타겟 저항(R_{sens}), 입력 모드 변환부(100), 초퍼부(chopper)(200), 저역 통과 필터부(Low Pass Filter)(300)를 포함할 수 있다.
- [24] 도 1에 도시한 바와 같이, 타겟 저항(R_{sens})은 저항값을 측정하고자 하는 저항 소자로서, 그 일단이 입력 전압(V_{DD})에 연결되고, 그 타단이 입력 모드 변환부(100)의 제1 스위치(102/1) 및 제3 스위치(102/3)의 일단에 각각 연결될 수 있다.
- [25] 입력 모드 변환부(100)는 입력 전압(V_{DD})을 단일 모드(single-ended mode)로 입력 받아 기준 전압(V_{ref})을 중심으로 서로 대칭되는 구형파 형태의 제1 차동 전압(V_{amp1}) 및 제2 차동 전압(V_{amp2})으로 변환하여 출력하는 역할을 한다.
- [26] 이러한 입력 모드 변환부(100)는 제1 증폭기(AMP1), 제2 증폭기(AMP2), 제1 내지 제4 스위치(102/1~102/4) 및 제1 내지 제4 저항(R_{std1} ~ R_{std4})을 포함할 수 있다.
- [27] 제1 증폭기(AMP1)는 측정하고자 하는 타겟 저항(R_{sens})을 지나 신호가 입력되는 제1 입력단(inverting input terminal), 기준 전압(V_{ref})이 입력되는 제2 입력단(non-inverting input terminal) 및 제1 차동 전압(V_{amp1})을 출력하는 제1 출력단으로 구성될 수 있다.
- [28] 제2 증폭기(AMP2)는 측정하고자 하는 타겟 저항(R_{sens})을 지나 신호가 입력되는 제3 입력단(inverting input terminal), 기준 전압(V_{ref})이 입력되는 제4 입력단(non-inverting input terminal) 및 제2 차동 전압(V_{amp2})을 출력하는 제2

출력단으로 구성될 수 있다.

- [29] 이러한 제1 및 제2 증폭기(AMP1, AMP2)는, 예를 들어 두 개의 입력단과 한 개의 출력단을 갖는 연산 증폭기(Operational Amplifier)를 포함할 수 있다. 다만, 이러한 연산 증폭기는 예시일 뿐이며, 각각 두 개의 입력단과 한 개의 출력단을 갖는 두 개의 증폭기를 구현할 수 있다면 본 발명의 실시예를 구현하기 위한 다양한 형태의 증폭기를 적용할 수 있음을 이해해야 할 것이다.
- [30] 제1 스위치(102/1)는 입력 전압(V_{DD})과 그 일단이 연결되고, 제1 증폭기(AMP1)의 제1 입력단과 그 타단이 연결될 수 있다.
- [31] 제2 스위치(102/2)는 제1 증폭기(AMP1)의 제1 출력단과 그 일단이 연결되고, 제2 증폭기(AMP2)의 제3 입력단과 그 타단이 연결될 수 있다.
- [32] 제3 스위치(102/3)는 입력 전압(V_{DD})과 그 일단이 연결되고, 제2 증폭기(AMP2)의 제3 입력단과 그 타단이 연결될 수 있다.
- [33] 제4 스위치(102/4)는 제2 증폭기(AMP2)의 제2 출력단과 그 일단이 연결되고, 제1 증폭기(AMP1)의 제1 입력단과 그 타단이 연결될 수 있다.
- [34] 여기서, 제1 스위치(102/1) 및 제2 스위치(102/2)는 도 2a 및 도 2b의 제1 클럭 신호(CK)의 논리상태가 하이(high)일 때 온(ON)상태가 되고, 제3 스위치(102/3) 및 제4 스위치(102/4)는 도 2a 및 도 2b의 제2 클럭 신호(CKB)의 논리상태가 하이(high)일 때 온(ON)상태가 된다. 구체적으로, 도 2a 및 도 2b에 도시된 바와 같이, 제1 클럭 신호(CK)의 논리상태 하이(high)가 되면, 제1 스위치(102/1)를 통해 제1 차동 전압(V_{amp1})의 $V_{ref}-\alpha$ 전압이 생성되고 제2 스위치(102/2)를 통해 제2 차동 전압(V_{amp2})의 $V_{ref}+\alpha$ 전압이 생성될 수 있다. 이 두 차동 전압(V_{amp1} 및 V_{amp2})은 기준 전압(V_{ref})을 중심으로 서로 대칭되는 형태로 출력될 수 있다. 반면, 제2 클럭 신호(CKB)의 논리상태 하이가 되면, 제3 스위치(102/3)를 통해 제2 차동 전압(V_{amp2})의 $V_{ref}-\alpha$ 전압이 생성되고, 제4 스위치(102/4)를 통해 제1 차동 전압(V_{amp1})의 $V_{ref}+\alpha$ 전압이 생성될 수 있다. 이 경우에도 두 차동 전압(V_{amp1} 및 V_{amp2})은 그 값만 바뀌었을 뿐 기준 전압(V_{ref})을 중심으로 서로 대칭되는 형태를 유지할 수 있다. 제1 클럭 신호(CK)와 제2 클럭 신호(CKB)는 항상 반대의 논리상태를 가진다. 따라서 제1 스위치(102/1)와 제2 스위치(102/2)는 제3 스위치(102/3)와 제4 스위치(102/4)의 논리상태 또한 항상 반대이다. 이와 같은 제1 클럭 신호(CK) 및 제2 클럭 신호(CKB)는 후술하는 클럭신호 발생기에 의해 생성될 수 있으며, 이러한 클럭신호 발생기의 클럭 신호에 따른 스위치들(102/1~102/4)의 동작 과정은 도 6 및 도 7에서 구체적으로 다루기로 한다.
- [35] 제1 저항(R_{std1})은 제1 증폭기(AMP1)의 제1 입력단과 제1 출력단 사이에 위치하고, 제2 저항(R_{std2})은 제2 증폭기(AMP2)의 제3 입력단과 제2 출력단 사이에 위치할 수 있다. 또한, 제3 저항(R_{std3})은 제2 스위치(102/2)와 제1 증폭기(AMP1)의 제1 출력단 사이에 위치하고, 제4 저항(R_{std4})은 제4 스위치(102/4)와 제2 증폭기(AMP2)의 제2 출력단 사이에 위치할 수 있다.
- [36] 여기서, 제1 저항(R_{std1}), 제2 저항(R_{std2}), 제3 저항(R_{std3}) 및 제4 저항(R_{std4})은

동일한 저항값을 갖는 기준 저항일 수 있다.

- [37] 도 2a 및 도 2b는 도 1의 입력 모드 변환부(100)의 출력 파형을 예시한 도면이다.
- [38] 구체적으로, 도 2a는 입력 모드 변환부(100)의 제1 증폭기(AMP1)의 제1 출력단을 통해 출력되는 제1 차동 전압(V_{amp1})의 파형이고, 도 2b는 입력 모드 변환부(100)의 제2 증폭기(AMP2)의 제2 출력단을 통해 출력되는 제2 차동 전압(V_{amp2})의 파형을 각각 예시하고 있다. 여기서, 클럭 신호(CK)의 논리상태가, 예를 들어, 하이인 경우, 클럭 신호(CKB)는 클럭 신호(CK)와 반대인 논리상태로 우이다.
- [39] 도 2a 및 도 2b에서 알 수 있듯이, 제1 차동 전압(V_{amp1}) 및 제2 차동 전압(V_{amp2})은 기준 전압(V_{ref})을 중심으로 서로 대칭되는 구형파 형태로 출력될 수 있다.
- [40] 다시 도 1을 참조하면, 본 발명의 실시예에 따른 차동 모드 변환 장치(1)의 초퍼부(200)는, 입력 모드 변환부(100)로부터 제1 차동 전압(V_{amp1}) 및 제2 차동 전압(V_{amp2})을 입력 받아 기준 전압(V_{ref})을 중심으로 서로 대칭되는 직류 형태의 제1 초핑 전압(V_{chop1}) 및 제2 초핑 전압(V_{chop2})을 출력할 수 있다.
- [41] 이러한 초퍼부(200)는 도 1에 도시한 바와 같이, 제1 차동 전압(V_{amp1})의 입력단, 제2 차동 전압(V_{amp2})의 입력단, 제1 초핑 전압(V_{chop1})의 출력단, 제2 초핑 전압(V_{chop2})의 출력단 및 제5 내지 제8 스위치(102/5, 102/6, 102/7, 102/8)를 포함할 수 있다.
- [42] 도 1에 도시한 바와 같이, 제5 스위치(102/5)의 일단은 입력 모드 변환부(100)의 제1 차동 전압(V_{amp1})의 출력단과 연결되고, 제5 스위치(102/5)의 타단으로 제1 초핑 전압(V_{chop1})이 출력될 수 있다.
- [43] 제6 스위치(102/6)는 그 일단이 입력 모드 변환부(100)의 제2 차동 전압(V_{amp2})의 출력단과 연결되고, 제6 스위치(102/6)의 타단으로 제2 초핑 전압(V_{chop2})을 출력할 수 있다.
- [44] 제7 스위치(102/7)는 그 일단이 입력 모드 변환부(100)의 제1 차동 전압(V_{amp1})의 출력단과 연결되고, 그 타단으로 제2 초핑 전압(V_{chop2})을 출력할 수 있다.
- [45] 제8 스위치(102/8)는 그 일단이 입력 모드 변환부(100)의 제2 차동 전압(V_{amp2})의 출력단과 연결되고, 그 타단으로 제1 초핑 전압(V_{chop1})을 출력할 수 있다.
- [46] 여기서, 제5 스위치(102/5) 및 제6 스위치(102/6)는 제1 클럭 신호(CK)의 논리상태가 하이(high)일 때 온(ON)상태가 되고, 제7 스위치(102/7) 및 제8 스위치(102/8)는 제2 클럭 신호(CKB)의 논리상태가 하이(high)일 때 온(ON)상태가 된다. 구체적으로, 제1 클럭 신호(CK)의 논리상태가 하이가 되면, 제5 스위치(102/5)를 통해 제1 차동 전압(V_{amp1})의 $V_{ref}-\alpha$ 전압이 생성되고 제6 스위치(102/6)를 통해 제2 차동 전압(V_{amp2})의 $V_{ref}+\alpha$ 전압이 생성될 수 있다. 또한, 제2 클럭 신호(CKB)의 논리상태가 하이가 되면, 제7 스위치(102/7)를 통해 제1 차동 전압(V_{amp1})의 $V_{ref}+\alpha$ 전압이 생성되고 제8 스위치(102/8)를 통해 제2 차동 전압(V_{amp2})의 $V_{ref}-\alpha$ 전압이 생성될 수 있다. 따라서, 결론적으로 제1 클럭 신호(CK) 및 제2 클럭 신호(CKB)의 하이/로우일 때와 관계 없이 제1 차동 전압(V

- amp1)에는 $V_{ref}-\alpha$ 전압이, 제2 차동 전압(V_{amp2})에는 $V_{ref}+\alpha$ 전압이 유지된다.
- [47] 이러한, 초퍼부(200)는 각각 입력 모드 변환부(100)의 제1 클럭 신호(CK) 및 제2 클럭 신호(CKB)와 동일하게 동작한다. 따라서, 이러한 초퍼부(200)의 클럭 동작에 의해 출력되는 제1 초핑 전압(V_{chop1})은 도 3a의 파형과 같으며, 제2 초핑 전압(V_{chop2})은 도 3b의 파형과 같이 각각 예시될 수 있다. 이와 같은 초퍼부(200)의 제1 클럭 신호(CK) 및 제2 클럭 신호(CKB)도 마찬가지로 클럭신호 발생기에 의해 생성될 수 있으며, 이러한 클럭신호 발생기의 클럭 신호에 따른 초퍼부 내의 스위치들(102/5~102/8)의 동작 과정은 도 6 및 도 7에서 구체적으로 다루기로 한다.
- [48] 저역 통과 필터부(300)는 초퍼부(200)에서 출력된 제1 초핑 전압(V_{chop1}) 및 제2 초핑 전압(V_{chop2})의 고주파 노이즈(noise)와 오프셋(offset)을 제거하는 역할을 할 수 있다.
- [49] 실제 환경에서는 도 3a 및 도 3b와 같이 완벽한 직류 형태의 전압이 출력되지 않으며, 고주파 노이즈와 오프셋 성분이 결합되어 왜곡된 형태의 파형이 생성될 가능성이 있다. 따라서, 본 발명의 실시예에서는 뒷 단에 저역 통과 필터부(300)를 추가하여 고주파 노이즈와 오프셋을 제거하도록 구현하였다.
- [50] 도 4는 이러한 저역 통과 필터부(300)를 통해 고주파 노이즈 및 오프셋이 제거된 후 출력되는 최종 출력 파형을 예시한 도면이다.
- [51] 도 4에서는 기준 전압(V_{ref})을 0.9V로 예시하였으며, 이러한 기준 전압(V_{ref})을 중심으로 크기 차이가 동일한 대칭된 형태의 전압이 출력됨을 알 수 있다. 이때, 입력 전압(V_{DD}) 및 타겟 저항(R_{sens})의 값에 따라 기준 전압(V_{ref})을 중심으로 출력되는 전압의 크기 차이가 달라질 수 있다. 도 4에서 도면부호 B는 타겟 저항(R_{sens})의 저항값이 변경되어 출력 전압의 크기가 변경되는 지점을 예시적으로 나타낸 것이다.
- [52] 도 5는 본 발명의 실시예에 따른 차동 모드 변환 장치(1)를 이용한 계측 장치의 구성도로서, 도 1에 도시된 차동 모드 변환 장치에 타겟 저항(R_{sens}) 및 아날로그-디지털 변환부(400)를 추가적으로 포함할 수 있다.
- [53] 도 5에 도시된 타겟 저항(R_{sens})은 도 5의 계측 장치를 통해 그 저항값을 측정하고자 하는 저항 소자로, 그 일단이 입력 전압(V_{DD})에 연결되고, 그 타단이 입력 모드 변환부(100)의 제1 스위치(102/1) 및 제3 스위치(102/3)의 일단에 각각 연결될 수 있다.
- [54] 입력 모드 변환부(100)는 타겟 저항(R_{sens})을 거쳐 제공되는 입력 전압(V_{DD})을 단일 모드로 입력 받아 기준 전압(V_{ref})을 중심으로 서로 대칭되는 구형파 형태의 제1 차동 전압(V_{amp1}) 및 제2 차동 전압(V_{amp2})으로 변환하여 출력하는 역할을 한다.
- [55] 이러한 입력 모드 변환부(100)는 제1 증폭기(AMP1), 제2 증폭기(AMP2), 제1 스위치(102/1), 제2 스위치(102/2), 제3 스위치(102/3), 제4 스위치(102/4), 제1 내지 제4 저항($R_{std1}\sim R_{std4}$)를 포함할 수 있다.

- [56] 제1 증폭기(AMP1)는 측정하고자 하는 타겟 저항(R_{sens})을 지나 신호가 입력되는 제1 입력단(inverting input terminal), 기준 전압(V_{ref})이 입력되는 제2 입력단(non-inverting input terminal) 및 제1 차동 전압(V_{amp1})을 출력하는 제1 출력단으로 구성될 수 있다.
- [57] 제2 증폭기(AMP2)는 측정하고자 하는 타겟 저항(R_{sens})을 지나 신호가 입력되는 제3 입력단(inverting input terminal), 기준 전압(V_{ref})이 입력되는 제4 입력단(non-inverting input terminal) 및 제2 차동 전압(V_{amp2})을 출력하는 제2 출력단으로 구성될 수 있다.
- [58] 이러한 제1 및 제2 증폭기(AMP1, AMP2)는, 예를 들어 두 개의 입력단과 한 개의 출력단을 갖는 연산 증폭기(Operational Amplifier)를 포함할 수 있다. 다만, 이러한 연산 증폭기는 예시일 뿐이며, 각각 두 개의 입력단과 한 개의 출력단을 갖는 두 개의 증폭기를 구현할 수 있다면 본 발명의 실시예를 구현하기 위한 다양한 형태의 증폭기를 적용할 수 있음을 이해해야 할 것이다.
- [59] 제1 스위치(102/1)는 입력 전압(V_{DD})과 그 일단이 연결되고, 제1 증폭기(AMP1)의 제1 입력단과 그 타단이 연결될 수 있다.
- [60] 제2 스위치(102/2)는 제1 증폭기(AMP1)의 제1 출력단과 그 일단이 연결되고, 제2 증폭기(AMP2)의 제3 입력단과 그 타단이 연결될 수 있다.
- [61] 제3 스위치(102/3)는 입력 전압(V_{DD})과 그 일단이 연결되고, 제2 증폭기(AMP2)의 제3 입력단과 그 타단이 연결될 수 있다.
- [62] 제4 스위치(102/4)는 제2 증폭기(AMP2)의 제2 출력단과 그 일단이 연결되고, 제1 증폭기(AMP1)의 제1 입력단과 그 타단이 연결될 수 있다.
- [63] 여기서, 도 2a 및 도 2b에 도시된 바와 같이, 제1 클럭 신호(CK)의 논리상태가 하이(high)가 되면, 제1 스위치(102/1)를 통해 제1 차동 전압(V_{amp1})의 $V_{ref}-\alpha$ 전압이 생성되고 제2 스위치(102/2)를 통해 제2 차동 전압(V_{amp2})의 $V_{ref}+\alpha$ 전압이 생성될 수 있다. 이 두 차동 전압(V_{amp1} 및 V_{amp2})은 기준 전압(V_{ref})을 중심으로 서로 대칭되는 형태로 출력될 수 있다. 반면, 제2 클럭 신호(CKB)의 논리상태가 하이가 되면, 제3 스위치(102/3)를 통해 제2 차동 전압(V_{amp2})의 $V_{ref}-\alpha$ 전압이 생성되고, 제4 스위치(102/4)를 통해 제1 차동 전압(V_{amp1})의 $V_{ref}+\alpha$ 전압이 생성될 수 있다. 이 경우에도 두 차동 전압(V_{amp1} 및 V_{amp2})은 그 값만 바뀌었을 뿐 기준 전압(V_{ref})을 중심으로 서로 대칭되는 형태를 유지할 수 있다. 제1 클럭 신호(CK)와 제2 클럭 신호(CKB)는 항상 반대의 논리상태를 가진다. 따라서 제1 스위치(102/1)와 제2 스위치(102/2)는 제3 스위치(102/3)와 제4 스위치(102/4)의 논리상태 또한 항상 반대이다. 이와 같은 제1 클럭 신호(CK) 및 제2 클럭 신호(CKB)는 후술하는 클럭신호 발생기에 의해 생성될 수 있으며, 이러한 클럭신호 발생기의 클럭 신호에 따른 스위치들(102/1~102/4)의 동작 과정은 도 6 및 도 7에서 구체적으로 다루기로 한다.
- [64] 제1 저항(R_{std1})은 제1 증폭기(AMP1)의 제1 입력단과 제1 출력단 사이에 위치하고, 제2 저항(R_{std2})은 제2 증폭기(AMP2)의 제3 입력단과 제2 출력단

사이에 위치할 수 있다. 또한, 제3 저항(R_{std3})은 제2 스위치(102/2)와 제1 증폭기(AMP1)의 제1 출력단 사이에 위치하고, 제4 저항(R_{std4})은 제4 스위치(102/4)와 제2 증폭기(AMP2)의 제2 출력단 사이에 위치할 수 있다.

[65] 여기서, 제1 저항(R_{std1}), 제2 저항(R_{std2}), 제3 저항(R_{std3}) 및 제4 저항(R_{std4})은 동일한 저항값을 갖는 기준 저항일 수 있다.

[66] 도 2a 및 도 2b는 도 5의 입력 모드 변환부(100)의 출력 파형을 예시한 도면이다.

[67] 구체적으로, 도 2a는 입력 모드 변환부(100)의 제1 증폭기(AMP1)의 제1 출력단을 통해 출력되는 제1 차동 전압(V_{amp1})의 파형이고, 도 2b는 입력 모드 변환부(100)의 제2 증폭기(AMP2)의 제2 출력단을 통해 출력되는 제2 차동 전압(V_{amp2})의 파형을 각각 예시하고 있다. 여기서, 클럭 신호(CK)의 논리상태가, 예를 들어, 하이인 경우, 클럭 신호(CKB)는 클럭신호(CK)와 반대인 논리상태로우이다.

[68] 이러한 제1 차동 전압(V_{amp1})의 출력을 구하기 위해서는 입력 전압(V_{DD})과 제1 증폭기(AMP1) 및 제2 증폭기(AMP2) 사이의 등가 회로 조건을 적용할 수 있다.

[69] 도 6은 클럭 신호에 따른 스위치들(102/1~102/8)의 동작 과정을 예시적으로 나타낸 도면으로서, 논리상태가 하이인 제1 클럭 신호(CK)에 의해 제1 스위치(102/1) 및 제2 스위치(102/2)가 온(ON)상태이고, 논리상태가 로우인 제2 클럭 신호(CKB)에 의해 제3 스위치(102/3) 및 제4 스위치(102/4)가 오프(OFF)상태인 경우를 예시한 것이다. 이때의 클럭 신호는 클럭 신호 발생기(106)로부터 발생될 수 있으며, 본 발명의 실시예에서는 클럭 신호 발생기(106)는 계측 장치 내에 포함되거나 계측 장치 외부에 별도로 마련될 수 있으며, 그 구성은 회로 설계에 따라 선택적으로 채용될 수 있음을 이해할 필요가 있다.

[70] 제1 증폭기(AMP1)의 제1 입력단에서 KCL(Kirchhoff's Current Law)을 적용하면 다음 [수학식 1]과 같이 표현될 수 있다.

[71] [수학식 1]

$$[72] \quad (V_{DD}-V_{ref})/R_{sens} = (V_{ref}-V_{amp1})/R_{std}$$

[73] 따라서, 제1 스위치(102/1) 및 제2 스위치(102/2)가 온상태이고, 제3 스위치(102/3) 및 제4 스위치(102/4)가 오프상태 일 때, [수학식 1]을 제1 차동 전압(V_{amp1})을 기준으로 정리하면 제1 차동 전압(V_{amp1})은 다음 [수학식 2]과 같이 표현될 수 있다.

[74] [수학식 2]

$$[75] \quad V_{amp1} = V_{ref} - (R_{std}/R_{sens})(V_{DD}-V_{ref})$$

[76] 여기서, V_{amp1} 은 제1 차동 전압, V_{ref} 는 기준 전압, R_{std} 는 기준 저항, R_{sens} 는 타겟 저항, V_{DD} 는 입력 전압을 각각 나타낸다.

[77] 또한, 제2 차동 전압(V_{amp2})의 출력을 구하기 위해서는 입력 전압(V_{DD})과 제1 증폭기(AMP1) 및 제2 증폭기(AMP2) 사이의 등가 회로 조건을 적용할 수 있으며, 이는 제1 스위치(102/1) 및 제2 스위치(102/2)가 온(ON)상태이고, 제3

스위치(102/3) 및 제4 스위치(102/4)가 오프(OFF)상태일때, 증폭기(AMP)의 제2 입력단에서 KCL을 적용하면 [수학식 3]과 같이 표현될 수 있다.

[78] [수학식 3]

$$[79] \quad (V_{amp1} - V_{ref})/R_{std} = (V_{ref} - V_{amp2})/R_{std}$$

[80] 이러한 [수학식 3]에 [수학식 2]를 대입하여 제2 차동 전압(V_{amp2})을 기준으로 정리하면 다음 [수학식 4]와 같이 표현될 수 있다.

[81] [수학식 4]

$$[82] \quad V_{amp2} = V_{ref} + (R_{std}/R_{sens})(V_{DD} - V_{ref})$$

[83] 반대로, 도 7에 예시한 바와 같이, 논리상태가 로우인 제1 클럭 신호(CK)에 의해 제1 스위치(102/1) 및 제2 스위치(102/2)가 오프(OFF)상태가 되고, 논리상태 하이인 제2 클럭 신호(CKB)에 의해 제3 스위치(102/3) 및 제4 스위치(102/4)가 온(ON)상태가 된 경우, 같은 방식으로 KCL을 적용하면 제1 차동 전압(V_{amp1}) 및 제2 차동 전압(V_{amp2})의 출력 파형은 다음 [수학식 5] 및 [수학식 6]으로 각각 표현될 수 있다.

[84] [수학식 5]

$$[85] \quad V_{amp1} = V_{ref} + (R_{std}/R_{sens})(V_{DD} - V_{ref})$$

[86] [수학식 6]

$$[87] \quad V_{amp2} = V_{ref} - (R_{std}/R_{sens})(V_{DD} - V_{ref})$$

[88] 이와 같이 전개된 수학식들과 도 2a 및 도 2b에서 알 수 있듯이, 제1 차동 전압(V_{amp1}) 및 제2 차동 전압(V_{amp2})은 기준 전압(V_{ref})을 중심으로 서로 대칭되는 구형파 형태로 출력될 수 있다.

[89] 다시 도 6을 참조하면, 본 발명의 실시예에 따른 차동 모드 변환 장치(1)의 초퍼부(200)는, 입력 모드 변환부(100)로부터 제1 차동 전압(V_{amp1}) 및 제2 차동 전압(V_{amp2})을 입력 받아 기준 전압(V_{ref})을 중심으로 서로 대칭되는 직류 형태의 제1 초핑 전압(V_{chop1}) 및 제2 초핑 전압(V_{chop2})을 출력할 수 있다.

[90] 이러한 초퍼부(200)는 도 3에 도시한 바와 같이, 제1 차동 전압(V_{amp1})의 입력단, 제2 차동 전압(V_{amp2})의 입력단, 제1 초핑 전압(V_{chop1})의 출력단, 제2 초핑 전압(V_{chop2})의 출력단 및 제5 내지 제8 스위치(102/5~102/8)를 포함할 수 있다.

[91] 이러한 초퍼부(200)는 도 1의 실시예에서 설명한 내용과 동일하므로, 도 5 내지 도 7의 실시예에서의 구체적인 설명은 생략하기로 한다.

[92] 저역 통과 필터부(300)는 초퍼부(200)에서 출력된 제1 초핑 전압(V_{chop1}) 및 제2 초핑 전압(V_{chop2})의 고주파 노이즈와 오프셋을 제거하는 역할을 할 수 있다.

[93] 저역 통과 필터부(300)에서 고주파 노이즈 및 오프셋이 제거된 제1 초핑 전압(V_{chop1}) 및 제2 초핑 전압(V_{chop2})은 기준 전압(V_{ref})을 중심으로 크기 차이가 동일한 대칭된 형태의 제1 출력 전압(V_{lpf1}) 및 제2 출력 전압(V_{lpf2})이며, 이러한 제1 출력 전압(V_{lpf1}) 및 제2 출력 전압(V_{lpf2})은 아날로그-디지털 변환부(400)로 제공될 수 있다.

[94] 도 4의 파형과 같이, 저역 통과 필터부(300)를 통해 고주파 노이즈 및 오프셋이

제거된 제1 출력 전압(V_{lpf1}) 및 제2 출력 전압(V_{lpf2})의 기준 전압(V_{ref})을 중심으로 한 크기 차이는 입력 전압(V_{DD}) 및 기준 저항(R_{std})의 값에 따라 달라질 수 있다. 기준저항(R_{std})의 값이 클수록 작은 R_{sens} 의 변화에도 큰 크기 차이의 출력전압을 만들어 내며 이는 아날로그-디지털 변환부(400)가 출력 전압을 디지털 비트로 출력하여 더 높은 분해능으로 저항을 감지하기 용이하다.

[95] 아날로그-디지털 변환부(400)는 저역 통과 필터부(300)로부터 제공된 제1 출력 전압(V_{lpf1}) 및 제2 출력 전압(V_{lpf2})을 아날로그-디지털 변환하여 타겟 저항(10)의 저항값에 대응하는 디지털 신호를 출력할 수 있다.

[96] 이러한 아날로그-디지털 변환부(400)는, 예를 들어 기 설정된 비트의 분해능을 갖는 아날로그-디지털 변환기를 포함할 수 있다. 예를 들어, 아날로그-디지털 변환부(400)는 12비트의 분해능을 갖는 SAR(Successive Approximation Resister) 아날로그-디지털 변환기를 포함할 수 있다.

[97] 만일, 아날로그-디지털 변환부(400)가 12비트의 분해능을 가질 경우, 제1 출력 전압(V_{lpf1})은 다음 [수학식 7]과 같이 표현될 수 있다.

[98] [수학식 7]

[99]
$$V_{lpf1} = (V_{DD}/2^{12}) * (2^{11} * D_{11} + 2^{10} * D_{10} + 2^9 * D_9 + 2^8 * D_8 + 2^7 * D_7 + 2^6 * D_6 + 2^5 * D_5 + 2^4 * D_4 + 2^3 * D_3 + 2^2 * D_2 + 2^1 * D_1 + 2^0 * D_0)$$

[100] 제1 출력 전압(V_{lpf1})은 [수학식 2]의 제1 차동 전압(V_{amp1})에서 노이즈와 오프셋을 제거한 것을 제외하고 동일한 계산식이므로 다음 [수학식 8]이 성립될 수 있다.

[101] [수학식 8]

[102]
$$V_{lpf1} = V_{amp1} = V_{ref} - (R_{std}/R_{sens}) * (V_{DD} - V_{ref})$$

[103] 이러한 [수학식 8]에 각각의 변수를 대입할 경우, 타겟 저항(10)의 저항값(R_{sens})을 알 수 있다.

[104] 예컨대, 입력 전압(V_{DD})을 1.8V, 기준 전압(V_{ref})을 0.9V, 12비트 분해능을 갖는 아날로그-디지털 변환부(400)의 바이너리 코드(binary code)를 010111010001로 가정할 경우, 다음 [수학식 9]와 같이 표현될 수 있다.

[105] [수학식 9]

[106]
$$V_{lpf1} = (1.8/2^{12}) * (2^{11} * 0 + 2^{10} * 1 + 2^9 * 0 + 2^8 * 1 + 2^7 * 1 + 2^6 * 1 + 2^5 * 0 + 2^4 * 1 + 2^3 * 0 + 2^2 * 0 + 2^1 * 0 + 2^0 * 1) = 0.9 - (R_{std}/R_{sens}) * (1.8 - 0.9)$$

[107] [수학식 9]의 계산을 통해 타겟 저항(10)의 저항값(R_{sens})은 다음 [수학식 10]과 같이 표현될 수 있다.

[108] [수학식 10]

[109]
$$R_{sens} = R_{std} * (0.9) / (0.2456)$$

[110] [수학식 10]에서 기준 저항(R_{std})을 1k Ω 이라 가정하면, 타겟 저항(10)의 저항값(R_{sens})은 3.66k Ω 으로 정확히 측정될 수 있다.

[111] 도 8은 도 5의 계측 장치를 통해 실제 계측을 수행하기 위한 시스템 예시도로서, 아날로그-디지털 변환부(400)에 연결된 마이크로컨트롤러(Micro Controller Unit,

MCU)(20), 디스플레이부(30)를 포함할 수 있다.

- [112] 마이크로컨트롤러(20)는 아날로그-디지털 변환부(400)로부터의 디지털 신호를 입력 받고, 입력되는 디지털 신호가 디스플레이부(30)를 통해 외부로 디스플레이될 수 있도록 프로세싱하는 역할을 할 수 있다. 예를 들어, 디스플레이부(30)를 통해 타겟 저항(10)의 저항값(R_{sens})인 $3.66k\Omega$ 이 정확히 디스플레이되도록 프로세싱할 수 있다. 이러한 마이크로컨트롤러(20) 내에는 별도의 메모리, 예를 들어 플래시 메모리(flash memory), EEPROM(Electrically Erasable Programmable Read Only Memory) 등의 메모리 중 어느 하나의 메모리가 내장될 수 있다.
- [113] 디스플레이부(30)는 마이크로컨트롤러(20)의 제어에 따라 타겟 저항(10)의 저항값(R_{sens}), 예컨대 $3.66k\Omega$ 의 저항값을 디스플레이할 수 있다. 이러한 디스플레이부(30)는, 예를 들어 LED(Light Emitting Diode), LCD(Liquid Crystal Display) 등의 디스플레이 소자들 중 어느 하나의 소자를 포함할 수 있다.
- [114] 이상 설명한 바와 같은 본 발명의 실시예에 의하면, 단일 모드 입력을 차동 모드로 변환하여 초퍼 회로의 차동 입력 신호로 인가할 수 있는 차동 모드 변환 장치(1)를 제공함으로써, 노이즈와 오프셋 전압을 최소화하는 초퍼 회로의 기능을 유지하면서 단일 모드로의 입력이 가능하게 구현하였다. 또한, 본 발명의 실시예에 의하면, 단일 모드로 입력된 신호를 차동 모드로 변환하여 초퍼 회로의 차동 입력 신호로 인가하되, 초퍼 회로의 차동 출력 신호를 저역 통과 필터부를 거친 후 아날로그-디지털 변환하여 계측 정확도와 높은 분해능을 제공할 수 있게 구현하였다.

청구범위

- [청구항 1] 입력 전압을 단일 모드(single-ended mode)로 입력 받아 기준 전압을 중심으로 서로 대칭되는 구형파 형태의 제1 차동 전압 및 제2 차동 전압으로 변환하여 출력하는 입력 모드 변환부; 및
상기 제1 차동 전압 및 상기 제2 차동 전압을 입력 받아 상기 기준 전압을 중심으로 서로 대칭되는 직류 형태의 제1 초핑 전압 및 제2 초핑 전압을 출력하는 초퍼부를 포함하는
차동 모드 변환 장치.
- [청구항 2] 제 1 항에 있어서,
상기 제1 초핑 전압 및 상기 제2 초핑 전압의 고주파 노이즈(noise) 및 오프셋(offset)을 제거하는 저역 통과 필터부(Low Pass Filter)를 더
포함하는
차동 모드 변환 장치.
- [청구항 3] 제 1 항에 있어서,
상기 입력 모드 변환부는,
타겟 저항을 지나 신호가 입력되는 제1 입력단, 상기 기준 전압이 입력되는 제2 입력단 및 상기 제1 차동 전압을 출력하는 제1 출력단을 포함하는 제1 증폭기;
상기 타겟 저항을 지나 신호가 입력되는 제3 입력단, 상기 기준 전압이 입력되는 제4 입력단 및 상기 제2 차동 전압을 출력하는 제2 출력단을 포함하는 제2 증폭기;
상기 입력 전압과 그 일단이 연결되고, 상기 제1 증폭기의 제1 입력단과 그 타단이 연결되는 제1 스위치;
상기 제1 증폭기의 상기 제1 출력단과 그 일단이 연결되고, 상기 제2 증폭기의 상기 제3 입력단과 그 타단이 연결되는 제2 스위치;
상기 입력 전압과 그 일단이 연결되고, 상기 제2 증폭기의 상기 제3 입력단과 그 타단이 연결되는 제3 스위치; 및
상기 제2 증폭기의 상기 제2 출력단과 그 일단이 연결되고, 상기 제1 증폭기의 상기 제1 입력단과 그 타단이 연결되는 제4 스위치를 포함하는
차동 모드 변환 장치.
- [청구항 4] 제 3 항에 있어서,
상기 차동 모드 변환 장치의 외부에 마련되는 클럭 신호 발생기로부터 구형파 형태의 제1 클럭 신호와 상기 제1 클럭 신호와 논리상태가 반대인 구형파 형태의 제2 클럭 신호를 발생하고,
상기 제1 스위치 및 상기 제2 스위치는 상기 제1 클럭 신호의 논리상태가 하이인 경우 온(ON)으로 되고,
상기 제3 스위치 및 상기 제4 스위치는 상기 제2 클럭 신호의 논리상태가

하이인 경우 온(ON)으로 되는
차동 모드 변환 장치.

[청구항 5] 제 4 항에 있어서,
상기 입력 모드 변환부는,
상기 제1 증폭기의 상기 제1 입력단과 상기 제1 출력단 사이에 위치하는 제1 저항;
상기 제2 증폭기의 상기 제3 입력단과 상기 제2 출력단 사이에 위치하는 제2 저항;
상기 제2 스위치와 상기 제1 증폭기의 제1 출력단 사이에 위치하는 제3 저항; 및
상기 제4 스위치와 상기 제2 증폭기의 제2 출력단 사이에 위치하는 제4 저항을 더 포함하는
차동 모드 변환 장치.

[청구항 6] 제 5 항에 있어서,
상기 제1 저항, 상기 제2 저항, 상기 제3 저항 및 상기 제4 저항은 동일한 저항값을 갖는
차동 모드 변환 장치.

[청구항 7] 제 1 항에 있어서,
상기 초퍼부는,
상기 제1 차동 전압이 입력되는 입력단;
상기 제2 차동 전압이 입력되는 입력단;
상기 제1 초핑 전압을 출력하는 출력단;
상기 제2 초핑 전압을 출력하는 출력단;
상기 제1 차동 전압이 입력되는 입력단과 그 일단이 연결되고, 상기 제1 초핑 전압이 출력되는 출력단과 그 타단이 연결되는 제5 스위치;
상기 제2 차동 전압이 입력되는 입력단과 그 일단이 연결되고, 상기 제2 초핑 전압이 출력되는 출력단과 그 타단이 연결되는 제6 스위치;
상기 제1 차동 전압이 입력되는 입력단과 그 일단이 연결되고, 상기 제2 초핑 전압이 출력되는 출력단과 그 타단이 연결되는 제7 스위치; 및
상기 제2 차동 전압이 입력되는 입력단과 그 일단이 연결되고, 상기 제1 초핑 전압이 출력되는 출력단과 그 타단이 연결되는 제8 스위치를
포함하는
차동 모드 변환 장치.

[청구항 8] 제 7 항에 있어서,
상기 차동 모드 변환 장치의 외부에 마련되는 클럭 신호 발생기로부터 구형파 형태의 제1 클럭 신호와 상기 제1 클럭 신호와 논리상태가 반대인 구형파 형태의 제2 클럭 신호를 발생하고,
상기 제5 스위치 및 상기 제6 스위치는 상기 제1 클럭 신호의 논리상태가

하이인 경우 온(ON)으로 되고,
 상기 제7 스위치 및 상기 제8 스위치는 상기 제2 클럭 신호의 논리 상태가
 하이인 경우 온(ON)으로 되는
 차동 모드 변환 장치.

[청구항 9] 저항값을 측정하기 위한 타겟 저항;
 상기 타겟 저항을 거쳐 제공되는 입력 전압을 단일 모드로 입력 받아 기준
 전압을 중심으로 서로 대칭되는 구형파 형태의 제1 차동 전압 및 제2 차동
 전압으로 변환하여 출력하는 입력 모드 변환부;
 상기 제1 차동 전압 및 상기 제2 차동 전압을 입력 받아 상기 기준 전압을
 중심으로 서로 대칭되는 직류 형태의 제1 초핑 전압 및 제2 초핑 전압을
 출력하는 초퍼부; 및
 상기 제1 초핑 전압 및 상기 제2 초핑 전압을 아날로그-디지털 변환하여
 상기 타겟 저항의 저항값에 대응하는 디지털 신호를 출력하는
 아날로그-디지털 변환부를 포함하는
 계측 장치.

[청구항 10] 제 9 항에 있어서,
 상기 제1 초핑 전압 및 상기 제2 초핑 전압의 고주파 노이즈(noise) 및
 오프셋을 제거하여 상기 아날로그-디지털 변환부로 제공하는 저역 통과
 필터부를 더 포함하는
 계측 장치.

[청구항 11] 제 9 항에 있어서,
 상기 입력 모드 변환부는,
 상기 타겟 저항을 지나 신호가 입력되는 제1 입력단, 상기 기준 전압이
 입력되는 제2 입력단 및 상기 제1 차동 전압을 출력하는 제1 출력단을
 포함하는 제1 증폭기;
 상기 타겟 저항을 지나 신호가 입력되는 제3 입력단, 상기 기준 전압이
 입력되는 제4 입력단 및 상기 제2 차동 전압을 출력하는 제2 출력단을
 포함하는 제2 증폭기;
 상기 입력 전압과 그 일단이 연결되고, 상기 제1 증폭기의 제1 입력단과
 그 타단이 연결되는 제1 스위치;
 상기 제1 증폭기의 상기 제1 출력단과 그 일단이 연결되고, 상기 제2
 증폭기의 상기 제3 입력단과 그 타단이 연결되는 제2 스위치;
 상기 입력 전압과 그 일단이 연결되고, 상기 제2 증폭기의 상기 제3
 입력단과 그 타단이 연결되는 제3 스위치; 및
 상기 제2 증폭기의 상기 제2 출력단과 그 일단이 연결되고, 상기 제1
 증폭기의 상기 제1 입력단과 그 타단이 연결되는 제4 스위치를 포함하는
 계측 장치.

[청구항 12] 제 11 항에 있어서,

구형과 형태의 제1 클럭 신호와 상기 제1 클럭 신호와 논리상태가 반대인 구형과 형태의 제2 클럭 신호를 발생하는 클럭 신호 발생기를 더 포함하고,
 상기 제1 스위치 및 상기 제2 스위치는 상기 제1 클럭 신호의 논리상태가 하이인 경우 온(ON)으로 되고,
 상기 제3 스위치 및 상기 제4 스위치는 상기 제2 클럭 신호의 논리상태가 하이인 경우 온(ON)으로 되는
 계측 장치.

[청구항 13] 제 12 항에 있어서,
 상기 입력 모드 변환부는,
 상기 제1 증폭기의 상기 제1 입력단과 상기 제1 출력단 사이에 위치하는 제1 저항;
 상기 제2 증폭기의 상기 제3 입력단과 상기 제2 출력단 사이에 위치하는 제2 저항;
 상기 제2 스위치와 상기 제1 증폭기의 제1 출력단 사이에 위치하는 제3 저항; 및
 상기 제4 스위치와 상기 제2 증폭기의 제2 출력단 사이에 위치하는 제4 저항을 더 포함하는
 계측 장치.

[청구항 14] 제 13 항에 있어서,
 상기 타겟 저항은 그 일단이 상기 제1 스위치 및 상기 제3 스위치에 각각 연결되는
 계측 장치.

[청구항 15] 제 13 항에 있어서,
 상기 제1 저항, 상기 제2 저항, 상기 제3 저항 및 상기 제4 저항은 동일한 저항값을 갖는
 계측 장치.

[청구항 16] 제 15 항에 있어서,
 상기 제1 클럭 신호가 하이(high)이고 상기 제2 클럭 신호가 로우(low)인 경우,
 상기 제1 차동 전압 및 상기 제2 차동 전압은,
 각각 수학적식 $V_{amp1} = V_{ref} - (R_{std}/R_{sens})(V_{DD} - V_{ref})$ 및 $V_{amp2} = V_{ref} + (R_{std}/R_{sens})(V_{DD} - V_{ref})$ 로 표현되고,
 상기 제2 클럭 신호가 하이이고 상기 제1 클럭 신호가 로우인 경우,
 상기 제1 차동 전압 및 상기 제2 차동 전압은,
 각각 수학적식 $V_{amp1} = V_{ref} + (R_{std}/R_{sens})(V_{DD} - V_{ref})$ 및 $V_{amp2} = V_{ref} - (R_{std}/R_{sens})(V_{DD} - V_{ref})$ 로 표현되며,
 상기 V_{amp1} 은 상기 제1 차동 전압, 상기 V_{amp2} 는 상기 제2 차동 전압, 상기 V

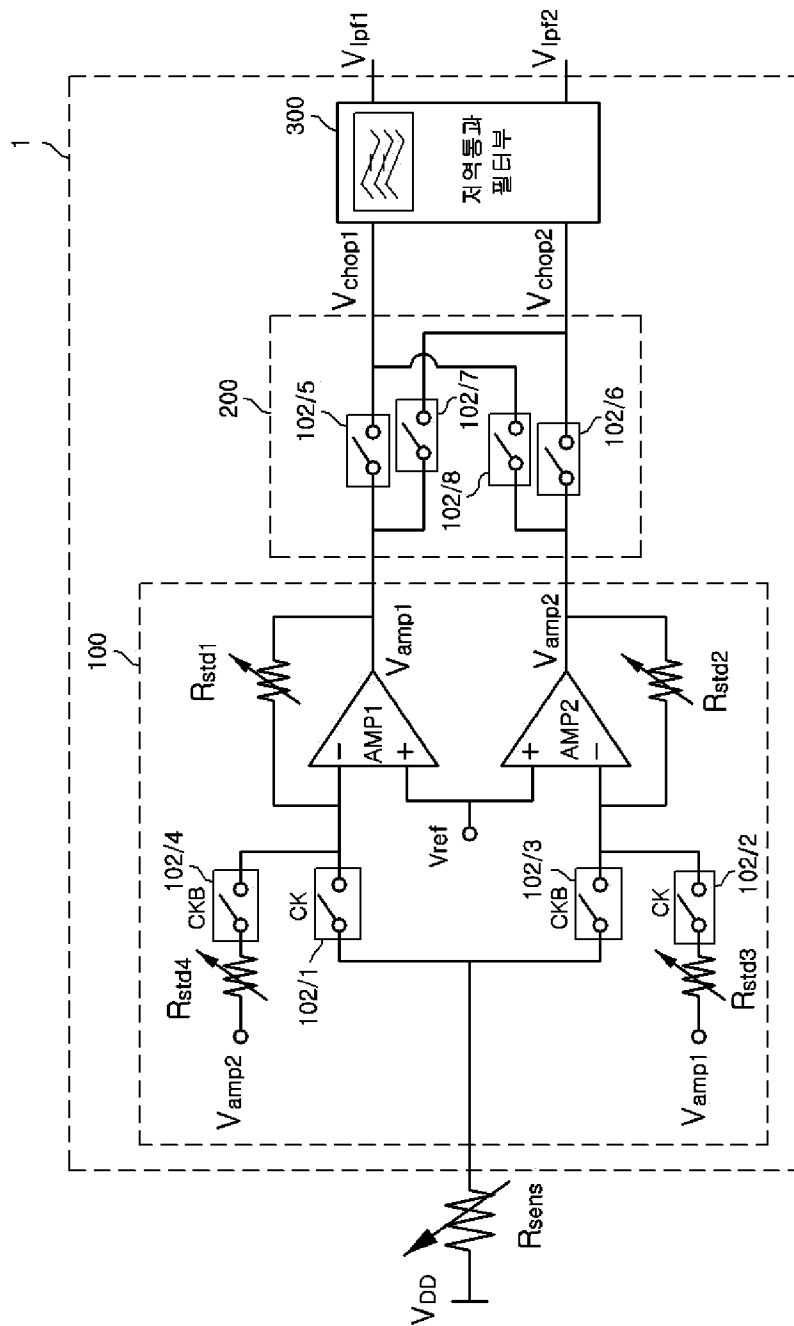
V_{ref} 는 상기 기준 전압, 상기 R_{std} 는 상기 제1 저항, 상기 제2 저항, 상기 제3 저항 또는 상기 제4 저항, 상기 R_{sens} 는 상기 타겟 저항, 상기 V_{DD} 는 상기 입력 전압인
계측 장치.

[청구항 17] 제 9 항에 있어서,
상기 초퍼부는,
상기 제1 차동 전압이 입력되는 입력단;
상기 제2 차동 전압이 입력되는 입력단;
상기 제1 초핑 전압을 출력하는 출력단;
상기 제2 초핑 전압을 출력하는 출력단;
상기 제1 차동 전압이 입력되는 입력단과 그 일단이 연결되고, 상기 제1 초핑 전압이 출력되는 출력단과 그 타단이 연결되는 제5 스위치;
상기 제2 차동 전압이 입력되는 입력단과 그 일단이 연결되고, 상기 제2 초핑 전압이 출력되는 출력단과 그 타단이 연결되는 제6 스위치;
상기 제1 차동 전압이 입력되는 입력단과 그 일단이 연결되고, 상기 제2 초핑 전압이 출력되는 출력단과 그 타단이 연결되는 제7 스위치; 및
상기 제2 차동 전압이 입력되는 입력단과 그 일단이 연결되고, 상기 제1 초핑 전압이 출력되는 출력단과 그 타단이 연결되는 제8 스위치를
포함하는
계측 장치.

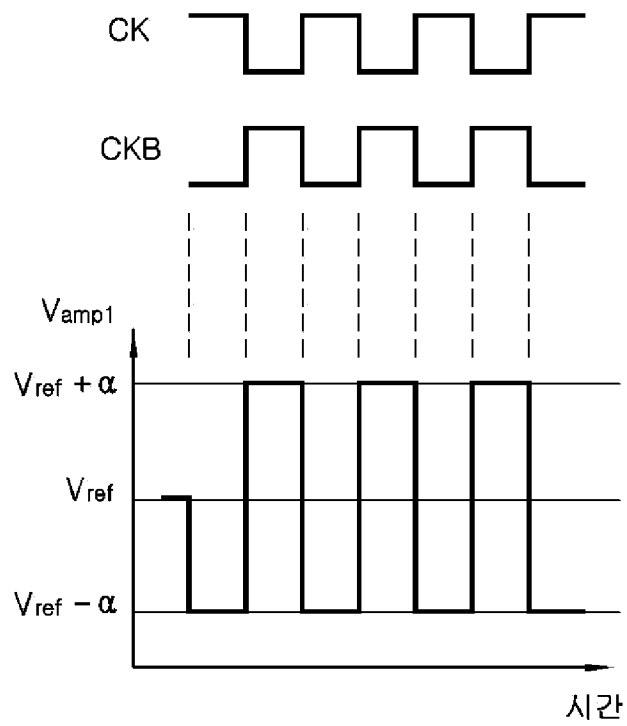
[청구항 18] 제 17 항에 있어서,
구형과 형태의 제1 클럭 신호와 상기 제1 클럭 신호와 논리상태가 반대인 구형과 형태의 제2 클럭 신호를 발생하는 클럭 신호 발생기를 더
포함하고,
상기 제5 스위치 및 상기 제6 스위치는 상기 제1 클럭 신호의 논리상태가 하이인 경우 온(ON)으로 되고,
상기 제7 스위치 및 상기 제8 스위치는 상기 제2 클럭 신호의 논리상태가 하이인 경우 온(ON)으로 되는
계측 장치.

[청구항 19] 제 9 항에 있어서,
상기 아날로그-디지털 변환부로부터의 디지털 신호가 디스플레이 되도록 프로세싱하는 마이크로컨트롤러를 더 포함하는
계측 장치.

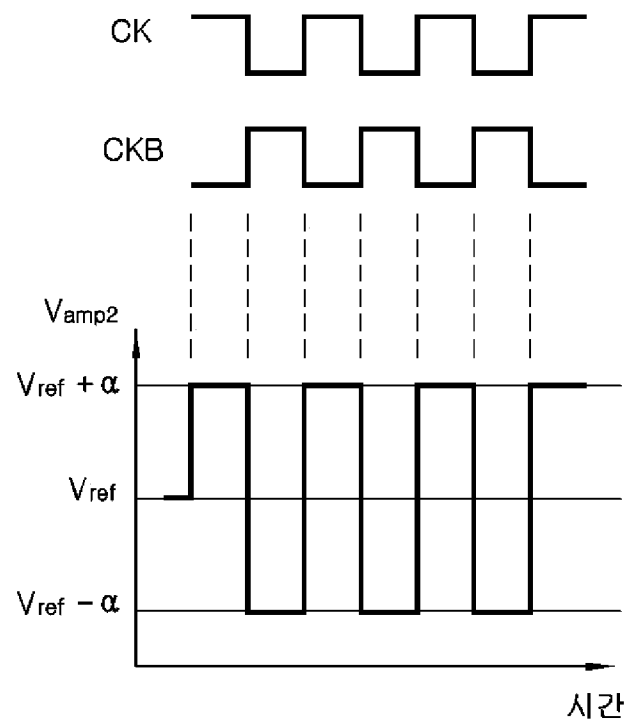
[도1]



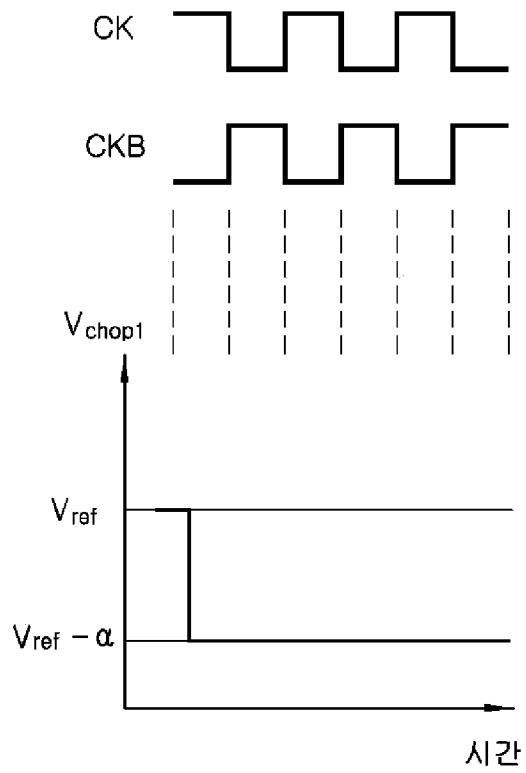
[도2a]



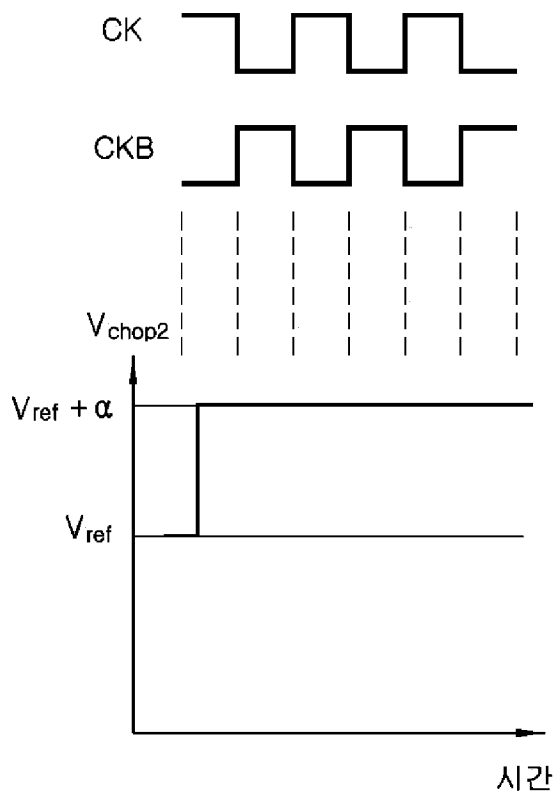
[도2b]



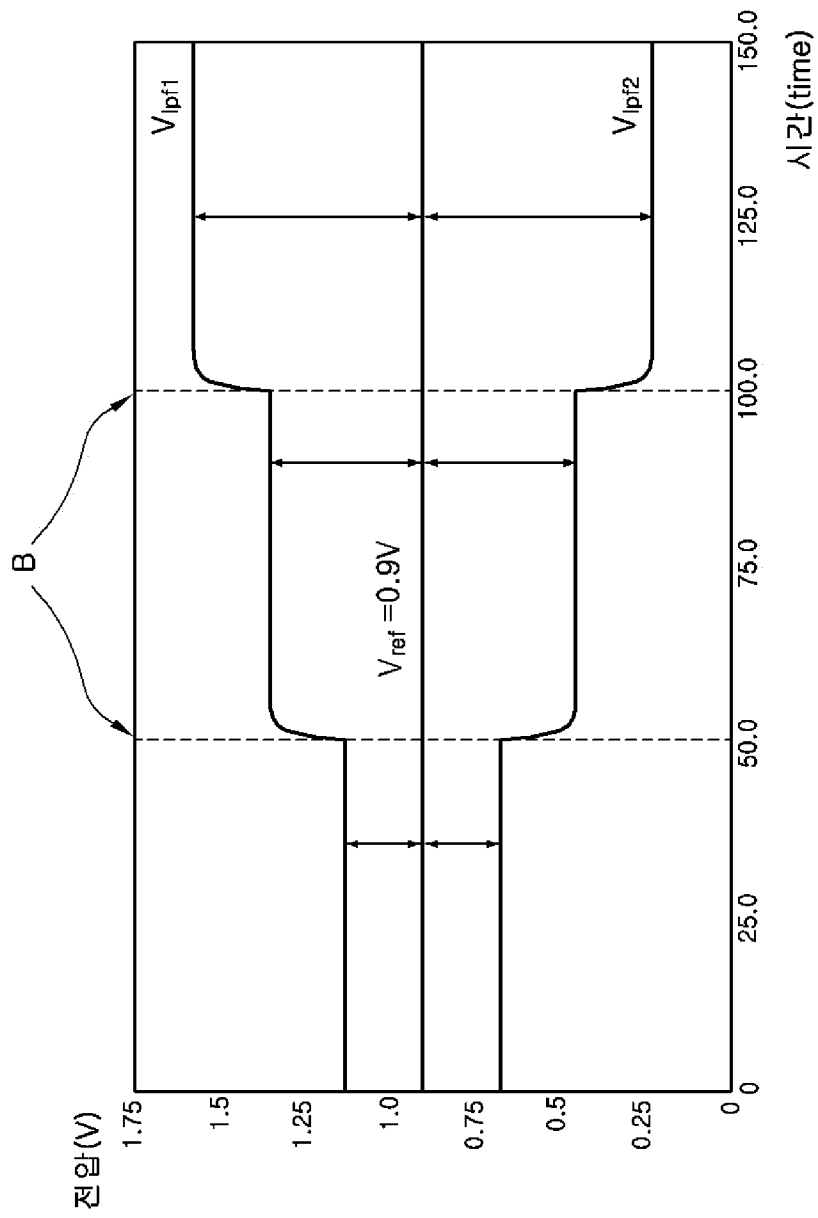
[도3a]



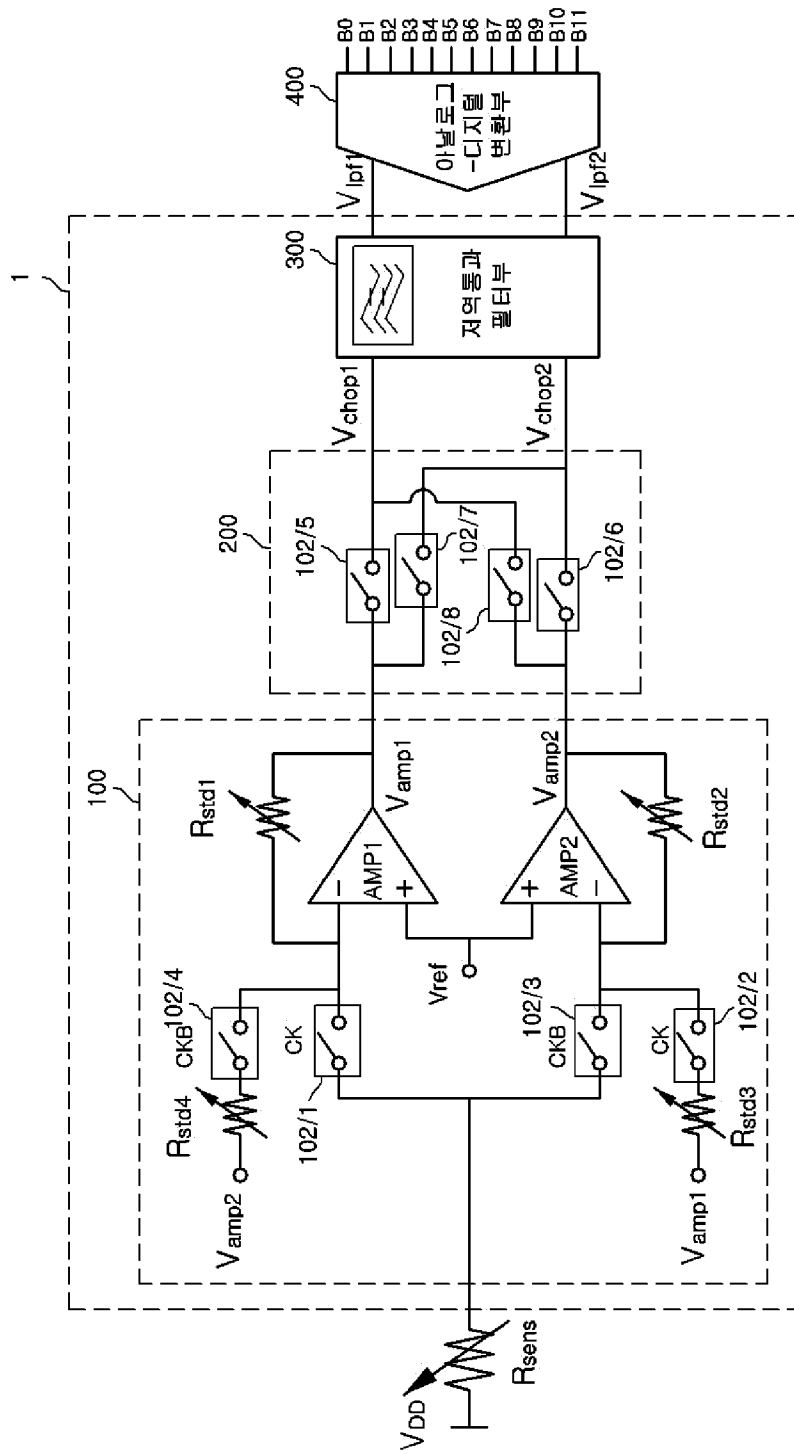
[도3b]



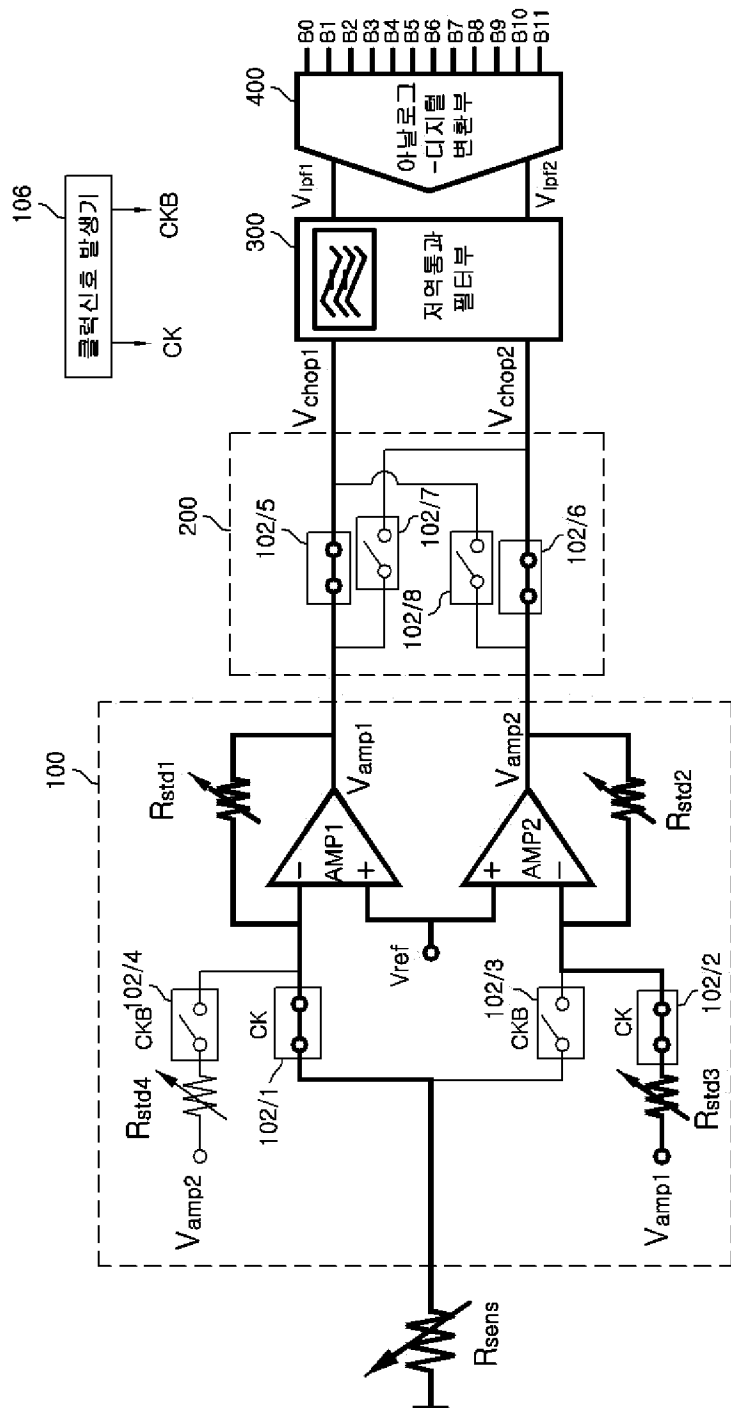
[도4]



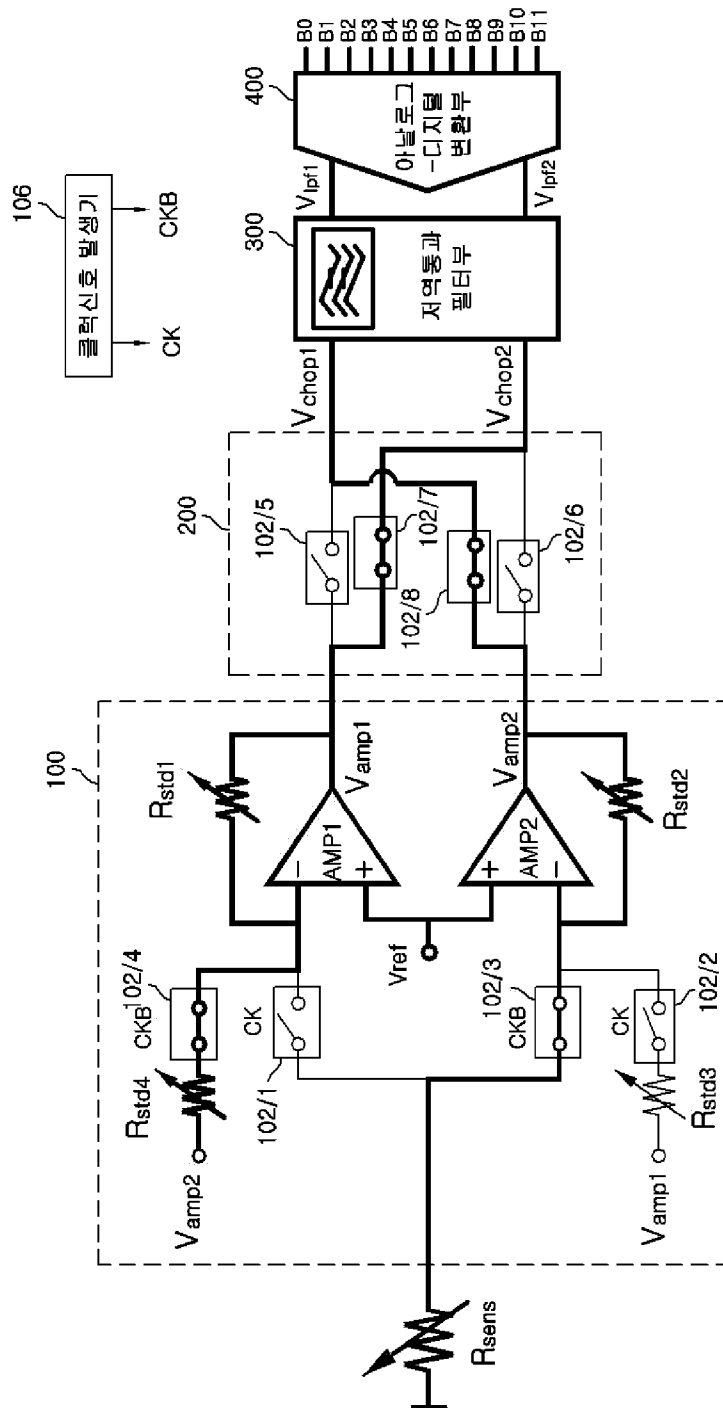
[도5]



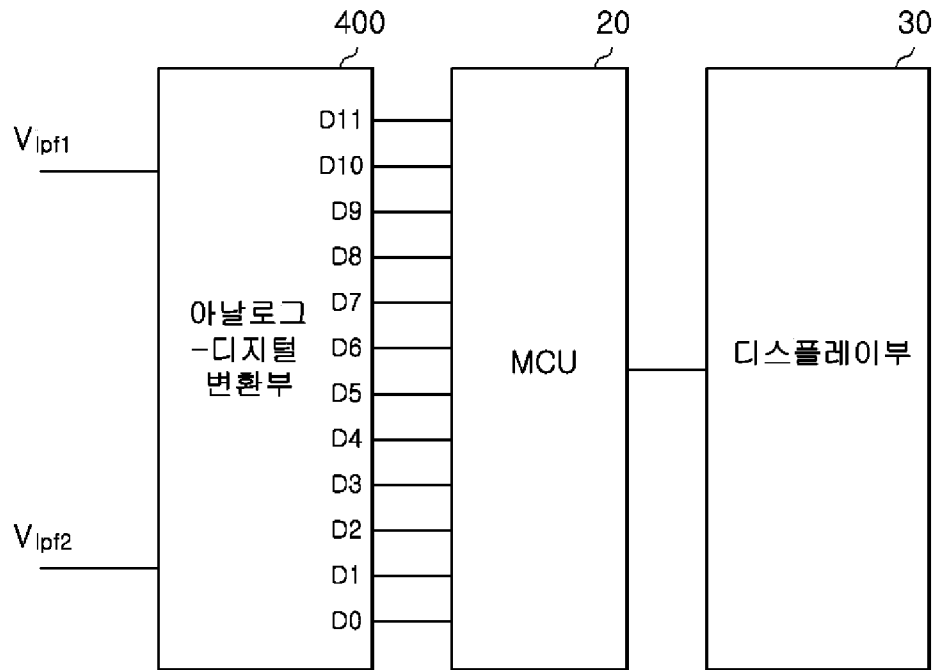
[도6]



[도7]



[도8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2017/012761**A. CLASSIFICATION OF SUBJECT MATTER*****H03M 3/04(2006.01)i, H03F 3/38(2006.01)i, G01R 27/00(2006.01)i***

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M 3/04; H03M 1/66; G01J 1/44; H03M 1/36; H03M 1/12; G01R 27/26; H03M 1/52; H03M 1/38; H03K 5/08; H03F 3/38; G01R 27/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: differential, amp, amplification, chopper, transform

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-1620590 B1 (UNIST(ULSAN NATIONAL INSTITUTE OF SCIENCE AND TECHNOLOGY)) 23 May 2016 See paragraphs [0013]-[0033]; claim 1; and figures 1-3.	1-19
A	KR 10-1999-0007064 A (NEC CORPORATION) 25 January 1999 See pages 4-7; and figures 1a-8.	1-19
A	JP 2011-015248 A (RENESAS ELECTRONICS CORP.) 20 January 2011 See paragraphs [0027]-[0039]; claim 1; and figure 1.	1-19
A	JP 2013-126141 A (PANASONIC CORP.) 24 June 2013 See paragraphs [0027]-[0035]; claim 1; and figure 1.	1-19
A	KR 10-2010-0041364 A (LG INNOTEK CO., LTD.) 22 April 2010 See paragraphs [0017]-[0032]; and figures 2-3.	1-19



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

16 MARCH 2018 (16.03.2018)

Date of mailing of the international search report

16 MARCH 2018 (16.03.2018)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Sconsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2017/012761

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-1620590 B1	23/05/2016	NONE	
KR 10-1999-0007064 A	25/01/1999	EP 0886377 A1 EP 0886377 B1 JP 11-008535 A JP 3439322 B2 US 6064239 A	23/12/1998 04/09/2002 12/01/1999 25/08/2003 16/05/2000
JP 2011-015248 A	20/01/2011	US 2011-0001649 A1 US 8130132 B2	06/01/2011 06/03/2012
JP 2013-126141 A	24/06/2013	NONE	
KR 10-2010-0041364 A	22/04/2010	NONE	

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H03M 3/04(2006.01)i, H03F 3/38(2006.01)i, G01R 27/00(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H03M 3/04; H03M 1/66; G01J 1/44; H03M 1/36; H03M 1/12; G01R 27/26; H03M 1/52; H03M 1/38; H03K 5/08; H03F 3/38; G01R 27/00

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 차동, 앰프, 증폭, 초퍼, 변환

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	KR 10-1620590 B1 (울산과학기술원) 2016.05.23 단락 [0013]-[0033]; 청구항 1; 및 도면 1-3 참조.	1-19
A	KR 10-1999-0007064 A (닛뎡텐끼 가부시끼가이샤) 1999.01.25 페이지 4-7; 및 도면 1a-8 참조.	1-19
A	JP 2011-015248 A (RENESAS ELECTRONICS CORP.) 2011.01.20 단락 [0027]-[0039]; 청구항 1; 및 도면 1 참조.	1-19
A	JP 2013-126141 A (PANASONIC CORP.) 2013.06.24 단락 [0027]-[0035]; 청구항 1; 및 도면 1 참조.	1-19
A	KR 10-2010-0041364 A (엘지이노텍 주식회사) 2010.04.22 단락 [0017]-[0032]; 및 도면 2-3 참조.	1-19

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2018년 03월 16일 (16.03.2018)

국제조사보고서 발송일

2018년 03월 16일 (16.03.2018)

ISA/KR의 명칭 및 우편주소



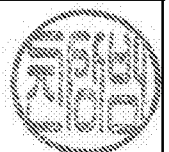
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

진상범

전화번호 +82-42-481-8398



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-1620590 B1	2016/05/23	없음	
KR 10-1999-0007064 A	1999/01/25	EP 0886377 A1 EP 0886377 B1 JP 11-008535 A JP 3439322 B2 US 6064239 A	1998/12/23 2002/09/04 1999/01/12 2003/08/25 2000/05/16
JP 2011-015248 A	2011/01/20	US 2011-0001649 A1 US 8130132 B2	2011/01/06 2012/03/06
JP 2013-126141 A	2013/06/24	없음	
KR 10-2010-0041364 A	2010/04/22	없음	