(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 107533450 B
(45)授权公告日 2020.06.16

(21)申请号 201680024976.X

(22)申请日 2016.03.08

(65)同一申请的已公布的文献号
申请公布号 CN 107533450 A

(43)申请公布日 2018.01.02

(85)PCT国际申请进入国家阶段日
2017.11.02

(86)PCT国际申请的申请数据
PCT/CN2016/075846 2016.03.08

(87)PCT国际申请的公布数据
WO2017/152355 ZH 2017.09.14

(73)专利权人 华为技术有限公司
地址 518129 广东省深圳市龙岗区坂田华为总部办公楼

(72)发明人 赵京 于波

(74)专利代理机构 北京同达信恒知识产权代理有限公司 11291
代理人 冯艳莲

(51)Int.Cl.
G06F 3/14(2006.01)

(56)对比文件
CN 103593155 A,2014.02.19,
CN 101523909 A,2009.09.02,
US 2014187331 A1,2014.07.03,
CN 104050040 A,2014.09.17,

审查员 程静

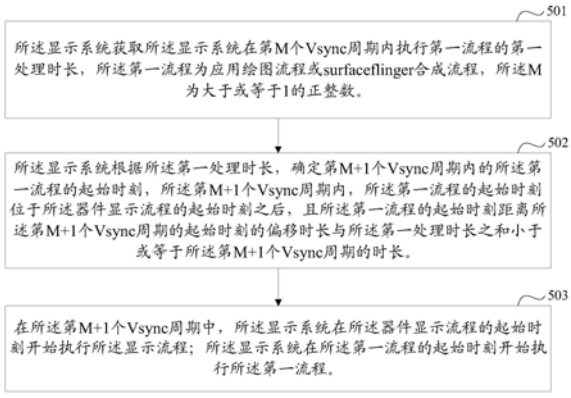
权利要求书4页 说明书22页 附图11页

(54)发明名称

一种显示方法及终端设备

(57)摘要

一种显示方法及终端设备，用以解决现有技术中终端设备的显示系统在Vsync周期内，并行处理三个流程，造成终端设备的CPU功耗较大的问题。该方法为：终端设备的显示系统根据第M个Vsync周期内第一流程的第一处理时长，确定第M+1个Vsync周期内所述第一流程的起始时刻，使所述显示系统在开始执行器件显示流程之后再开始执行所述第一流程。这样，所述显示系统使第M+1个Vsync周期内第一流程延迟执行，减少了所述显示系统在所述第M+1个Vsync周期内并行处理三个流程的时间，降低了终端设备的CPU的功耗。



CN 107533450 B

1.一种显示方法,其特征在于,所述方法用于终端设备的显示系统,所述显示系统用于在一个垂直同步Vsync周期内执行器件显示流程、应用绘图流程以及图层surfaceflinger合成流程,所述方法包括:

所述显示系统获取所述显示系统在第M个Vsync周期内执行第一流程的第一处理时长,所述第一流程为应用绘图流程或surfaceflinger合成流程,所述M为大于或等于1的正整数;

所述显示系统根据所述第一处理时长,确定第M+1个Vsync周期内的所述第一流程的起始时刻,所述第M+1个Vsync周期内,所述第一流程的起始时刻位于所述器件显示流程的起始时刻之后,且所述第一流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第一处理时长之和小于或等于所述第M+1个Vsync周期的时长,所述第一流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第一处理时长之和小于或等于所述第M+1个Vsync周期的时长与第一预设时长的差;

在所述第M+1个Vsync周期中,所述显示系统在所述器件显示流程的起始时刻开始执行所述显示流程;所述显示系统在所述第一流程的起始时刻开始执行所述第一流程。

2.如权利要求1所述的方法,其特征在于,所述第M+1个Vsync周期内所述器件显示流程的起始时刻为所述M+1个Vsync周期的起始时刻。

3.如权利要求1所述的方法,其特征在于,所述显示系统根据所述第一处理时长,确定所述第M+1个Vsync周期内的所述第一流程的起始时刻,包括:

所述显示系统获取所述显示系统在所述第M个Vsync周期内执行所述器件显示流程的第二处理时长;

所述显示系统根据所述第一处理时长和所述第二处理时长,确定所述第M+1个Vsync周期内的所述第一流程的起始时刻,所述第一流程的起始时刻等于第一时刻或位于所述第一时刻之后,所述第一时刻为距离所述器件显示流程的起始时刻经过所述第二处理时长的时刻,且所述第一流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第一处理时长之和小于或等于所述第M+1个Vsync周期的时长。

4.如权利要求3所述的方法,其特征在于,所述方法还包括:

所述显示系统获取所述显示系统在所述第M个Vsync周期内执行第二流程的第三处理时长,所述第二流程为应用绘图流程和surfaceflinger合成流程中除所述第一流程以外的其他流程;

所述显示系统根据所述第三处理时长,确定所述M+1个Vsync周期内的所述第二流程的起始时刻,所述第M+1个Vsync周期内所述第二流程的起始时刻位于所述器件显示流程的起始时刻之后,且所述第二流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第三处理时长之和小于或等于所述第M+1个Vsync周期的时长;

在所述第M+1个Vsync周期中,所述显示系统在所述第二流程的起始时刻开始执行所述第二流程。

5.如权利要求4所述的方法,其特征在于,所述显示系统根据所述第三处理时长,确定所述M+1个Vsync周期内的所述第二流程的起始时刻,包括:

所述显示系统获取所述显示系统在所述第M个Vsync周期内执行所述器件显示流程的第二处理时长;

所述显示系统根据所述第二处理时长和所述第三处理时长，确定所述第M+1个Vsync周期内的所述第二流程的起始时刻，所述第二流程的起始时刻等于第二时刻或位于所述第二时刻之后，所述第二时刻为距离所述器件显示流程的起始时刻经过所述第二处理时长的时刻，且所述第二流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第三处理时长之和小于或等于所述第M+1个Vsync周期的时长。

6.如权利要求4所述的方法，其特征在于，当所述显示系统确定的所述第一处理时长、所述第二处理时长以及所述第三处理时长的和，小于或等于所述第M+1个Vsync周期的时长时，所述第一流程的起始时刻与所述第二流程的起始时刻之间的时长，大于或等于所述第一处理时长或所述第三处理时长。

7.如权利要求4-6任一项所述的方法，其特征在于，所述第二流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第三处理时长之和小于或等于所述第M+1个Vsync周期的时长与第二预设时长的差。

8.如权利要求1-6任一项所述的方法，其特征在于，所述方法还包括：

所述显示系统设置第M+P个Vsync周期内的所述第一流程的起始时刻为所述第M+P个Vsync周期的起始时刻，所述P为预设的大于1的正整数。

9.如权利要求4-6任一项所述的方法，其特征在于，所述方法还包括：

所述显示系统设置第M+Q个Vsync周期内的所述第二流程的起始时刻为所述第M+Q个Vsync周期的起始时刻，所述Q为预设的大于1的正整数。

10.一种终端设备，其特征在于，所述终端设备用于在一个垂直同步Vsync周期内执行器件显示流程、应用绘图流程以及图层surfaceflinger合成流程，所述终端设备包括：

获取单元，用于获取运行单元在第M个Vsync周期内执行第一流程的第一处理时长，所述第一流程为应用绘图流程或surfaceflinger合成流程，所述M为大于或等于1的正整数；

处理单元，用于根据所述第一处理时长，确定第M+1个Vsync周期内的所述第一流程的起始时刻，所述第M+1个Vsync周期内，所述第一流程的起始时刻位于所述器件显示流程的起始时刻之后，且所述第一流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第一处理时长之和小于或等于所述第M+1个Vsync周期的时长，所述第一流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第一处理时长之和小于或等于所述第M+1个Vsync周期的时长与第一预设时长的差；

运行单元，用于在所述第M+1个Vsync周期中，在所述器件显示流程的起始时刻开始执行所述显示流程；在所述第一流程的起始时刻开始执行所述第一流程。

11.如权利要求10所述的终端设备，其特征在于，所述第M+1个Vsync周期内所述器件显示流程的起始时刻为所述M+1个Vsync周期的起始时刻。

12.如权利要求10所述的终端设备，其特征在于，

所述获取单元，还用于获取所述运行单元在所述第M个Vsync周期内执行所述器件显示流程的第二处理时长；

所述处理单元，具体用于：根据所述第一处理时长和所述第二处理时长，确定所述第M+1个Vsync周期内的所述第一流程的起始时刻，所述第一流程的起始时刻等于第一时刻或位于所述第一时刻之后，所述第一时刻为距离所述器件显示流程的起始时刻经过所述第二处理时长的时刻，且所述第一流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移

时长与所述第一处理时长之和小于或等于所述第M+1个Vsync周期的时长。

13.如权利要求12所述的终端设备,其特征在于,

所述获取单元,还用于获取所述运行单元在所述第M个Vsync周期内执行第二流程的第三处理时长,所述第二流程为应用绘图流程和surfaceflinger合成流程中除所述第一流程以外的其他流程;

所述处理单元,还用于根据所述第三处理时长,确定所述M+1个Vsync周期内的所述第二流程的起始时刻,所述第M+1个Vsync周期内所述第二流程的起始时刻位于所述器件显示流程的起始时刻之后,且所述第二流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第三处理时长之和小于或等于所述第M+1个Vsync周期的时长;

所述运行单元,还用于在所述第M+1个Vsync周期中,在所述第二流程的起始时刻开始执行所述第二流程。

14.如权利要求13所述的终端设备,其特征在于,

所述获取单元,还用于获取所述运行单元在所述第M个Vsync周期内执行所述器件显示流程的第二处理时长;

所述处理单元,具体用于:根据所述第二处理时长和所述第三处理时长,确定所述第M+1个Vsync周期内的所述第二流程的起始时刻,所述第二流程的起始时刻等于第二时刻或位于所述第二时刻之后,所述第二时刻为距离所述器件显示流程的起始时刻经过所述第二处理时长的时刻,且所述第二流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第三处理时长之和小于或等于所述第M+1个Vsync周期的时长。

15.如权利要求13所述的终端设备,其特征在于,所述处理单元还用于:

当确定的所述第一处理时长、所述第二处理时长以及所述第三处理时长的和,小于或等于所述第M+1个Vsync周期的时长时,设置所述第M+1个Vsync周期内的所述第一流程的起始时刻和所述第二流程的起始时刻满足以下条件:

所述第一流程的起始时刻与所述第二流程的起始时刻之间的时长,大于或等于所述第一处理时长或所述第三处理时长。

16.如权利要求13-15任一项所述的终端设备,其特征在于,所述第二流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第三处理时长之和小于或等于所述第M+1个Vsync周期的时长与第二预设时长的差。

17.如权利要求10-15任一项所述的终端设备,其特征在于,所述处理单元,还用于:

设置第M+P个Vsync周期内的所述第一流程的起始时刻为所述第M+P个Vsync周期的起始时刻,所述P为预设的大于1的正整数。

18.如权利要求13-15任一项所述的终端设备,其特征在于,所述处理单元,还用于:

设置第M+Q个Vsync周期内的所述第二流程的起始时刻为所述第M+Q个Vsync周期的起始时刻,所述Q为预设的大于1的正整数。

19.一种终端设备,其特征在于,所述终端设备用于在一个垂直同步Vsync周期内执行器件显示流程、应用绘图流程以及图层surfaceflinger合成流程,所述终端设备包括:处理器、总线、存储器以及显示面板,所述处理器、所述存储器以及所述显示面板通过所述总线连接;

所述处理器调用所述存储器中的指令,执行如权利要求1-9任一项所述的方法;

所述显示面板，用于所述处理器在每个Vsync周期内执行所述器件显示流程后，显示所述处理器执行所述器件显示流程生成的图像。

一种显示方法及终端设备

技术领域

[0001] 本申请涉及显示系统技术领域,尤其涉及一种显示方法及终端设备。

背景技术

[0002] 目前的多种终端设备,例如计算机、手机、平板电脑、销售终端(Point of Sales,POS)或车载电脑等,均含有内置的显示系统,用于呈现用户界面(User Interface,UI),实现人机交互,显示系统中包括的显示面板,可以采用液晶显示器(Liquid Crystal Display,LCD)、有机发光二极管(Organic Light-Emitting Diode,OLED)等形式来配置。

[0003] 为了保证终端设备显示流畅,避免出现丢帧或跳帧等情况,显示系统通常采用垂直同步(Vertical Synchronization,Vsync)技术,Vsync技术的基本原理为:所述显示系统每隔设定时长,生成一个控制信号,使Vsync周期触发,所述设定时长即为Vsync周期的取值,例如16毫秒(ms)。在一个Vsync周期触发时,所述显示系统开始并行处理以下三个流程:应用绘图、图层(surfaceflinger)合成、器件显示,其中,surfaceflinger合成流程中需要合成的原始数据为上个Vsync周期内应用绘图流程的绘图结果,而器件显示流程中需要显示的数据为上个Vsync周期内surfaceflinger合成流程后的合成结果。

[0004] 然而,终端设备的显示系统在应用传统的Vsync技术时,每个Vsync周期触发时,需要所述显示系统并行处理应用绘图、surfaceflinger合成,以及器件显示三个流程,造成终端设备的中央处理器(Central Processing Unit,CPU)的瞬时功耗较大,进而导致所述CPU的频率过高,降低了所述CPU的工作性能。

发明内容

[0005] 本申请实施例提供了一种显示方法及终端设备,用以解决现有技术中终端设备的显示系统在Vsync周期内,并行处理三个流程,造成终端设备的CPU功耗较大的问题。

[0006] 第一方面,本申请实施例提供了一种显示方法,所述方法适用于终端设备的显示系统,其中,所述显示系统在每个Vsync周期内执行器件显示流程、应用绘图流程以及图层surfaceflinger合成流程,所述方法包括以下步骤:

[0007] 所述显示系统获取所述显示系统在第M个Vsync周期内执行第一流程的第一处理时长,所述第一流程为应用绘图流程或surfaceflinger合成流程,所述M为大于或等于1的正整数;

[0008] 所述显示系统根据所述第一处理时长,确定第M+1个Vsync周期内的所述第一流程的起始时刻,所述第M+1个Vsync周期内,所述第一流程的起始时刻位于所述器件显示流程的起始时刻之后,且所述第一流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第一处理时长之和小于或等于所述第M+1个Vsync周期的时长;

[0009] 在所述第M+1个Vsync周期中,所述显示系统在所述器件显示流程的起始时刻开始执行所述显示流程;所述显示系统在所述第一流程的起始时刻开始执行所述第一流程。

[0010] 采用上述方法,在所述第M+1个Vsync周期内,所述显示系统使应用绘图流程、

surfaceflinger合成流程中的任一个流程，延迟执行，减少了所述终端设备的显示系统在所述第M+1个Vsync周期内并行处理三个流程的时间，降低终端设备的CPU的功耗。

[0011] 在一个可能的设计中，所述第M+1个Vsync周期内所述器件显示流程的起始时刻为所述M+1个Vsync周期的起始时刻。

[0012] 在一个可能的设计中，所述显示系统根据所述第一处理时长，确定所述第M+1个Vsync周期内的所述第一流程的起始时刻，包括：

[0013] 所述显示系统获取所述显示系统在所述第M个Vsync周期内执行所述器件显示流程的第二处理时长；

[0014] 所述显示系统根据所述第一处理时长和所述第二处理时长，确定所述第M+1个Vsync周期内的所述第一流程的起始时刻，所述第一流程的起始时刻等于第一时刻或位于所述第一时刻之后，所述第一时刻为距离所述器件显示流程的起始时刻经过所述第二处理时长的时刻，且所述第一流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第一处理时长之和小于或等于所述第M+1个Vsync周期的时长。

[0015] 通过上述方法，所述显示系统将所述第M+1个Vsync周期内的所述第一流程的起始时刻设置为等于第一时刻或位于所述第一时刻之后，即在所述显示系统在所述第M+1个Vsync周期内执行完所述器件显示流程时或之后开始执行所述第一流程，这样，可以保证所述显示系统串行执行器件显示流程和所述第一流程，保证了所述显示系统不会在一个Vsync周期内并行处理三个流程，进一步降低了终端设备的CPU的功耗。

[0016] 在一个可能的设计中，所述显示系统获取所述显示系统在所述第M个Vsync周期内执行第二流程的第三处理时长，所述第二流程为应用绘图流程和surfaceflinger合成流程中除所述第一流程以外的其他流程；

[0017] 所述显示系统根据所述第三处理时长，确定所述M+1个Vsync周期内的所述第二流程的起始时刻，所述第M+1个Vsync周期内所述第二流程的起始时刻位于所述器件显示流程的起始时刻之后，且所述第二流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第三处理时长之和小于或等于所述第M+1个Vsync周期的时长；

[0018] 在所述第M+1个Vsync周期中，所述显示系统在所述第二流程的起始时刻开始执行所述第二流程。

[0019] 通过上述方法，所述显示系统也将在所述第M+1个Vsync周期内的所述第二流程的起始时刻偏移，使所述第二流程也延迟执行，也可以减少所述显示系统在所述第M+1个Vsync周期内，并行处理三个流程的时间，降低了终端设备的CPU的功耗。

[0020] 在一个可能的设计中，所述显示系统确定的所述第M+1个Vsync周期内的所述第一流程的起始时刻与所述第二流程的起始时刻不同，这样，不仅可以减少所述显示系统在第M+1个Vsync周期内，并行处理三个流程的时间，还可能减少所述显示系统在第M+1个Vsync周期内，并行处理所述第一流程和第二流程的时间，进一步降低了所述终端设备的CPU的功耗。

[0021] 在一个可能的设计中，所述显示系统根据所述第三处理时长，确定所述M+1个Vsync周期内的所述第二流程的起始时刻，包括：

[0022] 所述显示系统获取所述显示系统在所述第M个Vsync周期内执行所述器件显示流程的第二处理时长；

[0023] 所述显示系统根据所述第二处理时长和所述第三处理时长，确定所述第M+1个Vsync周期内的所述第二流程的起始时刻，所述第二流程的起始时刻等于第二时刻或位于所述第二时刻之后，所述第二时刻为距离所述器件显示流程的起始时刻经过所述第二处理时长的时刻，且所述第二流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第三处理时长之和小于或等于所述第M+1个Vsync周期的时长。

[0024] 通过上述方法，所述显示系统将所述第M+1个Vsync周期内的所述第二流程的起始时刻设置为等于第二时刻或位于所述第二时刻之后，即在所述显示系统在所述第M+1个Vsync周期内执行完所述器件显示流程时或之后开始执行所述第二流程，这样，可以保证所述显示系统串行执行器件显示流程和所述第二流程，保证了所述显示系统不会在一个Vsync周期内并行处理三个流程，进一步降低了终端设备的CPU的功耗。

[0025] 在一个可能的设计中，当所述显示系统确定的所述第一处理时长、所述第二处理时长以及所述第三处理时长的和，小于或等于所述第M+1个Vsync周期的时长时，所述第一流程的起始时刻与所述第二流程的起始时刻之间的时长，大于或等于所述第一处理时长或所述第三处理时长。

[0026] 通过以上方法，在所述显示系统确定的所述第一处理时长、所述第二处理时长以及所述第三处理时长的和小于或等于所述第M+1个Vsync周期的时长时，设置所述第M+1个Vsync周期内所述第一流程的起始时刻和所述第二流程的起始时刻之间的时长，大于或等于所述第一处理时长或所述第三处理时长，这样，所述显示系统在所述第M+1个Vsync周期内，串行执行三个流程，最大限度降低了所述终端设备的CPU的功耗。

[0027] 在一个可能的设计中，所述第一流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第一处理时长之和小于或等于所述第M+1个Vsync周期的时长与第一预设时长的差。

[0028] 这样，即使在所述第M+1个Vsync周期内执行所述第一流程的所需处理时长大于所述第一处理时长情况下，只要所述显示系统实际在所述第M+1个Vsync周期内执行所述第一流程的所需处理时长减去所述第一处理时长的时长差小于所述第一预设时长，所述显示系统仍然可以在所述第M+1个Vsync周期结束前结束执行所述第一流程，降低了所述显示系统显示画面发生迟滞现象的概率。

[0029] 在一个可能的设计中，所述第二流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第三处理时长之和小于或等于所述第M+1个Vsync周期的时长与第二预设时长的差。

[0030] 这样，即使在所述第M+1个Vsync周期内执行所述第二流程的所需处理时长大于所述第三处理时长的情况下，只要所述显示系统实际在所述第M+1个Vsync周期内执行所述第二流程的所需处理时长减去所述第三处理时长的时长差小于所述第二预设时长，所述显示系统仍然可以在所述第M+1个Vsync周期结束前结束执行所述第二流程，降低了所述显示系统显示画面发生迟滞现象的概率。

[0031] 在一个可能的设计中，所述显示系统基于上述方法，从第M+1个Vsync周期开始，直到第M+P-1个Vsync周期中的每个Vsync周期内的所述第一流程的起始时刻均设置为相应Vsync周期的器件显示流程的起始时刻之后，即对所述第一流程的起始时刻进行偏移，且所述显示系统设置第M+P个Vsync周期内的所述第一流程的起始时刻为所述第M+P个Vsync周

期的起始时刻，所述P为预设的大于1的正整数。例如，P＝11时，所述显示系统从第M+1个Vsync周期开始，持续10个Vsync周期，在每个Vsync周期内的所述第一流程的起始时刻均设置为相应Vsync周期的器件显示流程的起始时刻之后，即对所述第一流程的起始时刻进行偏移，并将第M+11个Vsync周期内所述第一流程的起始时刻设置为所述第M+11个Vsync周期的起始时刻，后续每隔10个Vsync周期，即对下一个Vsync周期内所述第一流程的起始时刻设置为所述相应Vsync周期的起始时刻。

[0032] 这样，所述显示系统将连续多个Vsync周期内的所述第一流程的起始时刻偏移，减少多个Vsync周期内所述显示系统并行处理三个流程的时间，降低所述终端设备在整个显示过程中CPU的功耗。同时，在持续将P-1个Vsync周期所述第一流程的起始时刻偏移后，将所述第M+P个Vsync周期内的所述第一流程的起始时刻设置为所述第M+P个Vsync周期的起始时刻，可以降低所述显示系统显示画面出现延迟显示和丢帧的现象的概率。

[0033] 在一个可能的设计中，所述显示系统基于上述方法，从第M+1个Vsync周期开始，直到第M+Q-1个Vsync周期中的每个Vsync周期内的所述第二流程的起始时刻均设置为相应Vsync周期的器件显示流程的起始时刻之后，即对所述第二流程的起始时刻进行偏移，且所述显示系统设置第M+Q个Vsync周期内的所述第二流程的起始时刻为所述第M+Q个Vsync周期的起始时刻，所述Q为预设的大于1的正整数。例如，P＝21时，所述显示系统从第M+1个Vsync周期开始，持续20个Vsync周期，在每个Vsync周期内的所述第二流程的起始时刻均设置为相应Vsync周期的器件显示流程的起始时刻之后，即对所述第二流程的起始时刻进行偏移，并将第M+21个Vsync周期内所述第二流程的起始时刻设置为所述第M+21个Vsync周期的起始时刻，后续每隔20个Vsync周期，即对下一个Vsync周期内所述第二流程的起始时刻设置为所述相应Vsync周期的起始时刻。

[0034] 这样，所述显示系统将连续多个Vsync周期内的所述第一流程的起始时刻偏移，减少多个Vsync周期内所述显示系统并行处理三个流程的时间，降低所述终端设备在整个显示过程中CPU的功耗。同时，在持续将Q-1个Vsync周期所述第二流程的起始时刻偏移后，将所述第M+Q个Vsync周期内的所述第二流程的起始时刻设置为所述第M+Q个Vsync周期的起始时刻，可以降低所述显示系统显示画面出现延迟显示和丢帧的现象的概率。

[0035] 另一方面，本发明实施例提供一种终端设备，所述终端设备具有实现上述方法实施例中终端设备行为的功能，所述功能可以通过硬件实现，也可以通过硬件执行相应的软件实现。所述硬件或软件包括一个或多个与上述功能相对应的模块。

[0036] 在一种可能的设计中，终端设备的结构中包括获取单元、处理单元，以及运行单元，这些单元可以执行上述方法示例中的相应功能，具体参见方法示例中的详细描述，不作赘述。

[0037] 在另一种可能的设计中，所述终端设备的结构中包括处理器、总线、存储器以及显示面板，所述处理器、所述存储器和所述显示面板通过所述总线连接，所述处理器调用所述存储器中的指令，执行上述方法设计中的功能，所述显示面板，用于所述处理器在每个Vsync周期内执行所述器件显示流程后，显示所述处理器执行所述器件显示流程生成的图像。

[0038] 本发明实施例中，终端设备的显示系统获取在第M个Vsync周期内执行第一流程的第一处理时长后，根据所述第一处理时长确定第M+1个Vsync周期内的所述第一流程的起始

时刻，所述第一流程为应用绘图流程或surfaceflinger合成流程，所述第M+1个Vsync周期内所述第一流程的起始时刻位于器件显示流程的起始时刻之后，且所述第一流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第一处理时长之和小于或等于所述第M+1个Vsync周期的时长；在所述第M+1个Vsync周期中，所述显示系统在所述器件显示流程的起始时刻开始执行所述器件显示流程，并在所述第一流程的起始时刻开始执行所述第一流程。这样，在所述第M+1个Vsync周期内，所述显示系统使应用绘图流程、surfaceflinger合成流程中的任一个流程，延迟执行，减少了所述终端设备的显示系统在所述第M+1个Vsync周期内并行处理三个流程的时间，降低终端设备的CPU的功耗。

附图说明

[0039] 图1为本发明实施例提供的一种显示系统的架构示意图；

[0040] 图2为本发明实施例提供的显示一帧图像的流程示意图；

[0041] 图3为现有技术提供的一种显示图像的流程示意图；

[0042] 图4为本发明实施例提供的一种终端设备结构示意图；

[0043] 图5为本发明实施例提供的一种显示方法的流程图；

[0044] 图6A为本发明实施例提供的一种显示示例流程图；

[0045] 图6B为本发明实施例提供的一种显示示例流程图；

[0046] 图7A为本发明实施例提供的一种显示示例流程图；

[0047] 图7B为本发明实施例提供的一种显示示例流程图；

[0048] 图8为本发明实施例提供的一种显示示例流程图；

[0049] 图9为本发明实施例提供的一种显示示例流程图；

[0050] 图10A为本发明实施例提供的一种显示示例流程图；

[0051] 图10B为本发明实施例提供的一种显示示例流程图；

[0052] 图11为本发明实施例提供的一种出现丢帧现象的显示流程示意图；

[0053] 图12为本发明实施例提供的一种出现延迟显示现象的显示流程示意图；

[0054] 图13为本发明实施例提供的一种终端设备的CPU频率仿真图；

[0055] 图14为本发明实施例提供的一种终端设备的结构示意图；

[0056] 图15为本发明实施例提供的一种终端设备的结构示意图。

具体实施方式

[0057] 为了使本发明的目的、技术方案和优点更加清楚，下面将结合附图对本发明作进一步地详细描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其它实施例，都属于本发明保护的范围。

[0058] 本发明实施例提供一种显示方法及终端设备，用以解决现有技术中终端设备的显示系统在Vsync周期并行处理三个流程，造成终端设备的CPU功耗较大的问题。其中，方法和装置是基于同一发明构思的，由于方法及装置解决问题的原理相似，因此装置与方法的实施可以相互参见，重复之处不再赘述。

[0059] 以下，对本申请中的部分用户进行解释说明，以便与本领域技术人员理解。

[0060] 本发明涉及的“终端设备”，为含有内置的显示系统，可以实现人机交互功能的设备，该终端设备可以为计算机、手机、平板电脑、销售终端(Point of Sales，POS)或车载电脑等，在本申请中，仅以手机为例。

[0061] 显示系统，内置于终端设备中，用于呈现界面UI，实现人机交互，可以对图像进行处理，并显示于显示系统中的显示面板，其中，该显示面板可以采用LCD、OLED等形式来配置。

[0062] 图层，由许多像素组成，是构成图像的基本单元。一帧图像可以是一个图层，也为多个图层通过上下叠加的方式组成。图层就象是含有文字或图形等元素的胶片，一张张按顺序叠放在一起，组合起来形成图像的最终效果。

[0063] 帧率，通常为1秒内显示图像的帧数，在本发明实施例中，帧率＝1秒/Vsync周期的时长。

[0064] 另外，需要理解的是，在本申请的描述中，“第一”、“第二”等词汇，仅用于区分描述的目的，而不能理解为指示或暗示相对重要性，也不能理解为指示或暗示顺序。

[0065] 本发明实施例提供的一种显示方法，适用于如图1所示的显示系统架构，在该显示系统架构中，包括控制模块101、应用绘图模块102、以及surfaceflinger合成模块103、存储器104、器件显示模块105、显示面板106，以及时钟模块107，其中，

[0066] 控制模块101向显示系统中的应用绘图模块102、surfaceflinger合成模块103以及器件显示模块105发送控制信号，实现对上述模块的控制，使应用绘图模块102、surfaceflinger合成模块103以及器件显示模块105处理图像数据；

[0067] 所述应用绘图模块102在接收到所述控制模块101的控制信号后，获取所述终端设备需要显示的多个应用(如图中应用1至应用n)的待显示图层数据，并根据获取的多个待显示图层数据进行绘图处理，生成多个图层，并将生成的多个图层发送至所述存储器104；

[0068] 所述surfaceflinger合成模块103在接收到所述控制模块101的控制信号后，从所述存储器104中获取所述多个图层，并进行图层合成，生成一帧最终的图像，并将生成的图像发送至所述存储器104，其中，所述surfaceflinger合成模块103在进行图层合成中，还包括硬件合成(Hardware Compose，HWC)过程；

[0069] 所述存储器104，通常为缓存器，存储所述应用绘图模块102生成的多个图层，以及存储所述surfaceflinger合成模块103生成的图像；

[0070] 所述器件显示模块105，在接收到所述控制模块101的控制信号后，获取所述存储器104中的所述图像，并将所述图像推送至所述显示面板106；

[0071] 所述显示面板106，用于直接显示所述器件显示模块105发送过来的所述图像；

[0072] 所述时钟模块107，用于统计时钟，每隔设定时长(Vsync周期)，向所述控制模块101发送时钟信号，通知所述控制模块101触发一个Vsync周期，生产控制信号，并将控制信号同时发送给应用绘图模块102、surfaceflinger合成模块103以及器件显示模块105，通知各模块执行对应的流程。

[0073] 因此，传统的，通过如图1所示的显示系统，实现显示图像的流程，如图2所示，包括：

[0074] 应用绘图流程：获取需要显示的多个应用的多个待显示图层数据，对所述多个待显示图层数据进行绘图处理，生成多个图层；

[0075] surfaceflinger合成流程：对所述应用绘图流程中生成的多个图层进行surfaceflinger处理，以及HWC处理，生成一帧待显示的图像；

[0076] 器件显示流程：将上述Surfaceflinger合成流程生成的所述待显示的图像进行器件显示处理，将所述待显示的图像推送至显示面板。

[0077] 根据上述对显示系统和显示图像的流程的描述可知，在一个Vsync周期内，显示系统可以执行一次应用绘图流程、surfaceflinger合成流程和器件显示流程。而一帧图像的显示则需要以上三个流程处理，因此，一帧图像需要3个Vsync周期才能显示。为了避免显示图像过慢，所述显示系统在每个Vsync周期并行处理以下三个流程：应用绘图流程、surfaceflinger合成流程、器件显示流程，其中，surfaceflinger合成流程中需要合成的原始数据为上个Vsync周期内应用绘图流程的绘图结果，而器件显示流程中需要显示的数据为上个Vsync周期内surfaceflinger合成流程后的合成结果，且传统的，以上三个流程在一个Vsync周期触发时，同时开始执行，如图3所示：

[0078] 在第m个Vsync周期的起始时刻，同时启动所述三个流程，其中，在器件显示流程中处理第1帧图像的数据，在处理完成时，所述显示面板中显示第1帧图像；在surfaceflinger合成流程中处理第2帧图像的数据；在应用绘图流程中处理第3帧图像的数据；

[0079] 在第m+1个Vsync周期的起始时刻，同时启动所述三个流程，在器件显示流程中处理第2帧图像的数据，在完成处理时，所述显示面板中显示第2帧图像；surfaceflinger流程处理第3帧图像的数据；应用绘图流程中处理第4帧图像的数据；

[0080] 在第m+2个Vsync周期的起始时刻，同时启动所述三个流程，在器件显示流程中处理第3帧图像的数据，在完成处理时，所述显示面板中显示第3帧图像；surfaceflinger流程处理第4帧图像的数据；应用绘图流程中处理第5帧图像的数据；

[0081] 在第m+3个Vsync周期的起始时刻，同时启动所述三个流程，在器件显示流程中处理第4帧图像的数据，在完成处理时，所述显示面板中显示第4帧图像；surfaceflinger流程处理第5帧图像的数据；应用绘图流程中处理第6帧图像的数据。

[0082] 由于器件显示流程只需要读取缓存中的数据，并显示到所述显示面板中，因此，每个Vsync周期中该流程的处理时长较固定，一般为几毫秒。因此显示面板通常显示一帧图像的时间，通常是从一个Vsync周期器件显示流程结束至下一个Vsync周期器件显示流程结束，总时长与Vsync周期的长度几乎相同。

[0083] 本发明实施例中的显示方法，适用于各种包含显示系统，且支持Vsync技术的终端设备，例如计算机、手机、POS等屏幕显示图像时，均可以采用本发明实施例提供的显示方法。

[0084] 采用本发明技术方案，终端设备的显示系统获取在第M个Vsync周期内执行第一流程的第一处理时长后，根据所述第一处理时长确定下一个Vsync周期(第M+1个Vsync周期)内的所述第一流程的起始时刻，所述第一流程为应用绘图流程或surfaceflinger合成流程，所述第M+1个Vsync周期内所述第一流程的起始时刻位于器件显示流程的起始时刻之后，且所述第一流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第一处理时长之和小于或等于所述第M+1个Vsync周期的时长；在所述第M+1个Vsync周期中，所述显示系统在所述器件显示流程的起始时刻开始执行所述器件显示流程，并在所述第一流程的起始时刻开始执行所述第一流程。这样，在所述第M+1个Vsync周期内，所述显示

系统使应用绘图流程、surfaceflinger合成流程中的任一个流程，延迟执行，减少了所述终端设备的显示系统在所述第M+1个Vsync周期内并行处理三个流程的时间，降低终端设备的CPU的功耗。

[0085] 本发明实施例提供了一种显示方法及终端设备，适用于终端设备中，本发明实施例涉及的所述终端设备可以为计算机、手机、平板电脑、个人数字助理(Personal Digital Assistant,PDA)、销售终端(Point of Sales,POS)、车载电脑等设备。

[0086] 以终端设备为手机为例，图4示出的是与本发明实施例相关的手机400的部分结构的框图。参考图4，手机400包括：射频(Radio Frequency,RF)电路410、电源420、处理器430、存储器440、输入单元450、显示单元460、传感器470、音频电路480、以及无线保真(wireless fidelity,WiFi)模块490等部件。本领域技术人员可以理解，图4中示出的手机结构并不构成对手机的限定，可以包括比图示更多或更少的部件，或者组合某些部件，或者不同的部件布置。

[0087] 下面结合图4对手机400的各个构成部件进行具体的介绍：

[0088] RF电路410可用于收发信息或通话过程中，信号的接收和发送，特别地，将基站的下行信息接收后，给处理器430处理；另外，将设计上行的数据发送给基站。通常，RF电路410包括但不限于天线、至少一个放大器、收发信机、耦合器、低噪声放大器(Low Noise Amplifier,LNA)、双工器等。此外，RF电路410还可以通过无线通信与网络和其他设备通信。所述无线通信可以使用任一通信标准或协议，包括但不限于全球移动通讯系统(Global System of Mobile communication,GSM)、通用分组无线服务(General Packet Radio Service,GPRS)、码分多址(Code Division Multiple Access,CDMA)、宽带码分多址(Wideband Code Division Multiple Access,WCDMA)、长期演进(Long Term Evolution,LTE)、电子邮件、短消息服务(Short Messaging Service,SMS)等。

[0089] 存储器440可用于存储软件程序以及模块，处理器430通过运行存储在存储器440的软件程序以及模块，从而执行手机400的各种功能应用以及数据处理。存储器440可主要包括存储程序区和存储数据区，其中，存储程序区可存储操作系统、至少一个功能所需的应用程序(比如声音播放功能、图象播放功能等)等；存储数据区可存储根据手机400的使用所创建的数据(比如音频数据、电话本等)等。此外，存储器440可以包括高速随机存取存储器，还可以包括非易失性存储器，例如至少一个磁盘存储器件、闪存器件、或其他易失性固态存储器件。

[0090] 输入单元450可用于接收输入的数字或字符信息，以及产生与手机400的用户设置以及功能控制有关的键信号输入。具体地，输入单元450可包括触控面板451以及其他输入设备452。触控面板451，也称为触摸屏，可收集用户在其上或附近的触摸操作(比如用户使用手指、触笔等任何适合的物体或附件在触控面板451上或在触控面板451附近的操作)，并根据预先设定的程式驱动相应的连接装置。可选的，触控面板451可包括触摸检测装置和触摸控制器两个部分。其中，触摸检测装置检测用户的触摸方位，并检测触摸操作带来的信号，将信号传送给触摸控制器；触摸控制器从触摸检测装置上接收触摸信息，并将它转换成触点坐标，再送给处理器430，并能接收处理器430发来的命令并加以执行。此外，可以采用电阻式、电容式、红外线以及表面声波等多种类型实现触控面板451。除了触控面板451，输入单元450还可以包括其他输入设备452。具体地，其他输入设备452可以包括但不限于物理

键盘、功能键(比如音量控制按键、开关按键等)、轨迹球、鼠标、操作杆等中的一种或多种。

[0091] 显示单元460可用于显示由用户输入的信息或提供给用户的信息以及手机400的各种菜单,所述显示单元460即为手机400的显示系统,用于呈现界面UI,实现人机交互。显示单元460可包括显示面板461,可选的,可以采用LCD、OLED等形式来配置显示面板461。进一步的,触控面板451可覆盖显示面板461,当触控面板451检测到在其上或附近的触摸操作后,传送给处理器430以确定触摸事件的类型,随后处理器430根据触摸事件的类型在显示面板461上提供相应的视觉输出。虽然在图4中,触控面板451与显示面板451是作为两个独立的部件来实现手机400的输入和输入功能,但是在某些实施例中,可以将触控面板451与显示面板461集成而实现手机400的输入和输出功能。

[0092] 手机400还可包括至少一种传感器470,比如光传感器、运动传感器以及其他传感器。具体地,光传感器可包括环境光传感器及接近传感器,其中,环境光传感器可根据环境光线的明暗来调节显示面板461的亮度,接近传感器可在手机400移动到耳边时,关闭显示面板461和/或背光。作为运动传感器的一种,加速计传感器可检测各个方向上(一般为三轴)加速度的大小,静止时可检测出重力的大小及方向,可用于识别手机姿态的应用(比如横竖屏切换、相关游戏、磁力计姿态校准)、振动识别相关功能(比如计步器、敲击)等;至于手机400还可配置的陀螺仪、气压计、湿度计、温度计、红外线传感器等其他传感器,在此不再赘述。

[0093] 音频电路480、扬声器481,麦克风482可提供用户与手机400之间的音频接口。音频电路480可将接收到的音频数据转换后的电信号,传输到扬声器481,由扬声器481转换为声音信号输出;另一方面,麦克风482将收集的声音信号转换为电信号,由音频电路480接收后转换为音频数据,再将音频数据输出至RF电路410以发送给比如另一手机,或者将音频数据输出至存储器440以便进一步处理。

[0094] WiFi属于短距离无线传输技术,手机400通过WiFi模块490可以帮助用户收发电子邮件、浏览网页和访问流式媒体等,它为用户提供了无线的宽带互联网访问。虽然图4示出了WiFi模块490,但是可以理解的是,其并不属于手机400的必须构成,完全可以根据需要在不改变发明的本质的范围内而省略。

[0095] 处理器430是手机400的控制中心,利用各种接口和线路连接整个手机的各个部分,通过运行或执行存储在存储器440内的软件程序和/或模块,以及调用存储在存储器440内的数据,执行手机400的各种功能和处理数据,从而实现基于手机的多种业务。可选的,处理器430可包括一个或多个处理单元;优选的,处理器430可集成应用处理器和调制解调处理器,其中,应用处理器主要处理操作系统、用户界面和应用程序等,调制解调处理器主要处理无线通信。可以理解的是,上述调制解调处理器也可以不集成到处理器430中。

[0096] 手机400还包括给各个部件供电的电源420(比如电池),优选的,电源可以通过电源管理系统与处理器430逻辑相连,从而通过电源管理系统实现管理充电、放电、以及功耗等功能。

[0097] 尽管未示出,手机400还可以包括摄像头、蓝牙模块等,在此不再赘述。

[0098] 本发明实施例提供的一种显示方法,该方法用于终端设备的显示系统,所述显示系统用于在每个Vsync周期内执行器件显示流程、应用绘图流程以及图层surfaceflinger合成流程,所述终端设备可以为计算机、平板电脑,以及如图4所示的手机等,参阅图图5所

示，该方法的具体流程包括：

[0099] 步骤501：所述显示系统获取所述显示系统在第M个Vsync周期内执行第一流程的第一处理时长，所述第一流程为应用绘图流程或surfaceflinger合成流程，所述M为大于或等于1的正整数。

[0100] 传统的，终端设备的显示系统采用Vsync技术时，在每个Vsync周期的起始时刻，所述显示系统需要并行处理应用绘图流程、surfaceflinger合成流程以及器件显示流程。通常情况下，为了避免显示画面的迟滞，在一个Vsync周期内的每个流程均应该在该Vsync周期结束之前或结束时完成，由于以上三个流程中，器件显示流程只需要所述显示系统读取缓存中的数据，并显示到所述终端设备的显示面板中，因此，该流程相对于另外两个流程，处理时长较短，一般为几毫秒，而另外两个流程耗时稍长。

[0101] 步骤502：所述显示系统根据所述第一处理时长，确定第M+1个Vsync周期内的所述第一流程的起始时刻，所述第M+1个Vsync周期内，所述第一流程的起始时刻位于所述器件显示流程的起始时刻之后，且所述第一流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第一处理时长之和小于或等于所述第M+1个Vsync周期的时长。

[0102] 其中，所述第M+1个Vsync周期内所述器件显示流程的起始时刻为所述M+1个Vsync周期的起始时刻。且由于在步骤502中，所述显示系统设置的所述第M+1个Vsync周期内的所述第一流程的起始时刻位于所述器件显示流程的起始时刻之后，即将所述第一流程的起始时刻偏移，使所述第一流程被延迟执行。

[0103] 由于所述显示系统需要将所述第M+1个Vsync周期内的所述第一流程延迟执行，在所述显示系统确定所述第M+1个Vsync周期内的所述第一流程的起始时刻时，还需要尽量避免出现由于所述第M+1个Vsync周期结束，所述显示系统还没有执行完所述第一流程，进而造成显示画面的迟滞的现象，因此，在确定所述第M+1个Vsync周期内的所述第一流程的起始时刻时，需要估计在所述当前Vsync周期内所述显示系统执行所述第一流程的处理时长。而通常情况下，相邻两帧图像的相似度较高，而所述显示系统分别在相邻两个Vsync周期内的应用绘图流程中处理的数据属于相邻两帧图像中的数据，同理，所述显示系统分别在相邻两个Vsync周期内的surfaceflinger合成流程中处理的数据属于相邻两帧图像中的数据，分别在相邻两个Vsync周期内的器件显示流程中处理的数据也属于相邻两帧图像中的数据，因此，所述显示系统在第M个Vsync周期内执行应用绘图流程、surfaceflinger合成流程和器件显示流程的处理时长，分别与所述显示系统在所述第M+1个Vsync周期内执行相应的流程的处理时长相似。

[0104] 基于以上结论，在本发明实施例中，是通过第M个Vsync周期内的所述第一流程的所述第一处理时长，作为所述显示系统估计的所述显示系统在所述第M+1个Vsync周期内所述第一流程的处理时长。

[0105] 所述显示系统确定的所述第M+1个Vsync周期内所述第一流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第一处理时长之和小于或等于所述第M+1个Vsync周期的时长，保证在所述第M+1个Vsync周期结束时，预计所述显示系统可以结束执行所述第一流程，避免造成显示画面的迟滞。

[0106] 通过步骤502，所述显示系统将在所述第M+1个Vsync周期内的所述第一流程的起始时刻偏移，使所述第一流程延迟执行，减少了所述终端设备的显示系统在所述第M+1个

Vsync周期内并行处理三个流程的时间，降低终端设备的CPU的功耗。例如图6A所示的当所述第一流程为surfaceflinger合成流程时的显示示例图，所述显示系统设置所述第M+1个Vsync周期内，所述surfaceflinger合成流程的起始时刻位于所述器件显示时刻之后，所述显示系统延迟执行所述surfaceflinger合成流程，如图所示，减少了所述显示系统在第M+1个Vsync周期内，并行处理三个流程的时间，降低了终端设备的CPU的功耗。同理，如图6B所示的当所述第一流程为应用绘图流程时，也可以减少所述显示系统在第M+1个Vsync周期内，并行处理三个流程的时间，降低了终端设备的CPU的功耗。

[0107] 可选的，所述显示系统根据所述第一处理时长，确定所述第M+1个Vsync周期内的所述第一流程的起始时刻，包括：

[0108] 所述显示系统获取所述显示系统在所述第M个Vsync周期内执行所述器件显示流程的第二处理时长；

[0109] 所述显示系统根据所述第一处理时长和所述第二处理时长，确定所述第M+1个Vsync周期内的所述第一流程的起始时刻，所述第一流程的起始时刻等于第一时刻或位于所述第一时刻之后，所述第一时刻为距离所述器件显示流程的起始时刻经过所述第二处理时长的时刻，且所述第一流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第一处理时长之和小于或等于所述第M+1个Vsync周期的时长。

[0110] 所述显示系统为了避免显示画面迟滞，需要在将所述第M+1个Vsync周期内的所述第一流程的起始时刻设置为以下时刻之前：等于所述第一时刻或位于所述第一时刻之后，需要判断所述第一流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第一处理时长之和与所述第M+1个Vsync周期的时长的关系，在判定所述第一流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第一处理时长之和小于或等于所述第M+1个Vsync周期的时长时，即可以将所述第M+1个Vsync周期内的所述第一流程的起始时刻设置为等于所述第一时刻或位于所述第一时刻之后。

[0111] 通过上述方法，所述显示系统将所述第M+1个Vsync周期内的所述第一流程的起始时刻设置为等于第一时刻或位于所述第一时刻之后，即在所述显示系统在所述第M+1个Vsync周期内执行完所述器件显示流程时或之后开始执行所述第一流程，这样，可以保证所述显示系统串行执行器件显示流程和所述第一流程，保证了所述显示系统不会在一个Vsync周期内并行处理三个流程，进一步降低了终端设备的CPU的功耗。

[0112] 图7A所示的当所述第一流程为surfaceflinger合成流程时的显示示例图，所述显示系统在第M+1个Vsync周期内执行surfaceflinger合成流程的起始时刻，在所述显示系统执行所述器件显示流程完成的时刻之后，即所述显示系统串行执行所述器件显示流程和所述surfaceflinger合成流程，保证了所述显示系统不会在所述第M+1个Vsync周期内并行处理三个流程，降低了终端设备的CPU的功耗。

[0113] 图7B所示的当所述第一流程为应用绘图流程时的显示示例图，所述显示系统在第M+1个Vsync周期内执行应用绘图流程的起始时刻，在所述显示系统执行所述器件显示流程完成的时刻之后，即所述显示系统串行执行所述器件显示流程和所述应用绘图流程，保证了所述显示系统不会在所述第M+1个Vsync周期内并行处理三个流程，降低了终端设备的CPU的功耗。

[0114] 由以上论述可知，所述第M+1个Vsync周期内的所述第一流程的起始时刻是所述显

示系统将所述第M个Vsync周期内执行所述第一流程的所述第一处理时长，估计为所述显示系统实际在所述第M+1个Vsync周期内执行所述第一流程的处理时长，但是，由于所述显示系统实际在所述第M+1个Vsync周期内执行所述第一流程的所需的处理时长，可能与所述第一处理时长存在误差，若所述显示系统实际在所述第M+1个Vsync周期内执行所述第一流程的所需处理时长大于所述第一处理时长，而所述第M+1个Vsync周期内所述第一流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第一处理时长之和等于所述第M+1个Vsync周期的时长，这样，所述显示系统在所述第M+1个Vsync周期就无法执行完所述第一流程，进而导致所述显示系统显示画面迟滞现象。

[0115] 因此，可选的，为了降低由于上述原因出现的显示画面迟滞现象，所述显示系统确定的所述第一流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第一处理时长之和小于或等于所述第M+1个Vsync周期的时长与第一预设时长的差。这样，即使在所述第M+1个Vsync周期内执行所述第一流程的所需处理时长大于所述第一处理时长的情况下，只要所述显示系统实际在所述第M+1个Vsync周期内执行所述第一流程的所需处理时长减去所述第一处理时长的时长差小于所述第一预设时长，所述显示系统仍然可以在所述第M+1个Vsync周期结束前结束执行所述第一流程，降低了所述显示系统显示画面发生迟滞现象的概率。

[0116] 步骤503：在所述第M+1个Vsync周期中，所述显示系统在所述器件显示流程的起始时刻开始执行所述显示流程；所述显示系统在所述第一流程的起始时刻开始执行所述第一流程。

[0117] 由于所述第M+1个Vsync周期内所述器件显示流程的起始时刻为所述M+1个Vsync周期的起始时刻，因此，所述显示系统在所述第M+1个Vsync周期的起始时刻，即开始执行所述器件显示流程。

[0118] 可选的，所述第M+1个Vsync周期内所述第二流程的起始时刻，也可以为所述M+1个Vsync周期的起始时刻，所述第二流程为应用绘图流程和surfaceflinger合成流程中除所述第一流程以外的其他流程，即所述显示系统在所述第M+1个Vsync周期的起始时刻，同时开始执行所述第二流程和所述器件显示流程。由于所述显示系统执行所述显示所述应用绘图流程和surfaceflinger合成流程，都会导致所述终端设备的CPU的功耗较高，而相对于上述两个流程，所述显示系统执行所述器件显示流程功耗较低，所以，所述显示系统所述第M+1个Vsync周期内将所述第一流程延迟执行，在所述第M+1个Vsync周期的起始时刻同时开始执行所述第二流程和所述器件显示流程，不仅可以减少所述显示系统在第M+1个Vsync周期内，并行处理三个流程的时间，还可以减少所述显示系统在第M+1个Vsync周期内，并行处理所述第一流程和第二流程的时间，进一步降低了所述终端设备的CPU的功耗。

[0119] 可选的，所述显示系统也可以延迟执行所述第二流程，具体的，所述方法还包括：

[0120] 所述显示系统获取所述显示系统在所述第M个Vsync周期内执行第二流程的第三处理时长，所述第二流程为应用绘图流程和surfaceflinger合成流程中除所述第一流程以外的其他流程；

[0121] 所述显示系统根据所述第三处理时长，确定所述M+1个Vsync周期内的所述第二流程的起始时刻，所述第M+1个Vsync周期内所述第二流程的起始时刻位于所述器件显示流程的起始时刻之后，且所述第二流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏

移时长与所述第三处理时长之和小于或等于所述第M+1个Vsync周期的时长；

[0122] 在所述第M+1个Vsync周期中，所述显示系统在所述第二流程的起始时刻开始执行所述第二流程。

[0123] 所述显示系统确定所述第M+1个Vsync周期的所述第二流程的起始时刻与在步骤502中，确定所述第M+1个Vsync周期的所述第一流程的起始时刻的过程和原理相同，在此不再赘述。

[0124] 其中，所述显示系统在确定所述第M+1个Vsync周期内的所述第二流程的起始时刻时，也是通过所述第M个Vsync周期所述第二流程的所述第三处理时长，作为所述显示系统估计的所述显示系统在所述第M+1个Vsync周期内的所述第二流程的处理时长。

[0125] 通过上述方法，所述显示系统也将在所述第M+1个Vsync周期内的所述第二流程的起始时刻偏移，使所述第二流程也延迟执行，也可以减少所述显示系统在所述第M+1个Vsync周期内，并行处理三个流程的时间，降低了终端设备的CPU的功耗。在如图8所示的显示示例图中，所述第一流程为surfaceflinger合成流程，所述第二流程为应用绘图流程，如图所示，所述显示系统通过对所述第一流程和所述第二流程的起始时刻偏移，减少所述显示系统在所述第M+1个Vsync周期内，并行处理三个流程的时间，降低了终端设备的CPU的功耗。

[0126] 可选的，所述显示系统确定的所述第M+1个Vsync周期内的所述第一流程的起始时刻与所述第二流程的起始时刻不同，如图8所示，这样，不仅可以减少所述显示系统在第M+1个Vsync周期内，并行处理三个流程的时间，还可能减少所述显示系统在第M+1个Vsync周期内，并行处理所述第一流程和第二流程的时间，进一步降低了所述终端设备的CPU的功耗。

[0127] 可选的，所述显示系统根据所述第三处理时长，确定所述M+1个Vsync周期内的所述第二流程的起始时刻，包括：

[0128] 所述显示系统获取所述显示系统在所述第M个Vsync周期内执行所述器件显示流程的第二处理时长；

[0129] 所述显示系统根据所述第二处理时长和所述第三处理时长，确定所述第M+1个Vsync周期内的所述第二流程的起始时刻，所述第二流程的起始时刻等于第二时刻或位于所述第二时刻之后，所述第二时刻为距离所述器件显示流程的起始时刻经过所述第二处理时长的时刻，且所述第二流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第三处理时长之和小于或等于所述第M+1个Vsync周期的时长。

[0130] 所述显示系统为了避免显示画面迟滞，需要在将所述第M+1个Vsync周期内的所述第二流程的起始时刻设置为以下时刻之前：等于所述第二时刻或位于所述第二时刻之后，需要判断所述第二流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第三处理时长之和与所述第M+1个Vsync周期的时长的关系，在判定所述第二流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第三处理时长之和小于或等于所述第M+1个Vsync周期的时长时，即可以将所述第M+1个Vsync周期内的所述第二流程的起始时刻设置为等于所述第二时刻或位于所述第二时刻之后。

[0131] 通过上述方法，所述显示系统将所述第M+1个Vsync周期内的所述第二流程的起始时刻设置为等于第二时刻或位于所述第二时刻之后，即在所述显示系统在所述第M+1个Vsync周期内执行完所述器件显示流程时或之后开始执行所述第二流程，这样，可以保证所

述显示系统串行执行器件显示流程和所述第二流程，保证了所述显示系统不会在一个Vsync周期内并行处理三个流程，进一步降低了终端设备的CPU的功耗。

[0132] 如图9所示的显示示例图中，所述第一流程为surfaceflinger合成流程，所述第二流程为应用绘图流程，所述显示系统在所述第M+1个Vsync周期内执行应用绘图流程和surfaceflinger合成流程的时刻，在所述显示系统执行所述器件显示流程完成的时刻之后，那么所述显示系统可能在所述当前Vsync周期结束执行器件显示流程后的某段时间内，并行所述第一流程和所述第二流程这两个流程，相对于传统的所述显示系统并行执行三个流程，降低了所述终端设备的CPU的功耗。

[0133] 为了降低显示画面迟滞现象，可选的，所述显示系统确定的所述第二流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第三处理时长之和小于或等于所述第M+1个Vsync周期的时长与第二预设时长的差。这样，即使在所述第M+1个Vsync周期内执行所述第二流程的所需处理时长大于所述第三处理时长的情况下，只要所述显示系统实际在所述第M+1个Vsync周期内执行所述第二流程的所需处理时长减去所述第三处理时长的时长差小于所述第二预设时长，所述显示系统仍然可以在所述第M+1个Vsync周期结束前结束执行所述第二流程，降低了所述显示系统显示画面发生迟滞现象的概率。

[0134] 可选的，所述第二预设时长与上述所述第一预设时长可以相同，也可以不同，本发明实施例对此不在限定。

[0135] 可选的，当所述显示系统确定的所述第一处理时长、所述第二处理时长以及所述第三处理时长的和，小于或等于所述第M+1个Vsync周期的时长时，所述第一流程的起始时刻与所述第二流程的起始时刻之间的时长，大于或等于所述第一处理时长或所述第三处理时长。

[0136] 其中，当所述第一流程的起始时刻与所述第二流程的起始时刻之间的时长，大于或等于所述第一处理时长时，那么，在所述第M+1个Vsync周期内，所述显示系统依次执行器件显示流程、所述第一流程、所述第二流程；若第一流程为surfaceflinger合成流程、第二流程为应用绘图流程，则显示流程如图10A所示；若第一流程为应用绘图流程，第二流程为surfaceflinger合成流程，则显示流程如图10B所示；

[0137] 当所述第一流程的起始时刻与所述第二流程的起始时刻之间的时长，大于或等于所述第三处理时长时，那么，在所述第M+1个Vsync周期内，所述显示系统依次执行器件显示流程、所述第二流程、所述第一流程；若第一流程为surfaceflinger合成流程、第二流程为应用绘图流程，则显示流程如图10B所示；若第一流程为应用绘图流程，第二流程为surfaceflinger合成流程，则显示流程如图10A所示。

[0138] 通过以上方法，在所述显示系统确定的所述第一处理时长、所述第二处理时长以及所述第三处理时长的和小于或等于所述第M+1个Vsync周期的时长时，设置所述第M+1个Vsync周期内所述第一流程的起始时刻和所述第二流程的起始时刻之间的时长，大于或等于所述第一处理时长或所述第三处理时长，这样，如图10A和图10B所示，所述显示系统在所述第M+1个Vsync周期内，串行执行三个流程，最大限度降低了所述终端设备的CPU的功耗。

[0139] 可选的，为了避免画面迟滞，所述显示系统可以设置第三预设时长，所述显示系统在确定所述第一处理时长、所述第二处理时长以及所述第三处理时长的和小于或等于所述第M+1个Vsync周期的时长与所述第三预设时长的差时，再设置所述第M+1个Vsync周期内所

述第一流程的起始时刻和所述第二流程的起始时刻之间的时长，大于或等于所述第一处理时长或所述第三处理时长。

[0140] 可选的，所述显示系统可以将每个Vsync周期内的所述第一流程的起始时刻偏移，减少每个Vsync周期内所述显示系统并行处理三个流程的时间，降低所述终端设备在整个显示过程中CPU的功耗；同理，进一步的，所述显示系统还可以将每个Vsync周期内所述第二流程的起始时刻偏移，减少每个Vsync周期内所述显示系统并行处理三个流程的时间，降低所述终端设备在整个显示过程中的CPU功耗；更进一步的，所述显示系统将每个Vsync周期内所述第一流程的起始时刻和所述第二流程的起始时刻设置为不同时刻，减少所述显示系统在每个Vsync周期并行处理所述第一流程和所述第二流程的时间，更进一步的降低了所述终端设备的CPU的功耗；再进一步的，若所述显示系统设置每个Vsync周期内所述第一流程的起始时刻和所述第二流程的起始时刻之间的时长，大于或等于所述第一处理时长或所述第三处理时长，使所述显示系统可以在每个Vsync周期均依次执行三个流程，可以最大限度地降低所述终端设备在整个显示过程中的CPU功耗。

[0141] 若所述显示系统可以将每个Vsync周期内的所述第一流程的起始时刻偏移，可能会出现延迟显示或丢帧现象。由于所述显示系统在当前Vsync周期内的surfaceflinger合成流程中需要合成的数据为上个Vsync周期内应用绘图流程的绘图结果，而器件显示流程中需要显示的数据为上个Vsync周期内surfaceflinger合成流程后的合成结果。在所述显示系统将每个Vsync周期内的surfaceflinger合成流程的起始时刻偏移的情况下，在某一个Vsync周期内的surfaceflinger合成流程合成过慢，在该Vsync周期结束时，该surfaceflinger合成流程还未完成，而应用绘图流程正常进行或过快，在下一个Vsync周期的器件显示流程中，不能显示上一周期的surfaceflinger合成流程的合成结果，此时就会导致出现延迟显示和丢帧的现象。

[0142] 例如图11所示的显示系统的显示流程中出现的丢帧现象：

[0143] 所述显示系统根据前一个Vsync周期内surfaceflinger流程的处理时长，将第m个Vsync周期内的surfaceflinger合成流程的起始时刻偏移；如图所示，该Vsync周期内的器件显示流程中处理第1帧的数据并处理完成时，所述显示面板中显示第1帧图像；surfaceflinger合成流程中处理第2帧的数据；应用绘图流程处理第3帧的数据；

[0144] 所述显示系统仍根据第m个Vsync周期内surfaceflinger流程的处理时长，将第m+1个Vsync周期内的surfaceflinger合成流程的起始时刻偏移；如图所示，该Vsync周期内的器件显示流程中处理第2帧的数据，并处理完成时，所述显示面板中显示第2帧图像；surfaceflinger合成流程中处理第3帧的数据；应用绘图处理第4帧的数据；其中，由于surfaceflinger合成流程的处理时间较长，导致在第m+1个Vsync周期结束时，surfaceflinger合成流程未处理完成；

[0145] 所述显示系统继续根据第m+1个Vsync周期内surfaceflinger流程的处理时长，将第m+2个Vsync周期内的surfaceflinger合成流程的起始时刻偏移；如图所示，由于器件显示流程的起始执行时刻第m+1个Vsync周期内开始的surfaceflinger合成流程还未执行完，因此，无法显示第3帧，这样，所述显示面板中仍显示第2帧图像；在m+1个Vsync周期内开始的surfaceflinger合成流程执行完后，开启本Vsync周期的surfaceflinger合成流程；该surfaceflinger合成流程中处理第4帧的数据；应用绘图处理第5帧的数据；

[0146] 所述显示系统继续根据第m+2个Vsync周期内surfaceflinger流程的处理时长，将第m+3个Vsync周期内的surfaceflinger合成流程的起始时刻偏移；如图所示，该Vsync周期内的器件显示流程中处理第4帧的数据，并处理完成时，所述显示面板中显示第4帧图像；surfaceflinger合成流程中处理第5帧的数据；应用绘图处理第6帧的数据。

[0147] 如图所示，根据以上流程的描述，所述显示面板中连续显示了两个Vsync周期第2帧图像，后续直接显示第4帧，而未显示第3帧的，因此发生了丢帧的现象。

[0148] 又例如图12所示的显示系统的显示流程中出现的延迟显示现象：

[0149] 所述显示系统根据前一个Vsync周期内surfaceflinger流程的处理时长，将第m个Vsync周期内的surfaceflinger合成流程的起始时刻偏移；如图所示，该Vsync周期内的器件显示流程中显示第1帧的数据并处理完成时，所述显示面板中显示第1帧图像，surfaceflinger合成流程中处理第2帧的数据，应用绘图流程处理第3帧的数据；

[0150] 所述显示系统仍根据第m个Vsync周期内surfaceflinger流程的处理时长，将第m+1个Vsync周期内的surfaceflinger合成流程的起始时刻偏移；如图所示，该Vsync周期内的器件显示流程中显示第2帧的数据并处理完成时，所述显示面板中显示第2帧图像，surfaceflinger合成流程中处理第3帧的数据，由于后续没有图像更新，应用绘图处理没有数据处理；其中，由于surfaceflinger合成流程的处理时间较长，导致在第m+1个Vsync周期结束时，surfaceflinger合成流程未处理完成；

[0151] 所述显示系统继续根据第m+1个Vsync周期内surfaceflinger流程的处理时长，将第m+2个Vsync周期内的surfaceflinger合成流程的起始时刻偏移；如图所示，由于器件显示流程的起始执行时刻第m+1个Vsync周期内开始的surfaceflinger合成流程还未执行完，因此，无法显示第3帧，这样，所述显示面板中显示的仍显示第2帧图像，在m+1个Vsync周期内开始的surfaceflinger合成流程执行完后，开启本Vsync周期的surfaceflinger合成流程，但是由于在m+1个Vsync周期内应用绘图流程没有处理数据，因此本Vsync周期的surfaceflinger合成流程也没有数据处理；本Vsync周期内应用绘图流程继续不进行数据处理；

[0152] 在第m+3个Vsync周期内，由于第m+1个Vsync周期内的surfaceflinger合成流程已经执行完成，且第m+2周期内的surfaceflinger合成流程没有数据处理，因此第m+1个Vsync周期内的surfaceflinger合成流程，生成的数据没有被覆盖掉，本Vsync周期内，器件显示流程中处理第3帧的数据，并处理完成时，所述显示面板中显示第3帧图像。

[0153] 如图所示，根据以上流程的描述，所述显示面板中连续显示了两个Vsync周期第2帧图像后，才显示第3帧图像，因此第3帧图像发生了延迟显示现象。

[0154] 若所述显示系统将每个Vsync周期内的surfaceflinger合成流程的起始时刻均偏移，某一个Vsync周期内surfaceflinger合成流程可能会比上一个Vsync周期内surfaceflinger合成流程执行时间长，那么，后续发生延迟显示和丢帧的概率较高，为了尽量避免出现上述延迟显示和丢帧的现象，所述显示系统在持续设定个Vsync周期将surfaceflinger合成流程的起始时刻偏移后，将下一个Vsync周期内的surfaceflinger合成流程的起始时刻设置为该Vsync周期的起始时刻，使该Vsync周期内的surfaceflinger合成流程的起始时刻不偏移；

[0155] 同理，所述显示系统在持续设定个Vsync周期将应用绘图流程的起始时刻偏移后，

将下一个Vsync周期内的应用绘图流程的起始时刻设置为该Vsync周期的起始时刻，使该Vsync周期内的surfaceflinger合成流程的起始时刻不偏移。

[0156] 综上所述，所述显示系统设置第M+P个Vsync周期内的所述第一流程的起始时刻为所述第M+P个Vsync周期的起始时刻，所述P为预设的大于1的正整数；以及

[0157] 所述显示系统设置第M+Q个Vsync周期内的所述第二流程的起始时刻为所述第M+Q个Vsync周期的起始时刻，所述Q为预设的大于1的正整数。

[0158] 其中，所述P和所述Q可以为相同的数目，如10、20等，也可以设置为不同的数目，本发明对此不作限定。

[0159] 所述终端设备的CPU的频率，可以直接体现所述CPU的工作性能和功耗，因此，在本发明实施例中，通过仿真所述CPU的频率，确定在每个Vsync周期内针对应用绘图流程、surfaceflinger合成流程中的至少一个流程设置对应的偏移量后，是否可以降低所述CPU的功耗和工作性能。参阅图13所示：

[0160] 当所述终端设备的显示系统在运行程序Process0时，采用传统的Vsync技术，在每个Vsync周期的起始时刻，开始并行处理应用绘图、surfaceflinger合成、器件显示三个流程，那么，所述显示系统在运行程序Process0的过程中每个时刻的所述CPU的频率，如图中上面的仿真结果1中cpufreq所示；

[0161] 当所述终端设备的显示系统在运行同样的程序Process0，但将每个Vsync周期的中的surfaceflinger合成流程的起始时刻偏移，使该流程延迟执行，而另外两个流程则在每个Vsync周期的起始时刻开始执行，那么，所述显示系统在运行程序Process0的过程中每个时刻的所述CPU的频率，如图中下面的仿真结果2中cpufreq所示；

[0162] 根据以上两个仿真结果，统计所述终端设备的CPU负荷，如表1所示：

[0163] 表1所述终端设备的CPU负荷统计

[0164]

系统负荷	低频数量	中频数量	高频数量
仿真结果1	若干	43	8
仿真结果2	若干	42	2

[0165] 由表1可知，在所述终端设备显示内容不变(显示内容的帧率不变)的情况下，在仿真结果2中的高频数量明显低于仿真结果1中的高频数量，显然，所述终端设备的显示系统将每个Vsync周期内的surfaceflinger合成流程的起始时刻偏移，使该流程延迟执行，可以明显降低所述终端设备的CPU的频率，降低系统的负荷，即降低所述CPU的功耗和工作性能，具有显著的效果。

[0166] 综上所述，采用本发明实施例提供的显示方法，终端设备的显示系统获取在第M个Vsync周期内执行第一流程的第一处理时长后，根据所述第一处理时长确定下一个Vsync周期(第M+1个Vsync周期)内的所述第一流程的起始时刻，所述第一流程为应用绘图流程或surfaceflinger合成流程，所述第M+1个Vsync周期内所述第一流程的起始时刻位于器件显示流程的起始时刻之后，且所述第一流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第一处理时长之和小于或等于所述第M+1个Vsync周期的时长；在所述第M+1个Vsync周期中，所述显示系统在所述器件显示流程的起始时刻开始执行所述器件显示流程，并在所述第一流程的起始时刻开始执行所述第一流程。这样，在所述第M+1个Vsync周期内，所述显示系统使应用绘图流程、surfaceflinger合成流程中的任一个流程，延迟执

行，减少了所述终端设备的显示系统在所述第M+1个Vsync周期内并行处理三个流程的时间，降低终端设备的CPU的功耗。

[0167] 基于以上实施例，本发明实施例还提供了一种终端设备，所述终端设备用于在一个Vsync周期内执行器件显示流程、应用绘图流程以及surfaceflinger合成流程，参阅图14所示，该终端设备1400包括：获取单元1401、处理单元1402，以及运行单元1403，其中，

[0168] 获取单元1401，用于获取运行单元1403在第M个Vsync周期内执行第一流程的第一处理时长，所述第一流程为应用绘图流程或surfaceflinger合成流程，所述M为大于或等于1的正整数；

[0169] 处理单元1402，用于根据所述第一处理时长，确定第M+1个Vsync周期内的所述第一流程的起始时刻，所述第M+1个Vsync周期内，所述第一流程的起始时刻位于所述器件显示流程的起始时刻之后，且所述第一流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第一处理时长之和小于或等于所述第M+1个Vsync周期的时长；

[0170] 运行单元1403，用于在所述第M+1个Vsync周期中，在所述器件显示流程的起始时刻开始执行所述显示流程；在所述第一流程的起始时刻开始执行所述第一流程。

[0171] 可选的，所述第M+1个Vsync周期内所述器件显示流程的起始时刻为所述M+1个Vsync周期的起始时刻。

[0172] 可选的，所述获取单元1401，还用于获取所述运行单元1403在所述第M个Vsync周期内执行所述器件显示流程的第二处理时长；

[0173] 所述处理单元1402，具体用于：根据所述第一处理时长和所述第二处理时长，确定所述第M+1个Vsync周期内的所述第一流程的起始时刻，所述第一流程的起始时刻等于第一时刻或位于所述第一时刻之后，所述第一时刻为距离所述器件显示流程的起始时刻经过所述第二处理时长的时刻，且所述第一流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第一处理时长之和小于或等于所述第M+1个Vsync周期的时长。

[0174] 可选的，所述获取单元1401，还用于获取所述运行单元1403在所述第M个Vsync周期内执行第二流程的第三处理时长，所述第二流程为应用绘图流程和surfaceflinger合成流程中除所述第一流程以外的其他流程；

[0175] 所述处理单元1402，还用于根据所述第三处理时长，确定所述M+1个Vsync周期内的所述第二流程的起始时刻，所述第M+1个Vsync周期内所述第二流程的起始时刻位于所述器件显示流程的起始时刻之后，且所述第二流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第三处理时长之和小于或等于所述第M+1个Vsync周期的时长；

[0176] 所述运行单元1403，还用于在所述第M+1个Vsync周期中，在所述第二流程的起始时刻开始执行所述第二流程。

[0177] 可选的，所述获取单元1401，还用于获取所述运行单元1403在所述第M个Vsync周期内执行所述器件显示流程的第二处理时长；

[0178] 所述处理单元1402，具体用于：根据所述第二处理时长和所述第三处理时长，确定所述第M+1个Vsync周期内的所述第二流程的起始时刻，所述第二流程的起始时刻等于第二时刻或位于所述第二时刻之后，所述第二时刻为距离所述器件显示流程的起始时刻经过所述第二处理时长的时刻，且所述第二流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第三处理时长之和小于或等于所述第M+1个Vsync周期的时长。

[0179] 可选的，所述处理单元1402还用于：

[0180] 当确定的所述第一处理时长、所述第二处理时长以及所述第三处理时长的和，小于或等于所述第M+1个Vsync周期的时长时，设置所述第M+1个Vsync周期内的所述第一流程的起始时刻和所述第二流程的起始时刻满足以下条件：

[0181] 所述第一流程的起始时刻与所述第二流程的起始时刻之间的时长，大于或等于所述第一处理时长或所述第三处理时长。

[0182] 可选的，所述第一流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第一处理时长之和小于或等于所述第M+1个Vsync周期的时长与第一预设时长的差。

[0183] 可选的，所述第二流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第三处理时长之和小于或等于所述第M+1个Vsync周期的时长与第二预设时长的差。

[0184] 可选的，所述处理单元1402，还用于：

[0185] 设置第M+P个Vsync周期内的所述第一流程的起始时刻为所述第M+P个Vsync周期的起始时刻，所述P为预设的大于1的正整数。

[0186] 可选的，所述处理单元1402，还用于：

[0187] 设置第M+Q个Vsync周期内的所述第二流程的起始时刻为所述第M+Q个Vsync周期的起始时刻，所述Q为预设的大于1的正整数。

[0188] 采用本发明实施例提供的终端设备，所述终端设备获取在第M个Vsync周期内执行第一流程的第一处理时长后，根据所述第一处理时长确定第M+1个Vsync周期内的所述第一流程的起始时刻，所述第一流程为应用绘图流程或surfaceflinger合成流程，所述第M+1个Vsync周期内所述第一流程的起始时刻位于器件显示流程的起始时刻之后，且所述第一流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第一处理时长之和小于或等于所述第M+1个Vsync周期的时长；在所述第M+1个Vsync周期中，所述终端设备在所述器件显示流程的起始时刻开始执行所述器件显示流程，并在所述第一流程的起始时刻开始执行所述第一流程。这样，在所述第M+1个Vsync周期内，所述显示系统使应用绘图流程、surfaceflinger合成流程中的任一个流程，延迟执行，减少了所述终端设备在所述第M+1个Vsync周期内并行处理三个流程的时间，降低终端设备的CPU的功耗。

[0189] 需要说明的是，本发明实施例中对单元的划分是示意性的，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式。在本申请的实施例中的各功能单元可以集成在一个处理单元中，也可以是各个单元单独物理存在，也可以两个或两个以上单元集成在一个单元中。上述集成的单元既可以采用硬件的形式实现，也可以采用软件功能单元的形式实现。

[0190] 所述集成的单元如果以软件功能单元的形式实现并作为独立的产品销售或使用时，可以存储在一个计算机可读取存储介质中。基于这样的理解，本申请的技术方案本质上或者说对现有技术做出贡献的部分或者该技术方案的全部或部分可以以软件产品的形式体现出来，该计算机软件产品存储在一个存储介质中，包括若干指令用以使得一台终端设备(可以是个人计算机，手机，或者网络设备等)或处理器(processor)执行本申请各个实施例所述方法的全部或部分步骤。而前述的存储介质包括：U盘、移动硬盘、只读存储器(Read-

Only Memory,简称ROM)、随机存取存储器(Random Access Memory,简称RAM)、磁碟或者光盘等各种可以存储程序代码的介质。

[0191] 基于以上实施例,本发明实施例还提供了一种终端设备,所述终端设备用于在一个垂直同步Vsync周期内执行器件显示流程、应用绘图流程以及图层surfaceflinger合成流程,参阅图15所示,该终端设备1500包括:处理器1501、总线1502、存储器1503以及显示面板1504,其中,

[0192] 所述处理器1501、所述存储器1503以及所述显示面板1504通过所述总线1502连接;总线1502可以是外设部件互连标准(peripheral component interconnect,简称PCI)总线或扩展工业标准结构(extended industry standard architecture,简称EISA)总线等。所述总线可以分为地址总线、数据总线、控制总线等。为便于表示,图15中仅用一条粗线表示,但并不表示仅有一根总线或一种类型的总线。

[0193] 所述处理器1501,用于实现如图5所示的显示方法:包括:

[0194] 获取所述处理器1501在第M个Vsync周期内执行第一流程的第一处理时长,所述第一流程为应用绘图流程或surfaceflinger合成流程,所述M为大于或等于1的正整数;

[0195] 根据所述第一处理时长,确定第M+1个Vsync周期内的所述第一流程的起始时刻,所述第M+1个Vsync周期内,所述第一流程的起始时刻位于所述器件显示流程的起始时刻之后,且所述第一流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第一处理时长之和小于或等于所述第M+1个Vsync周期的时长;

[0196] 在所述第M+1个Vsync周期中,在所述器件显示流程的起始时刻开始执行所述显示流程;在所述第一流程的起始时刻开始执行所述第一流程。

[0197] 可选的,所述第M+1个Vsync周期内所述器件显示流程的起始时刻为所述M+1个Vsync周期的起始时刻。

[0198] 可选的,所述处理器1501根据所述第一处理时长,确定所述第M+1个Vsync周期内的所述第一流程的起始时刻,包括:

[0199] 获取所述处理器1501在所述第M个Vsync周期内执行所述器件显示流程的第二处理时长;

[0200] 根据所述第一处理时长和所述第二处理时长,确定所述第M+1个Vsync周期内的所述第一流程的起始时刻,所述第一流程的起始时刻等于第一时刻或位于所述第一时刻之后,所述第一时刻为距离所述器件显示流程的起始时刻经过所述第二处理时长的时刻,且所述第一流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第一处理时长之和小于或等于所述第M+1个Vsync周期的时长。

[0201] 可选的,所述处理器1501还用于:

[0202] 获取所述处理器1501在所述第M个Vsync周期内执行第二流程的第三处理时长,所述第二流程为应用绘图流程和surfaceflinger合成流程中除所述第一流程以外的其他流程;

[0203] 根据所述第三处理时长,确定所述M+1个Vsync周期内的所述第二流程的起始时刻,所述第M+1个Vsync周期内所述第二流程的起始时刻位于所述器件显示流程的起始时刻之后,且所述第二流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第三处理时长之和小于或等于所述第M+1个Vsync周期的时长;

[0204] 在所述第M+1个Vsync周期中，在所述第二流程的起始时刻开始执行所述第二流程。

[0205] 可选的，根据所述第三处理时长，确定所述M+1个Vsync周期内的所述第二流程的起始时刻，包括：

[0206] 获取所述处理器1501在所述第M个Vsync周期内执行所述器件显示流程的第二处理时长；

[0207] 根据所述第二处理时长和所述第三处理时长，确定所述第M+1个Vsync周期内的所述第二流程的起始时刻，所述第二流程的起始时刻等于第二时刻或位于所述第二时刻之后，所述第二时刻为距离所述器件显示流程的起始时刻经过所述第二处理时长的时刻，且所述第二流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第三处理时长之和小于或等于所述第M+1个Vsync周期的时长。

[0208] 可选的，当所述处理器1501确定的所述第一处理时长、所述第二处理时长以及所述第三处理时长的和，小于或等于所述第M+1个Vsync周期的时长时，所述第一流程的起始时刻与所述第二流程的起始时刻之间的时长，大于或等于所述第一处理时长或所述第三处理时长。

[0209] 可选的，所述第一流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第一处理时长之和小于或等于所述第M+1个Vsync周期的时长与第一预设时长的差。

[0210] 可选的，所述第二流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第三处理时长之和小于或等于所述第M+1个Vsync周期的时长与第二预设时长的差。

[0211] 可选的，所述处理器1501还用于：

[0212] 设置第M+P个Vsync周期内的所述第一流程的起始时刻为所述第M+P个Vsync周期的起始时刻，所述P为预设的大于1的正整数。

[0213] 可选的，所述处理器1501还用于：

[0214] 设置第M+Q个Vsync周期内的所述第二流程的起始时刻为所述第M+Q个Vsync周期的起始时刻，所述Q为预设的大于1的正整数。

[0215] 所述显示面板1504，用于所述处理器在每个Vsync周期内执行所述器件显示流程后，显示所述处理器执行所述器件显示流程生成的图像，所述显示面板1504可以采用LCD、OLED等形式来设置。

[0216] 综上所述，通过本发明实施例中提供的一种显示方法及终端设备，所述终端设备的显示系统获取在第M个Vsync周期内执行第一流程的第一处理时长后，根据所述第一处理时长确定第M+1个Vsync周期内的所述第一流程的起始时刻，所述第一流程为应用绘图流程或surfaceflinger合成流程，所述第M+1个Vsync周期内所述第一流程的起始时刻位于器件显示流程的起始时刻之后，且所述第一流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第一处理时长之和小于或等于所述第M+1个Vsync周期的时长；在所述第M+1个Vsync周期中，所述显示系统在所述器件显示流程的起始时刻开始执行所述器件显示流程，并在所述第一流程的起始时刻开始执行所述第一流程。这样，在所述第M+1个Vsync周期内，所述显示系统使应用绘图流程、surfaceflinger合成流程中的任一个流程，

延迟执行，减少了所述终端设备的显示系统在所述第M+1个Vsync周期内并行处理三个流程的时间，降低终端设备的CPU的功耗。

[0217] 本领域内的技术人员应明白，本发明的实施例可提供为方法、系统、或计算机程序产品。因此，本发明可采用完全硬件实施例、完全软件实施例、或结合软件和硬件方面的实施例的形式。而且，本发明可采用在一个或多个其中包含有计算机可用程序代码的计算机可用存储介质(包括但不限于磁盘存储器、CD-ROM、光学存储器等)上实施的计算机程序产品的形式。

[0218] 本发明是参照根据本发明实施例的方法、设备(系统)、和计算机程序产品的流程图和/或方框图来描述的。应理解可由计算机程序指令实现流程图和/或方框图中的每一流程和/或方框、以及流程图和/或方框图中的流程和/或方框的结合。可提供这些计算机程序指令到通用计算机、专用计算机、嵌入式处理机或其他可编程数据处理设备的处理器以产生一个机器，使得通过计算机或其他可编程数据处理设备的处理器执行的指令产生用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的装置。

[0219] 这些计算机程序指令也可存储在能引导计算机或其他可编程数据处理设备以特定方式工作的计算机可读存储器中，使得存储在该计算机可读存储器中的指令产生包括指令装置的制造品，该指令装置实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能。

[0220] 这些计算机程序指令也可装载到计算机或其他可编程数据处理设备上，使得在计算机或其他可编程设备上执行一系列操作步骤以产生计算机实现的处理，从而在计算机或其他可编程设备上执行的指令提供用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的步骤。

[0221] 尽管已描述了本发明的优选实施例，但本领域内的技术人员一旦得知了基本创造性概念，则可对这些实施例做出另外的变更和修改。所以，所附权利要求意欲解释为包括优选实施例以及落入本发明范围的所有变更和修改。

[0222] 显然，本领域的技术人员可以对本发明实施例进行各种改动和变型而不脱离本发明实施例的精神和范围。这样，倘若本发明实施例的这些修改和变型属于本发明权利要求及其等同技术的范围之内，则本发明也意图包含这些改动和变型在内。

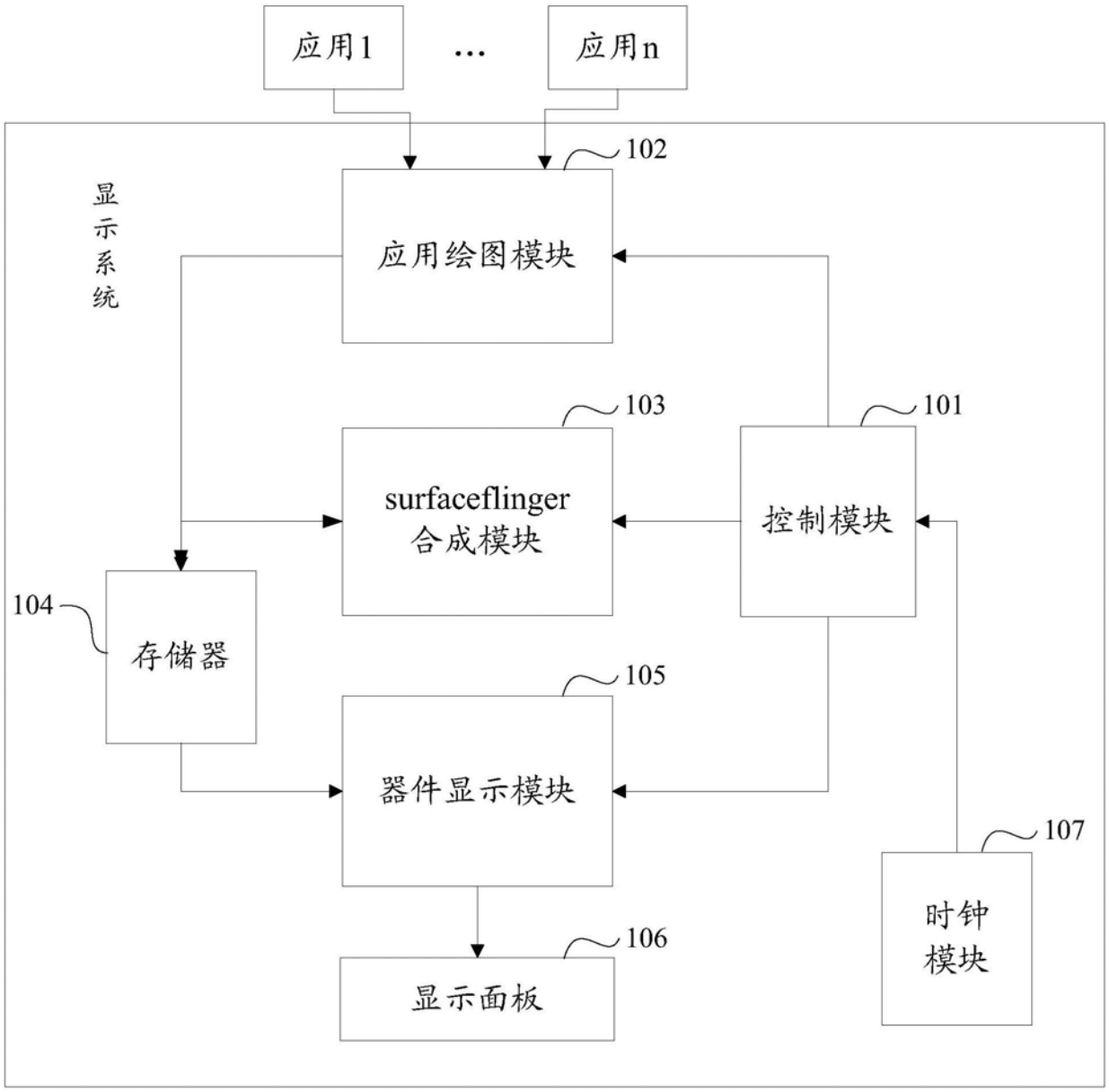

应用1
...
应用n
显示系统
102
应用绘图模块
103
surfaceflinger
合成模块
101
控制模块
104
存储器
105
器件显示模块
107
时钟
模块
106
显示面板

图1

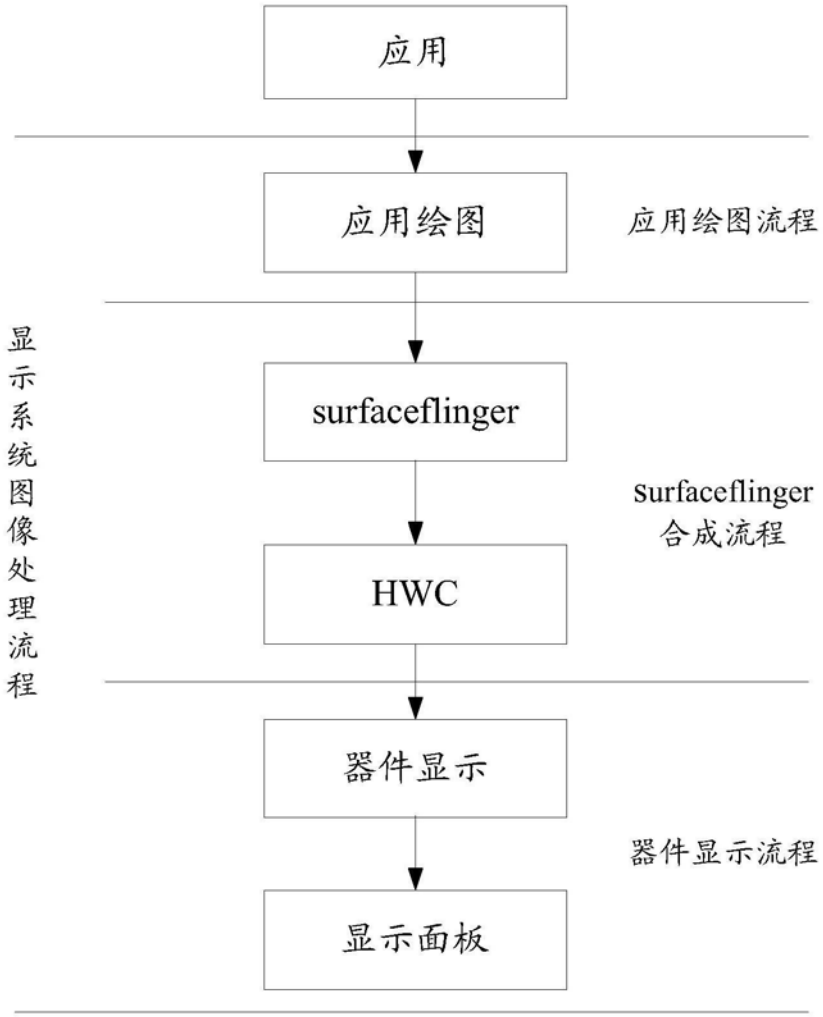

应用
应用绘图
应用绘图流程
显示系统图像处理流程
surfaceflinger
surfaceflinger合成流程
HWC
器件显示
器件显示流程
显示面板

图2

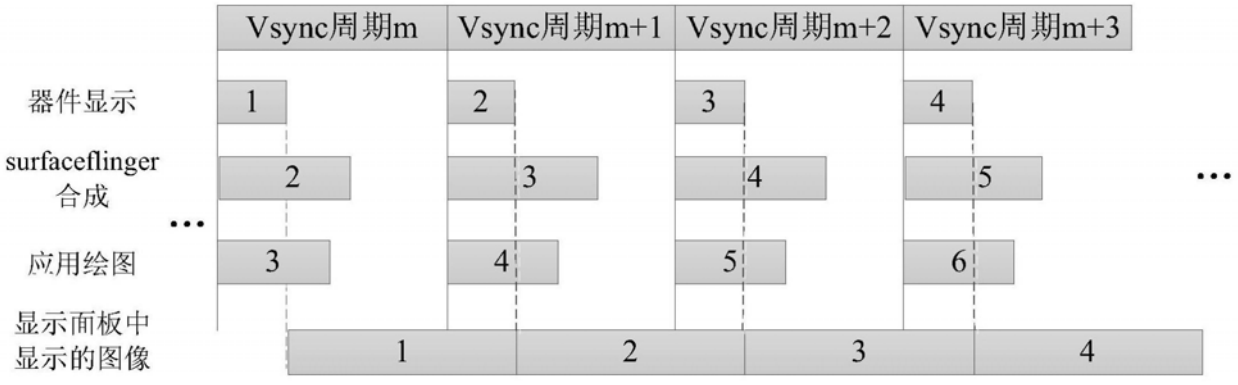

Vsync周期m
Vsync周期m+1
Vsync周期m+2
Vsync周期m+3
器件显示
surfaceflinger合成
应用绘图
显示面板中显示的图像
1
2
3
4
2
3
4
5
3
4
5
6
1
2
3
4

图3

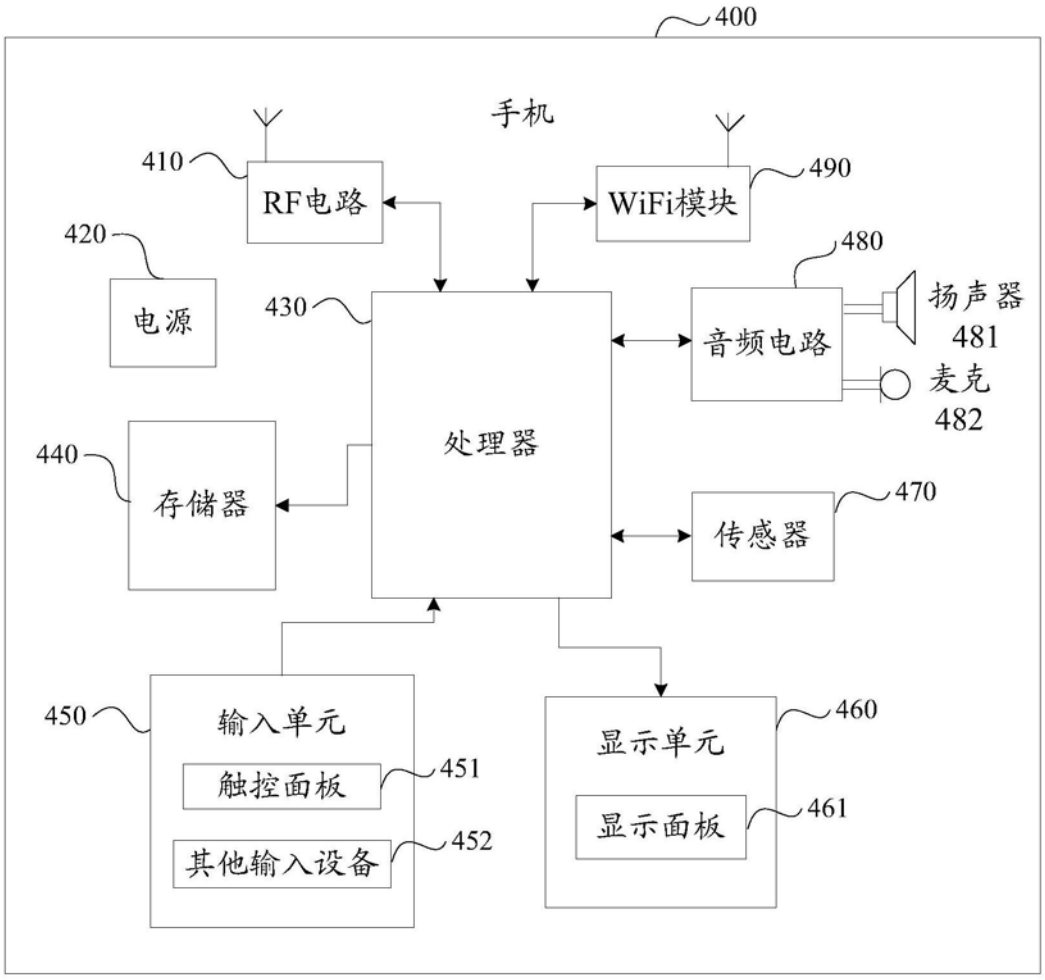

400
手机
410
RF电路
490
WiFi模块
420
电源
430
480
音频电路
扬声器
481
麦克
482
处理器
440
存储器
470
传感器
450
输入单元
触控面板
451
其他输入设备
452
显示单元
460
显示面板
461

图4

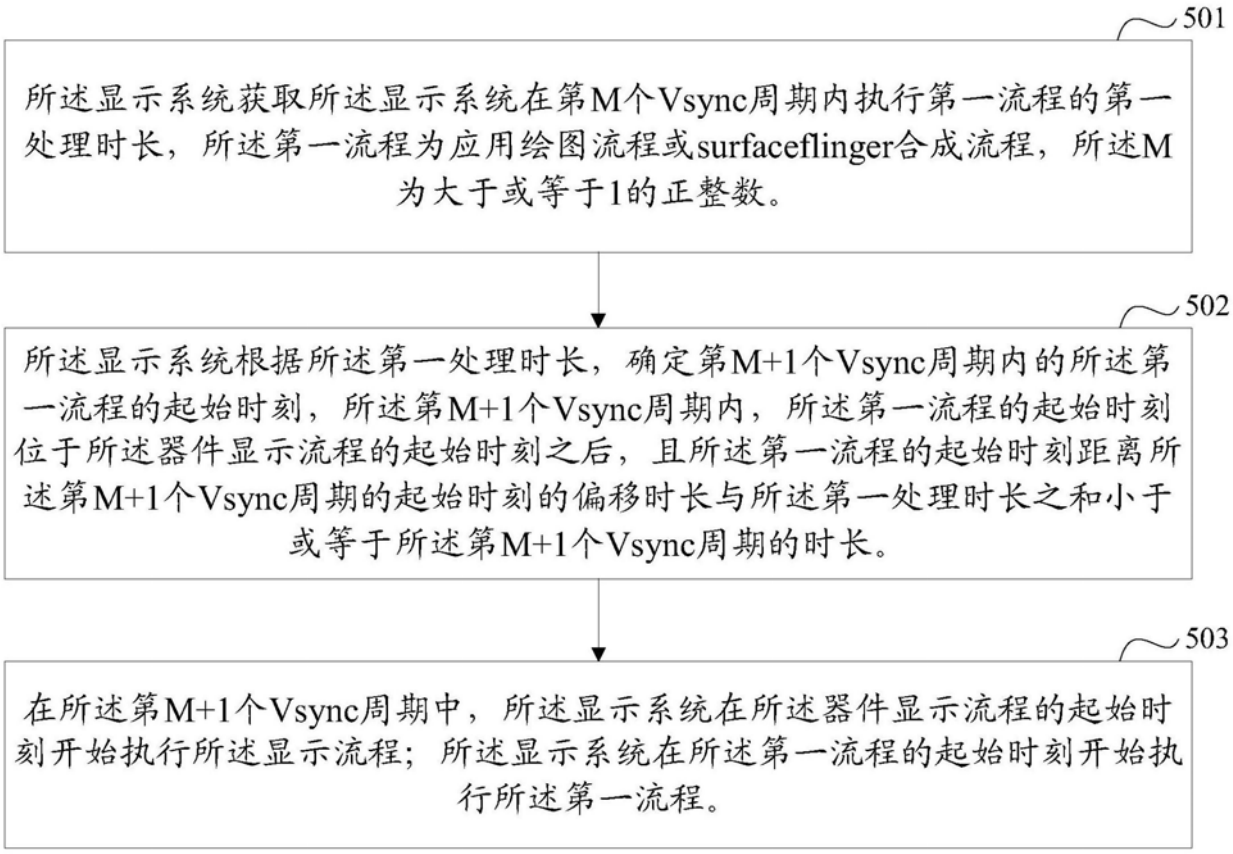

501
所述显示系统获取所述显示系统在第M个Vsync周期内执行第一流程的第一处理时长，所述第一流程为应用绘图流程或surfaceflinger合成流程，所述M为大于或等于1的正整数。
502
所述显示系统根据所述第一处理时长，确定第M+1个Vsync周期内的所述第一流程的起始时刻，所述第M+1个Vsync周期内，所述第一流程的起始时刻位于所述器件显示流程的起始时刻之后，且所述第一流程的起始时刻距离所述第M+1个Vsync周期的起始时刻的偏移时长与所述第一处理时长之和小于或等于所述第M+1个Vsync周期的时长。
503
在所述第M+1个Vsync周期中，所述显示系统在所述器件显示流程的起始时刻开始执行所述显示流程；所述显示系统在所述第一流程的起始时刻开始执行所述第一流程。

图5

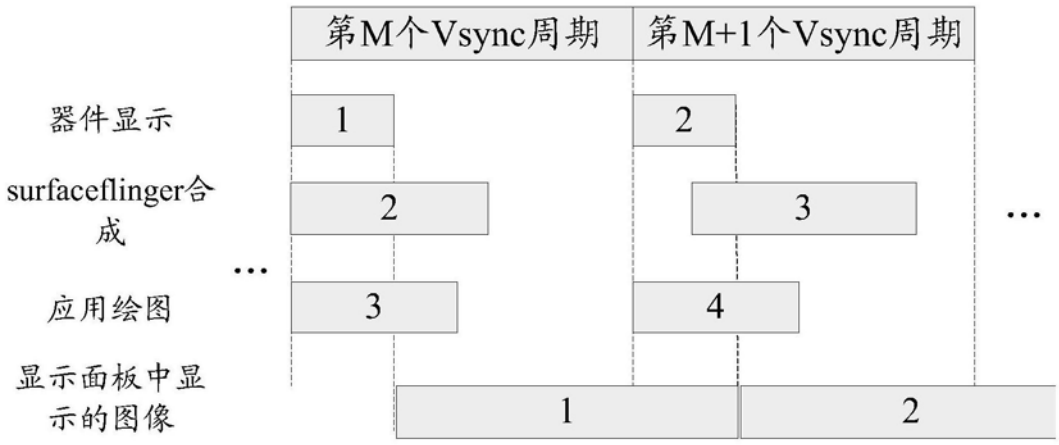

第M个Vsync周期
第M+1个Vsync周期
器件显示
surfaceflinger合成
应用绘图
显示面板中显示的图像
1
2
2
3
3
4
1
2
…
…

图6A

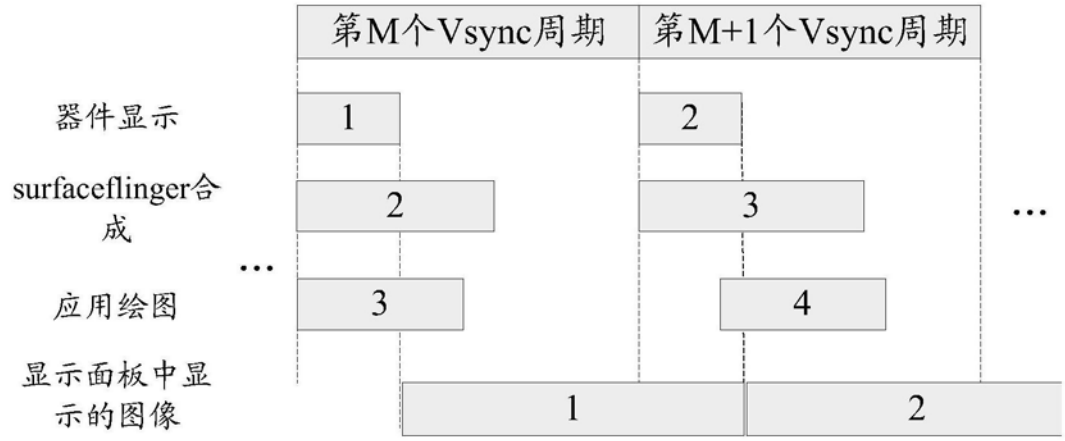

第M个Vsync周期
第M+1个Vsync周期
器件显示
surfaceflinger合成
应用绘图
显示面板中显示的图像
1
2
2
3
3
4
1
2

图6B

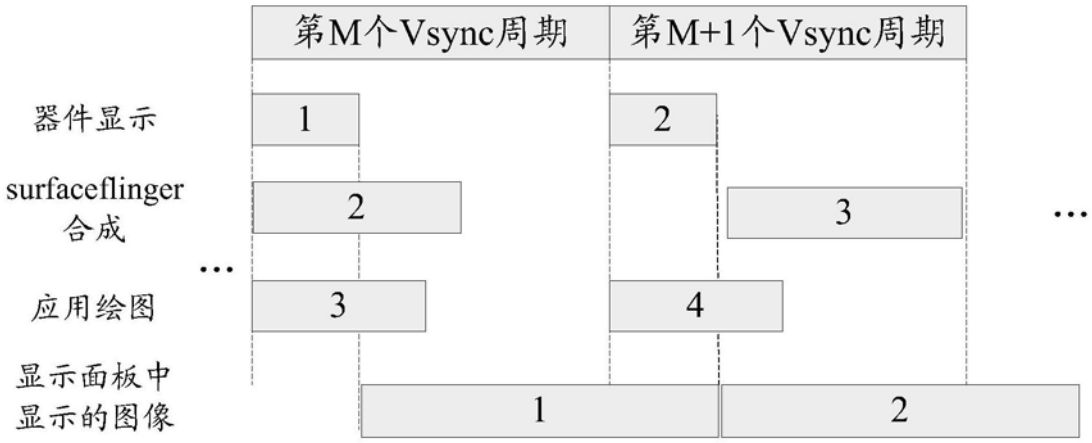

第M个Vsync周期
第M+1个Vsync周期
器件显示
surfaceflinger合成
应用绘图
显示面板中显示的图像
1
2
2
3
3
4
1
2

图7A

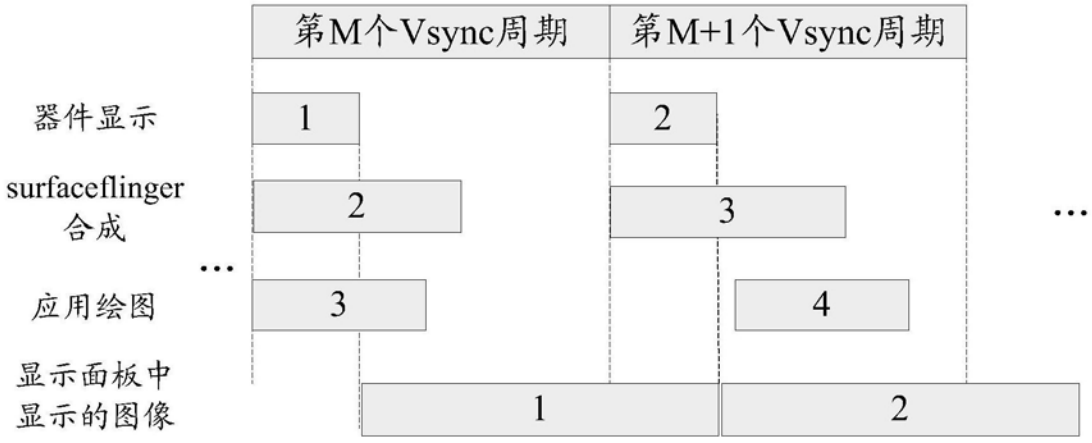

第M个Vsync周期
第M+1个Vsync周期
器件显示
surfaceflinger合成
应用绘图
显示面板中显示的图像
1
2
2
3
3
4
1
2

图7B

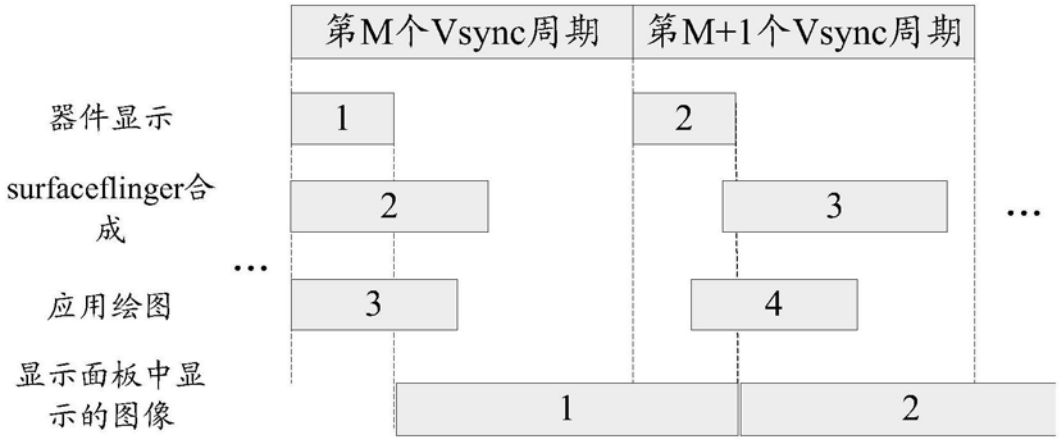

第M个Vsync周期
第M+1个Vsync周期
器件显示
surfaceflinger合成
应用绘图
显示面板中显示的图像
1
2
3
4

图8

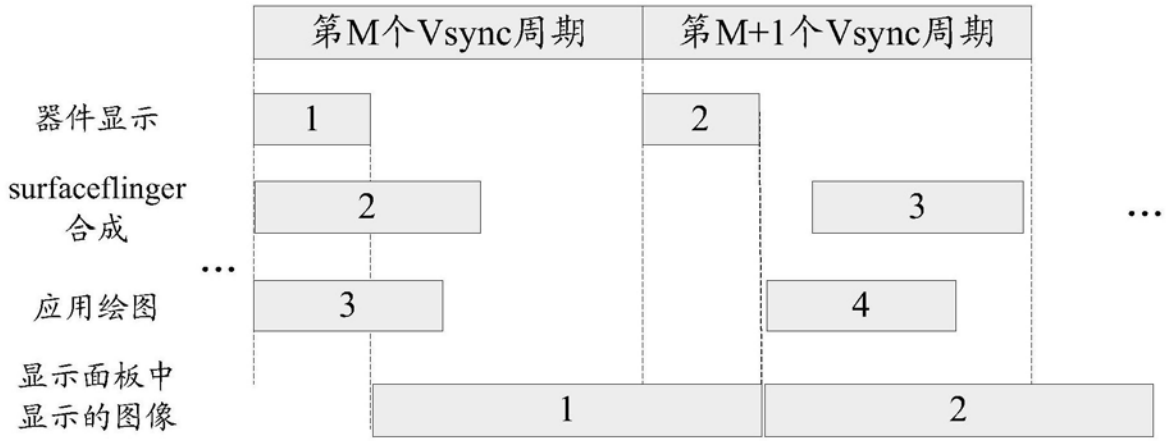

第M个Vsync周期
第M+1个Vsync周期
器件显示
surfaceflinger合成
应用绘图
显示面板中显示的图像
1
2
3
4

图9

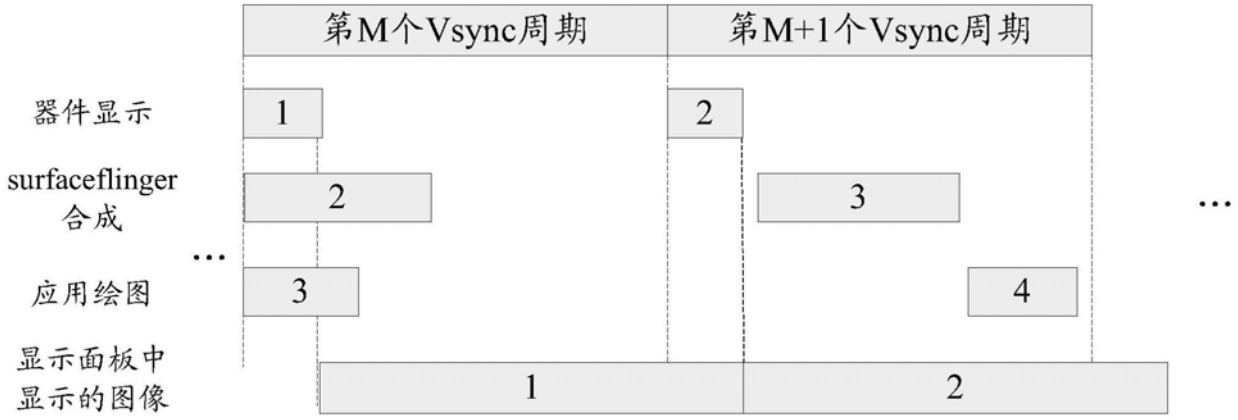

第M个Vsync周期
第M+1个Vsync周期
器件显示
surfaceflinger合成
应用绘图
显示面板中显示的图像
1
2
3
4

图10A

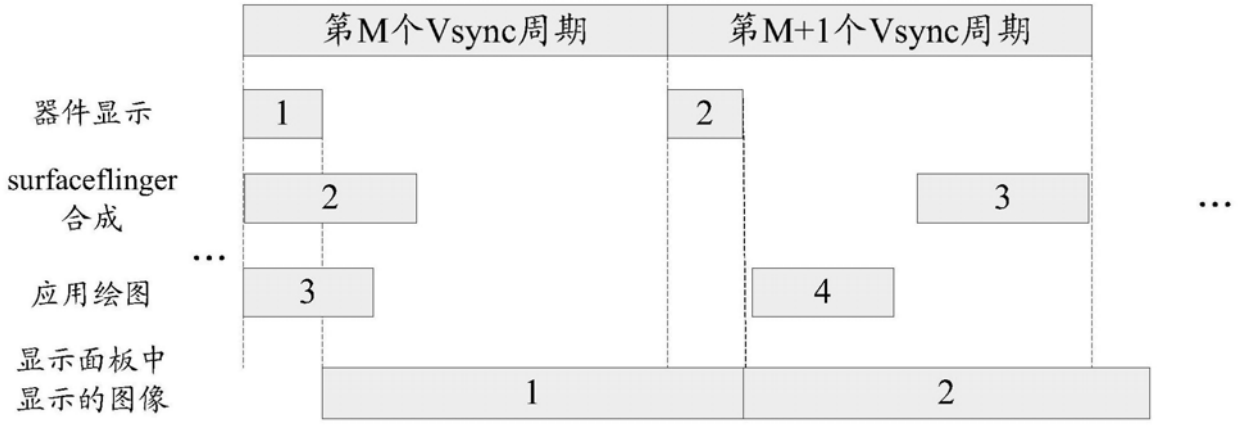

第M个Vsync周期
第M+1个Vsync周期
器件显示
surfaceflinger
合成
应用绘图
显示面板中
显示的图像
1
2
2
3
3
4
1
2
…
…

图10B

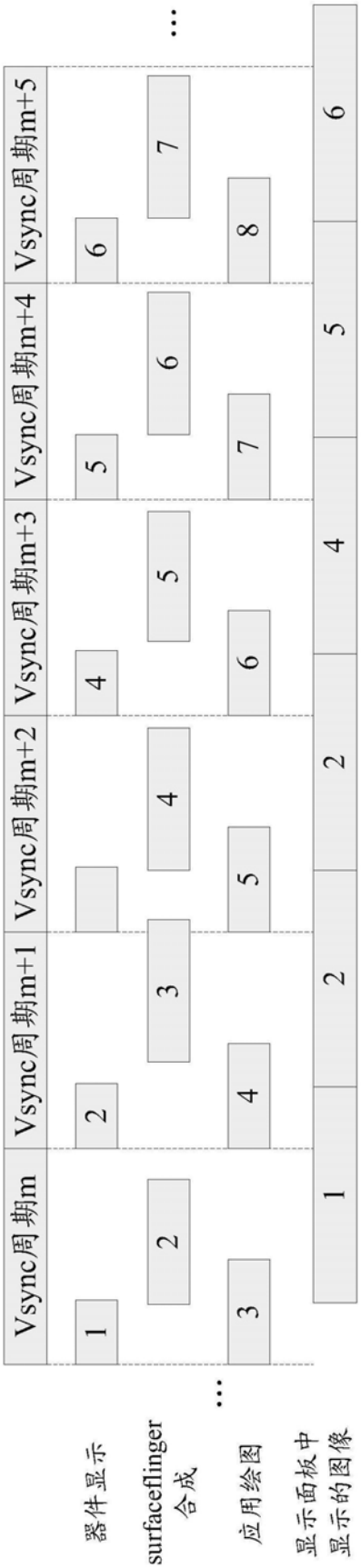

Vsync周期m
Vsync周期m+1
Vsync周期m+2
Vsync周期m+3
Vsync周期m+4
Vsync周期m+5
器件显示
surfaceflinger合成
应用绘图
显示面板中显示的图像

图11

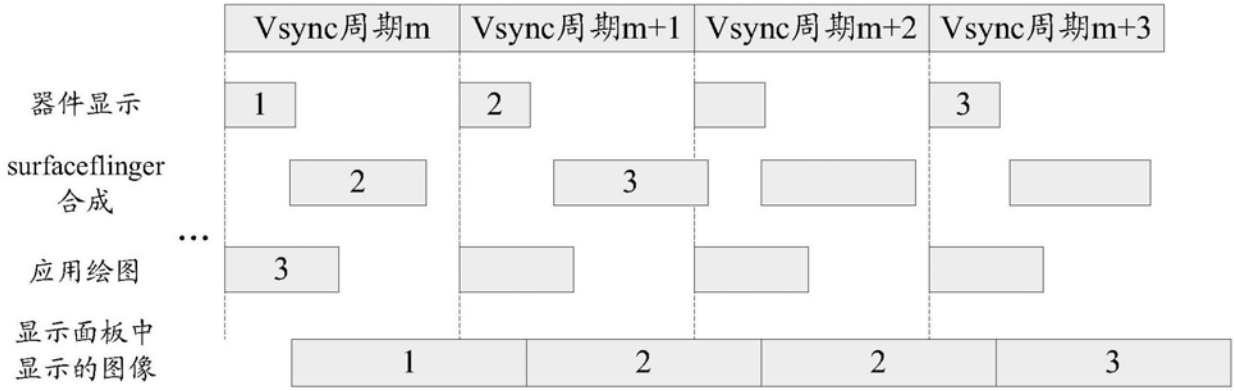

Vsync周期m
Vsync周期m+1
Vsync周期m+2
Vsync周期m+3
器件显示
surfaceflinger
合成
应用绘图
显示面板中
显示的图像
1
2
3
2
3
3
1
2
2
3

图12

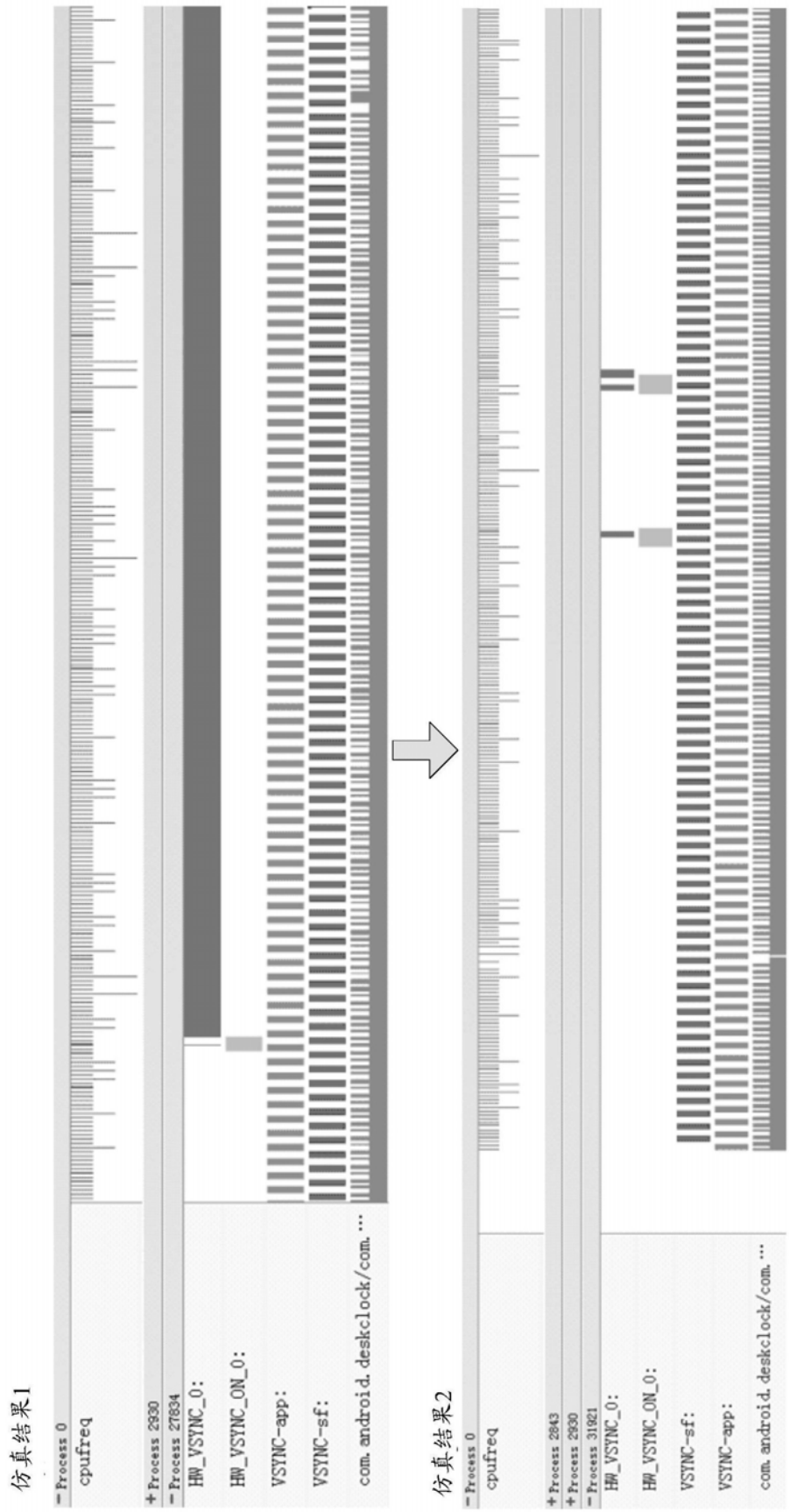

仿真结果1
Process 0
cpufreq
Process 2930
Process 27834
HW_VSYNC_0:
HW_VSYNC_ON_0:
VSYNC-app:
VSYNC-sf:
com.android.deskclock/com.…
仿真结果2
Process 0
cpufreq
Process 2843
Process 2930
Process 31921
HW_VSYNC_0:
HW_VSYNC_ON_0:
VSYNC-sf:
VSYNC-app:
com.android.deskclock/com.…

图13

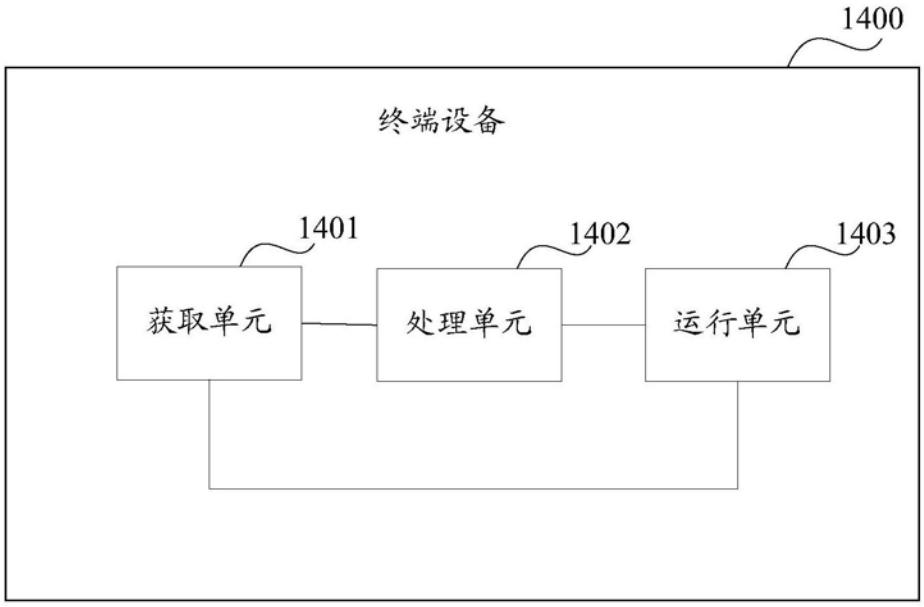

1400
终端设备
1401
1402
1403
获取单元
处理单元
运行单元

图14

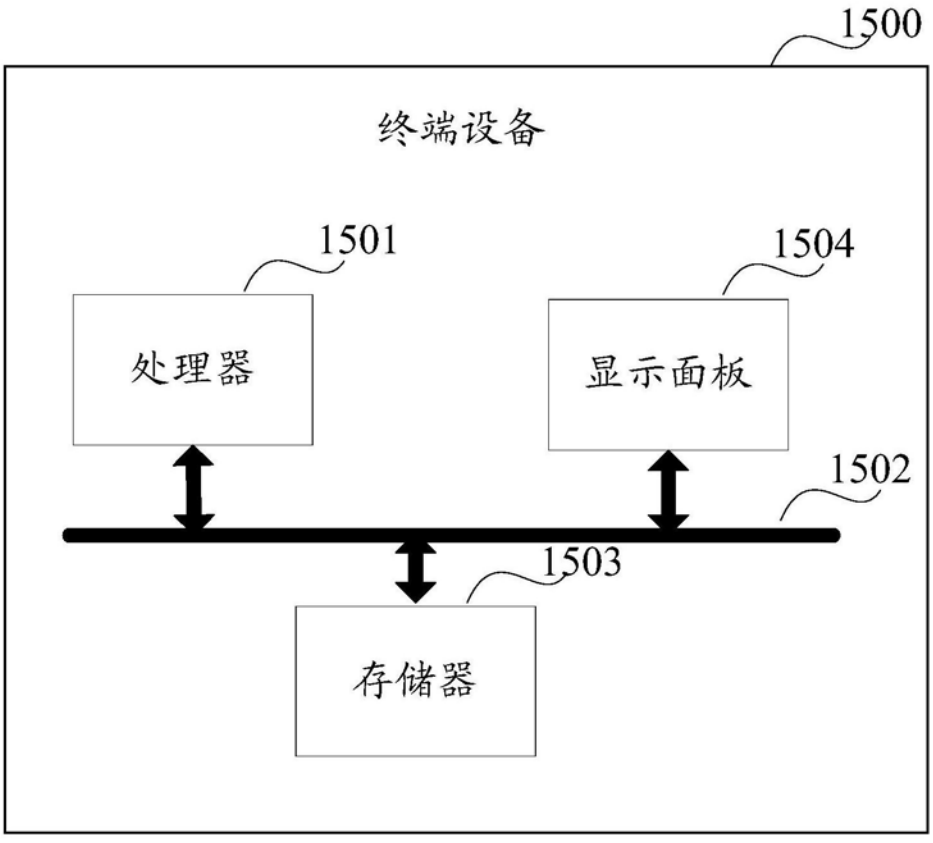

1500
终端设备
1501
1504
处理器
显示面板
1502
1503
存储器

图15