СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1464183 A1

(51) 4 G 06 K 9/46

ГОСУДАРСТВЕННЫЙ КОМИТЕТ ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ ПРИ ГКНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

ВСЕСОЮЗНАЯ ПАТЕНТНО-ТЕХНИЧЕСКАЯ БИБЛИОТЕКА

(21) 4099485/24-24
(22) 28.07.86
(46) 07.03.89. Бюл. № 9
(72) М.М.Козловский
(53) 681.327.12(088.8)
(56) Патент США № 4003024, кл. 340-146, опублик. 1977.

Авторское свидетельство СССР № 1196918, кл. G 06 K 9/46, 1984.

(54) УСТРОЙСТВО ДЛЯ СЕЛЕКЦИИ ИЗОБРАЖЕНИЙ ОБЪЕКТОВ

(57) Изобретение относится к автоматике и вычислительной технике и может быть использовано в системах распознавания образов, в частности при создании устройств "машинного зрения" в автоматических установках для разварки выводов интегральных схем и транзисторов. Цель изобретения - повышение точности устройства. Цель достигается введением в устройство, содержащее блоки строчной задержки, блок обработки видеосигнала и блок счета объектов, дополнительно блока синхронизации, блока кадровой задержки и m блоков преобразования видеосигнала. Вследствие последовательного соединения m блоков строчной задержки, каждый из которых задерживает видеосигнал на строку сканирования, и подключения между ними m блоков преобразования видеосигнала, каждый из которых задерживает видеосигнал на n элементов сканирования, создается сканирующая апертура - "окно" сканирования размером m x n элементов. Кроме того, в блоках преобразования видеосигнала обеспечивается преобразование значения элементов в "окне" сканирования в зависимости от результатов анализа значений элементов, расположенных по периметру "окна" сканирования (окрестности). В случае равенства всех элементов окрестности "1" всем элементам "окна" присваивается значение "1", при равенстве всех элементов окрестности "0" всем элементам "окна" присваивается значение "0". Во всех остальных случаях никаких изменений значений элементов "окна" не производится. Указанная процедура обеспечивает корректировку помех в изображении в виде замкнутых областей на изображениях объектов и поля изображения, тем самым повышается точность счета числа селектируемых объектов. Для компенсации смещения изображения, возникающего как результат проведения описанной выше процедуры, в устройство введен блок кадровой задержки. 4 з.п. ф-лы, 16 ил.

(19) SU (11) 1464183 A1

1

Изобретение относится к автоматике и вычислительной технике и может быть использовано в системах распознавания образов, в частности при создании устройств "машинного зрения" в

2

автоматических установках для разварки выводов интегральных схем и транзисторов.

Цель изобретения - повышение точности устройства.

На фиг.1 представлена блок-схема устройства; на фиг.2 - схема блока синхронизации; на фиг.3 - временная диаграмма работы блока синхронизации; на фиг.4 - схема блока преобразования видеосигнала; на фиг.5 - схема блока строчной задержки; на фиг.6 - временная диаграмма работы блоков строчной задержки и преобразования видеосигнала; на фиг.7 - схема блока обработки видеосигнала; на фиг.8 - схема блока кадровой задержки; на фиг.9 - временная диаграмма работы блока кадровой задержки; на фиг.10 - схема блока счета объектов; на фиг.11 - временная диаграмма работы блока счета объектов; на фиг.12 - сканирующая апертура - "окно" размером m x n элементов разложения; на фиг.13 - анализируемая окрестность сканирующей апертуры; на фиг.14 - топология металлизации полупроводникового кристалла транзистора, подвергаемого анализу и преобразованию, на фиг.15 - то же, после преобразования; на фиг.16 - то же, после задержки его на кадр телевизионной развертки и таблица, поясняющая принцип счета объектов.

Устройство для изображений объектов содержит (фиг.1) блок 1 синхронизации, m блоков 2 преобразования видеосигнала (2.1 - 2j - 2m), блок 3 строчной задержки (3.1 - 3j - 3m), блок 4 обработки видеосигнала, блок 5 кадровой задержки, блок 6 счета изображений объектов.

Блок синхронизации содержит (фиг.2) первый 7 и второй 8 D-триггеры, первый элемент НЕ 9 и первый элемент И 10.

Блок преобразования видеосигнала содержит (фиг.4) второй 11, третий 12 и четвертый 13 элементы И, первый элемент ИЛИ 14, первый элемент ИЛИ-НЕ 15 и первый регистр 16.

Блок строчной задержки содержит (фиг.5) второй 17, третий 18, четвертый 19 элементы НЕ, первый счетчик 20 импульсов, первый шифратор 21, первый сумматор 22, первый элемент 23 памяти и третий триггер 24.

Блок обработки видеосигнала содержит (фиг.7) второй 25, третий 26, четвертый 27, пятый 28, шестой 29, седьмой 30 элементы И, второй 31, третий 32, четвертый 33 и пятый 34 элементы ИЛИ-НЕ.

Блок кадровой задержки содержит (фиг.8) пятый 35, шестой 36, седьмой 37 элементы НЕ, второй 38 и третий 39 счетчики импульсов, второй шифратор 40, второй сумматор 41, второй элемент 42 памяти, четвертый D-триггер 43.

Блок счета объектов содержит (фиг.10) восьмой 44, девятый 45, десятый 46 элементы НЕ, четвертый 47, пятый 48 счетчики импульсов, третий элемент 49 памяти, пятый D-триггер 50, восьмой элемент И 51.

Устройство работает следующим образом.

Синхронизация работы устройства осуществляется входными синхросигналами: кадровыми синхронизирующими импульсами (КСИ), строчными синхронизирующими импульсами (ССИ), строчными тактовыми импульсами (СТИ), поступающими соответственно по шинам 52-54 на вход устройства (фиг.1).

В блоке синхронизации (фиг.2) из строчных тактовых импульсов, поступающих по шине 55, формируются тактовые сигналы Т1, Т2, Т3 на шинах 56-58 соответственно, имеющие частоту

$$f_{т1} = f_{т2} = f_{т3} = \frac{f_{сти}}{2},$$

где $f_{т1}$ - частота тактового сигнала Т1;

$f_{т2}$ - частота тактового сигнала Т2;

$f_{т3}$ - частота тактового сигнала Т3;

$f_{сти}$ - частота СТИ.

ССИ служат для сброса блока синхронизации в исходное состояние.

Входной бинарный видеосигнал, несущий информацию об исходном оптическом изображении, поступает с информационного входа устройства по шине 59 (фиг.1) на информационный вход первого из n-блоков преобразования видеосигнала 2 (фиг.1), каждый из которых совместно с последовательно соединенным блоком 3 задержки (фиг.1) осуществляет задержку видеосигнала на время одной строки. Каждый блок преобразования видеосигнала имеет n-выходов, видеосигналы на которых задерживаются соответственно на время

$$\tau_1 = 0;$$

$$\tau_2 = \frac{\tau_{стр}}{p};$$

$$\tau_3 = 2\,\frac{\tau_{стр}}{p};$$

$$\tau_q = (q-1)\,\frac{\tau_{стр}}{p};$$

$$\tau_n = (n-1)\,\frac{\tau_{стр}}{p},$$

где τ_q - время задержки видеосигнала на q-м выходе блока преобразования видеосигнала,

$$(1 \leq q \leq n),$$

где p - число элементов разложения изображения по строке или число столбцов в матрице p x k дискретизированного изображения.

Число строк k в этой матрице определяется числом строк развертки в одном кадре, а число $p = \frac{f_{стц}}{2f_{ссц}}$.

Таким образом, в каждый текущий момент времени τ_{ij}, определяемый выражением

$$\tau_{ij} = (i-1)\,\frac{\tau_{стр}}{p} + (j-1)\tau_{стр},$$

где j - номер текущей строки телевизионной развертки от начала кадра,

j = 1, 2, 3, ..., k;

i - номер текущего элемента разложения по j-й строке,

i = 1, 2, ..., p.

На выходах блока преобразования видеосигнала (2.1, ..., 2m) (фиг.1) присутствуют видеосигналы от m x n соседних элементов изображения, n из которых принадлежат считываемому изображению по текущей строке сканирования, а остальные - изображениям по m-1-й предшествующим строкам. Так как через блоки строчной задержки 3.1 - 3m проходит последовательно видеосигнал от всего изображения, то совокупность указанных элементов разложения образует сканирующую апертуру - "окно" размером m x n элементов (фиг.12). Значение элементов 60 1.1, ..., 60 n.1 "окна" определяются соответственно значениями видеосигналов на первом, втором n-м выходах первого блока преобразования видеосигнала 2.1 (фиг.1), значения элементов 60 1.2, ..., 60 n.2 (фиг.12) - значениями видеосигналов на первом, втором, n-м выходах второго блока преобразования видеосигнала 2.2 и т.д. вплоть до выходов m-го блока преобразования видеосигнала 2m (фиг.1).

Элементы 60 1.1m, ..., 60 n.1; 60 1.n m, ..., 60 n m; 60 1.2, ..., 60 1m-1; 60 n.2, ..., 60 n m-1 (фиг.12) являются элементами окрестности "окна" (фиг.13).

Для каждого элемента изображения, попавшего в "окно" (фиг.12) и совпадающего с его элементом 60, производится анализ окрестности (фиг.13) и в зависимости от результатов анализа значения всех элементов 60 1.1, ..., 60 n m "окно" (фиг.12) подвергаются или не подвергаются преобразованию. Анализ окрестности (фиг.13) производится блоком обработки видеосигнала 4 (фиг.1), а преобразование элементов "окно" (фиг.12) производится блоками преобразования видеосигнала (2.1, ..., 2m, фиг.1). Алгоритм анализа и преобразования следующий.

Пусть значению бинарного видеосигнала от объектов соответствует уровень "1", а от поля, на котором расположены объекты,- уровень "0". Обозначим текущий элемент разложения, совпадающий с элементом 60 n m "окна" (фиг.12), через a_{ij}, а все остальные элементы окрестности 60 1.1, ..., 60 n.1; 60 1.m, ..., 60 n-1m; 60 1.2, ..., 60 1.m-1; 60 n.2, ..., 60 n m-1 (фиг.13) - через $a_{i-n+1,\,j-m+1} \ldots a_{ij-m+1}$, $a_{i-n+1,\,j} \ldots a_{i-1,\,j}$, $a_{i-n+1,\,j-m+2} \ldots a_{i-n+1,\,j-1}$, $a_{i,\,j-m+2} \ldots a_{i,\,j-1}$ соответственно,

где a - значение элемента "окно" (фиг.12),

a = "1", если элемент изображения, совпадающий в данный момент времени τ_{ij} с данным элементом "окно", принадлежит объекту;

a = "0", если он принадлежит полю, на котором расположены объекты;

j - номер текущей строки развертки от начала кадра, j = 1, 2, ..., k;

i - номер текущего элемента разложения по j-й строке, i = 1, 2, ..., p;

n - номер столбца "окно",

m - номер строки "окно".

Тогда, если удовлетворяется булево равенство

$$a_{i-n+1,\,j-m+1} \wedge \ldots \wedge a_{i,j-m+1} \wedge a_{i-n+1,\,j} \wedge \ldots \wedge a_{i,j} \wedge a_{i-n+1,\,j-m+2} \wedge \ldots \wedge a_{i,j-1} = 1,$$

где $\wedge$ – знак, определяющий операцию логического умножения, т.е. операцию И,

то всем элементам 60 1.1, ..., 60 n.m "окна" (фиг.12) присваивается значение логической "1", т.е. объекта, а если удовлетворяется булево равенство

$$\dot{a}_{i-n+1,\,j-m+1} \wedge \ldots \wedge \bar{a}_{i,\,j-m+1} \wedge \bar{a}_{i-n+1,\,j} \wedge \ldots \wedge a_{ij} \wedge \ldots \wedge \bar{a}_{i-n+1,\,j-m+2} \wedge \ldots \wedge \bar{a}_{i-n+1,\,j-1} \wedge \bar{a}_{i,\,j-m+2} \wedge \wedge \ldots \wedge \bar{a}_{i,\,j-1} = 1,$$

где (-) – знак, определяющий операцию логического отрицания, т.е. операцию НЕ,

то всем элементам 60 1.1, ..., 60 n.m "окна" (фиг.12) присваивается значение логический "0". Во всех остальных случаях ни одно из значений элементов 60 1.1, ..., 60 n.m не изменяется. Таким образом, если значение всех элементов окрестности (фиг.13) равны "1", то всем элементам "окно" (фиг.12) присваивается значение логическая "1", если же все элементы окрестности (фиг.13) имеют значение лог. "0", то всем элементам "окно" (фиг.12) присваивается значение лог. "0".

Во всех остальных случаях никаких изменений значений элементов "окна" (фиг.12) не производится.

Пусть анализу и преобразованию подвергается изображение топологии металлизации полупроводникового кристалла транзистора (фиг.14), в котором незаштрихованные участки относятся к элементам поля, а заштрихованные к анализируемым объектам 61 и 62 (фиг.14) – отдельным частям топологического рисунка металлизации. Представленное изображение имеет ряд дефектов, выраженных в наличии замкнутых областей как на участках 63-65 металлизации (фиг.14), так и на участках 66 поля (фиг.14), которые при подсчете числа объектов вносят погрешность в результат. При сканировании поля 67 (фиг.14) слева направо и сверху вниз апертурой (в данном случае 8 x 8) элементов (фиг.12) происходит устранение дефектов на результирующем изображении (фиг.15), но само изображение объектов смещается по оси j на m (в данном случае 8) строк разложения относительного исходного (фиг.14).

Для устранения смещения в устройстве предусмотрена процедура компенсации смещения, которая осуществляется блоком 5 кадровой задержки (фиг.1), на информационный вход которого поступает видеосигнал от преобразованного изображения (фиг.15) с информационного выхода m-го блока задержки 3m (фиг.1).

Блок 5 кадровой задержки (фиг.1) производит одновременно два действия: запоминает видеоинформацию текущего кадра и выдает на свой информационный выход видеоинформацию от предыдущего кадра. При этом строка S воспроизводимого кадра (фиг.16) соответствует S + m строке (фиг.15) текущего кадра. Если положить m = 8 и пропустить видеосигнал от изображения на фиг.15 через блок 5 кадровой задержки (фиг.1), то в следующем кадре с информационного выхода этого блока считывается видеосигнал, соответствующий изображению на фиг.16, преобразованный бинарный видеосигнал с информационного выхода блока 5 кадровой задержки (фиг.1) поступает на выходную шину устройства 68 (фиг.1) и на информационный вход блока 6 счета объектов (фиг.1).

Число объектов в поле определяется как разность числа всех видеоимпульсов, полученных после преобразования за время одного кадра, и числа совпадений видеоимпульсов в двух соседних строках сканирования. Эта разность (фиг.16) равна 2, что характеризуется таблицей, приведенной справа от изображения объектов.

Блок синхронизации (фиг.2) работает в соответствии с временной диаграммой (фиг.3) следующим образом.

Входной ССИ 69 (фиг.3) устанавливает в единичное состояние 70 (фиг.3) первый D-триггер 7 (фиг.2) и в нулевое состояние 71 (фиг.3) второй D-триггер 8 (фиг.2). Оба D-триггера работают как счетные триггеры, для чего их инверсные выходы $\bar{Q}$ объединены с информационными D-входами. При поступлении по шине 72 (фиг.2) строчных тактовых импульсов 73 (фиг.3) первый D-триггер 7 (фиг.2) начинает

переключаться по их отрицательному фронту, а второй D-триггер 8 (фиг.2) переключается по их положительному фронту. Для того, чтобы первый D-триггер 7 (фиг.2) переключался по отрицательному фронту строчных тактовых импульсов, последние инвертируются элементами НЕ 9 (фиг.2). Сигнал совпадения импульсов с инверсных Q-выходов обоих D-триггеров 7 и 8 выделяется элементом И 10 (фиг.2) и подается на третий (фиг.2) тактовый выход 58 блока (импульс 74, фиг.3).

Прямые Q-выходы первого 7 (фиг.2) и второго 8 (фиг.2) D-триггеров являются соответственно первым и вторым тактовыми выходами блока (фиг.2).

Блоки преобразования видеосигнала (фиг.4) и блок (фиг.5) задержки осуществляют задержку видеосигнала на n столбцов и на m строк сканирования.

Последовательно включенный (n-разрядный) первый регистр 16 (фиг.4) блока преобразования видеосигнала, элемент 23 памяти (фиг.5) блока задержки и D-триггер 24 (фиг.5) блока задержки образуют в совокупности линию задержки входного видеосигнала, поступающего на информационный вход блока 2.1-2m преобразования видеосигнала (фиг.1) и далее на вход последовательного ввода информации n-разрядного регистра 16 (фиг.4), с n-го выхода которого видеосигнал поступает на информационный вход блока 3.1, ..., 3m задержки (фиг.1) и далее на информационный вход элемента памяти 23 (фиг.5) блока задержки, тем самым осуществляется задержка на n столбцов в блоке преобразования видеосигнала 2.1, ..., 2m (фиг.1) и на одну строку каждым из m блоков задержки 3.1, ..., 3m (фиг.1), осуществляя, таким образом, формирование сканирующей апертуры - "окно" из m x n элементов. Синхронизация работы блоков преобразования видеосигнала 2.1, ..., 2m (фиг.1) осуществляется ССИ, первым, вторым и третьим тактовыми импульсами поступающими соответственно на входы элемента ИЛИ 14 (фиг.4) четвертого элемента И 13 (фиг.4), второго элемента И 11 (фиг.4) и элемента ИЛИ-НЕ 15 (фиг.4).

Видеосигнал по текущей строке сканирования j, проходя через n-разрядный регистр 16 (фиг.4) блока преобразования видеосигнала, записывается в элемент 23 памяти (фиг.5) блока задержки. Тем самым к началу следующей j+1-й строки развертки в ячейках элемента 23 памяти (фиг.5) формируются значения дискретизированного по строке видеосигнала, сдвинутого на n-элементов разложения относительно входного для текущей j-й строки видеосигнала. Для организации задержки видеосигнала перед каждым циклом записи текущей информации в какую-либо ячейку элемента памяти (фиг.5) производится цикл считывания из этой ячейки той информации, что хранилась в ней до j-й строки, т.е. информации, записанной в эту ячейку элемента 23 памяти (фиг.5) в предыдущей j-1-й строке сканирования. Из этой информации D-триггер 24 (фиг.5) блока задержки формирует выходной видеосигнал, переписывая ее со своего D-входа на выход Q по положительному фронту инверсного сигнала T1, получаемого на выходе элемента НЕ 18 (фиг.5). Чтобы скомпенсировать сдвиг информации по строке на n элементов разложения, возникающей из-за последовательной записи информации в элемент 23 памяти (фиг.5) через n-разрядный регистр 16 (фиг.4), адрес $A_{чт}$ ячейки элемента 23 памяти (фиг.5), из которой читается в данный момент времени информация, делается на величину n большим адреса $A_{зап}$ той ячейки, в которую производится запись информации, т.е. $A_{чт} = A_{зап} + n$. $A_{зап}$ формируется P-разрядным счетчиком 20 (фиг.5) блока задержки величины n для каждой фазы чтения P-разрядным шифратором 21 (фиг.5), а адрес для элемента 23 памяти (фиг.5) в обеих фазах чтения и записи - P-разрядным сумматором 22 (фиг.5), информация на выходах которого в фазе записи равна содержимому P-разрядного счетчика 20 (фиг.5), т.е. $A_{зап}$, а в фазе чтения - сумме этого же содержимого и выходной информации P-разрядного шифратора 21 (фиг.5), т.е. $A_{зап} + n$. Работа P-разрядного шифратора 21 (фиг.5) организована таким образом, что в фазе чтения информации из элемента 23 памяти (фиг.5), которой соответствует положительная часть периода инверсных импульсов T3, получаемых с выхода первого элемента НЕ 17 (фиг.5), на выходах шифратора формируется число n, а в фазе записи (ей соответствует

отрицательная часть периода инверсных импульсов Т3) - число 0). В качестве Р-разрядного шифратора может быть применено любое стандартное Р-разрядное постоянное запоминающее устройство (ПЗУ) с числом слов, т.е. объемом, равным либо большим двух. При этом младший адресный вход этого ПЗУ будет соответствовать входу D Р-разрядного шифратора 21 (фиг.5) (при объеме ПЗУ, большем двух, его остальные адресные входы должны быть подключены к потенциалу логического "0"), а его выходы - выходам Р-разрядного шифратора 21 (фиг.5). Входы выбора и чтения ПЗУ при этом должны быть подключены к потенциалам логических "1" или "0" таким образом, чтобы ПЗУ было выбрано и находилось постоянно в цикле чтения. Информация, записанная в ПЗУ, должна соответствовать по нулевому адресу числу ноль, по первому адресу - числу n, а по остальным адресам (если таковое есть) не может быть произвольной. Таким образом, в течение одной строки сканирования блока задержки (фиг.5) осуществляется как запоминание видеоинформации по этой строке, так и воспроизведение той видеоинформации, которая была записана в предыдущей строке развертки. Блок преобразования видеосигнала (фиг.4) кроме задержки видеосигнала на n тактов производит преобразование значений видеосигнала по результатам анализа окрестности сканирующей апертуры (фиг.13), проводимого блоком 4 обработки видеосигнала (фиг.1). Эти результаты в виде сигналов "1" и "0" поступают соответственно на вход второго 11 и третьего 12 элементов И через одноименные входы блока 4 преобразования видеосигнала (фиг.1). Преобразование значений видеосигнала производится путем изменения содержимого n-разрядного регистра 16 (фиг.4). В дальнейшем измененное содержимое этого регистра запоминается в элементе 23 памяти (фиг.5) блока задержки (фиг.5) и воспроизводится в следующей строке сканирования в виде преобразованного видеосигнала. При логической "1" на входе третьего элемента И 12 (фиг.4), поступающей с единичного входа блока преобразования видеосигнала, во все разряды n-разрядного регистра 16 (фиг.4) записывается значение логической "1"; при логической "1" на первом входе второго элемента И 11 (фиг.4), поступающей с нулевого входа блока преобразования видеосигнала (фиг.4), во все разряды n-разрядного регистра 16 (фиг.4) записывается значение логического "0", а при логическом "0" на обоих управляющих входах "1" и "0" блока преобразования видеосигнала (фиг.4) значения разрядов n-разрядного регистра 16 (фиг.4) повторяют значение входного видеосигнала. Это осуществляется следующим образом. Работа n-разрядного регистра 16 (фиг.4) определяется потенциалом на его входе управления режимом работы ΣW при логическом "0", на котором по положительному перепаду сигнала на тактовом входе С в регистре происходят процессы записи информации с его информационного входа последовательного ввода DR в первый разряд и сдвиг всего содержимого на один разряд вправо, а при логической "1" по тому же перепаду сигнала на тактовом входе - процесс записи информации во все разряды регистра с его информационных входов параллельного ввода D 1. Появление сигнала "1", равного логической "1", и на единичном входе блока разрешает прохождение на вход управления режимом работы ΣW n-разрядного регистра 16 (фиг.4) импульсов Т2 через третий элемент И 12 (фиг.4).

Внутри этих импульсов путем выделения на четвертом элементе И 13 (фиг.4) совпадения их с импульсами Т1 формируются дополнительные импульсы, которые, проходя через элемент ИЛИ-НЕ 15 (фиг.4), попадают на тактовый вход С n-разрядного регистра 16 (фиг.4) и вызывают запись в его разряды информации с входов параллельного ввода D 1, т.е. всех логических "1". Появление сигнала "0", равного логической "1", на нулевом входе блока разрешает прохождение импульсов Т2 на выход второго элемента И 11 (фиг.4). Эти импульсы через элемент ИЛИ 14 (фиг.4) попадают на вход установки нуля n-разрядного регистра 16 (фиг.4) и сбрасывают его, что разнозначно записи во все разряды регистра логического "0". Наличие логического "0" на единичном и нулевом входах блока преобразования видеосигнала (фиг.4) запрещает как прохождение импульсов

Т2 на входы R и $\sum W$ n-разрядного регистра 16 (фиг.4), так и формирование дополнительных импульсов записи четвертым элементом И 13 (фиг.4). При этом на входе $\sum W$ n-разрядного регистра 16 (фиг.4) присутствует потенциал логического "0", а на вход С поступают инверсные импульсы Т3, что вызывает последовательную запись в разряды регистра видеоинформации с входа последовательного ввода. Строчные синхронизирующие импульсы 75 (фиг.6), поступающие через элемент ИЛИ 14 (фиг.4) на вход R n-разрядного регистра 16 (фиг.4), устанавливают его в нулевое состояние и через элементы НЕ 19 (фиг.5) устанавливают D-триггер 24 (фиг.5) в нулевое состояние. На первый, второй и третий тактовые входы блока поступают соответственно импульсы Т1 76 (фиг.6), Т2 77 (фиг.6) и Т3 78 (фиг.6). В отрицательной части периода импульсов Т3 Р-разрядный шифратор 21 (фиг.5) вырабатывает код числа n, а в положительной их части - код числа ноль 79 (фиг.6). Положительные перепады инверсных импульсов Т3, получающиеся на выходе первого элемента НЕ 17 (фиг.5), считаются n-разрядным счетчиком 20 (фиг.5, импульс 80, фиг.6).

Р-разрядный сумматор 22 (фиг.5) определяет сумму значений содержимого этого счетчика и числа, формируемого Р-разрядным шифратором 21 (фиг.5; импульс 81, фиг.6). Эта сумма является адресом для элемента 23 памяти (фиг.5). Отрицательная часть периода импульсов Т3 (импульс 78, фиг.6) определяет фазу чтения для ОЗУ 23 (фиг.5), а его положительная часть - фазу записи (положительная и отрицательная соответственно части инверсных импульсов Т3). Состояние выхода ОЗУ 23 (фиг.5, импульс 82, фиг.6) зависит от информации, которая была записана в нем ранее, но в фазе записи оно всегда соответствует логическая "1". Взаимосвязь кода на выходах Р-разрядного шифратора 21 (фиг.5), содержимого счетчика 20 (фиг.5), кода на выходах суммы Р-разрядного сумматора 22 (фиг.5) и выхода ОЗУ 23 (фиг.5; импульсы 79-82, фиг.6) соответственно с импульсами Т3 (импульс 78, фиг.6) показана стрелками между указанными позициями. Сигнал с выхода ОЗУ 23 (фиг.5) поступает на информационный вход D-триггера 24 (фиг.5), который тактируется через второй элемент НЕ 18 (фиг.5) инверсными импульсами Т1. По положительному фронту этих импульсов или отрицательному фронту импульсов Т1 (импульс 76, фиг.6) информация с входа D-триггера 24 (фиг.5) переписывается (показано стрелкой между позициями 76 и 83 (фиг.6) на его выход (импульс 83, фиг.6) и поступает на информационный выход (фиг.5) блока.

Появление сигнала логической "1" на единичном входе блока преобразования видеосигнала (импульс 84, фиг.6) разрешает прохождение импульсов Т2 (импульс 77, фиг.6) на вход третьего элемента И 13 (фиг.4) и вход управления режимом работы $\sum W$ n-разрядного регистра 16 (фиг.4; импульс 85, фиг.6), что показано стрелкой между позициями 77 и 85.

Совпадение импульсов Т2 и Т1 (импульсы 85 и 76 соответственно) на входах четвертого элемента И 13 (фиг.4) вызывает появление (показано стрелками между позициями 76, 85, 86 (фиг.6) дополнительных Т3 импульсов на тактовом входе С (импульс 85; фиг.6) n-разрядного регистра 16 (фиг.4), что приводит к записи логической "1" во все разряды последнего (показано стрелками между позициями 86 и 89, фиг.6)). Появление сигнала логической "1" на нулевом входе блока преобразования видеосигнала (импульс 87, фиг.6) обусловливает появление импульсов Т2 (показано стрелкой между позициями 77 и 88 (фиг.6)) на выходе второго элемента И 11 (фиг.4). Эти импульсы, пройдя через элемент ИЛИ 14 (фиг.4), попадают на вход установки нуля R n-разрядного регистра 16 (фиг.4) и устанавливают все его разряды в состояние логического "0", что показано стрелками между позициями 88 и 89 (фиг.6). Состояние выходов (импульс 89, фиг.6) n-разрядного регистра 16 (фиг.4) изменяется по положительному фронту импульсов 86 (фиг.6), вырабатываемых элементом ИЛИ-НЕ 15 (фиг.4), что характеризуется стрелками между позициями 86 и 89 (фиг.6).

Взаимосвязь появления сигналов "1" (импульс 84, фиг.6) и "0" (импульс 87, фиг.6) с состоянием выходов n-разрядного регистра 16 (фиг.4), обусловленная анализом в блоке 4 обработки ви-

деосигнала (фиг.1), показана стрелками между позициями 89, 84 и 89, 88 (фиг.6).

Входной видеосигнал (импульс 90, фиг.6), пройдя через n-разрядный регистр 16 (фиг.4) и претерпев изменения в результате анализа окрестности (фиг.13) сканирующей апертуры (фиг.12) описанным образом, преобразуется на последнем выходе этого регистра в видеосигнал (импульс 91, фиг.6).

Блок 4 обработки видеосигнала (фиг.1) работает следующим образом. При лог. "1" на всех входах первой 92 (фиг.7), второй 93, третьей 94 и четвертой 95 групп входов блока на выходах второго 25, третьего 26, четвертого 27 и пятого 28 элементов И формируются потенциалы логической "1", а на выходах второго 31, третьего 32, четвертого 33 и пятого 34 элементов ИЛИ-НЕ - потенциалы логического "0". Это приводит к появлению на выходе шестого элемента И 29, т.е. на первом управляющем выходе 96 блока (единичном), потенциала логической "1", а на выходе седьмого элемента И 30, т.е. на втором управляющем выходе 97 блока потенциала логического "0".

При логическом "0" на всех входах первой 92, второй 93, третьей 94 и четвертой 95 групп входов блока на выходах второго 25, третьего 26, четвертого 27 и пятого 28 элементов И формируются потенциалы логического "0", а на выходах второго 31, третьего 32, четвертого 33 и пятого 34 элементов ИЛИ-НЕ - потенциал логического "1". Это приводит к появлению на выходе шестого элемента И 29, т.е. на первом управляющем выходе блока (единичном) потенциала логического "0", а на выходе седьмого элемента И 30, т.е. на втором управляющем выходе 97 блока (нулевом) - потенциала логического "1".

Пусть, например, на первом входе первой группы входов 92 блока присутствует потенциал логического "0", а на остальных входах первой 92, второй 93, третьей 94 и четвертой 95 групп входов блока - потенциал логической "1". Тогда на выходах второго 25 и третьего 26 элементов И формируются потенциалы лог. "0", на выходах четвертого 27 и пятого 28 элементов И - потенциалы логической "1", а на выходах второго 31, третьего 32, четвертого 33 и пятого 34 элементов ИЛИ-НЕ - потенциалы логического "0". Это приводит к появлению на выходах шестого 29, т.е. на первом управляющем выходе 96 блока (единичном), и седьмого 30, т.е. на втором управляющем выходе 97 блока (нулевом), элементов И потенциалов логического "0". Таким образом, наличие логического "0" хотя бы на одном из 2 (n + m) - 4 входов первой 92, второй 93, третьей 94 или четвертой 95 групп входов блока даже при логической "1" на всех остальных входах запрещает формирование сигналов "1" и "0" на управляющих выходах 96 и 97 блока.

Пусть, например, на первом входе первой группы 92 входов блока присутствует потенциал логической "1", а на остальных входах первой 92, второй 93, третьей 94 и четвертой 95 групп входов блока - потенциал логического "0". Тогда на выходах второго 25, третьего 26 четвертого 27 и пятого 28 элементов И формируются потенциалы логического "0", на выходах второго 31 и третьего 32 элементов ИЛИ-НЕ - потенциал логического "0", а на выходах четвертого 33 и пятого 34 элементов ИЛИ-НЕ - потенциалы логической "1". Это приводит к появлению на выходах шестого 29, т.е. на первом управляющем выходе 96 блока (единичном), седьмого 30, т.е. и на втором управляющем выходе 97 блока (нулевом), элементов И потенциалов логического "0". Таким образом, наличие логической "1" хотя бы на одном из 2 (n + m) - 4 входов первой 92, второй 93, третьей 94 или четвертой 95 групп входов блока даже при логическом "0" на всех остальных входах запрещает формирование сигналов "1" и "0" на управляющих выходах 96 и 97 блока.

При рассмотрении работы блока 5 кадровой задержки (фиг.1) дополнительно будем пользоваться временной диаграммой его работы (фиг.9), где

98 - импульс на первом 99 (фиг.8) тактовом входе блока;

100 - импульс на втором 101 (фиг.8) тактовом входе блока;

102 - импульсы на третьем 103 (фиг.8) тактовом входе блока;

104 - импульсы на четвертом 105 (фиг.8) тактовом входе блока;

106 - информация на выходах второго (Р-разрядного) счетчика 38 импульсов (фиг.8);

107 - информация на выходах второго (К-разрядного) шифратора 40 (фиг.8);

108 - информация на выходах третьего (К-разрядного) счетчика 39 импульсов (фиг.8);

109 - информация на адресных входах второго блока ОЗУ 42 (фиг.8);

110 - выходной сигнал второго блока ОЗУ 42 (фиг.8);

111 - выходной сигнал четвертого D-триггера 43 (фиг.8) или сигнал на выходе блока.

Блок 6 кадровой задержки (фиг.1) работает следующим образом.

Бинарный видеосигнал от текущего телевизионного кадра поступает с входа 112 (фиг.8) блока на информационный вход D блока ОЗУ 42 и запоминается в нем. Цикл записи информации в блок ОЗУ 42 определяется отрицательной частью инверсных импульсов, для получения которых входные импульсы Т3, поступающие по четвертому тактовому входу 105 блока, инвертируются шестым элементом НЕ 36. Адресация ячеек блока ОЗУ 42 по Р младшим адресам производится вторым (Р-разрядным) счетчиком 38 импульсов, а по К старшим адресам - К-разрядным сумматором 41, выходы суммы которого в цикле записи повторяют значения выходов К-разрядного счетчика 39 импульсов. Второй Р-разрядный счетчик 38 импульсов подсчитывает число импульсов Т3 в строке сканирования, а К-разрядный счетчик 39 импульсов - число строчных синхроимпульсов в кадре. Таким образом, одному переключению К-разрядного счетчика 39 импульсов соответствуют Р переключений Р-разрядного счетчика 38 импульсов. Для организации задержки видеосигнала на кадр перед каждым циклом записи текущей информации в какую-либо ячейку блока ОЗУ 42 производится цикл считывания из этой ячейки той информации, что была записана в нее в предыдущем кадре. Из этой информации D-триггер 43 формирует выходной видеосигнал, переписывая ее со своего D-входа на выход по положительному фронту инверсного сигнала Т1, для получения которого входные импульсы Т1, поступающие по четвертому тактовому входу блока, инвертируются пятым элементом НЕ 35. Для организации сдвига видеоинформации вверх на m строк разложения адрес ячейки блока ОЗУ 42, из которой читается в данный момент информация, $A_{чт}$ делается на величину $m \cdot p$ большим адреса ячейки $A_{зап}$, в которую производится запись, т.е. $A_{чт} = A_{зап} + m \cdot p$. Поскольку

$$A_{зап} = j \cdot p + i,$$

где j - номер текущей строки телевизионной развертки от начала кадра, $j = 1, 2, \ldots, k$;

i - номер текущего элемента разложения по j-й строке, $i = 1, 2, \ldots, p$;

p - число элементов разложения по строке;

k - число строк разложения в кадре,

то $A_{чт} = (j + m)\, p + i$. Отсюда следует, что для получения адреса ячейки, из которой в текущий момент времени должна читаться информация, надо номер текущей строки сканирования, которому соответствует содержимое К-разрядного счетчика 39 импульсов, увеличить на величину m. Для каждого цикла чтения блока ОЗУ 42, определяемого положительной частью инверсных импульсов Т3, число m вырабатывается К-разрядным шифратором 40, а число $j + m$ - К-разрядным сумматором 41. В фазе записи К-разрядный шифратор 40 формирует на своих выходах код числа ноль. В качестве К-разрядного шифратора 40 может быть применено любое стандартное К-разрядное ПЗУ с числом слов, равным либо большим двух. При этом младший адресный вход этого ПЗУ соответствует входу D К-разрядного шифратора 40 (при объеме ПЗУ, большем двух, его остальные адресные входы должны быть подключены к потенциалу логического "0"), а его выходы - к выходам К-разрядного шифратора 40. Входы выбора и чтения ПЗУ при этом должны быть подключены к потенциалам логической "1" или логического "0" таким образом, чтобы ПЗУ было выбрано и находилось постоянно в цикле чтения. Информация, записанная в ПЗУ, должна соответствовать: по нулевому адресу - числу ноль, по первому адресу - числу m, а по остальным адресам (если таковые есть) она может быть произвольной.

Кадровые синхронизирующие импульсы, поступающие с первого (фиг.8) тактового входа 99 блока устанавливают в нулевое состояние К-разрядный счетчик 39 импульсов (фиг.8), который с этого момента начинает счет ССИ 100 (фиг.9), приходящих на второй (фиг.8) тактовый вход 101 блока, что показано стрелкой между позициями 100 и 108 (фиг.9). Одновременно каждый из ССИ устанавливает в нулевое состояние первый Р-разрядный счетчик 38 импульсов (фиг.8) и через седьмой элемент И 37 - D-триггер 43 (импульсы 106 и 111, фиг.9). Тактовые импульсы Т3 (импульс 102, фиг.9), приходящие по третьему 103 (фиг.8) тактовому входу блока, считаются (Р-разрядным) счетчиком 38 импульсов (фиг.8). В положительной части периода импульсов Т К-разрядный шифратор 40 (фиг.8) вырабатывает код числа ноль, а в отрицательной части - код числа m (импульс 107, фиг.9). Выходные коды К-разрядного шифратора 40 (фиг.8) и К-разрядного счетчика 39 импульсов суммируются К-разрядным сумматором 41, значения выходов суммы которого в совокупности со значениями выходов первого Р-разрядного счетчика 38 образуют адрес обращения ОЗУ 42 (импульс 109, фиг.9). Состояние выхода ОЗУ 42 (фиг.8) в фазе чтения (импульс 110, фиг.9), определяемой отрицательной частью периода импульсов Т (импульс 104, фиг.9), зависит от той информации, которая была записана в нем в предыдущем кадре, но в фазе записи, определяемой положительной частью периода импульсов Т, оно всегда соответствует логической "1". Взаимосвязь состояний второго Р-разрядного счетчика 39 (фиг.8) К-разрядного шифратора 40, адресных входов ОЗУ 42 и выхода последнего с различными фазами импульсов показана стрелками между позициями импульсов 104, 106, 107-110 (фиг.9).

Сигнал с выхода ОЗУ 42 (фиг.8) поступает на информационный вход D-триггера 43, который тактируется через пятый элемент НЕ 35 инверсными импульсами Т1. По положительному фронту этих импульсов, т.е. отрицательному импульсу 102 (фиг.9), информация с входа D-триггера 43 (фиг.8) переписывается (показано стрелкой между позициями 102 и 111 (фиг.9)) на его выход и поступает на информационный выход 113 (фиг.8) блока.

При рассмотрении работы блока счета объектов 6 (фиг.1) будем дополнительно пользоваться временной диаграммой его работы (фиг.11), где

где 114 - импульс на первом 115 (фиг.10) тактовом входе блока;
116 - импульс на втором 117 (фиг.10) тактовом входе блока;
118 - импульс на третьем 119 (фиг.10) тактовом входе блока;
120 - информация на выходах третьего Р-разрядного счетчика импульсов 47 (фиг.10);
121 - выходной сигнал третьего блока ОЗУ 49 (фиг.10);
122 - выходной сигнал пятого D-триггера 50 (фиг.10);
123 - видеосигнал на входе 124 (фиг.10) блока;
125 - сигнал на выходе восьмого элемента И 51 (фиг.10) или сигнал на вычитающем входе L-разрядного счетчика числа объектов 48 (фиг.10);
126 - информация на выходах L-разрядного счетчика 48 числа объектов (фиг.10) или информация на выходе 127 (фиг.10) кода числа объектов блока.

Блок 6 счета объектов (фиг.1) работает следующим образом.

Третий Р-разрядный счетчик 47 импульсов (фиг.10) ОЗУ 49 и D-триггер 50 образуют в совокупности линию задержки входного видеосигнала, поступающего по информационному входу 124 блока, на время одной строки сканирования $\tau_{стр}$. Синхронизация работы линии задержки осуществляется тактовыми сигналами ССИ, Т1 и Т3, поступающими соответственно по первому 115, второму 117 и третьему 119 тактовым входам блока. Как и для описанных линий задержек, принцип действия данной линии задержки основывается на том, что, если в каждой строке сканирования видеосигнал записывать в память, но перед каждым циклом записи читать из памяти ту информацию, которая была записана в ней ранее, т.е. в предыдущей строке, то на выходе памяти будет формироваться видеосигнал, за-

держанный относительно данного на время одной строки сканирования. Входной видеосигнал, поступая с информационного входа 124 блока на информационный вход D ОЗУ 49, записывается в него в отрицательной части периода инверсных импульсов Т3, определяющих фазу записи для этого блока и получаемых с выхода третьего элемента НЕ 46. Адрес ячейки ОЗУ 49, к которой организуется обращение в текущий момент времени развертки, формируется Р-разрядным счетчиком 47 импульсов, подсчитывающим число импульсов Т3 в строке, ставя, таким образом, в соответствие каждому импульсу Т3 определенный адрес ОЗУ 49. При обращении к какой-либо ячейке последнего каждой фазе записи предшествует фаза чтения, определяемая положительной частью периода инверсных импульсов Т3, в которой из этой ячейки читается информация, записанная в нее в предыдущей строке сканирования. Из этой информации D-триггер 50 формирует задержанный на строку видеосигнал, переписывая ее значения со своего D-входа на выход Q по положительному фронту инверсных импульсов Т1, получаемых с выхода восьмого элемента НЕ 44. Восьмой элемент И 51 формирует сигналы совпадения задержанного на строку видеосигнала с входным видеосигналом, соответствующим числу С, и подает их на вычитающий вход L-разрядного счетчика числа объектов. Поскольку на суммирующий вход этого счетчика поступает входной видеосигнал с числом импульсов, соответствующим П, то в любой момент времени содержимое L-разрядного счетчика числа объектов всегда равно разности П-С, т.е. числу К всех объектов в кадре. Код числа объектов с выходов К-разрядного счетчика числа объектов поступает для дальнейшей обработки на выходную шину кода числа объектов блока.

Импульсы ССИ 114 (фиг.11) устанавливают в нулевое состояние третий Р-разрядный счетчик 47 импульсов (фиг.10) и через девятый элемент НЕ 45 D-триггер 50 (импульсы 120 и 122, фиг.11). Импульсы Т3 считаются четвертым Р-разрядным счетчиком 47 импульсов (фиг.10), формирующим адрес для ОЗУ. Состояние выхода этого блока (импульс 121, фиг.1) в фазе чтения, определяемой отрицательной частью периода импульсов Т3 118 (фиг.11), зависит от той информации, что была записана в нем в предыдущей строке, но в фазе записи, определяемой положительной частью периода импульсов Т3 118 (фиг.11), оно всегда соответствует логической "1". Взаимосвязь состояний Р-разрядного счетчика 47 импульсов (фиг.10) и выхода ОЗУ с различными фазами импульсов Т3 показана стрелками между позициями 118, 120 и 121 (фиг.11).

Сигнал 121 (фиг.11) с выхода ОЗУ 49 (фиг.10) переписывается на выход D-триггера 50 по положительному фронту инверсных импульсов Т1, т.е. по отрицательному импульсов Т1 116 (фиг.11), что показано стрелкой между позициями 116 и 122. Пусть вид задержанного на строку видеосигнала на выходе D-триггера 50 (фиг.10) соответствует приведенному в 122 (фиг.11), а вид входного видеосигнала по текущей строке - приведенному в 123. Тогда пятый элемент И 51 (фиг.10) выделяет сигнал их совпадения, вид которого соответствует приведенному в 125 (фиг.11). Суммируя импульсы входного видеосигнала 123 (фиг.11) и вычитая импульсы совпадения входного видеосигнала с задержанным на строку, пятый (L-разрядный) счетчик 48 числа объектов (фиг.10) изменяет свое содержимое так, как показано в 126 (фиг.11), что характеризуется стрелками между позициями 123, 126 и 125, 126 соответственно (фиг.11).

Сравнение исходного изображения топологии полупроводникового кристалла транзистора (фиг.14) с преобразованным (фиг.16) показывает, что в результате работы устройства обеспечено преобразование изображения с корректировкой дефектов изображения, устранением смещения изображения и обеспечением правильного счета числа селектируемых объектов.

Таблица на фиг.16 показывает, что число селектируемых объектов равно двум (81-79), т.е. дает верный результат.

Формула изобретения

1. Устройство для селекции изображений объектов, содержащее блок обработки видеосигнала, блок счета изоб-

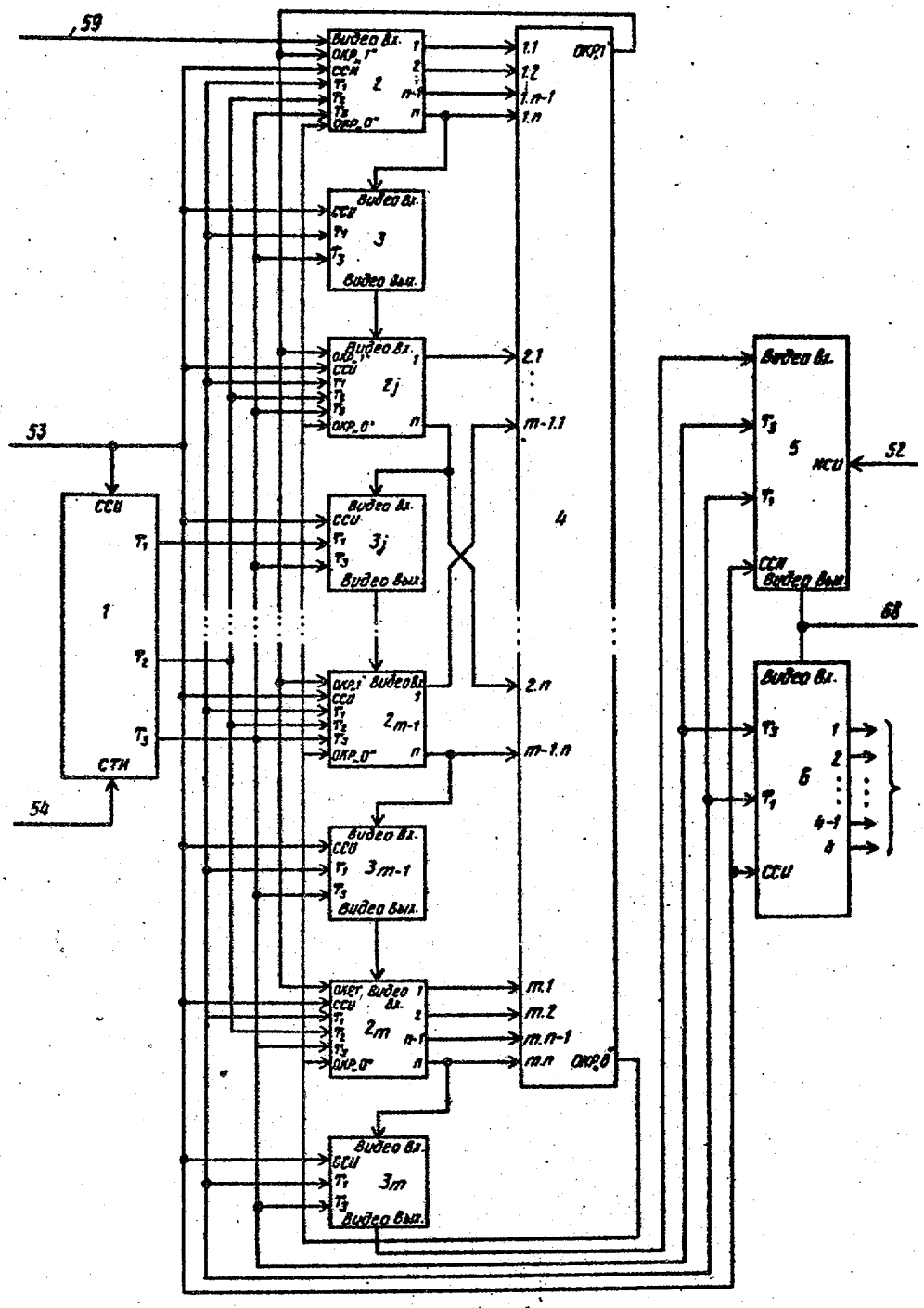
ражений объектов, выход которого является первым информационным выходом устройства, и блоки строчной задержки, отличающееся тем, что, с целью повышения точности устройства, в него введены блок синхронизации, блок кадровой задержки и m блоков преобразования видеосигнала, выходы первого из которых подключены к первой группе входов блока обработки видеосигнала, первые выходы блоков преобразования видеосигнала, кроме первого и последнего, подключены к второй группе входов блока обработки видеосигнала, а n-е выходы данных блоков подключены к третьей группе входов блока обработки видеосигнала, выходы m-го блока преобразования видеосигнала подключены к четвертой группе входов блока обработки видеосигнала, n-е выходы блоков преобразования видеосигнала подключены к информационным входам блоков строчной задержки, где m - число строк считывающей апертуры, а n - число столбцов считывающей апертуры, информационный вход первого блока преобразования видеосигнала является информационным входом устройства, кадровый синхронизирующий вход блока кадровой задержки является кадровым синхронизирующим входом устройства, а строчный синхронизирующий вход и строчный тактовый вход блока синхронизации являются строчным синхронизирующим и строчным тактовым входами устройства, первый, второй и третий тактовые выходы блока синхронизации соединены с первым, вторым и третьим тактовыми входами блоков преобразования видеосигнала, а первый и третий выходы соединены с первым и третьим тактовыми входами блоков строчной задержки, блока кадровой задержки и блока счета объектов, строчные синхронизирующие входы данных блоков и блоков преобразования видеосигнала соединены со строчным синхронизирующим входом блока синхронизации, информационный вход блока кадровой задержки соединен с информационным выходом m-го блока строчной задержки, а информационный выход блока кадровой задержки является вторым информационным выходом устройства и подключен к информационному входу блока счета объектов, единичный и нулевой входы первого блока преобразования видеосигнала соединены с одноименными входами других блоков преобразования видеосигнала и подключены к одноименным выходам блока обработки видеосигнала.

2. Устройство по п.1, отличающееся тем, что блок синхронизации содержит первый и второй D-триггеры, элемент НЕ и элемент И, причем S-вход первого D-триггера является строчным синхронизирующим входом блока и соединен с R-входом второго D-триггера, выход которого является вторым выходом блока, а вход C этого триггера является строчным тактовым входом блока и соединен с входом элемента НЕ, выход которого соединен с C-входом первого D-триггера, Q-выход которого является первым тактовым выходом блока, а $\bar{Q}$-выход первого D-триггера соединен с D-входом этого триггера и первым входом элемента И, второй вход которого подключен к Q-выходу и D-входу второго D-триггера, а выход элемента И является третьим выходом блока.

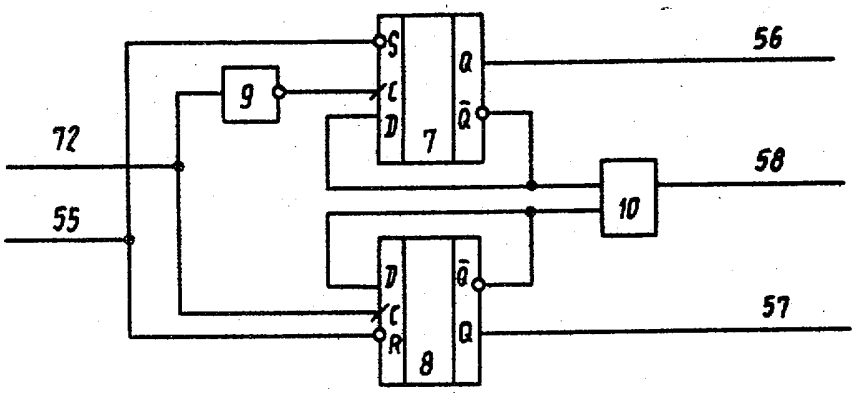
3. Устройство по п.1, отличающееся тем, что блок преобразования видеосигнала содержит первый, второй и третий элементы И, элементы ИЛИ, элемент ИЛИ-НЕ и регистр, выходы которого являются выходами блока, информационные входы параллельного ввода информации в регистр подключены к шине логической единицы, информационный вход последовательного ввода информации в n-разрядный регистр является информационным входом блока, вход управления режимом работы n-разрядного регистра подключен к выходу элемента ИЛИ-НЕ, а вход установки нуля n-разрядного регистра подключен к выходу элемента ИЛИ, первый вход которого является строчным синхронизирующим входом блока, а второй вход соединен с выходом первого элемента И, первый вход которого является нулевым входом блока, а второй является вторым тактовым входом блока и соединен с первым входом второго элемента И, второй вход которого является единичным входом блока, а выход соединен с вторым входом третьего элемента И, первый вход которого является первым тактовым входом блока, а выход соединен с первым входом элемента ИЛИ-НЕ, второй вход которого является третьим тактовым входом блока.

4. Устройство по п.1, о т л и ч а ю щ е е с я тем, что блок кадровой задержки содержит первый, второй и третий элементы НЕ, первый и второй счетчик импульсов, шифратор, сумматор, элемент памяти и D-триггер, вход первого элемента НЕ является первым тактовым входом блока, причем вход второго элемента НЕ является третьим тактовым входом блока, а его выход соединен с входом запись/чтение элемента памяти, с суммирующим входом первого счетчика и с D-входом шифратора, выходы которого подключены к второй группе входов сумматора, выходы которого подключены к старшим адресным входам элемента памяти, а первая группа входов сумматора подключена к выходам второго счетчика, вход установки нуля которого является кадровым синхронизирующим входом блока, а суммирующий вход является строчным синхронизирующим входом блока и соединен с входом третьего элемента НЕ и входом установки нуля первого счетчика, выходы которого подключены к младшим адресным входам элемента памяти, информационный вход которого является информационным входом блока, а выход соединен с D-входом D-триггера, Q-выход которого является информационным входом блока, R-вход D-триггера соединен с выходом третьего элемента НЕ, C-вход D-триггера соединен с выходом первого элемента НЕ.

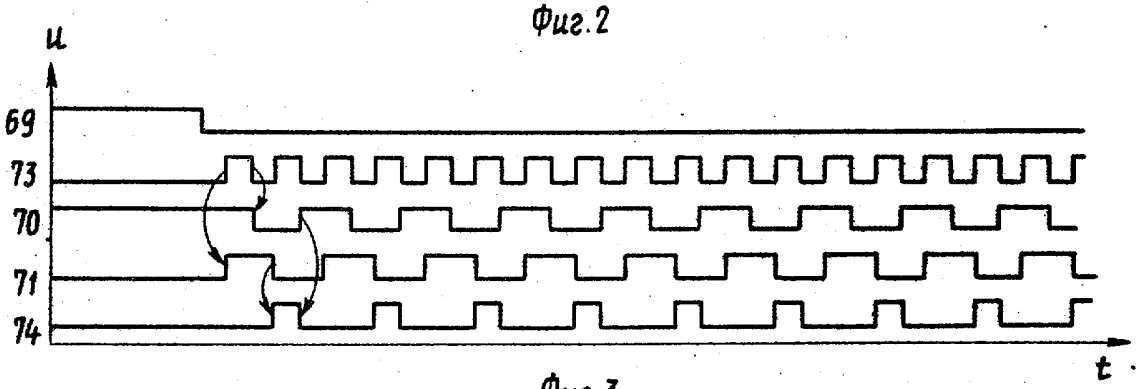
5. Устройство по п.1, о т л и ч а ю щ е е с я тем, что блок обработки видеосигнала содержит первый, второй, третий, четвертый, пятый и шестой элементы И, первый, второй, третий, четвертый элементы ИЛИ-НЕ, причем входы одноименных элементов И и ИЛИ-НЕ объединены и подключены к группам входов блока, так что входы первых элементов И и ИЛИ-НЕ подключены к первой группе входов блока, входы вторых элементов И и ИЛИ-НЕ - к второй группе входов блока, входы третьих элементов И и ИЛИ-НЕ подключены к третьей группе входов блока, а входы четвертых элементов И и ИЛИ-НЕ подключены к четвертой группе входов блока, первые входы первого и третьего элементов И объединены и подключены к первому входу первой группы входов блока, последние входы третьего и четвертого элементов И объединены и подключены к последнему входу последней группы входов блока, последний вход второго И и первый вход четвертого И объединены и подключены к первому входу четвертой группы входов блока, последний вход первого И, первый вход первого И и первый вход третьего И объединены и подключены к последнему входу первой группы входов блока, выходы первого, второго, третьего и четвертого элементов И соединены с входами пятого элемента И, а выходы первого, второго, третьего и четвертого элементов ИЛИ-НЕ соединены с входами шестого элемента И, выходы пятого и шестого элементов И являются выходами блока.


59
53
54
52
68
1
2
3
2j
3j
2m-1
3m-1
2m
3m
4
5
6
ССИ
СТИ
НСИ
Видео Вх.
Видео Вых.
1.1
1.2
1.n-1
1.n
2.1
m-1.1
2.n
m-1.n
m.1
m.2
m.n-1
m.n

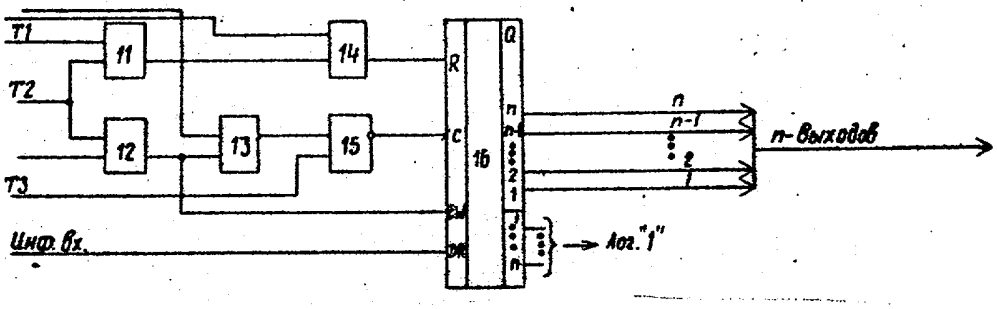
Фиг.1



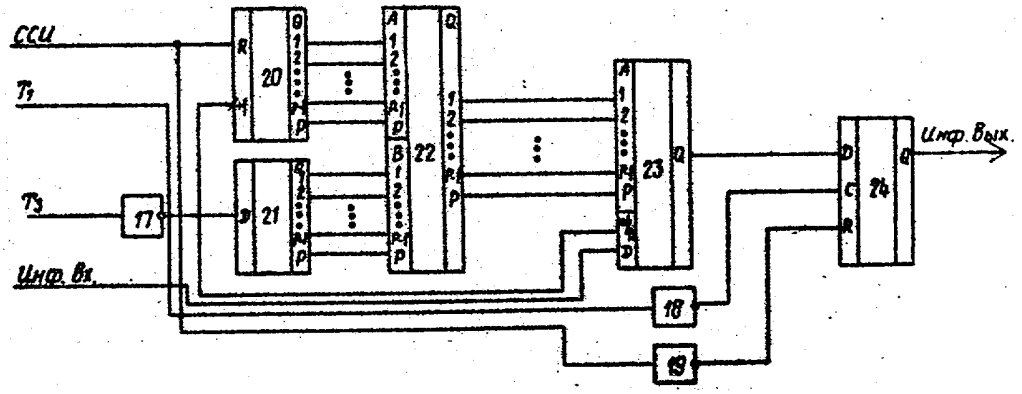
Фиг.2



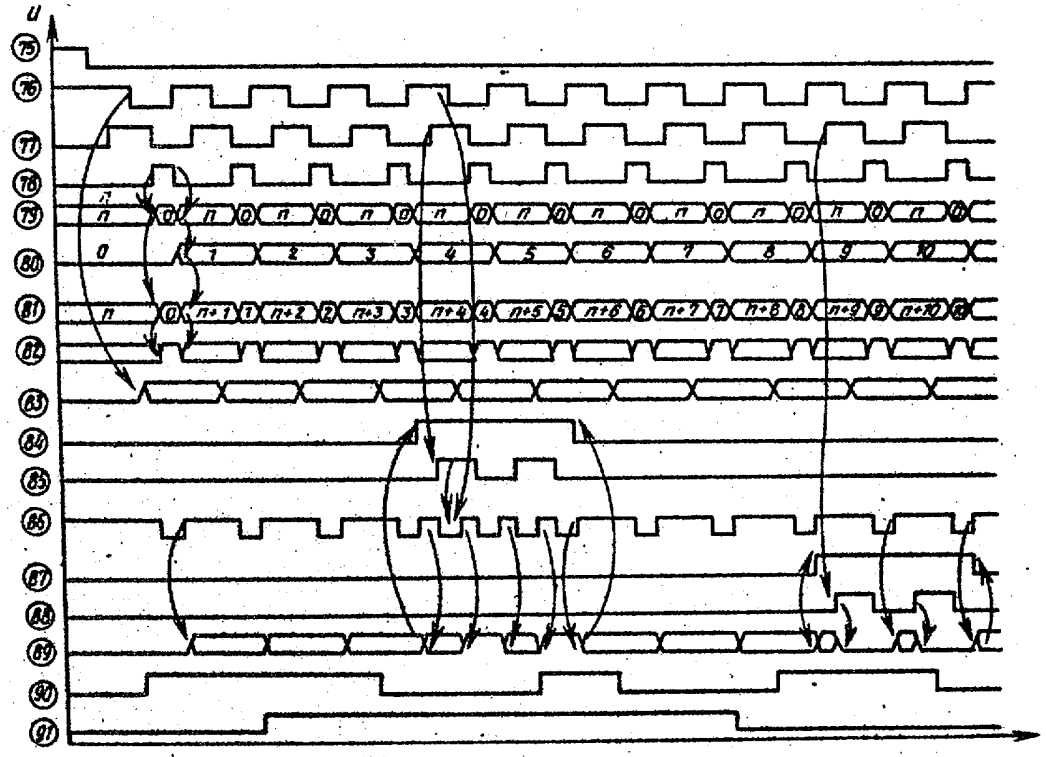
Фиг.3



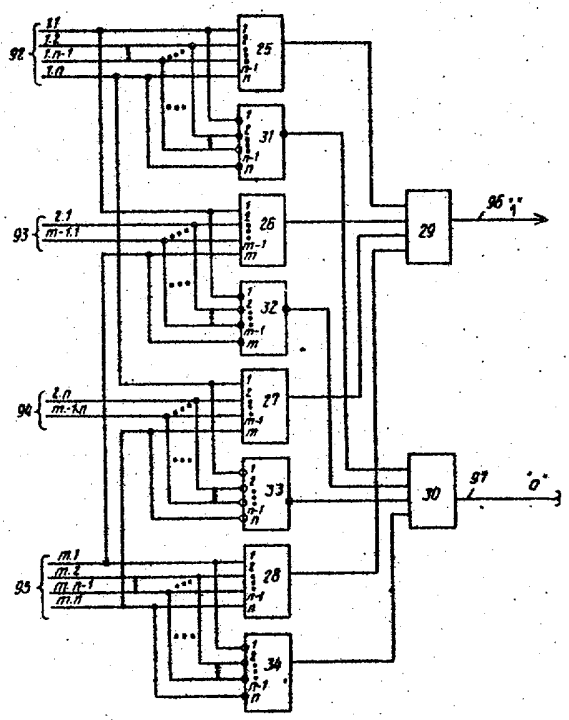
Фиг.4



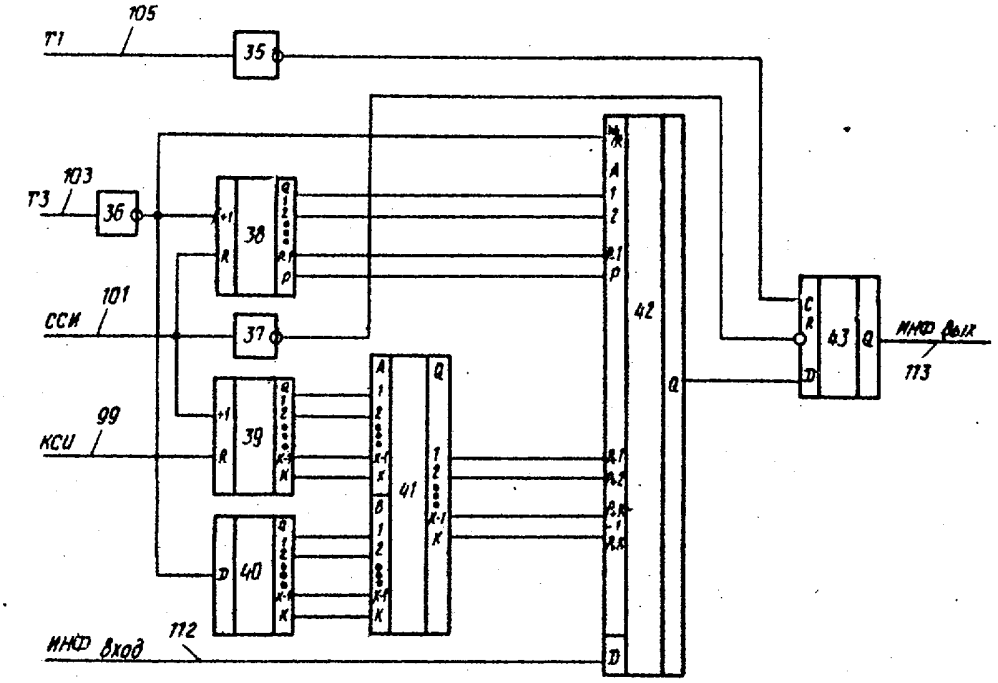
Фиг.5



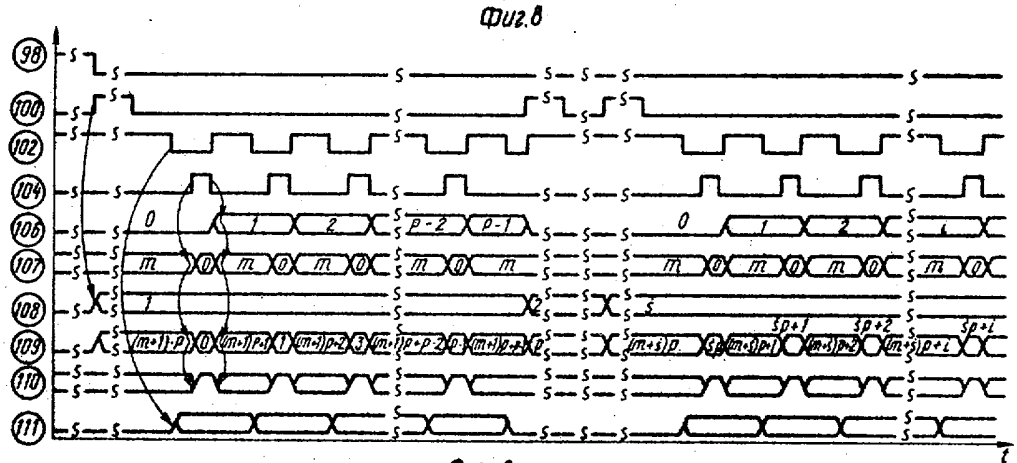
Фиг.6



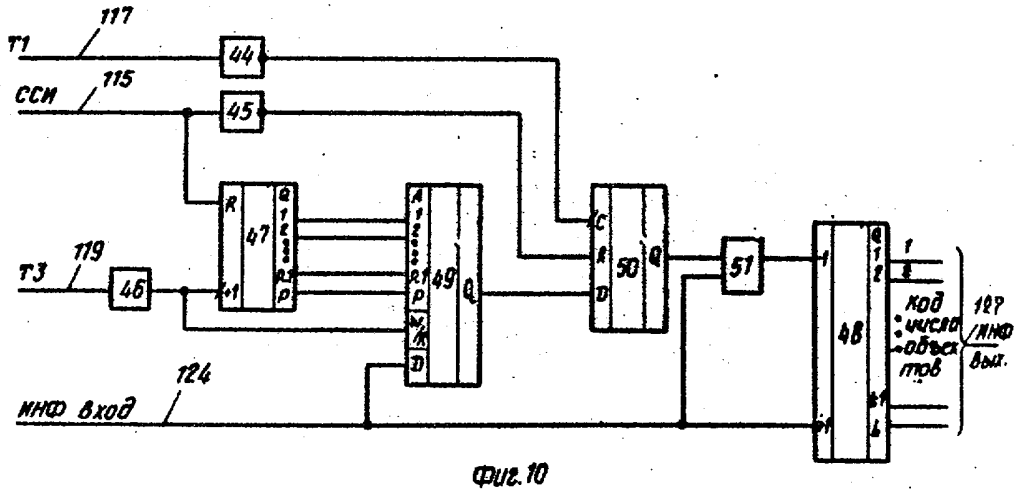
Фиг.7



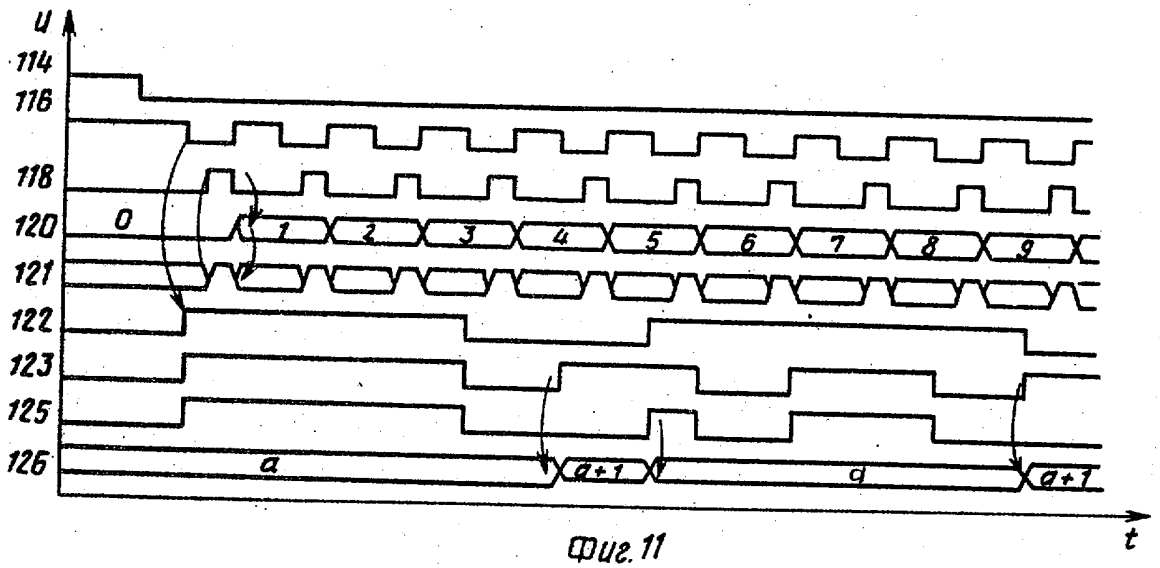
Фиг.8



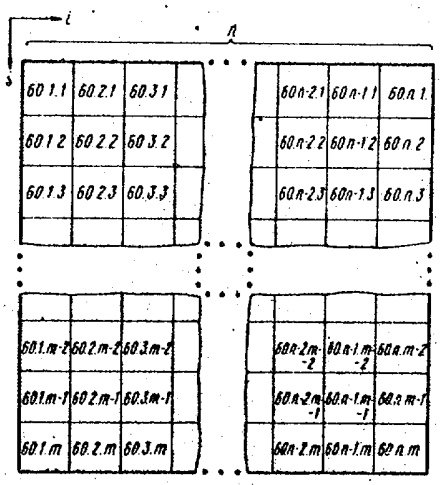
Фиг. 9



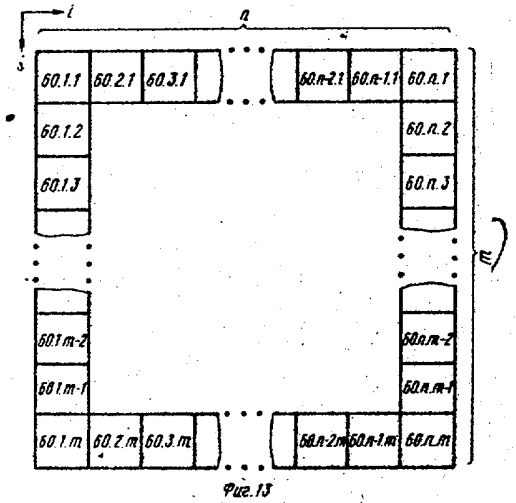
Фиг.10



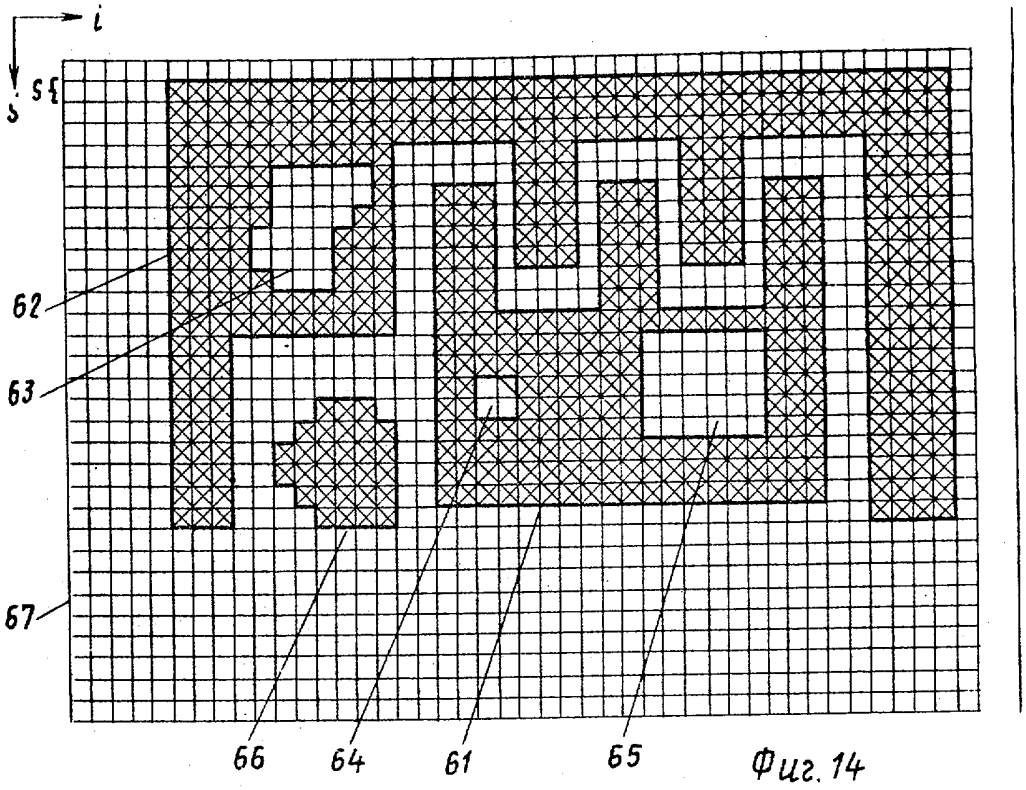
Фиг. 11



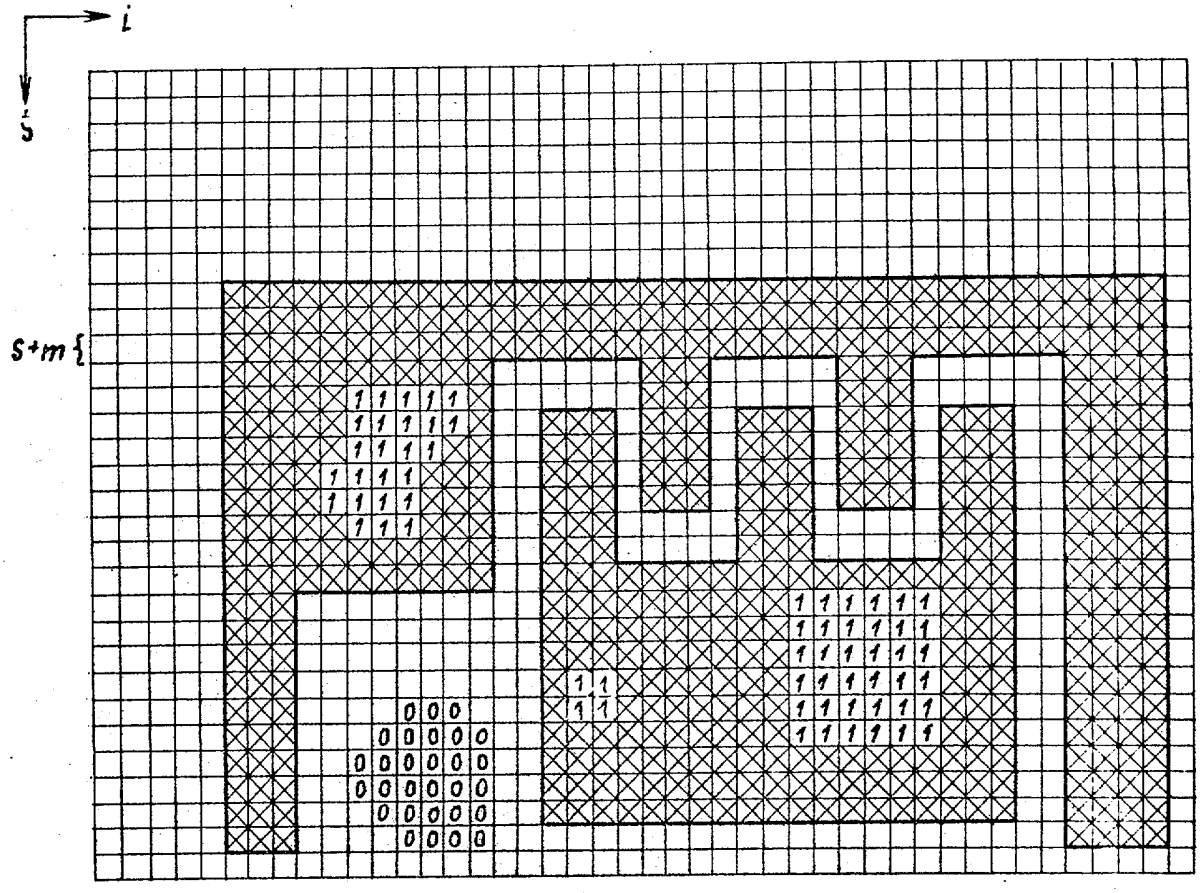
Фиг. 12



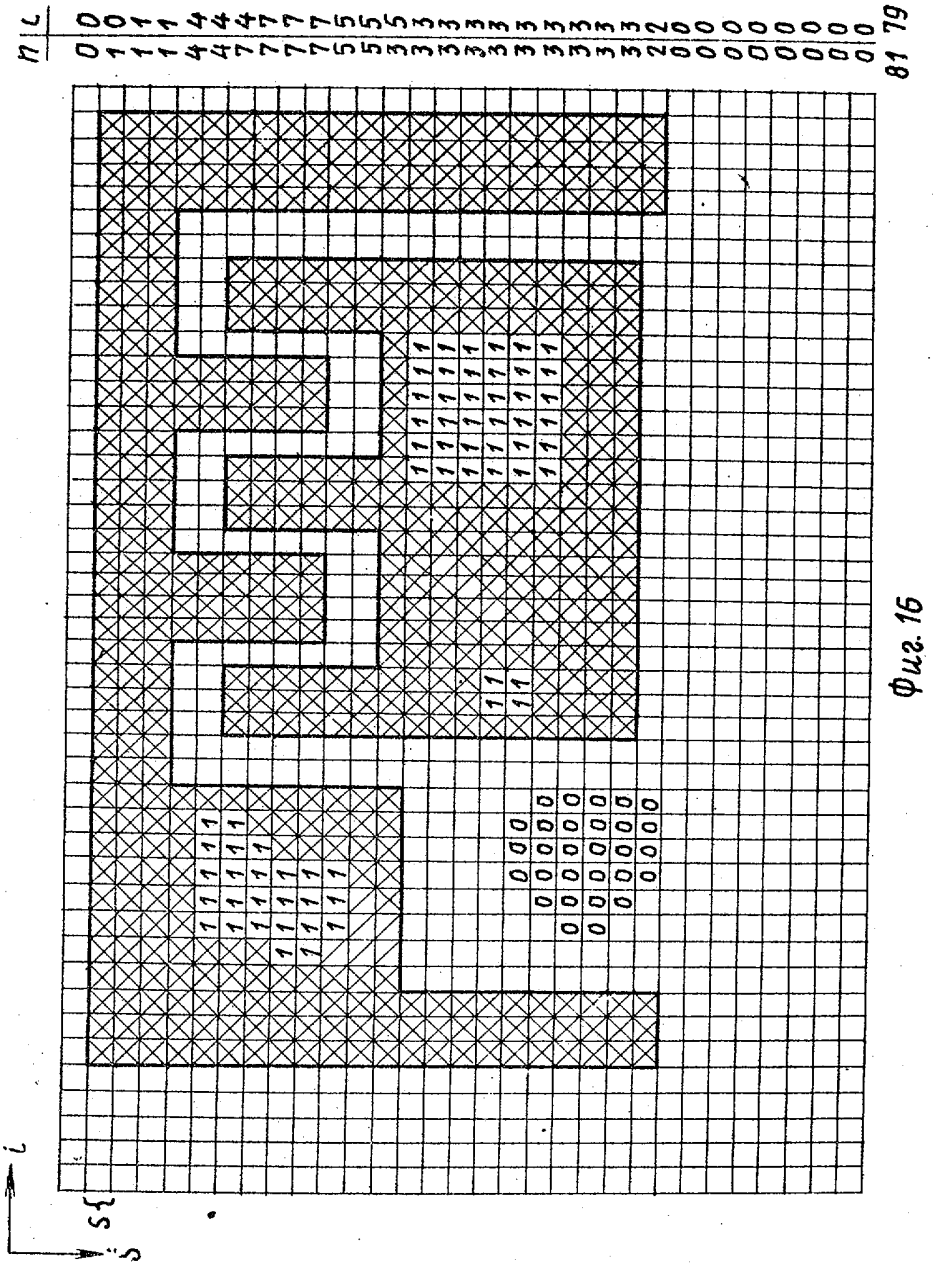
Фиг. 13



Фиг. 14



Фиг. 15



Фиг. 16

Составитель И.Голенищев
Редактор А.Ворович Техред М.Ходанич Корректор И.Муска

Заказ 827/53 Тираж 667 Подписное
ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина,101