

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2011 年 3 月 24 日(24.03.2011)

PCT

(10) 国際公開番号  
**WO 2011/034092 A1**

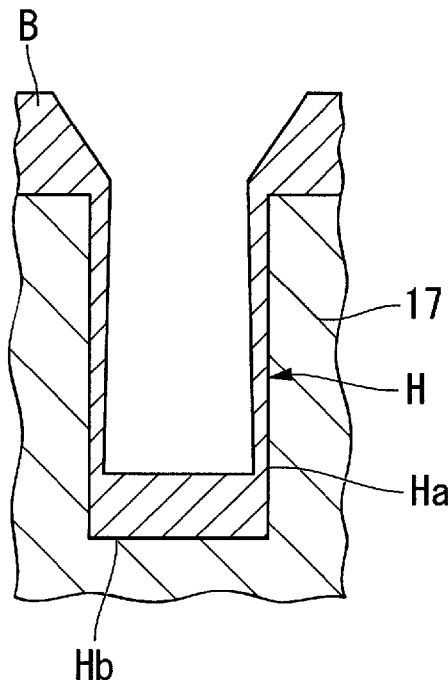
- (51) 国際特許分類:  
C23C 14/34 (2006.01) H01L 21/3205 (2006.01)  
H01L 21/28 (2006.01) H01L 23/52 (2006.01)  
H01L 21/285 (2006.01)
- (21) 国際出願番号: PCT/JP2010/065942
- (22) 国際出願日: 2010 年 9 月 15 日(15.09.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2009-217658 2009 年 9 月 18 日(18.09.2009) JP
- (71) 出願人(米国を除く全ての指定国について): 株式会社アルバック(ULVAC, Inc.) [JP/JP]; 〒2538543 神奈川県茅ヶ崎市萩園 2 5 0 0 Kana-gawa (JP).
- (72) 発明者: および
- (75) 発明者/出願人(米国についてのみ): 中西 茂雄 (NAKANISHI Shigeo) [JP/JP]; 〒4101231 静岡県裾野市須山 1 2 2 0-1 株式会社アルバック 半導体電子技術研究所内 Shizuoka (JP). 小平 周司(KODAIRA Shuji) [JP/JP]; 〒4101231 静岡県裾野市須山 1 2 2 0-1 株式会社アルバック 半導体電子技術研究所内 Shizuoka (JP). 鎌田 恒吉(KAMADA Koukichi) [JP/JP]; 〒4101231 静岡県裾野市須山 1 2 2 0-1 株式会社アルバック 半導体電子技術研究所内 Shizuoka (JP). 堀田 和正(HORITA Kazumasa) [JP/JP]; 〒4101231 静岡県裾野市須山 1 2 2 0-1 株式会社アルバック 半導体電子技術研究所内 Shizuoka (JP). 濱口 純一(HAMAGUCHI Junichi) [JP/JP]; 〒4101231 静岡県裾野市須山 1 2 2 0-1 株式会社アルバック 半導体電子技術研究所内 Shizuoka (JP). 吉浜 知之(YOSHIHAMA Tomoyuki) [JP/JP]; 〒4101231 静岡県裾野市須山 1 2 2 0-1 株式会社アルバック 半導体電子技術研究所内 Shizuoka (JP).

[続葉有]

(54) Title: METHOD FOR FORMING BARRIER METAL FILM

(54) 発明の名称: バリアメタル膜の形成方法

[図3B]



(57) Abstract: Provided is a method for forming a barrier metal film. A substrate is prepared by forming microholes or microgrooves in the surface thereof, and a barrier metal film created from titanium or a titanium compound is formed on the substrate with the substrate temperature set within the range between 150°C and 500°C.

(57) 要約: 本発明のバリアメタル膜の形成方法は、表面に微細な孔又は溝が形成された基板を準備し、前記基板の温度が150°C以上、500°C以下の範囲に設定された状態で、前記基板に対してチタン又はチタン化合物からなるバリアメタル膜を形成する。



究所内 Shizuoka (JP). 豊田 聡(TOYODA Satoru)  
[JP/JP]; 〒4101231 静岡県裾野市須山 1 2 2 0 -  
1 株式会社アルバック 半導体電子技術研  
究所内 Shizuoka (JP).

(74) 代理人: 志賀 正武, 外 (SHIGA Masatake et al.);  
〒1006620 東京都千代田区丸の内一丁目 9 番 2  
号 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,  
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,  
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,  
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,  
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,  
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,  
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH,

PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST,  
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,  
VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保  
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,  
MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア  
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ  
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,  
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,  
NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF,  
BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE,  
SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

## 明 細 書

### 発明の名称：バリアメタル膜の形成方法

#### 技術分野

- [0001] 本発明は、基板の表面にバリアメタル膜を形成するための方法に関する。特に、本発明は、基板上に形成された高アスペクト比の孔（ホール）の開口部に形成されるオーバーハングの発生を抑制するバリアメタル膜の形成方法に関する。

本願は、２００９年９月１８日に、日本に出願された特願２００９－２１７６５８号に基づき優先権を主張し、その内容をここに援用する。

#### 背景技術

- [0002] 一般に、半導体デバイスの製作に用いられる成膜方法においては、基板と銅（Cu）等からなる配線層との間にバリアメタル膜（バリア膜とも言う）を設けることによって、配線層を構成する材料が基板に拡散して起こる配線の劣化を防止している。

前記バリアメタル膜は、スパッタ等のPVD法や、気相成長法によって、金属又は金属化合物からなる薄膜を基板に成膜することによって形成される。

例えば、低誘電率（low- $\kappa$ ）材料又は酸化シリコン（SiO<sub>2</sub>）からなる基板に、窒化タンタル（Ta<sub>2</sub>N<sub>5</sub>）、タンタル（Ta）、及びそれらを組み合わせた膜からなるバリアメタル膜が形成された銅配線を有する半導体素子が開示されている（特許文献１）。

- [0003] また、近年の配線パターンの微細化に伴い、処理すべき基板全面に亘って、深さと幅の比が３を超えるような高アスペクト比のホール、トレンチ（溝）、又は微細パターンに対して被覆性よく成膜できること、即ち、カバレッジの向上が強く要求されている。

#### 先行技術文献

#### 特許文献

[0004] 特許文献1：特開2003-179133号公報

## 発明の概要

### 発明が解決しようとする課題

[0005] ところで、バリアメタル膜の形成の際の基板温度については、従来は、バリアメタル膜の膜質を向上させるための配向制御、またはバリアメタル膜形成工程に続くプロセス温度等に依存して決定されていた。一般的に、Cu配線形成プロセスにおいては、バリアメタル膜の形成時において、基板温度は室温（10℃～30℃）程度に保持されていた。

しかし、高アスペクト比のホールやトレンチが形成された基板に対してバリアメタル膜を形成することが要求されるようになると、ホールやトレンチの開口部にオーバーハング（底部における径よりも開口部における径が小さくなる）が発生したり、これに伴ってホールやトレンチの側壁部の被覆性が低下したりする問題が生じる。

図3Aに、基板温度を室温程度に保持した状態でバリアメタル膜を形成した際の、高アスペクト比のホールHの模式的断面図を示す。ホールHは、側面部Haと、底部Hbとから構成される孔状の凹部である。この図に示すように、ホールの開口部付近にオーバーハングが発生し、最小開口に影響が及んでいることがわかる。このようにオーバーハングが発生し、最小開口が小さくなることによって、側壁部の被膜性にも問題が生じる。

[0006] 本発明は、以上の点に鑑み、基板上に形成された高アスペクト比のホールやトレンチ、また微細パターンに対して、開口部におけるオーバーハングの発生を低減することができるバリアメタル膜の形成方法を提供することをその課題とする。

### 課題を解決するための手段

[0007] 本発明の一態様のバリアメタル膜の形成方法は、表面に微細な孔又は溝が形成された基板を準備し、前記基板の温度が150℃以上、500℃以下の範囲に設定された状態で、前記基板に対してチタン又はチタン化合物からなるバリアメタル膜を形成する。

本発明の一態様のバリアメタル膜の形成方法においては、前記バリアメタル膜を形成する際には、前記基板の温度を $200^{\circ}\text{C}$ 以上、 $450^{\circ}\text{C}$ 以下の範囲とすることが好ましい。

本発明の一態様のバリアメタル膜の形成方法においては、前記基板に前記バリアメタル膜を形成する際には、スパッタ法が用いられることが好ましい。

### 発明の効果

[0008] 本発明によれば、基板上に形成された高アスペクト比のホールやトレンチ、微細パターンに対しバリアメタル膜を形成する際において、ホールやトレンチの開口部にオーバーハングが発生するのを抑制することができる。

### 図面の簡単な説明

[0009] [図1]本発明に係る成膜装置の概略図である。

[図2]本発明に係る成膜装置を構成する成膜チャンバの概略断面図である。

[図3A]成膜された高アスペクト比のホールの模式的断面図である。

[図3B]成膜された高アスペクト比のホールの模式的断面図である。

[図4A]ホールの上面からみた電子顕微鏡写真である。

[図4B]ホールの上面からみた電子顕微鏡写真である。

### 発明を実施するための形態

[0010] (第1の実施の形態)

以下、図面を参照して本発明の実施の形態について説明する。図1は、本発明の成膜方法を実施するのに用いられる成膜装置1の一例の概略図である。図2は、成膜装置1を構成するチャンバである、成膜チャンバ4a、4bの概略断面図である。

成膜装置1は、搬送室2の周囲にゲートバルブ6を介して、ロードロックチャンバ3、複数の成膜チャンバ4a、4b、温度調整チャンバ5が配置されて構成されている。搬送室2は所定の真空度に減圧され、ている。搬送室2の内部には基板搬送ロボット(図示略)が設置されている。ロードロックチャンバ3は、デガス室として機能し、図示しないヒーターによって処理す

べき基板を減圧下において高温で加熱処理してデガスを行い、基板に含まれているガスを除去する。

[0011] 符号 4 a、4 b はともに成膜チャンバであるが、第 1 の成膜チャンバ 4 a は、基板 1 7（図 2 参照）にバリアメタル膜を形成するバリアメタル成膜用のチャンバとして機能する。第 2 の成膜チャンバ 4 b は、バリアメタル膜が形成された基板 1 7 に Cu を成膜するための、Cu 成膜用のチャンバとして機能する。

温度調整チャンバ 5 は、加熱装置及び冷却装置を備えており、該温度調整チャンバ 5 内に成膜前の基板及び成膜後の基板の少なくとも一方を搬送し、基板を冷却又は加熱することができる。

[0012] なお、チャンバの配置数等は、適宜変更可能である。例えば、ロードロックチャンバは、搬入用と搬出用のチャンバをそれぞれ別個に設ける構成としてもよいし、バリア成膜前に行う基板クリーニング用のチャンバを設ける機構としてもよい。また、温度調整チャンバ 5 は必ずしも設ける必要はない。また、搬送室 2 を設けることなく、ロードロックチャンバ、成膜チャンバなどを工程順に接続するような構成としてもよい。

[0013] 図 2 は、上記成膜装置 1 を構成し、本発明の薄膜の形成に用いることができる成膜チャンバ 4 a、4 b を詳しく説明するための概略断面図である。該成膜チャンバ 4 a、4 b は、スパッタ法により基板に薄膜を形成するための処理室である。

成膜チャンバ 4 a、4 b は、真空槽 2 0 を有している。真空槽 2 0 の天井には、カソード電極 1 4 が固定されている。カソード電極 1 4 の表面にはターゲット 1 5 が配置されている。カソード電極 1 4 には負電圧を印加する直流電源 1 9 が接続されている。

真空槽 2 0 外のカソード電極 1 4 の裏面位置には、永久磁石からなる磁気回路 1 8 が設けられている。真空槽 2 0 は、磁気回路 1 8 が形成する磁束がカソード電極 1 4 とターゲット 1 5 を貫通し、ターゲット 1 5 表面に漏洩磁界が形成されるように構成されている。スパッタリングを行う際にはその漏

洩磁界に電子がトラップされ、プラズマが高密度化する。

[0014] 真空槽 20 の底面には、基板ホルダー 16 が設けられている。基板ホルダー 16 の表面には、シリコン基板等からなる基板 17 が、ターゲット 15 と略平行に対向配置されている。

また、基板ホルダー 16 内には基板電極 21 が設けられている。この基板電極 21 は、高周波バイアス電力を基板電極 21 に印加する高周波電源 22 に接続されている。

また、基板ホルダー 16 内には、ヒーター 23 が設けられており、薄膜を形成する際にヒーター 23 に通電し、基板温度を調整することが可能である。

[0015] 真空槽 20 にはガス導入口 12 と真空排気口 13 とが設けられている。ガス導入口 12 にはスパッタリングガスが充填されたガスボンベが接続され、真空排気口 13 には、真空ポンプが接続されている（ただし、図 2 には、ガスボンベと真空ポンプを図示していない）。

[0016] 上述したように、成膜チャンバ 4 a と成膜チャンバ 4 b とは同様の構成を有しているが、成膜する材質に応じてターゲットの材質も変更される。本実施の形態においては、成膜チャンバ 4 a のターゲット 15 は、チタン（Ti）から形成されており、成膜チャンバ 4 b のターゲット 15 は、Cu から形成されている。

[0017] 次に、この成膜装置 1 を用いて成膜する工程について説明する。

搬送室 2、各成膜チャンバ 4 a、4 b、および温度調整チャンバ 5 の内部は予め減圧され、チャンバ内に存在するガスが除去されている。

まず、ホール H が形成された基板 17 を複数枚カセットに配置し、基板 17 が配置されたカセットをロードロックチャンバ 3 内部に配置する。

所定圧力の真空雰囲気となるようにロードロックチャンバ 3 の内部を減圧してチャンバ内に存在するガスを除去し、ロードロックチャンバ 3 から基板 17 を取り出し、成膜チャンバ 4 a（バリアメタル成膜用のチャンバ）に搬入する。

[0018] 成膜チャンバ4 aには、ターゲットとしてTiターゲット15が配置されている。

基板17を基板ホルダー16に静電吸着させた後、基板17の温度が200℃以上、450℃以下となるようにヒーター23を制御する。

基板17は、静電吸着によって基板ホルダー16に取り付けられているため、基板17の温度は基板ホルダー16と略同じになる。よって、ヒーター23を用いて基板ホルダー16の温度を調整することによって、基板17の温度を制御することが可能になる。

図示しない放射温度計などの温度計を用いて、基板17の温度が上記範囲となったことを確認した後、所定圧力の成膜雰囲気となるように成膜チャンバ4 aを減圧し、チャンバに存在するガスを除去しながら、スパッタリングガスを成膜チャンバ4 a内部に供給する。基板17にバイアス電圧を印加し、ターゲット15をスパッタリングすると、スパッタ粒子は基板17表面に略垂直に入射するため、スパッタ粒子はトレンチT周囲の基板17表面上だけでなく、ホールHの内部にも入射し、Tiからなるバリアメタル膜Bが形成される。バリアメタル膜Bの膜厚は5 nm～10 nm程度が好ましい。

[0019] バリアメタル膜として使用される材料は、機械強度が大きい、緻密な膜形成が可能、配線層と基板との間のバリア効果を有する、電気抵抗が低い、などの特徴を有する材料であれば、上記したようなTiに限ることはない。例えば、TiN、TiWなどのTi化合物、またはCo、Re、Ru、Sn、W、WN、Zr、ZrN、Hf、HfNなどもバリアメタル膜の材料として採用することができる。

[0020] 次に、基板17を温度調整チャンバ5に搬入し、図示しない冷却装置を用いて、基板17の温度が-20℃～60℃となるように基板17を冷却する。

なお、この工程は必ずしも実施する必要はなく、基板17を自然冷却したり、または成膜チャンバに別途冷却装置を設けて基板17を冷却してもよい。

[0021] 次に、基板 17 を成膜チャンバ 4 b に搬入する。成膜チャンバ 4 b には、ターゲットとして Cu ターゲット 15 が配置されている。

基板 17 を基板ホルダー 16 に静電吸着させた後、上述したバリアメタル膜 B を形成する方法と同様の方法で、Cu のスパッタリングを行う。Cu からなる薄膜の厚さは 25 nm 程度が好ましい。

[0022] 上記成膜装置 1 では、基板 17 の温度が 200℃以上、450℃以下となるように温度制御を行い、バリアメタル膜を形成することによって、ホールの開口部にオーバーハングを発生させることなく、バリアメタル膜を形成することができる。

[0023] (実験例)

以下、本発明の成膜方法について行った実験例について説明する。図 1 に示す成膜装置 1 を用い、高アスペクト比のホールが形成されている基板上に Ti からなるバリアメタル膜及び Cu 膜を成膜した。

基板 17 として、φ300mm の Si ウエハ表面全体に亘ってシリコン酸化物膜を形成した後、このシリコン酸化物膜中に公知の方法で微細ホール（孔径 100nm、深さ 400nm）が形成された基板を用いた。また、Ti ターゲットとして、スパッタ面の径が φ400mm に作製したターゲットを用いた。ターゲットと基板との間の距離を 400mm に設定した。

[0024] さらに、成膜条件として、スパッタガスとして Ar を用い、3～15 sccm の流量で導入した。また、Ti ターゲットへの投入電力を 18 kW（電流 30 A）に設定してバリアメタル膜 30 nm の成膜を行った。

このとき、基板 17 の温度を 50℃～550℃に変化させてバリアメタル膜の成膜を行い、薄膜の変化について観察した。第 1 の評価項目においては、ホールの開口部のオーバーハングの発生の有無を評価し、第 2 の評価項目においては、バリアメタル膜の膜質を評価した。

[0025] 表 1 は、上記のオーバーハングの発生とバリアメタル膜の膜質についての評価結果を示す。

表 1 のオーバーハングの項目について、記号「◎」はオーバーハングが発

生しておらず、80 nm以上の十分な最小開口が確保されていることを示し、即ち、最良な結果が得られたことを示す。記号「○」ややオーバーハングが発生しているが、70 nm以上の最小開口が確保されていることを示し、即ち、良好な結果が得られたことを示す。記号「×」は、オーバーハングが発生し、最小開口が70 nm以下となっていることを示し、即ち、不良な結果が得られたことを示す。

膜質の項目については、記号「◎」は、膜質に問題がないことを示し、即ち、最良な結果が得られたことを示す。記号「○」は、薄膜の一部が酸化するなど問題が、良好な結果が得られたことを示す。記号「×」は、薄膜の大部分が基板と反応、拡散または酸化するなどしてバリアメタル膜としての機能を果たすことができないことを示し、即ち、不良な結果が得られたことを示す。薄膜の酸化は、残留ガスや基板から放出された水蒸気が原因であると考えられる。

[0026] [表1]

|                      | Ti成膜時の基板温度 [°C] |     |     |     |     |     |     |     |     |     |     |
|----------------------|-----------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
|                      | 50              | 100 | 150 | 200 | 250 | 300 | 350 | 400 | 450 | 500 | 550 |
| オーバーハング<br>(第1の評価項目) | ×               | ×   | ○   | ◎   | ◎   | ◎   | ◎   | ◎   | ◎   | ◎   | ◎   |
| バリア膜の膜質<br>(第2の評価項目) | ◎               | ◎   | ◎   | ◎   | ◎   | ◎   | ◎   | ◎   | ◎   | ○   | ×   |

[0027] 表1から明らかなように、基板温度が200°C～450°Cの範囲においては、オーバーハング、及び膜質ともに、最良の評価「◎」が得られ、この温度範囲がTiバリアメタル膜の成膜に適していることがわかった。

150°Cの基板温度においては、最小開口が約70 nmとやや狭かったものの、良好な膜質であった。

500°Cの基板温度においては、薄膜がやや酸化していたものの、ホールの開口部にはオーバーハングは発生しなかった。

[0028] 図4Aおよび図4Bは、ホールを上面から撮影した電子顕微鏡写真であり、図4Aは、室温（10°C～20°C）でバリアメタル膜を成膜したホールの

上面写真であり、図 4 B は、基板温度 350℃でバリアメタル膜を成膜したホールの上上面写真である。

図 4 A および図 4 B を見ると、基板温度を室温と同程度に保持した状態で、バリアメタル膜を成膜した場合（図 4 A）と比較して、基板温度を 350℃において、バリアメタル膜を成膜した場合（図 4 B）は、開口形状が大きくなっていることがわかる。参考までに、図 4 A の開口部の直径は 40 nm であり、図 4 B の開口部の直径は 80 nm である。

図 3 A および図 3 B は、ホールの模式的断面図であり、図 3 A は、室温（10℃～20℃）でバリアメタル膜を成膜したホールの模式的断面図であり、図 4 B は、基板温度 350℃でバリアメタル膜を成膜したホールの模式的断面図である。

図 3 A および図 3 B を見ると、ホールの開口部にオーバーハングが発生しており、この状態で、Cu の成膜を行った場合、ホールの側壁部に Cu からなるスパッタ粒子が付着しにくくなり、側壁部の被膜性が悪化する。

一方、図 3 B のような形状であると、開口が広がった分、側壁部にスパッタ粒子付着しやすくなり、側壁部の被膜性が向上する。

[0029] なお、本実験例においては、ホールが形成された基板に対してバリアメタル膜の成膜を行ったが、高アスペクト比のトレンチに対して同様の条件でバリアメタル膜の成膜を行った場合も、オーバーハングがなく、高い被膜性を実現することができた。

### 産業上の利用可能性

[0030] 本発明の成膜方法は、基板上に形成された高アスペクト比のホールやトレンチ、微細パターンに対しバリアメタル膜を形成する際において、ホールやトレンチの開口部にオーバーハングが発生するのを抑制することができる形成方法であり、半導体デバイスの製作におけるバリアメタル膜の成膜に特に好適に適用することができる。その他、表面に微細な孔又は溝が形成された基板に対してチタン又はチタン化合物からなるバリアメタル膜を形成するための方法として本発明は利用可能である。

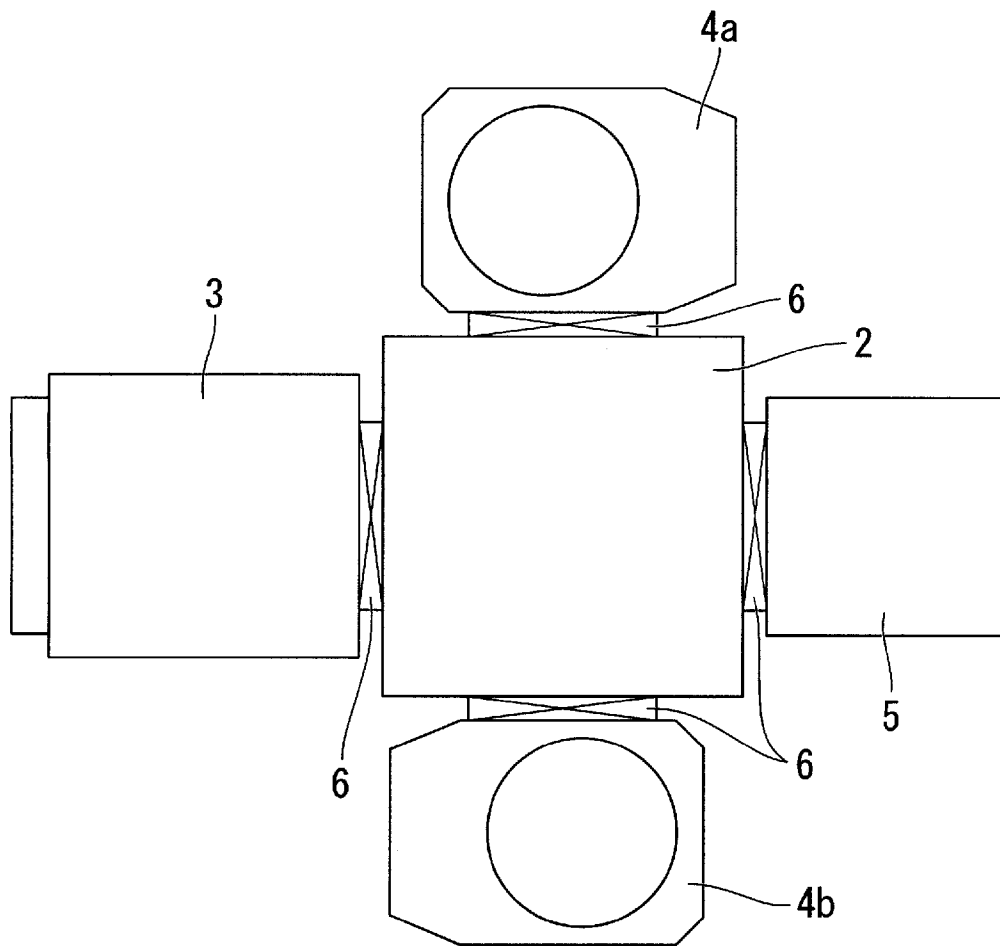
## 符号の説明

[0031] B…バリアメタル層、H…ホール、1…成膜装置、2…搬送室、3…ロード  
ロックチャンバ、4 a, 4 b…成膜チャンバ、5…温度調整チャンバ、14  
…カソード電極、15…ターゲット、16…基板ホルダー、17…基板、1  
8…磁気回路、20…真空槽、21…基板電極、23…ヒーター

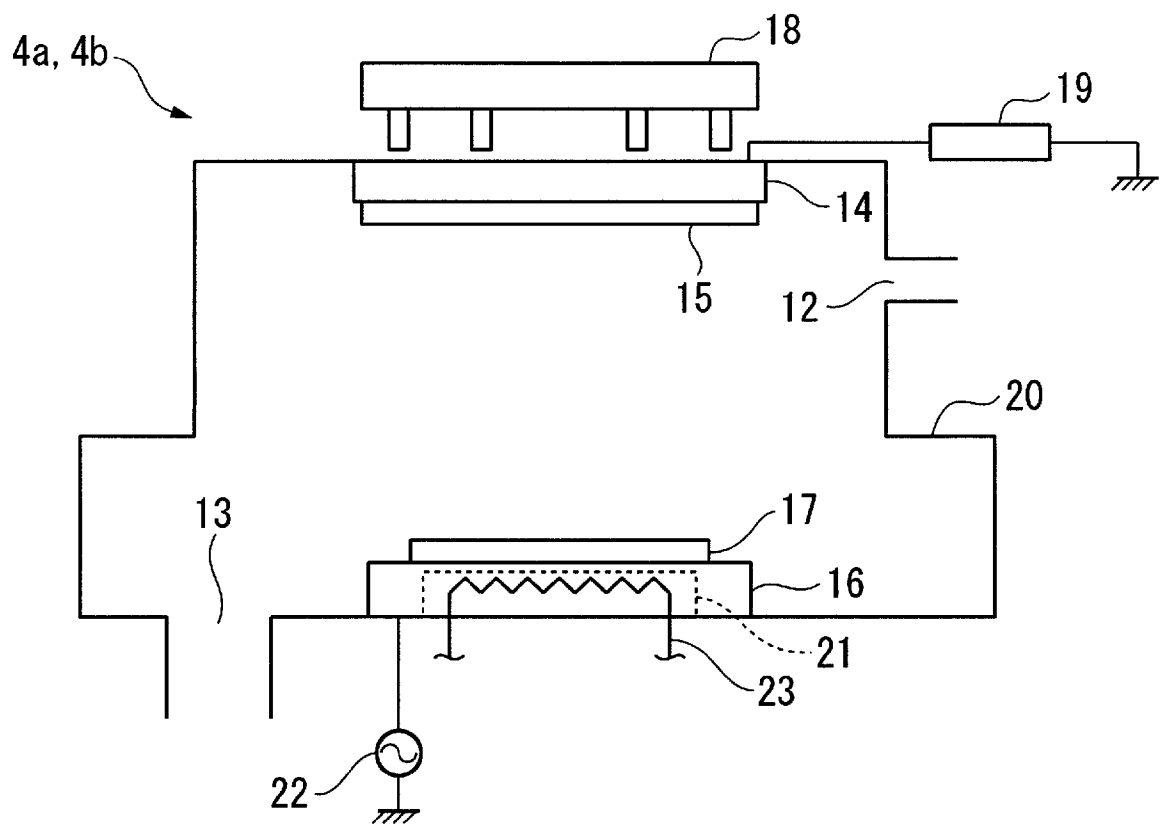
### 請求の範囲

- [請求項1]           表面に微細な孔又は溝が形成された基板を準備し、  
                  前記基板の温度が150℃以上、500℃以下の範囲に設定された  
                  状態で、前記基板に対してチタン又はチタン化合物からなるバリアメ  
                  タル膜を形成する  
                  ことを特徴とするバリアメタル膜の形成方法。
- [請求項2]           前記バリアメタル膜を形成する際には、前記基板の温度を200℃  
                  以上、450℃以下の範囲とすることを特徴とする請求項1に記載の  
                  バリアメタル膜の形成方法。
- [請求項3]           前記基板に前記バリアメタル膜を形成する際には、スパッタ法が用  
                  いられることを特徴とする請求項1又は2に記載のバリアメタル膜の  
                  形成方法。

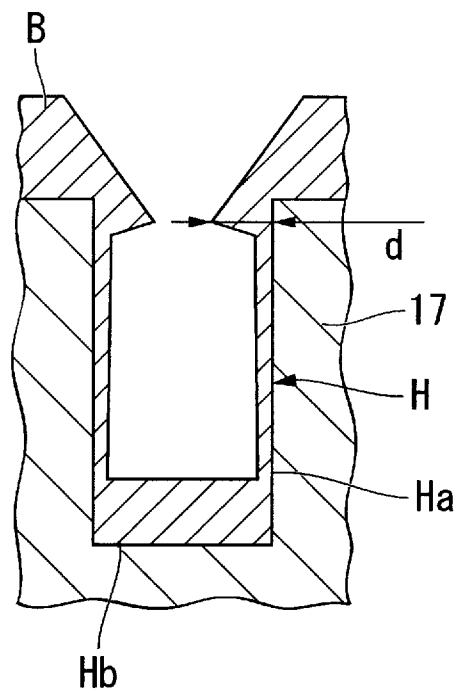
[図1]



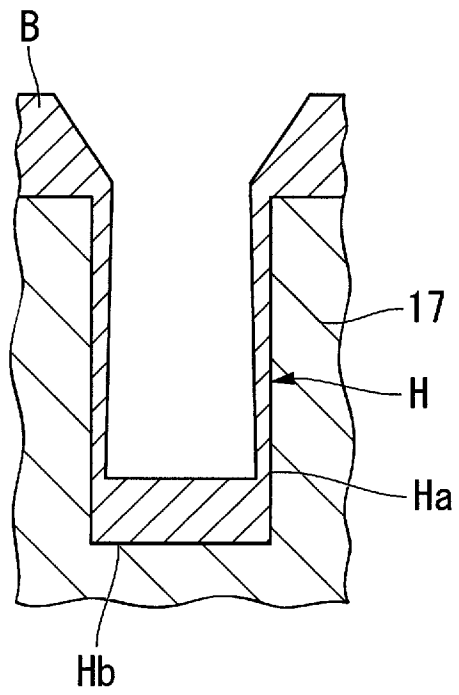
[図2]



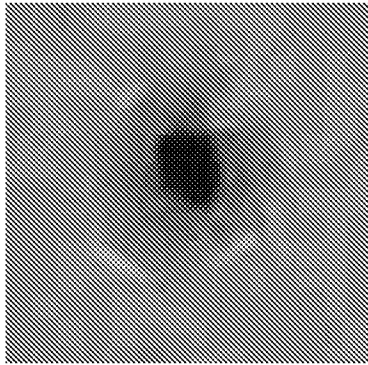
[図3A]



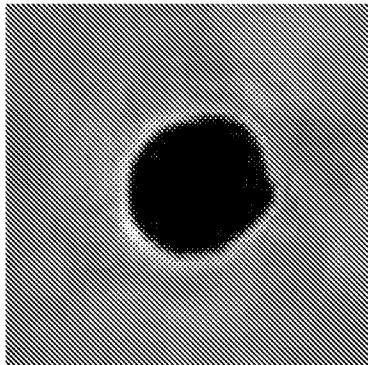
[図3B]



[図4A]



[図4B]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/065942

## A. CLASSIFICATION OF SUBJECT MATTER

C23C14/34(2006.01)i, H01L21/28(2006.01)i, H01L21/285(2006.01)i,  
H01L21/3205(2006.01)i, H01L23/52(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

C23C14/34, H01L21/28, H01L21/285, H01L21/3205, H01L23/52

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2010 |
| Kokai Jitsuyo Shinan Koho | 1971-2010 | Toroku Jitsuyo Shinan Koho | 1994-2010 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                         | Relevant to claim No. |
|-----------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| X         | JP 2006-156716 A (Renesas Technology Corp.),<br>15 June 2006 (15.06.2006),<br>claim 7; paragraph [0032]; fig. 3<br>& US 2006/0113676 A1                                                    | 1-3                   |
| A         | JP 2008-172018 A (Elpida Memory, Inc.),<br>24 July 2008 (24.07.2008),<br>claims 1 to 4, 6; paragraphs [0012], [0015];<br>fig. 2C<br>& US 2008/0169570 A1                                   | 1-3                   |
| A         | US 6274483 B1 (Taiwan Semiconductor<br>Manufacturing Co.),<br>14 August 2001 (14.08.2001),<br>column 8, lines 11 to 42; column 8, line 62 to<br>column 9, line 4; fig. 7<br>(Family: none) | 1-3                   |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

01 October, 2010 (01.10.10)

Date of mailing of the international search report

12 October, 2010 (12.10.10)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. C23C14/34(2006.01)i, H01L21/28(2006.01)i, H01L21/285(2006.01)i, H01L21/3205(2006.01)i, H01L23/52(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. C23C14/34, H01L21/28, H01L21/285, H01L21/3205, H01L23/52

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 0 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 0 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 0 年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

WPI

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                           | 関連する<br>請求項の番号 |
|-----------------|-------------------------------------------------------------------------------------------------------------|----------------|
| X               | JP 2006-156716 A (株式会社ルネサステクノロジ)<br>2006.06.15, 請求項 7, 段落【0032】, 【図 3】<br>& US 2006/0113676 A1              | 1-3            |
| A               | JP 2008-172018 A (エルピーダメモリ株式会社)<br>2008.07.24, 請求項 1-4, 6, 段落【0012】, 【0015】, 【図 2C】<br>& US 2008/0169570 A1 | 1-3            |

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

0 1 . 1 0 . 2 0 1 0

国際調査報告の発送日

1 2 . 1 0 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

田 中 則 充

4 G

4 8 6 1

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 1 6

| C (続き) . 関連すると認められる文献 |                                                                                                                              |                |
|-----------------------|------------------------------------------------------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                            | 関連する<br>請求項の番号 |
| A                     | US 6274483 B1 (Taiwan Semiconductor Manufacturing Company)<br>2001.08.14, 第8欄第11-42行, 第8欄第62行-第9欄第4行,<br>Fig. 7<br>(ファミリーなし) | 1-3            |