

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-6056

(P2006-6056A)

(43) 公開日 平成18年1月5日(2006.1.5)

|                             |            |   |             |
|-----------------------------|------------|---|-------------|
| (51) Int. Cl.               | F I        |   | テーマコード (参考) |
| <b>HO2M 3/07 (2006.01)</b>  | HO2M 3/07  |   | 5H730       |
| <b>HO3F 3/345 (2006.01)</b> | HO3F 3/345 | B | 5J022       |
| <b>HO3M 1/74 (2006.01)</b>  | HO3M 1/74  |   | 5J500       |

審査請求 未請求 請求項の数 10 O L (全 21 頁)

(21) 出願番号 特願2004-181354 (P2004-181354)  
 (22) 出願日 平成16年6月18日 (2004.6.18)

(71) 出願人 000006013  
 三菱電機株式会社  
 東京都千代田区丸の内二丁目2番3号  
 (74) 代理人 100064746  
 弁理士 深見 久郎  
 (74) 代理人 100085132  
 弁理士 森田 俊雄  
 (74) 代理人 100083703  
 弁理士 仲村 義平  
 (74) 代理人 100096781  
 弁理士 堀井 豊  
 (74) 代理人 100098316  
 弁理士 野田 久登  
 (74) 代理人 100109162  
 弁理士 酒井 将行

最終頁に続く

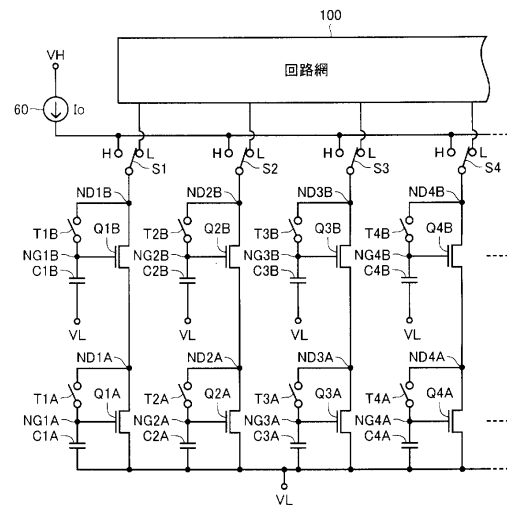
(54) 【発明の名称】 電流源回路およびそれを備えたデジタルアナログ変換回路ならびに画像表示装置

(57) 【要約】

【課題】 回路を構成するトランジスタの特性の影響を排除した電流源回路を提供する。

【解決手段】 ブランキング期間においてスイッチ回路  $S_i$  ( $i$  は  $n$  以下の自然数) はトランジスタ  $Q_{iB}$  のドレインと定電流源  $60$  とを結合する。スイッチ回路  $T_{iA}$ ,  $T_{iB}$  もオンし、各トランジスタ  $Q_{iA}$ ,  $Q_{iB}$  をダイオード接続する。定電流源  $60$  から電源電圧  $V_L$  に至る電流経路に基準電流  $I_0$  が駆動され、容量素子  $C_{iB}$ ,  $C_{iA}$  は基準電流  $I_0$  に応じた電荷を格納する。動作期間になると、スイッチ回路  $S_i$  はトランジスタ  $Q_{iB}$  のドレインと回路網  $100$  とを結合する。スイッチ回路  $T_{iB}$ ,  $T_{iA}$  はオフとなる。トランジスタ  $Q_{iB}$ 、容量素子  $C_{iB}$  およびスイッチ回路  $T_{iB}$  は、電流源トランジスタ  $Q_{iA}$  のドレイン電圧の上昇を抑えるドレイン電圧上昇制限回路を構成し、回路網  $100$  には基準電流レベル  $I_0$  に等しい電流が供給される。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

基準電流に応じた電流を回路網に供給する電流源回路であって、

第 1 のモードにおいて、第 1 の電圧源と電氣的に結合されて前記基準電流を流入または流出し、前記第 1 のモードの後に実行される第 2 のモードにおいて、前記第 1 の電圧源と電氣的に分離されるとともに、前記回路網と電氣的に結合されるノードと、

前記ノードと第 2 の電圧源との間に接続され、前記第 1 のモードにおいて、前記ノードに流入または流出される前記基準電流が通過するとともに、前記第 2 のモードにおいて、通過した前記基準電流に応じた電流を前記回路網に駆動する電流駆動部とを備え、

前記電流駆動部は、

前記ノードと前記第 2 の電圧源との間に直列に接続され、前記第 1 のモードにおいて、前記基準電流が通過する第 1 および第 2 のトランジスタと、

前記第 1 のモードにおいて、前記第 1 および第 2 のトランジスタのゲート電極に前記基準電流によって決定される電圧をそれぞれ保持するように接続される第 1 および第 2 の容量素子とを含む、電流源回路。

10

## 【請求項 2】

前記電流駆動部は、

前記第 1 および第 2 のトランジスタのゲート電極と第 1 の電極との間にそれぞれ配され、前記第 1 のモードにおいてオンする一方で、前記第 2 のモードにおいてオフする第 1 および第 2 のスイッチ素子をさらに含む、請求項 1 に記載の電流源回路。

20

## 【請求項 3】

前記第 1 のモードにおいて、前記ノードと前記第 1 の電圧源とを選択的に結合し、前記第 2 のモードにおいて、前記ノードと前記回路網とを選択的に結合する第 3 のスイッチ素子をさらに備える、請求項 2 に記載の電流源回路。

## 【請求項 4】

前記第 1 のトランジスタは、前記第 1 の電極が前記ノードに接続され、第 2 の電極が前記第 2 のトランジスタの前記第 1 の電極に接続され、

前記第 2 のトランジスタは、前記第 2 の電極が前記第 1 の電圧源に接続され、

前記第 1 および第 2 のスイッチ素子は、前記第 1 のモードにおいて、前記第 1 のスイッチ素子が、前記第 2 のスイッチ素子よりも少なくとも先にオフするように設定される、請求項 2 または 3 に記載の電流源回路。

30

## 【請求項 5】

$m$  ( $m$  は自然数) ビットからなるデジタル信号に対応する電流を回路網に供給するデジタルアナログ変換回路であって、

第 1 のモードにおいて、前記デジタル信号に応じて、各々が  $n$  ( $n$  は 2 以上の自然数) 進数で重み付けられた基準電流を供給する  $m$  個の定電流源と選択的に結合されて所望の電流を流入または流出し、前記第 1 のモードの後に実行される第 2 のモードにおいて、前記選択的に結合された定電流源と電氣的に分離されるとともに、前記回路網と電氣的に結合される  $m$  個のノードと、

前記  $m$  個の定電流源と前記  $m$  個のノードとの間にそれぞれ配され、前記  $m$  ビットからなるデジタル信号の各ビットに応じて、対応するノードと前記定電流源および前記回路網のいずれか一方とを電氣的に結合する  $m$  個のスイッチ素子と、

40

各前記  $m$  個のノードと第 2 の電圧源との間にそれぞれ接続され、前記第 1 のモードにおいて、前記対応するノードを流入または流出する前記基準電流が通過するとともに、前記第 2 のモードにおいて、通過した前記基準電流に応じた電流を前記回路網に駆動する  $m$  個の電流駆動部とを備え、

各前記  $m$  個の電流駆動部は、

前記ノードと前記第 2 の電圧源との間に直列に接続され、前記第 1 のモードにおいて、前記基準電流が通過する第 1 および第 2 のトランジスタと、

前記第 1 のモードにおいて、前記第 1 および第 2 のトランジスタのゲート電極に前記基

50

準電流によって決定される電圧をそれぞれ保持するように接続される第1および第2の容量素子とを含む、デジタルアナログ変換回路。

【請求項6】

各前記m個の電流駆動部は、

前記第1および第2のトランジスタのゲート電極と第1の電極との間にそれぞれ配され、前記第1のモードにおいてオンする一方で、前記第2のモードにおいてオフする第1および第2のスイッチ素子をさらに含む、請求項5に記載のデジタルアナログ変換回路。

【請求項7】

前記第1のトランジスタは、前記第1の電極が前記ノードに接続され、第2の電極が前記第2のトランジスタの前記第1の電極に接続され、

10

前記第2のトランジスタは、前記第2の電極が前記第1の電圧源に接続され、

前記第1および第2のスイッチ素子は、前記第1のモードにおいて、前記第1のスイッチ素子が、前記第2のスイッチ素子よりも少なくとも先にオフするように設定される、請求項6に記載のデジタルアナログ変換回路。

【請求項8】

行列状に配列され、各々が電流駆動型発光素子を備える複数の画素回路と、

前記複数の画素回路の行にそれぞれ対応して配置され、一定周期で順に選択される複数の走査線と、

前記複数の画素回路の列に対応して配置される複数のデータ線と、

各前記複数のデータ線に対応して配置され、前記複数の画素回路のうちの走査対象の画素回路での表示輝度を指示するk(kは自然数)ビットの表示信号に対応して設定される表示電流を各前記複数のデータ線に供給する電流源回路とを備え、

20

前記電流源回路は、

第1のモードにおいて、前記表示信号に応じて、各々がn進数で重み付けられた基準電流を供給するk個(kは自然数)の定電流源と選択的に結合されて所望の電流を流入または流出し、前記第1のモードの後に実行される第2のモードにおいて、前記選択的に結合された定電流源と電氣的に分離されるとともに、前記回路網と電氣的に結合されるk個のノードと、

前記k個の定電流源と前記k個のノードとの間にそれぞれ配され、前記kビットの表示信号の各ビットに応じて、対応するノードと前記定電流源および前記回路網のいずれか一方とを電氣的に結合するk個のスイッチ素子と、

30

各前記k個のノードと第2の電圧源との間に接続され、前記第1のモードにおいて、前記対応するノードを流入または流出する前記基準電流が通過するとともに、前記第2のモードにおいて、通過した前記基準電流に応じた電流を前記回路網に駆動するk個の電流駆動部とを含み、

各前記k個の電流駆動部は、

前記ノードと前記第2の電圧源との間に直列に接続され、前記第1のモードにおいて、前記基準電流が通過する第1および第2のトランジスタと、

前記第1のモードにおいて、前記第1および第2のトランジスタのゲート電極に前記基準電流によって決定される電圧をそれぞれ保持するように接続される第1および第2の容量素子とを含む、画像表示装置。

40

【請求項9】

各前記k個の電流駆動部は、

前記第1および第2のトランジスタのゲート電極と第1の電極との間にそれぞれ配され、前記第1のモードにおいてオンする一方で、前記第2のモードにおいてオフする第1および第2のスイッチ素子をさらに含む、請求項8に記載の画像表示装置。

【請求項10】

前記第1のトランジスタは、前記第1の電極が前記ノードに接続され、第2の電極が前記第2のトランジスタの前記第1の電極に接続され、

前記第2のトランジスタは、前記第2の電極が前記第1の電圧源に接続され、

50

前記第1および第2のスイッチ素子は、前記第1のモードにおいて、前記第1のスイッチ素子が、前記第2のスイッチ素子よりも少なくとも先にオフするように設定される、請求項9に記載の画像表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、電流源回路、およびそれを備えたデジタルアナログ変換回路ならびに画像表示装置に関し、特に、回路網に指示された電流を供給する電流源回路およびそれを備えたデジタルアナログ変換回路ならびに画像表示装置に関する。

【背景技術】

【0002】

負荷の変動とは無関係に一定の電流を流す電流源回路は、半導体集積回路における基本的かつ最も重要な回路の1つである。

【0003】

電流源回路においては、従来より、カレントミラー型の回路が一般的に用いられる。カレントミラー型の電流源回路においては、それぞれのゲートが接続された2つのトランジスタの一方のトランジスタがダイオード接続され、そのトランジスタに流れる一定の基準電流に対して両トランジスタの能力比（具体的にはチャネル幅の比）倍の一定電流を独立した電位にある負荷回路と接続された他方のトランジスタに流すことができる。

【0004】

このカレントミラー型の電流源回路において、電流の設定精度は、カレントミラーを構成するトランジスタの電流駆動能力が設計どおりであるか否かによる。一般に、トランジスタの駆動電流の設定精度は、トランジスタの製造プロセスによって定まるコンダクタンスおよび電源電圧の影響を受けるほか、そのトランジスタのしきい値電圧の影響を受ける。

【0005】

したがって、カレントミラー型の電流源回路においては、高い電流設定精度を保持するため、トランジスタのしきい値電圧のばらつきを抑えることが課題となっていた。

【0006】

そこで、最近では、トランジスタのしきい値電圧のばらつきの影響を受けず、常に所定の電流を供給可能な電流源回路が提案されている（たとえば特許文献1参照）。

【0007】

図9は、たとえば特許文献1に記載される、従来の電流源回路の一例を示す回路図である。

【0008】

図9を参照して、電流源回路は、回路網100に並列に接続される複数個の電流源トランジスタ $M_1, M_2 \dots M_n$  ( $n$ は自然数)と、各電流源トランジスタ $M_1 \sim M_n$ のドレインと定電流源60および回路網100のいずれか一方と選択的に結合する複数個のスイッチ回路 $S_1 \sim S_n$ とを備える。

【0009】

電流源回路は、電流源トランジスタ $M_1 \sim M_n$ の各々について、ドレインとゲートとの間を電氣的に結合/分離するスイッチ回路 $W_1 \sim W_n$ と、ゲートとソースとの間に結合される容量素子 $C_1 \sim C_n$ とをさらに備える。なお、電流源トランジスタ $M_1 \sim M_n$ のソースは、電源電圧 $V_L$ に共通に接続される。電源電圧 $V_L$ には、接地電圧または所定の負電圧が印加される。

【0010】

この構成において、動作期間以外の任意の期間（以下、ブランキング期間とも称する）には、スイッチ回路 $S_1 \sim S_n$ によって、電流源トランジスタ $M_1 \sim M_n$ のドレインと定電流源とがそれぞれ結合される。さらに、スイッチ回路 $W_1 \sim W_n$ によって、電流源トランジスタ $M_1 \sim M_n$ のドレインとゲートとがそれぞれ結合される。これによって、定電流

10

20

30

40

50

源 60 からの所定の基準電流  $I_0$  が電流源トランジスタ  $M_1 \sim M_n$  の各々に駆動される。このとき、容量素子  $C_1 \sim C_n$  には、基準電流  $I_0$  に応じた電荷が充電される。

【0011】

所望の動作期間においては、スイッチ回路  $S_1 \sim S_n$  によって、電流源トランジスタ  $M_1 \sim M_n$  のドレインと回路網 100 とがそれぞれ結合される。電流源トランジスタ  $M_1 \sim M_n$  は、容量素子  $C_1 \sim C_n$  に充電された電荷に基づいて電流  $I_1 \sim I_n (= I_0)$  が駆動される。これにより、回路網 100 には、一定の電流  $I_0$  が供給されることになる。

【0012】

このように、電流源回路では、任意の期間に定電流源からの基準電流を能動素子および容量成分に記憶させ、所望の動作期間に、この記憶された電荷に基づいて電流を発生させることにより、ばらつきのない所定の電流を回路網に供給することができる。

10

【特許文献1】実開昭62-122488号公報(第1図)

【発明の開示】

【発明が解決しようとする課題】

【0013】

ここで、図9の電流源回路に用いられる電流源トランジスタとしては、MOS (Metal Oxide Semiconductor) トランジスタ等の電界効果型トランジスタが一般的に採用される。

【0014】

図10は、一般的な電界効果型トランジスタにおけるドレイン・ソース間電流  $I_{DS}$  とドレイン・ソース間電圧  $V_{DS}$  との関係を示す図である。

20

【0015】

図10を参照して、動作領域は、非飽和領域と飽和領域とに大別される。非飽和領域は、 $V_{DS}$  とともに  $I_{DS}$  が増加する領域である。一方、飽和領域は、 $V_{DS}$  とは無関係に  $V_{GS}$  だけで定まる定電流特性を示す領域である。

【0016】

ここで、図10中の点線で示す直流特性は、寸法が十分大きい理想的なトランジスタの特性である。実際の微細トランジスタは、実線で示すように、形状効果のためチャンネル長、チャンネル幅や電源電圧によってさらに複雑な特性を示すことが知られている。

【0017】

理想的なトランジスタは、点線で示すように、 $I_{DS}$  がいったん飽和すると、 $V_{DS}$  を増加しても  $I_{DS}$  は変わらない。これに対して、実際のトランジスタでは、飽和領域においても  $I_{DS}$  が  $V_{DS}$  とともにわずかに増加する、いわゆるチャンネル変調が現われる。これは、ドレインの空乏層端がソース側に動き、実効的にチャンネル長が短くなることによる。このチャンネル変調によって、飽和領域では、ドレイン・ソース間にある抵抗成分  $r$  が現われる。この抵抗成分  $r$  は、ドレイン・ソース間のチャンネルコンダクタンスの逆数に相当する。

30

【0018】

図9の電流源回路において、ブランキング期間にスイッチ回路  $S_1 \sim S_n$  が定電流源 60 側に接続されると、対応する電流源トランジスタ  $M_1 \sim M_n$  にはそれぞれ、基準電流  $I_0$  が駆動される。図10の直流特性において、基準電流  $I_0$  を  $I_{DS1}$  とすると、対応するドレイン・ソース間電圧  $V_{DS1}$  が一意的に求まる。

40

【0019】

続いて、スイッチ回路  $W_1 \sim W_n$  がオフされると、ドレイン・ソース間電圧  $V_{DS1}$  がゲート・ソース間電圧  $V_{GS}$  として容量素子  $C_1 \sim C_n$  にそれぞれ充電される。

【0020】

次に、動作期間において、スイッチ回路  $S_1 \sim S_n$  が回路網 100 側に接続されると、回路網 100 側から電流源トランジスタ  $M_1 \sim M_n$  のドレインに電圧が供給され、基準電流  $I_0$  と同じ大きさの電流が流れるように動作が行なわれる。

【0021】

50

ところが、実際には、回路網100側から供給される電圧を図10に示す $V_{DS2}$ とすると、電流源トランジスタ $M_1 \sim M_n$ には、ドレイン・ソース間電流 $I_{DS2}$ が駆動される。この $I_{DS2}$ は、先述のチャンネル変調によって、基準電流 $I_0$ である $I_{DS1}$ とは一致せず、増大していることが分かる。

【0022】

図9の電流源回路に照らして、回路網100に並列に接続される電流源トランジスタ $M_1 \sim M_n$ が互いに等しい抵抗成分 $r$ 、すなわちチャンネルコンダクタンスを有していれば、 $I_{DS}$ の増加分は電流源トランジスタ間で等しくなり、各電流源トランジスタから回路網100に供給される電流を均一に保つことができる。

【0023】

しかしながら、実際には、電流源トランジスタごとに抵抗成分 $r$ の大きさが異なることから、回路網100に供給される電流は、電流源トランジスタ間で一致せず、所定の電流を供給できないといった問題が生じてしまう。

【0024】

この発明は、かかる課題を解決するためになされたものであり、その目的は、回路を構成するトランジスタの特性の影響を排除した電流源回路を提供することである。

【0025】

この発明の別の目的は、回路を構成するトランジスタの特性の影響を排除したデジタルアナログ変換回路を提供することである。

【0026】

この発明の別の目的は、回路を構成するトランジスタの特性の影響を排除した電流源回路を備える画像表示回路を提供することである。

【課題を解決するための手段】

【0027】

この発明に従う電流源回路は、基準電流に応じた電流を回路網に供給する電流源回路であって、第1のモードにおいて、第1の電圧源と電気的に結合されて前記基準電流を流入または流出し、前記第1のモードの後に実行される第2のモードにおいて、前記第1の電圧源と電気的に分離されるとともに、前記回路網と電気的に結合されるノードと、前記ノードと第2の電圧源との間に接続され、前記第1のモードにおいて、前記ノードに流入または流出される前記基準電流が通過するとともに、前記第2のモードにおいて、通過した前記基準電流に応じた電流を前記回路網に駆動する電流駆動部とを備える。前記電流駆動部は、前記ノードと前記第2の電圧源との間に直列に接続され、前記第1のモードにおいて、前記基準電流が通過する第1および第2のトランジスタと、前記第1のモードにおいて、前記第1および第2のトランジスタのゲート電極に前記基準電流によって決定される電圧をそれぞれ保持するように接続される第1および第2の容量素子とを含む。

【0028】

この発明に従うデジタルアナログ変換回路は、 $m$  ( $m$ は自然数)ビットからなるデジタル信号に対応する電流を回路網に供給するデジタルアナログ変換回路であって、第1のモードにおいて、前記デジタル信号に応じて、各々が $n$  ( $n$ は2以上の自然数)進数で重み付けられた基準電流を供給する $m$ 個の定電流源と選択的に結合されて所望の電流を流入または流出し、前記第1のモードの後に実行される第2のモードにおいて、前記選択的に結合された定電流源と電気的に分離されるとともに、前記回路網と電気的に結合される $m$ 個のノードと、前記 $m$ 個の定電流源と前記 $m$ 個のノードとの間にそれぞれ配され、前記 $m$ ビットからなるデジタル信号の各ビットに応じて、対応するノードと前記定電流源および前記回路網のいずれか一方とを電気的に結合する $m$ 個のスイッチ素子と、各前記 $m$ 個のノードと第2の電圧源との間にそれぞれ接続され、前記第1のモードにおいて、前記対応するノードを流入または流出する前記基準電流が通過するとともに、前記第2のモードにおいて、通過した前記基準電流に応じた電流を前記回路網に駆動する $m$ 個の電流駆動部とを備える。各前記 $m$ 個の電流駆動部は、前記ノードと前記第2の電圧源との間に直列に接続され、前記第1のモードにおいて、前記基準電流が通過する第1および第2のトランジスタ

10

20

30

40

50

と、前記第 1 のモードにおいて、前記第 1 および第 2 のトランジスタのゲート電極に前記基準電流によって決定される電圧をそれぞれ保持するように接続される第 1 および第 2 の容量素子とを含む。

【0029】

この発明に従う画像表示装置は、行列状に配列され、各々が電流駆動型発光素子を備える複数の画素回路と、前記複数の画素回路の行にそれぞれ対応して配置され、一定周期で順に選択される複数の走査線と、前記複数の画素回路の列に対応して配置される複数のデータ線と、各前記複数のデータ線に対応して配置され、前記複数の画素回路のうちの走査対象の画素回路での表示輝度を指示する  $k$  ( $k$  は自然数) ビットの表示信号に対応して設定される表示電流を各前記複数のデータ線に供給する電流源回路とを備える。前記電流源回路は、第 1 のモードにおいて、前記表示信号に応じて、各々が  $n$  進数で重み付けられた基準電流を供給する  $k$  個 ( $k$  は自然数) の定電流源と選択的に結合されて所望の電流を流入または流出し、前記第 1 のモードの後に実行される第 2 のモードにおいて、前記選択的に結合された定電流源と電氣的に分離されるとともに、前記回路網と電氣的に結合される  $k$  個のノードと、前記  $k$  個の定電流源と前記  $k$  個のノードとの間にそれぞれ配され、前記  $k$  ビットの表示信号の各ビットに応じて、対応するノードと前記定電流源および前記回路網のいずれか一方とを電氣的に結合する  $k$  個のスイッチ素子と、各前記  $k$  個のノードと第 2 の電圧源との間に接続され、前記第 1 のモードにおいて、前記対応するノードを流入または流出する前記基準電流が通過するとともに、前記第 2 のモードにおいて、通過した前記基準電流に応じた電流を前記回路網に駆動する  $k$  個の電流駆動部とを含む。各前記  $k$  個の電流駆動部は、前記ノードと前記第 2 の電圧源との間に直列に接続され、前記第 1 のモードにおいて、前記基準電流が通過する第 1 および第 2 のトランジスタと、前記第 1 のモードにおいて、前記第 1 および第 2 のトランジスタのゲート電極に前記基準電流によって決定される電圧をそれぞれ保持するように接続される第 1 および第 2 の容量素子とを含む。

【発明の効果】

【0030】

この発明に従う電流源回路によれば、電流源トランジスタのドレイン・ソース間電圧の変化をほとんどなくして、回路網に所望の電流を精度良く供給することができる。

【0031】

この発明に従うデジタルアナログ変換回路によれば、入力されるデジタル信号によって指示される電流値に高い確度で変換された電流を供給することができる。

【0032】

この発明に従う画像表示装置によれば、画素回路に表示輝度に応じて設定された電流が高い精度を持って駆動されることから、電流源回路のトランジスタの特性の影響を排除し、駆動回路の誤動作および表示部における表示むらの発生を抑えることができる。

【発明を実施するための最良の形態】

【0033】

以下、この発明の実施の形態について図面を参照して詳しく説明する。なお、図中同一符号は同一または相当部分を示す。

【0034】

実施の形態 1 .

図 1 は、この発明の実施の形態 1 に従う電流源回路の構成を示す回路図である。

【0035】

図 1 を参照して、電流源回路は、回路網 100 に並列に接続される複数の電流源トランジスタ  $Q1A$  ,  $Q2A$  ,  $Q3A$  ,  $\dots$   $QnA$  と、各電流源トランジスタ  $Q1A \sim QnA$  のドレインと定電流源 60 および回路網 100 のいずれか一方と選択的に結合する複数のスイッチ回路  $S1 \sim Sn$  とを備える。なお、定電流源 60 については、本実施の形態のように電流源回路の外部に設ける構成以外にも、電流源回路の内部に設ける構成としても良い。

10

20

30

40

50

## 【0036】

スイッチ回路 $S_1 \sim S_n$ は、たとえば図1に示すように、図示しないH（論理ハイ）レベルの制御信号に応答して、対応するノード $ND_1B \sim$ ノード $ND_nB$ と定電流源60とを結合し、L（論理ロー）レベルの制御信号に応答して、対応するノード $ND_1B \sim ND_nB$ と回路網100とを結合する。

## 【0037】

電流源回路は、電流源トランジスタ $Q_1A \sim Q_nA$ の各々について、ドレインとゲートとの間を電氣的に結合/分離するスイッチ回路 $T_1A \sim T_nA$ と、ゲートとソースとの間に結合される容量素子 $C_1A \sim C_nA$ とをさらに備える。なお、各電流源トランジスタのソースは、電源電圧 $V_L$ に共通に接続される。電源電圧 $V_L$ には、接地電圧または所定の負電圧が印加される。

10

## 【0038】

電流源回路は、さらに、電流源トランジスタ $Q_1A \sim Q_nA$ のドレインとスイッチ回路 $S_1 \sim S_n$ との間にそれぞれ結合される複数のNチャンネルMOSトランジスタ $Q_1B \sim Q_nB$ を備える。

## 【0039】

NチャンネルMOSトランジスタ $Q_1B \sim Q_nB$ は、ドレインがスイッチ回路 $S_1 \sim S_n$ にそれぞれ接続され、ソースが電流源トランジスタ $Q_1A \sim Q_nA$ のドレインにそれぞれ接続される。

## 【0040】

電流源回路は、NチャンネルMOSトランジスタ $Q_1B \sim Q_nB$ のドレイン・ゲート間を電氣的に結合/分離するスイッチ回路 $T_1B \sim T_nB$ と、NチャンネルMOSトランジスタ $Q_1B \sim Q_nB$ のゲートと電源電圧 $V_L$ との間に結合される容量素子 $C_1B \sim C_nB$ とをさらに備える。

20

## 【0041】

本実施の形態に係る電流源回路は、図9に示す従来の電流源回路に対して、基本的な構成を同じくするが、電流源トランジスタ $Q_1A \sim Q_nA$ とスイッチ回路 $S_1 \sim S_n$ との間に、NチャンネルMOSトランジスタ $Q_1B \sim Q_nB$ と、スイッチ回路 $T_1B \sim T_nB$ と、容量素子 $C_1B \sim C_nB$ とが配される点において異なる。これらの回路素子は、後述するように、電流源トランジスタ $Q_1A \sim Q_nA$ のドレイン（ノード $ND_1A \sim$ ノード $ND_nA$ に相当）の電位の変動を抑える機能を有しており、電流源トランジスタのドレイン電圧上昇制限回路を構成する。

30

## 【0042】

以下に、図1の電流源回路の動作について説明する。

## 【0043】

最初に、任意のブランキング期間において、スイッチ回路 $S_1 \sim S_n$ の各々は、Hレベルの制御信号に応答して、NチャンネルMOSトランジスタ $Q_1B \sim Q_nB$ のドレインと定電流源60とを電氣的に結合する。

## 【0044】

このとき、図2に示すように、ブランキング期間の時刻 $t_0$ において、スイッチ回路 $T_1B \sim T_nB$ はオンし、NチャンネルMOSトランジスタ $Q_1B \sim Q_nB$ において、ドレインとゲートとが結合されたダイオード接続を形成する。さらに、スイッチ回路 $T_1A \sim T_nA$ もオンし、電流源トランジスタ $Q_1A \sim Q_nA$ において、ドレインとゲートとが結合されたダイオード接続を形成する。

40

## 【0045】

これにより、定電流源60～NチャンネルMOSトランジスタ（ $Q_1B \sim Q_nB$ ）～電流源トランジスタ（ $Q_1A \sim Q_nA$ ）～電源電圧 $V_L$ に至る電流経路が形成される。この電流経路において、両トランジスタは定電流源60と電源電圧 $V_L$ との間に直列接続されていることから、同じ電流 $I_0$ が駆動されることとなる。

## 【0046】

50

図3は、ブランキング期間における図1の定電流回路の等価回路図である。なお、説明の簡単のため、複数のトランジスタのうちの電流源トランジスタQ1AおよびNチャネルMOSトランジスタQ1Bについて抽出して示す。

【0047】

図3において、駆動電流 $I_0$ に着目すると、電流源トランジスタQ1Aでは、電流 $I_0$ とゲート・ソース間電圧 $V_{GS A}$ との間に式(1)の関係が成立する。

【0048】

$$I_0 = \frac{1}{2} \cdot \mu_n C_{ox} \frac{W}{L} (V_{GS A} - V_{TN})^2 \cdot \dots \quad (1)$$

同様に、NチャネルMOSトランジスタQ1Bにおいても、電流 $I_0$ とゲート・ソース間電圧 $V_{GS B}$ の間には、式(2)の関係が成り立つ。

10

【0049】

$$I_0 = \frac{1}{2} \cdot \mu_n C_{ox} \frac{W}{L} (V_{GS B} - V_{TN})^2 \cdot \dots \quad (2)$$

ここで、 $\mu_n$ は電流増幅係数、 $V_{TN}$ はトランジスタのしきい値電圧である。なお、簡単のため、電流源トランジスタとNチャネルMOSトランジスタとは、トランジスタサイズ(ゲート長 $L$ 、ゲート幅 $W$ )、しきい値電圧 $V_{TN}$ および電流増幅係数 $\mu_n$ が等しいものとする。

【0050】

式(1)、(2)より、

$$V_{GS A} = V_{TN} + \left( \frac{2 \cdot I_0}{\mu_n C_{ox} \frac{W}{L}} \right)^{1/2} \cdot \dots \quad (3)$$

$$V_{GS B} = V_{TN} + \left( \frac{2 \cdot I_0}{\mu_n C_{ox} \frac{W}{L}} \right)^{1/2} \cdot \dots \quad (4)$$

20

の関係がそれぞれ導かれる。式(3)、(4)から、ゲート・ソース間電圧 $V_{GS A}$ 、 $V_{GS B}$ は、トランジスタのしきい値電圧 $V_{TN}$ に駆動電流 $I_0$ による電圧上昇分が加算された形で表わされることが分かる。

【0051】

なお、各トランジスタにおいて、ゲートとドレインとがスイッチ回路T1A、T1Bによってダイオード接続されていることから、ドレイン・ソース間電圧 $V_{DS A}$ 、 $V_{DS B}$ は、ゲート・ソース間電圧 $V_{GS A}$ 、 $V_{GS B}$ とそれぞれ等電位となり、 $V_{TN} + \left( \frac{2 \cdot I_0}{\mu_n C_{ox} \frac{W}{L}} \right)^{1/2}$ が印加されることになる。

【0052】

以上のブランキング期間に続いて動作期間になると、スイッチ回路S1~Snは、Lレベルの制御信号に应答して、NチャネルMOSトランジスタQ1B~QnBのドレインと回路網100とをそれぞれ電氣的に結合する。

30

【0053】

このとき、図2に示すように、スイッチ回路T1B~TnBは、いずれもオフとなり、対応するNチャネルMOSトランジスタQ1B~QnBのドレインとゲートとを電氣的に分離する。スイッチ回路T1A~TnAについても同様に、いずれもオフとなり、対応する電流源トランジスタQ1A~QnAのドレインとゲートとを電氣的に分離する。

【0054】

なお、各スイッチがオフとなる時刻は、同時でもよいが、図2に示すように、スイッチT1B~TnBが先立って時刻 $t_1$ でオフし、続いてスイッチT1A~TnAが時刻 $t_2$  ( $> t_1$ )でオフするように設定することが望ましい。スイッチT1B~TnBが先にオフすることによって、ノードN1Aの電位レベルが低下し、このレベルがn型TFE素子のゲート電圧として保持されるのを回避するためである。

40

【0055】

再び図3を参照して、この状態において、回路網100から所定の電圧が供給されると、ノードND1Bの電位はそれぞれ上昇する。ここで、回路網100からの供給電圧を図9に示す $V_{DS 2}$ とすると、ノードND1Bの電位は先の $V_{DS}$ よりも増加する。図10のトランジスタ特性に示すように、 $V_{DS}$ の増加に応じて、チャンネル変調により、NチャネルMOSトランジスタQ1Bのドレイン・ソース間電流 $I_{DS}$ は、 $I_{DS 1}$ から $I_{DS 2}$ に増加しようとする。

50

## 【 0 0 5 6 】

仮にドレイン・ソース間電流  $I_{DS}$  が  $I_{DS2}$  に増加したとすれば、同じ電流  $I_{DS2}$  が電流源トランジスタ  $Q1A$  にも駆動されることから、ノード  $ND1A$  の電位も上昇することとなる。

## 【 0 0 5 7 】

しかしながら、ノード  $ND1A$  の電位が上昇すれば、 $N$ チャネル  $MOS$  トランジスタ  $Q1B$  のゲート・ソース間電圧  $V_{GSB}$  が減少することになる。このゲート・ソース間電圧  $V_{GSB}$  の減少は、 $N$ チャネル  $MOS$  トランジスタ  $Q1B$  のドレイン・ソース間電流  $I_{DS}$  を減少させる方向に作用する。

## 【 0 0 5 8 】

ここで、ドレイン・ソース間電流  $I_{DS}$  が減少するとすれば、ノード  $ND1A$  の電位は下降することになる。ノード  $ND1A$  の電位の下降は、ゲート・ソース間電圧  $V_{GSB}$  を増加させることになり、ドレイン・ソース間電流  $I_{DS}$  を増加させる方向に作用する。結果として、ノード  $ND1A$  の電位はほとんど変化することがなく、電流源トランジスタ  $Q1A$  のドレイン・ソース間電圧  $V_{DSA}$  は一定レベルに保たれることとなる。すなわち、 $N$ チャネル  $MOS$  トランジスタ  $Q1B$  は、電流源トランジスタ  $Q1A$  のドレイン電圧の変動を抑える働きをする。したがって、電流源トランジスタ  $Q1A$  に駆動される電流  $I_{DS}$  は、基準電流  $I_0$  レベルを維持することとなる。

## 【 0 0 5 9 】

最終的に、回路網から電流源トランジスタに駆動される電流は、最小電流の経路で決まり、ブランキング期間に設定された基準電流  $I_0$  となる。なお、本実施の形態では、電流源回路の各トランジスタを  $N$ 型トランジスタで構成し、回路網から電流を流出させるタイプについて説明したが、回路網に電流を流入させるタイプについても、電流が逆方向となるだけで動作は同じである。

## 【 0 0 6 0 】

実施の形態 1 の変更例 .

図 4 は、回路網 100 に電流を流入させるタイプとしたときの電流源回路の構成を示す回路図である。

## 【 0 0 6 1 】

図 4 に示すように、電流源回路において、電流源トランジスタ  $Q1A \sim QnA$  およびトランジスタ  $Q1B \sim QnB$  は、 $P$ チャネル  $MOS$  トランジスタで構成される。本構成において、電流源トランジスタ  $Q1A \sim QnA$  のドレインおよび  $P$ チャネル  $MOS$  トランジスタ  $Q1B \sim QnB$  のドレインは、それぞれ電源電圧  $V_H$  に接続される。

## 【 0 0 6 2 】

最初に、任意のブランキング期間において、スイッチ回路  $S1 \sim Sn$  の各々は、 $H$ レベルの制御信号に応答して、 $P$ チャネル  $MOS$  トランジスタ  $Q1B \sim QnB$  のドレインと定電流源 60 とを電氣的に結合する。

## 【 0 0 6 3 】

このとき、スイッチ回路  $T1B \sim TnB$  はオンし、 $P$ チャネル  $MOS$  トランジスタ  $Q1B \sim QnB$  において、ドレインとゲートとが結合されたダイオード接続を形成する。さらに、スイッチ回路  $T1A \sim TnA$  もオンし、電流源トランジスタ  $Q1A \sim QnA$  において、ドレインとゲートとが結合されたダイオード接続を形成する。

## 【 0 0 6 4 】

これにより、電源電圧  $V_H \sim$  電流源トランジスタ ( $Q1A \sim QnA$ )  $\sim$   $P$ チャネル  $MOS$  トランジスタ ( $Q1B \sim QnB$ )  $\sim$  定電流源 60 に至る電流経路が形成される。この電流経路において、両トランジスタは定電流源 60 と電源電圧  $V_H$  との間に直列接続されていることから、同じ電流  $I_0$  が駆動されることとなる。

## 【 0 0 6 5 】

次に、動作期間になると、スイッチ回路  $S1 \sim Sn$  は、 $L$ レベルの制御信号に응答して、 $P$ チャネル  $MOS$  トランジスタ  $Q1B \sim QnB$  のドレインと回路網 100 とをそれぞれ

10

20

30

40

50

電氣的に結合する。

【0066】

このとき、スイッチ回路 $T1B \sim TnB$ は、いずれもオフとなり、対応するPチャンネルMOSトランジスタ $Q1B \sim QnB$ のドレインとゲートとを電氣的に分離する。スイッチ回路 $T1A \sim TnA$ についても同様に、いずれもオフとなり、対応する電流源トランジスタ $Q1A \sim QnA$ のドレインとゲートとを電氣的に分離する。

【0067】

この状態において、回路網100から所定の電圧が供給されると、ノード $ND1B \sim NDnB$ の電位が変動する。ここで、ノード $ND1B \sim NDnB$ の電位が低下したとすれば、PチャンネルMOSトランジスタ $Q1B \sim QnB$ のドレイン・ソース間電圧 $VDS$ が増加し、チャンネル変調に起因してPチャンネルMOSトランジスタ $Q1B \sim QnB$ のドレイン・ソース間電流 $IDS$ が増加しようとする。

10

【0068】

仮にドレイン・ソース間電流 $IDS$ が増加したとすれば、同じ電流 $IDS$ が電流源トランジスタ $Q1A \sim QnA$ にも駆動されることから、ノード $ND1A$ の電位を低下させることとなる。

【0069】

しかしながら、ノード $ND1A \sim NDnA$ の電位が低下すれば、PチャンネルMOSトランジスタ $Q1B \sim QnB$ のゲート・ソース間電圧 $VGS$ が減少することになる。このゲート・ソース間電圧 $VGS$ の減少は、NチャンネルMOSトランジスタ $Q1B \sim QnB$ のドレイン・ソース間電流 $IDS$ を減少させる方向に作用する。

20

【0070】

ここで、ドレイン・ソース間電流 $IDS$ が減少するとすれば、ノード $ND1A \sim NDnA$ の電位は上昇することになる。ノード $ND1A \sim MDnA$ の電位の上昇は、ゲート・ソース間電圧 $VGS$ を低下させることになり、ドレイン・ソース間電流 $IDS$ を減少させる方向に作用する。結果として、ノード $ND1A \sim NDnA$ の電位はほとんど変化することがなく、電流源トランジスタ $Q1A \sim QnA$ のドレイン・ソース間電圧 $VDSA$ は一定レベルに保たれることとなる。すなわち、PチャンネルMOSトランジスタ $Q1B \sim QnB$ は、電流源トランジスタ $Q1A \sim QnA$ のドレイン電圧の変動を抑える働きをする。したがって、電流源トランジスタ $Q1A \sim QnA$ に駆動される電流 $IDS$ は、基準電流 $I_0$ レベルを維持することとなる。

30

【0071】

以上のように、この発明の実施の形態1によれば、電流源トランジスタのチャンネル変調に影響されず、回路網に所望の電流を精度良く供給可能な電流源回路を実現することができる。

【0072】

実施の形態2 .

実施の形態2では、実施の形態1による電流源回路が、DA(デジタルアナログ)コンバータに適用される場合が示される。

【0073】

図5は、この発明の実施の形態2によるDAコンバータの構成を示す回路図である。

40

【0074】

図5を参照して、DAコンバータは、実施の形態1に係る電流源回路に対して、定電流源として、互いに電流レベルの異なる複数個(たとえば3個)の定電流源60, 62, 64が設けられる点でのみ異なる。したがって、重複する部位についての詳細な説明は繰り返さない。

【0075】

3個の定電流源60, 62, 64は、基準電流がそれぞれ $I_0, 2I_0, 4I_0$ であり、2進数で重み付けされる。スイッチ回路 $S1 \sim S3$ は、定電流源60, 62, 64の各々および回路網100とNチャンネルMOSトランジスタ $Q1B \sim Q3B$ のドレインとの間

50

にそれぞれ配される。なお、図示は省略するが、スイッチ回路 S 4 以降についても同様に、3 個のスイッチ回路を一単位として、3 個の定電流源 6 0 , 6 2 , 6 4 および回路網 1 0 0 とノード ND 4 B , ND 5 B . . . とをそれぞれ結合するように配される。

【 0 0 7 6 】

スイッチ回路 S 1 ~ S 3 は、たとえば図 5 に示すように、図示しない 3 ビットのデジタル入力（たとえば D 2 D 1 D 0 とする）にตอบสนองして、対応するノード ND 1 B ~ ノード ND 3 B を定電流源 6 0 , 6 2 , 6 4 および回路網 1 0 0 のいずれか一方とを結合する。

【 0 0 7 7 】

詳細には、図 5 に示すように、スイッチ回路 S 1 は、H レベルのデジタル入力 D 0 にตอบสนองして、N チャネル MOS トランジスタ Q 1 B のドレイン（ノード ND 1 B に相当）と定電流源 6 0 とを電氣的に結合する。一方、スイッチ回路 S 1 は、L レベルのデジタル入力 D 0 にตอบสนองして、M チャネル MOS トランジスタ Q 1 B のドレインと回路網 1 0 0 とを電氣的に結合する。

10

【 0 0 7 8 】

スイッチ回路 S 2 についても同様に、H レベルのデジタル入力 D 1 にตอบสนองして、N チャネル MOS トランジスタ Q 2 B のドレイン（ノード ND 2 B に相当）と定電流源 6 2 と回路網 1 0 0 とを電氣的に結合し、L レベルのデジタル入力 D 1 にตอบสนองして、N チャネル MOS トランジスタ Q 2 B のドレインと回路網 1 0 0 とを電氣的に結合する。

【 0 0 7 9 】

スイッチ回路 S 3 についても同様に、H レベルのデジタル入力 D 2 にตอบสนองして、N チャネル MOS トランジスタ Q 3 B のドレイン（ノード ND 3 B に相当）と定電流源 6 4 と回路網 1 0 0 とを電氣的に結合し、L レベルのデジタル入力 D 2 にตอบสนองして、N チャネル MOS トランジスタ Q 3 B のドレインと回路網 1 0 0 とを電氣的に結合する。なお、図示しないスイッチ回路 S 4 以降においても、1 単位ごとに 3 ビットのデジタル入力にตอบสนองして、対応する定電流源と回路網とを選択的に結合する。以下においては、簡単のため、一単位のスイッチ回路 S 1 ~ S 3 における D A 変換動作について説明する。

20

【 0 0 8 0 】

電流源回路において、N チャネル MOS トランジスタ Q 1 B ~ Q 3 B、スイッチ回路 T 1 B ~ T 3 B および容量素子 C 1 B ~ C 3 B は、実施の形態 1 で述べたように、対応する電流源トランジスタ Q 1 B ~ Q 3 B のドレイン電圧を一定に保つドレイン電圧上昇制限回路を構成する。

30

【 0 0 8 1 】

詳細には、図 5 の D A コンバータにおいて、スイッチ回路 S 1 ~ S 3 は、ブランキング期間に応じて、いずれも定電流源側に接続される。定電流源 6 0 , 6 2 , 6 4 は、N チャネル MOS トランジスタ Q 1 B ~ Q 3 B および電流源トランジスタ Q 1 A ~ Q 3 A に基準電流  $I_0$  ,  $2 I_0$  ,  $4 I_0$  をそれぞれ駆動する。これにより、N チャネル MOS トランジスタ Q 1 B ~ Q 3 B および電流源トランジスタ Q 1 A ~ Q 3 A のゲートに接続される容量素子 C 1 B ~ C 3 B , C 1 A ~ C 3 A には、対応する基準電流に応じた電圧レベルが記憶される。

【 0 0 8 2 】

次に、動作期間においては、3 ビットのデジタル入力（D 2 D 1 D 0）に応じてスイッチ回路 S 1 ~ S 3 が切り換わり、回路網 1 0 0 と N チャネル MOS トランジスタ Q 1 B ~ Q 3 B のドレインとが選択的に結合される。

40

【 0 0 8 3 】

このとき、実施の形態 1 で述べたように、各電流源トランジスタ Q 1 A ~ Q 3 A は、N チャネル MOS トランジスタ Q 1 B ~ Q 3 B によって、チャンネル変調によるドレイン電圧の変動が抑えられ、一定に保持される。

【 0 0 8 4 】

これにより、電流源トランジスタ Q 1 A ~ Q 3 A からは、ブランキング期間に記憶された基準電流に等しい電流が駆動される、結果として、回路網 1 0 0 には、3 ビットのデジ

50

タル入力 ( D 2 D 1 D 0 ) によって指定される電流 I が駆動される。なお、回路網 1 0 0 に供給される電流 I は、

$$I = ( 4 I_0 \cdot D 2 + 2 I_0 \cdot D 1 + I_0 \cdot D 0 ) \quad \dots ( 5 )$$

となる。ただし、D は 1 または 0 である。

【 0 0 8 5 】

なお、本実施の形態は、基準電流の重み付けが 2 進数のときに限定されず、いかなる n 進数においても適用可能であることは言うまでもない。また、実施の形態 1 と同様に、各トランジスタを P 型トランジスタで構成しても、電流の流れる方向が異なるのみで同様の動作を行なうことができる。

【 0 0 8 6 】

以上のように、この発明の実施の形態 2 によれば、各電流源トランジスタの電流が素子特性のばらつきに影響されないことから、正確な倍率の電流を得ることができ、精度の高い D A コンバータを実現することができる。

【 0 0 8 7 】

実施の形態 3 .

実施の形態 3 では、実施の形態 1 による電流源回路がエレクトロルミネッセンス表示装置 ( 以下、E L 表示装置とも称する ) に適用される場合が示される。

【 0 0 8 8 】

近年、フラットパネル・ディスプレイの分野において注目される、低温ポリシリコン型 T F T で構成される E L 表示装置においては、装置小型化の観点から、従来外付けの L S I によって構成されていた周辺回路を画像表示部と同一のガラス基板上に一体成形することが望まれている。

【 0 0 8 9 】

一方、E L 表示装置においては、画素回路に印加する電圧を変化させることによって、画素回路ごとに設けられた電流駆動型発光素子である有機発光ダイオードに供給する電流を変化させることにより、有機発光ダイオードの表示輝度を変化させている。

【 0 0 9 0 】

E L 表示装置の周辺回路には、画像データに応じた表示輝度で画素回路を駆動するためのデータ電流を画素回路が接続されるデータ線へ出力するソース駆動回路が含まれる。

【 0 0 9 1 】

階調表示を機能付けるソース駆動回路においては、高い動作安定性が求められており、その高い動作安定性を達成するためには、内部に含まれる電流源回路の安定動作が重要とされる。

【 0 0 9 2 】

しかしながら、ガラス基板上や樹枝基板上に形成されるポリシリコン型 T F T においては、シリコン基板上に形成されるトランジスタと比べてしきい値電圧のばらつきが大きいことから、電流源回路を T F T で構成したときには、駆動電流の設定精度において問題が生じてしまう。

【 0 0 9 3 】

そこで、本実施の形態では、E L 表示装置に含まれるソース駆動回路に、実施の形態 1 に係る電流源回路を採用し、安定した動作を保証するものとする。

【 0 0 9 4 】

図 6 は、この発明の実施の形態 3 による E L 表示装置の全体構成を示す概略ブロック図である。

【 0 0 9 5 】

図 6 を参照して、E L 表示装置は、表示部 2 0 と、ゲート駆動回路 3 0 と、ソース駆動回路 4 0 とを備える。

【 0 0 9 6 】

表示部 2 0 は、行列状に配された複数の画素回路 1 0 を含む。画素回路の行 ( 以下、画素行とも称する ) の各々に対応して、走査線 S L が配置される。また、画素回路の列 ( 以

10

20

30

40

50

下、画素列とも称する)のそれぞれに対応して、データ線DLがそれぞれ設けられる。図5には、第1行の第1列から第3列の画素回路ならびにこれに対応する走査線SLおよびデータ線DL(R), DL(G), DL(B)が代表的に示されている。

【0097】

ゲート駆動回路30は、所定の走査周期に基づいて、走査線SLを走査期間において選択状態に設定し、それ以外の非走査期間において非選択状態に設定するように、走査線SLの電圧を制御する。

【0098】

ソース駆動回路40は、Nビット(N:自然数)のデジタル信号である表示信号SIGによって段階的に設定される表示電流をデータ線DLに出力する。図6には、N=6の場合、すなわち、表示信号SIGが表示信号ビットD0~D5からなる場合の構成について代表的に示されている。6ビットの表示信号に基づいて、各画素において、 $2^6 = 64$ 段階の階調的な輝度表示が可能となる。

10

【0099】

ソース駆動回路40は、シフトレジスタ50と、第1および第2のデータラッチ回路52, 54と、電流源回路56とを含む。

【0100】

表示信号SIGは、画素回路10ごとに表示輝度に対応してシリアルに生成される。すなわち、各タイミングにおける表示信号ビットD0~D5は、表示部20中の1つの画素回路10における表示輝度を示している。

20

【0101】

シフトレジスタ50は、表示信号SIGの設定が切換えられる所定周期に同期したタイミングで、第1のデータラッチ回路52に対して、表示信号ビットD0~D5の取込を指示する。第1のデータラッチ回路52は、シリアルに生成される1つの画素行分の表示信号SIGを、順に取込んで保持する。

【0102】

1つの画素行分の表示信号SIGが第1のデータラッチ回路52に取込まれたタイミングで、ラッチ信号LTの活性化に応答して、第1のデータラッチ回路52にラッチされた表示信号群は、第2のデータラッチ回路54に伝達される。

【0103】

電流源回路56は、第2のデータラッチ回路54から1つの画素行分の画素データ(6ビット)を受け、各画素回路10において64階調の表示を行なうため、64レベルの表示電流 $I_{EL}$ を発生し、列方向に配置されたデータ線DLへ一斉に出力する。

30

【0104】

ゲート駆動回路30が走査対象行に対応する走査線SLを活性化すると、その走査線SLに接続される画素回路10が一斉に活性化される。各画素回路10は、対応するデータ線DLに印加されている表示電流 $I_{EL}$ に応じた輝度で表示を行ない、これによって1画素行分の画素データが表示される。

【0105】

以上の動作を行方向に配置された走査線SLごとに順次実行することにより、表示部20に画像が表示される。

40

【0106】

図7は、図6に示した画素回路10の構成を示す回路図である。図7においては、データ線DL(R)および走査線SLに接続される画素について示されるが、その他の画素についても、構成は同じである。

【0107】

図7を参照して、画素回路10は、有機発光ダイオードOLEDと、P型薄膜トランジスタ(以下、TFETとも称する)素子Qdと、電圧保持キャパシタCHと、スイッチ回路SW1~SW3とを含む。

【0108】

50

有機発光ダイオードOLEDは、電流駆動型の発光素子であって、供給される電流に応じてその表示輝度が変化する。有機発光ダイオードOLEDのカソードは、電源電圧 $V_L$ に接続される。電源電圧 $V_L$ には、接地電圧または所定の負電圧が印加される。

【0109】

P型TFT素子 $Q_d$ は、電源電圧 $V_H$ と有機発光ダイオードOLEDのアノードとの間に接続される。P型TFT素子 $Q_d$ のゲートは、電圧保持キャパシタ $C_H$ を介してP型TFT素子 $Q_d$ のソースに接続されるとともに、スイッチ回路 $SW_2$ を介してP型TFT素子のドレインに接続される。

【0110】

スイッチ回路 $SW_1$ は、P型TFT素子 $Q_d$ のドレインとデータ線 $DL$ との間に接続される。スイッチ回路 $SW_3$ は、P型TFT素子 $Q_d$ のドレインと有機発光ダイオードOLEDのアノードとの間に接続される。

10

【0111】

以上の構成からなる画素回路10において、表示動作は2段階において行なわれる。

【0112】

まず、アドレス周期に対応するデータ書込モードにおいては、有機発光ダイオードOLEDからの必要な出力を決定する表示電流 $I_{EL}$ を画素回路10からデータ線 $DL$ を介して電流源回路56に供給する。このとき、スイッチ回路 $SW_1$ 、 $SW_2$ をオンして、P型TFT素子 $Q_d$ をダイオード接続するとともに、スイッチ回路 $SW_3$ をオフして、有機発光ダイオードOLEDを絶縁する。これにより、電源電圧 $V_H$ ～P型TFT素子 $Q_d$ ～データ線 $DL$ の電流経路が形成されて、当該電流経路に表示電流 $I_{EL}$ が流れる。

20

【0113】

さらに、スイッチ回路 $SW_1$ 、 $SW_2$ をオフして、画素回路10をデータ線 $DL$ から絶縁するとともに、電圧保持キャパシタ $C_H$ を絶縁する。これにより、電圧保持キャパシタ $C_H$ の端子間電圧には、P型TFT素子 $Q_d$ に表示電流 $I_{EL}$ を流すのに必要なゲート・ソース間電圧 $V_{GS}$ が格納される。

【0114】

電圧保持キャパシタ $C_H$ にゲート・ソース間電圧 $V_{GS}$ が格納されてデータ書込モードが終了すると、スイッチ回路 $SW_3$ をオンして有機発光ダイオードOLEDのカソードをP型TFT素子 $Q_d$ のドレインに接続することにより、表示モードが開始する。

30

【0115】

表示モードにおいては、P型TFT素子 $Q_d$ は、先述の表示電流 $I_{EL}$ によって決定される出力を有機発光ダイオードOLEDから発生するために、電圧保持キャパシタ $C_H$ に格納される電圧 $V_{GS}$ に応じた電流を有機発光ダイオードOLEDに駆動する。すなわち、P型TFT素子 $Q_d$ が電流源として動作することにより、表示電流 $I_{EL}$ に等しい電流が有機発光ダイオードOLEDを流れることになる。

【0116】

なお、図7では、電流源となるトランジスタをP型TFT素子で構成したが、印加される電圧の極性を逆にして、N型TFT素子で構成することもできる。この場合の構成は、表示電流 $I_{EL}$ の電流経路が図7とは逆方向となるが、各モードの動作は同じである。

40

【0117】

図8は、図6における電流源回路56の構成を示す回路図である。

【0118】

図8を参照して、電流源回路56は、実施の形態2に係るDAコンバータを基本とした構成からなる。電流源回路56は、画素回路10に接続される1本のデータ線 $DL$ に対して配される図8の構成を1単位とし、連続して配列される複数単位(図示せず)と、6個の定電流源60～70とを有する。

【0119】

電流源回路56は、1本のデータ線 $DL$ に対して並列に接続される6個の電流源トランジスタ $Q_{1A}$ ～ $Q_{6A}$ と、各電流源トランジスタ $Q_{1A}$ ～ $Q_{6A}$ のドレインと定電流源6

50

0 ~ 70 および画素回路 10 のいずれか一方と選択的に結合するスイッチ回路 S 1 ~ S 6 とを備える。

【0120】

電流源回路 56 は、電流源トランジスタ Q 1 A ~ Q 6 A の各々について、ドレインとゲートとの間を電氣的に結合/分離するスイッチ回路 T 1 A ~ T 6 A と、ゲートとソースとの間に結合される容量素子 C 1 A ~ C 6 A とをさらに備える。

【0121】

電流源回路 56 は、さらに、電流源トランジスタ Q 1 A ~ Q 6 A のドレインとスイッチ回路 S 1 ~ S 6 との間にそれぞれ結合される N チャンネル MOS トランジスタ Q 1 B ~ Q 6 B を備える。

【0122】

N チャンネル MOS トランジスタ Q 1 B ~ Q 6 B は、ドレインがスイッチ回路 S 1 ~ S 6 にそれぞれ接続され、ソースが電流源トランジスタ Q 1 A ~ Q 6 A のドレインにそれぞれ接続される。

【0123】

電流源回路 56 は、N チャンネル MOS トランジスタ Q 1 B ~ Q 6 B のドレイン・ゲート間を電氣的に結合/分離するスイッチ回路 T 1 B ~ T 6 B と、N チャンネル MOS トランジスタ Q 1 B ~ Q 6 B のゲートと電源電圧 V L との間に結合される容量素子 C 1 B ~ C 6 B とをさらに備える。

【0124】

以上に示す電流源回路 56 は、図 1 に示す電流源回路と同様の構成を有するものであるが、電流源トランジスタ Q 1 A ~ Q 6 A と電氣的に結合される定電流源 60 ~ 70 が、それぞれ重み付けされた基準電流を有する点において異なる。

【0125】

詳細には、6 個の定電流源 60 ~ 70 は、基準電流がそれぞれ  $I_0$  ,  $2 I_0$  ,  $4 I_0$  ,  $8 I_0$  ,  $16 I_0$  ,  $32 I_0$  であり、2 進数で重み付けされる。図 8 に示すように、定電流源 60 は、スイッチ回路 S 1 によって、N チャンネル MOS トランジスタ Q 1 B のドレインと電氣的に結合される。定電流源 62 は、スイッチ回路 S 2 によって、N チャンネル MOS トランジスタ Q 2 B のドレインと電氣的に結合される。定電流源 64 は、スイッチ回路 S 3 によって、N チャンネル MOS トランジスタ Q 3 B のドレインと電氣的に結合される。定電流源 66 は、スイッチ回路 S 4 によって、N チャンネル MOS トランジスタ Q 4 B のドレインと電氣的に結合される。定電流源 68 は、スイッチ回路 S 5 によって、N チャンネル MOS トランジスタ Q 5 B のドレインと電氣的に結合される。定電流源 70 は、スイッチ回路 S 6 によって、N チャンネル MOS トランジスタ Q 6 B のドレインと電氣的に結合される。

【0126】

スイッチ回路 S 1 ~ S 6 はそれぞれ、図 6 における第 2 のデータラッチ回路 54 から伝達される表示信号ビット D 0 ~ D 5 に応じて、対応する定電流源およびデータ線 D L のいずれか一方と、対応する N チャンネル MOS トランジスタ Q 1 B ~ Q 6 B のドレインとを選択的に結合する。

【0127】

電流源回路 56 において、N チャンネル MOS トランジスタ Q 1 B ~ Q 6 B、スイッチ回路 T 1 B ~ T 6 B および容量素子 C 1 B ~ C 6 B は、実施の形態 1 で述べたように、対応する電流源トランジスタ Q 1 A ~ Q 6 A のドレイン電圧を一定に保つ、ドレイン電圧上昇制限回路として機能する。

【0128】

図 8 の電流源回路 56 においては、データ書込モードの開始時に、スイッチ回路 S 1 ~ S 6 が表示信号ビット D 0 ~ D 6 に応答して、定電流源 60 ~ 70 側に接続される。このとき、たとえば、対応する表示信号ビットが H レベル (= 1) であれば、対応するノード N D 1 B ~ N D 6 B と定電流源 60 ~ 70 とが電氣的に結合される。一方、対応する表示

10

20

30

40

50

信号ビットが L レベル (= 0) であれば、対応するノード ND 1 B ~ ND 6 B と定電流源 6 0 ~ 7 0 とが電氣的に結合される。

【0129】

これにより、NチャネルMOSトランジスタQ1B~Q6Bおよび電流源トランジスタQ1A~Q6Aには、基準電流 $I_0$ 、 $2I_0$ 、 $\dots$ 、 $32I_0$ が選択的に駆動される。これにより、容量素子C1A~C6AおよびC1B~C6Bには、対応するNチャネルMOSトランジスタおよび電流源トランジスタに基準電流を駆動するために必要な電圧が記憶される。

【0130】

続いて、6ビットの表示信号ビットD0~D5に応じてスイッチ回路S1~S6を画素回路10側に切換えられ、データ線DLとNチャネルMOSトランジスタQ1B~Q6Bのドレインとが電氣的に結合される。

【0131】

これにより、画素回路10には、6ビットの表示信号ビットD5~D0によって指定される表示電流 $I_{EL}$ が駆動される。電流源トランジスタQ1A~Q6Aからは、ドレイン電圧上昇制限回路によって基準電流に等しい電流がそれぞれ供給されるため、表示電流 $I_{EL}$ は、

$$I_{EL} = (32I_0 \cdot D5 + 16I_0 \cdot D4 + 8I_0 \cdot D3 + 4I_0 \cdot D2 + 2I_0 \cdot D1 + I_0 \cdot D0) \cdot \dots \cdot (6)$$

となる。ただし、Dは1または0である。

【0132】

この表示電流 $I_{EL}$ は、電流源回路56によって、6ビットの表示信号によって指定される電流値に正確に調整されている。画素回路10は、図7に示したように、データ書込モードにおいて、この表示電流 $I_{EL}$ を電圧保持キャパシタCHに記憶し、表示モードにおいて、記憶した電流を有機発光ダイオードOLEDに駆動する。結果として、画素回路10の有機発光ダイオードOLEDには、表示輝度に応じて設定された電流 $I_{EL}$ が高い精度を持って駆動され、表示むらの発生を抑えることができる。なお、本実施の形態では、表示電流が画素回路10からデータ線DLに流出する構成について説明したが、電流源回路56の各トランジスタをP型トランジスタで構成すれば、画素回路10に表示電流が流入する構成とすることもできる。

【0133】

以上のように、この発明の実施の形態3によれば、TFT素子のしきい値電圧のばらつきに起因する駆動回路の誤動作を防止することができる。

【0134】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【0135】

- 【図1】この発明の実施の形態1に従う電流源回路の構成を示す回路図である。
- 【図2】図1におけるスイッチ回路TiA、TiBの動作を示すタイミング図である。
- 【図3】ブランキング期間における図1の定電流回路の等価回路図である。
- 【図4】この発明の実施の形態1の変更例に従う電流源回路の構成を示す回路図である。
- 【図5】この発明の実施の形態2に従うDAコンバータの構成を示す回路図である。
- 【図6】この発明の実施の形態3に従うEL表示装置の全体構成を示す概略ブロック図である。
- 【図7】図6における画素回路の構成を示す回路図である。
- 【図8】図6における電流源回路の構成を示す回路図である。
- 【図9】従来の電流源回路の一例を示す回路図である。

10

20

30

40

50

【図10】一般的な電界効果型トランジスタにおけるドレイン・ソース間電流  $I_{DS}$  とドレイン・ソース間電圧  $V_{DS}$  との関係を示す図である。

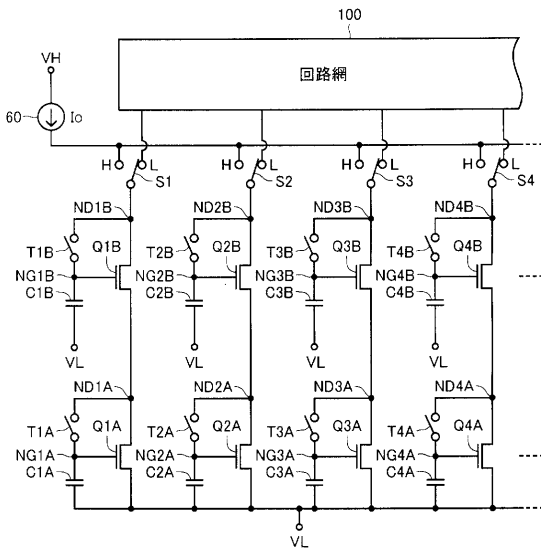
【符号の説明】

【0136】

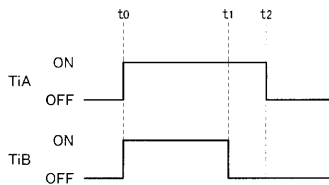
10 画素回路、20 表示部、30 ゲート駆動回路、40 ソース駆動回路、50 シフトレジスタ、52 第1のデータラッチ回路、54 第2のデータラッチ回路、56 電流源回路、60, 62, 64, 66, 68, 70 定電流源、100 回路網、C1A ~ CnA, C1B ~ CnB 容量素子、CH 電圧保持キャパシタ、M1 ~ Mn, Q1A ~ QnA 電流源トランジスタ、Q1B ~ QnB NチャネルMOSトランジスタ、Qd P型TFT素子、OLED 有機発光ダイオード、DL データ線、SL 走査線、S1 ~ Sn, SW1 ~ SW3, T1A ~ TnA, T1B ~ TnB スイッチ回路。

10

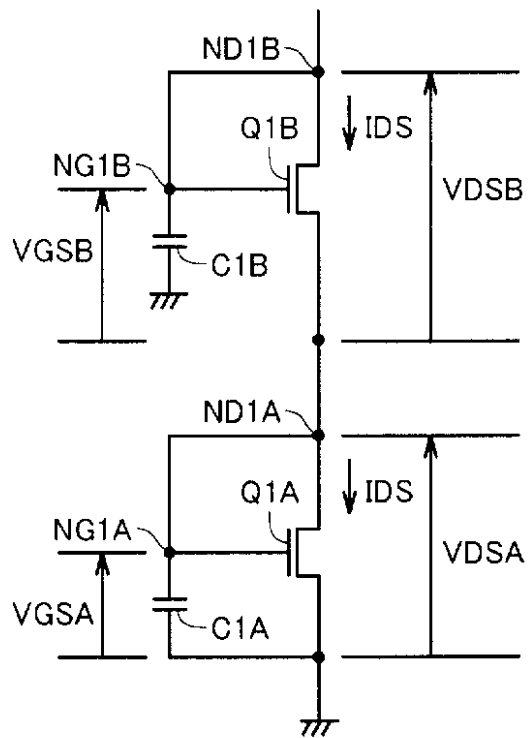
【図1】



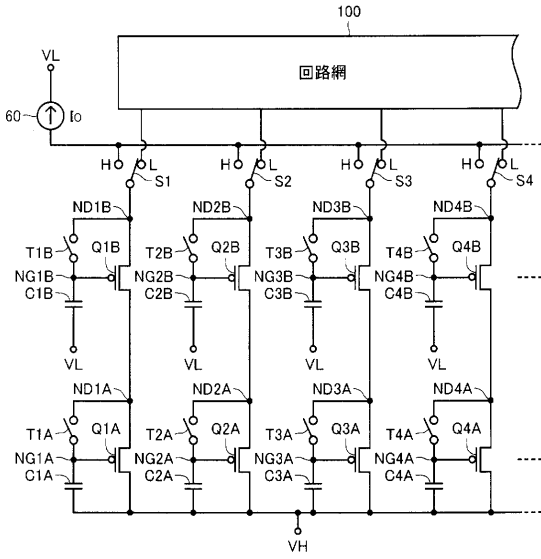
【図2】



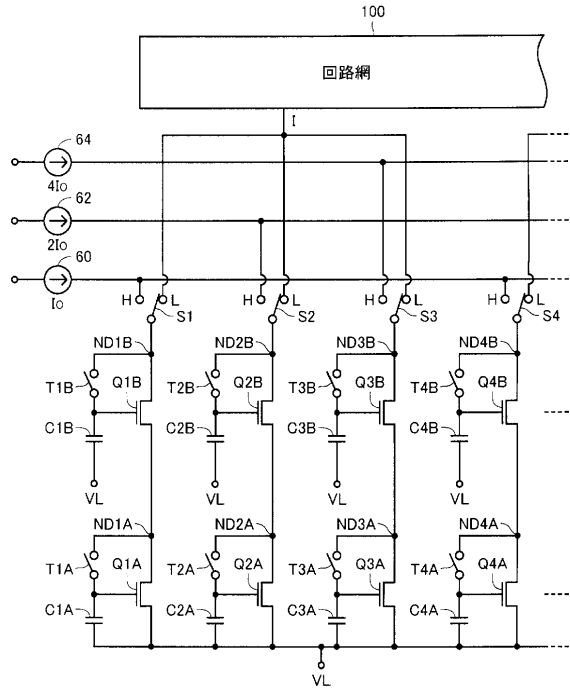
【図3】



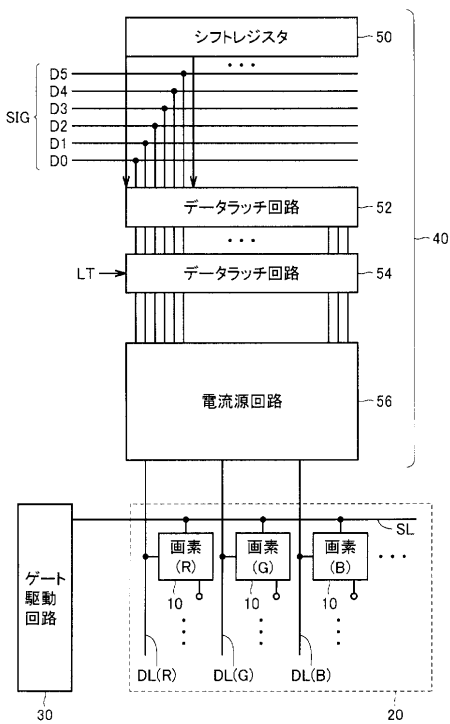
【図4】



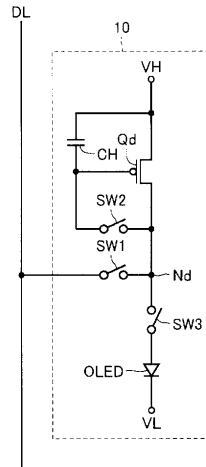
【図5】



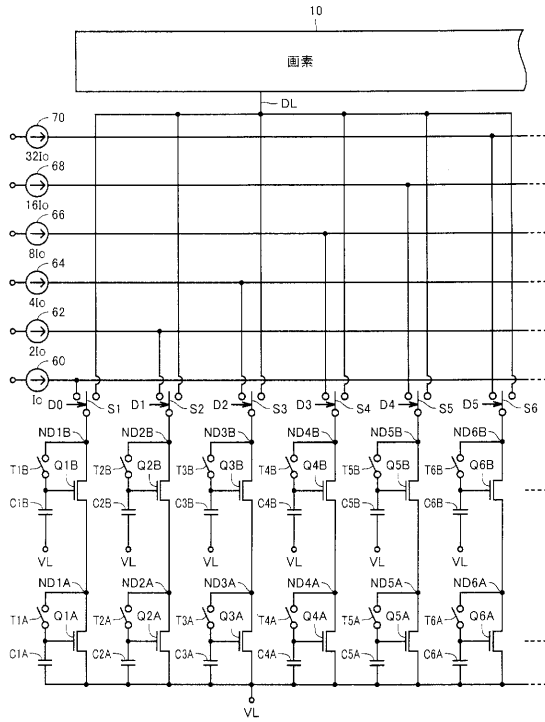
【図6】



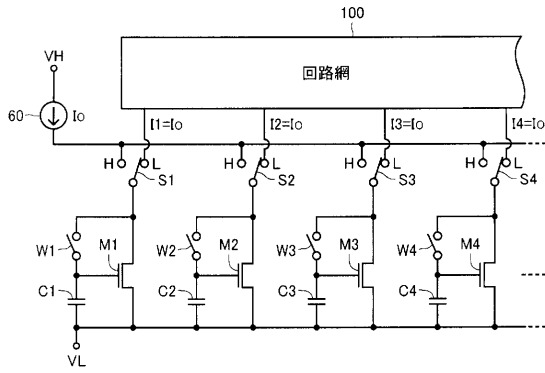
【図7】



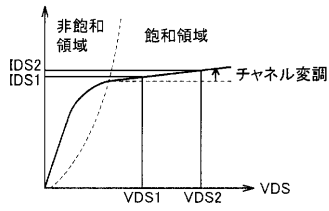
【 図 8 】



【 図 9 】



【 図 10 】



---

フロントページの続き

(72)発明者 飛田 洋一

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

Fターム(参考) 5H730 AA16 AS02 BB04 BB57 BB82 BB88 BB98 DD04 DD26 DD32  
EE60 EE61 FG01  
5J022 AB06 BA01 CF04  
5J500 AA11 AA42 AC15 AF07 AF18 AH10 AH29 AH38 AH44 AK05  
AS00 AT01 AT06