



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0024860
(43) 공개일자 2019년03월08일

(51) 국제특허분류(Int. Cl.)	(71) 출원인
<i>H01L 31/02</i> (2006.01) <i>H01L 31/0224</i> (2006.01)	고려대학교 산학협력단
<i>H01L 31/0376</i> (2006.01) <i>H01L 31/16</i> (2006.01)	서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(52) CPC특허분류	(72) 발명자
<i>H01L 31/02002</i> (2013.01)	천홍구
<i>H01L 31/022433</i> (2013.01)	서울특별시 성북구 안암로 145 고려대학교안암캠퍼스(인문사회계), 하나과학관 466호
(21) 출원번호 10-2018-0124422(분할)	(74) 대리인
(22) 출원일자 2018년10월18일	특허법인 누리
심사청구일자 없음	
(62) 원출원 특허 10-2017-0110441	
원출원일자 2017년08월30일	
심사청구일자 2017년08월30일	

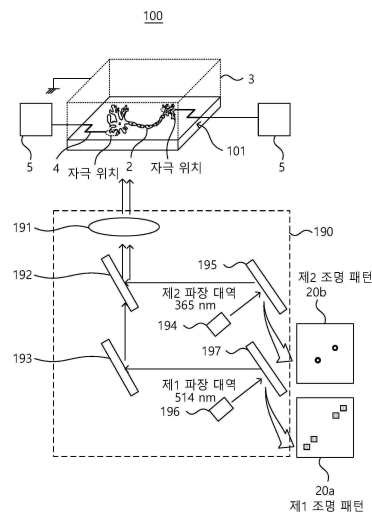
전체 청구항 수 : 총 2 항

(54) 발명의 명칭 재구성 가능한 광도전 전기 배선 칩

(57) 요약

본 발명의 일 실시예에 따른 재구성 가능한 광도전 전기 배선 칩은, 기판 상에 서로 이격되어 배치된 복수의 도전 패턴들; 상기 도전 패턴들 사이에 배치된 제1 광도전층; 및 상기 도전 패턴들 상에 배치된 제2 광도전층을 포함한다. 상기 제1 광도전층은 제1 조명 패턴의 광 조사에 의하여 상기 도전 패턴들을 전기적으로 연결하고, 상기 제2 광도전층은 제2 조명 패턴의 광 조사에 의하여 상기 도전 패턴들 또는 상기 제1 광도전층을 상기 기판에 수직된 방향으로 전기적으로 연결하는 광도전 전극으로 동작하여 제2 광도전층 상에 배치된 대상물에 전기 배선을 제공한다.

대표도 - 도1



(52) CPC특허분류

H01L 31/0376 (2013.01)

H01L 31/16 (2013.01)

명세서

청구범위

청구항 1

기관 상에 서로 이격되어 배치된 복수의 도전 패턴들;

상기 도전 패턴들 사이에 배치된 제1 광도전층; 및

상기 도전 패턴들 또는 상기 제1 광도전층 상에 배치된 제2 광도전층을 포함하고,

상기 제1 광도전층은 제1 조명 패턴의 광 조사에 의하여 상기 도전 패턴들을 전기적으로 연결하고,

상기 제2 광도전층은 제2 조명 패턴의 광 조사에 의하여 상기 도전 패턴들 또는 상기 제1 광도전층을 상기 기관에 수직한 방향으로 전기적으로 연결하는 광도전 전극으로 동작하여 제2 광도전층 상에 배치된 대상물에 전기 배선을 제공하는 것을 특징으로 하는 재구성 가능한 광도전 전기 배선 칩.

청구항 2

전기적 연결을 제공받는 대상물이 안착된 광도전 전기 배선 칩; 및

상기 광도전 전기 배선 칩에 재구성 가능한 전기 배선을 제공하는 조명 패턴 제공부를 포함하고,

상기 광도전 전기 배선 칩은:

기관 상에 서로 이격되어 배치된 복수의 도전 패턴들;

상기 도전 패턴들 사이에 배치된 제1 광도전층; 및

상기 도전 패턴들 또는 상기 제1 광도전층 상에 배치된 제2 광도전층을 포함하고,

상기 제1 광도전층은 제1 조명 패턴의 광 조사에 의하여 상기 도전 패턴들을 전기적으로 연결하고,

상기 제2 광도전층은 제2 조명 패턴의 광 조사에 의하여 상기 도전 패턴들 또는 상기 제1 광도전층을 상기 기관에 수직한 방향으로 전기적으로 연결하는 광도전 전극으로 동작하여 상기 제2 광도전층 상에 배치된 대상물에 전기 배선을 제공하는 것을 특징으로 하는 재구성 가능한 광도전 전기 배선 장치.

발명의 설명

기술 분야

[0001] 본 발명은 전기 배선 장치 및 재구성 가능한 광도전성 전기 배선 칩에 관한 것으로, 더 구체적으로 조명 패턴, 광도전층, 및 도전성 배선을 조합한 재구성 가능한 광도전 전기 배선 칩에 관한 것이다.

배경 기술

[0002] 본 발명자는 광도전 칩에 관한 KR 10-2016-0111149 A를 출원하였다. 이 공개 특허는, 서로 적층된 제1 광도전층 및 제2 광도전층을 구비한다. 그러나, 이 공개 특허는 조명 패턴에 의하여 수평 방향의 전기적 연결을 수행함에 따라, 높은 저항에 기인하여 실질적으로 원하는 위치와 외부 회로 간에 재구성 가능한 전기적 연결을 제공하기 어렵다. 동일한 평면 내에서 광도전층을 이용한 배선은 높은 저항을 유발한다.

[0003] 또한, 본 발명자는 KR 10-1681174 B1를 출원하였다. 이 등록 특허는 광도전성 트랜지스터를 어레이 형태로 배치하여 각 광도전성 트랜지스터의 Source와 Drain부 들을 조명 패턴에 의하여 전기적으로 연결하였다. 그러나, 트랜지스터들은 제조 공정이 복잡하고, 게이트를 구동하기 위하여 추가의 패턴을 필요로 한다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 해결하고자 하는 일 기술적 과제는 광도전층과 상기 광도전층의 전기 전도도보다 큰 전기 전도도를

가진 도전 패턴을 결합하여 전기 저항을 감소시킨 배선을 제공하는 것이다.

[0005] 본 발명의 해결하고자 하는 일 기술적 과제는 광 조명 패턴을 이용하여 광도전 전극의 크기 및 위치를 조절할 수 있는 광도전 전기 배선 칩을 제공하는 것이다.

[0006] 본 발명의 해결하고자 하는 일 기술적 과제는 광 조명 패턴을 이용하여 배선을 재구성할 수 있는 광도전 전기 배선 칩을 제공하는 것이다.

과제의 해결 수단

[0007] 본 발명의 일 실시예에 따른 재구성 가능한 광도전 전기 배선 칩은, 기관 상에 서로 이격되어 배치된 복수의 도전 패턴들; 상기 도전 패턴들 사이에 배치된 제1 광도전층; 및 상기 도전 패턴들 또는 상기 제1 광도전층 상에 배치된 제2 광도전층을 포함한다. 상기 제1 광도전층은 제1 조명 패턴의 광 조사에 의하여 상기 도전 패턴들을 전기적으로 연결하고, 상기 제2 광도전층은 제2 조명 패턴의 광 조사에 의하여 상기 도전 패턴들 또는 상기 제1 광도전층을 상기 기관에 수직한 방향으로 전기적으로 연결하는 광도전 전극으로 동작하여 제2 광도전층 상에 배치된 대상물에 전기 배선을 제공한다.

[0008] 본 발명의 일 실시예에 있어서, 상기 도전 패턴들은 제1 방향 및 제1 방향에 수직한 제2 방향으로 매트릭스 형태로 배열되고, 상기 제1 광도전층은 상기 도전 패턴들 사이의 공간을 채우고, 상기 제1 조명 패턴은 이웃한 상기 도전 패턴들 사이의 공간에서 상기 제1 광도전층 중에서 상기 제1 방향 또는 상기 제2 방향에 배치된 영역에 국부적으로 광 조사를 제공하고, 상기 제2 광도전층은 상기 도전 패턴들 및 상기 제1 광도전층 상에 배치될 수 있다.

[0009] 본 발명의 일 실시예에 있어서, 상기 제1 광도전층은 제1 파장 대역에서 광도전성을 제공하고, 상기 제2 광도전층은 상기 제1 파장 대역과 다른 제2 파장 대역에서 광도전성을 제공할 수 있다.

[0010] 본 발명의 일 실시예에 있어서, 상기 제1 광도전층은 비정질 실리콘(a-Si)이고, 상기 제2 광도전층은 TiO₂ 일 수 있다.

[0011] 본 발명의 일 실시예에 있어서, 상기 도전 패턴들 사이에 배치된 상기 제1 광도전층 상에 정렬되어 배치된 제1 조명 흡수 패턴을 더 포함할 수 있다. 상기 제1 광도전층과 상기 제2 광도전층은 동일한 물질이고, 상기 제1 조명 흡수 패턴은 상기 제1 조명 패턴의 광 조사를 흡수하여 상기 제2 광도전층으로 광투과를 억제할 수 있다.

[0012] 본 발명의 일 실시예에 있어서, 상기 제1 조명 패턴의 파장 대역은 상기 제2 조명 패턴의 파장 대역과 동일할 수 있다.

[0013] 본 발명의 일 실시예에 있어서, 상기 도전 패턴들 각각은 사각형이고, 상기 도전 패턴들 사이의 간격은 일정하고, 10 나노미터 내지 100 마이크로미터일 수 있다.

[0014] 본 발명의 일 실시예에 있어서, 상기 도전 패턴들 중에서 최외곽에 배치된 도전 패턴들은 외부 시스템과 전기적 연결을 위한 접속 패드들에 각각 연결될 수 있다.

[0015] 본 발명의 일 실시예에 있어서, 상기 도전 패턴들은 투명 전도성 물질일 수 있다.

[0016] 본 발명의 일 실시예에 따른 광도전 전기 배선 장치는, 전기적 연결을 제공받는 대상물이 안착된 광도전 전기 배선 칩; 및 상기 광도전 전기 배선 칩에 재구성 가능한 전기 배선을 제공하는 조명 패턴 제공부를 포함한다. 상기 광도전 전기 배선 칩은, 기관 상에 서로 이격되어 배치된 복수의 도전 패턴들; 상기 도전 패턴들 사이에 배치된 제1 광도전층; 및 상기 도전 패턴들 또는 상기 제1 광도전층 상에 배치된 제2 광도전층을 포함한다. 상기 제1 광도전층은 제1 조명 패턴의 광 조사에 의하여 상기 도전 패턴들을 전기적으로 연결한다. 상기 제2 광도전층은 제2 조명 패턴의 광 조사에 의하여 상기 도전 패턴들 또는 상기 제1 광도전층을 상기 기관에 수직한 방향으로 전기적으로 연결하는 광도전 전극으로 동작하여 상기 제2 광도전층 상에 배치된 대상물에 전기 배선을 제공한다.

[0017] 본 발명의 일 실시예에 있어서, 상기 조명 패턴 제공부는, 상기 제1 조명 패턴을 생성하기 위하여 주기적으로 제1 조명 광을 생성하는 제1 광원; 상기 제2 조명 패턴을 생성하기 위하여 주기적으로 제2 조명 광을 생성하는 제2 광원; 상기 제1 조명 광과 상기 제2 조명 광에 동일한 광경로를 제공하는 광 결합기; 및 상기 광 결합기를 통하여 제공받는 상기 제1 조명 광과 상기 제2 조명광을 시분할하여 상기 제1 조명광을 이용하여 상기 제1 조명 패턴을 형성하고 상기 제2 조명 광을 이용하여 상기 제2 조명 패턴을 형성하는 공간 변조부를 포함할 수 있다.

- [0018] 본 발명의 일 실시예에 따른 광도전 전기 배선 칩은, 기관 상에 서로 이격되어 배치된 복수의 하부 도전 패턴들; 서로 이격되어 배치되고 이웃한 하부 도전 패턴들 상에 중첩되도록 배치된 상부 도전 패턴들; 상기 하부 도전 패턴들과 상기 상부 도전 패턴들 사이에 개재된 제1 광도전층; 및 상기 상부 도전 패턴들 상에 배치된 제2 광도전층을 포함한다. 상기 제1 광도전층은 제1 조명 패턴의 광 조사에 의하여 하부 도전 패턴과 상부 도전 패턴을 기관에 수직인 방향으로 전기적으로 연결한다. 상기 제2 광도전층은 제2 조명 패턴의 광 조사에 의하여 상기 상부 도전 패턴 또는 상기 제1 광도전층과 상기 기관에 수직인 방향으로 전기적으로 연결되어 상기 제2 광도전층 상에 배치된 대상물에 전기 배선을 제공한다.
- [0019] 본 발명의 일 실시예에 있어서, 상기 상부 도전 패턴들은 제1 방향 및 제1 방향에 수직인 제2 방향으로 매트릭스 형태로 배열되고, 상기 하부 도전 패턴들은 상기 상부 도전 패턴들이 교차하는 교점에 각각 배치될 수 있다.
- [0020] 본 발명의 일 실시예에 있어서, 상기 하부 도전 패턴들은 제1 방향 및 제1 방향에 수직인 제2 방향으로 매트릭스 형태로 배열되고, 상기 상부 도전 패턴들은 상기 하부 도전 패턴들이 교차하는 교점에 각각 배치될 수 있다.
- [0021] 본 발명의 일 실시예에 있어서, 상기 상부 도전 패턴들 및 상기 하부 도전 패턴들 중에서 적어도 하나는 투명 전도성 산화물일 수 있다.
- [0022] 본 발명의 일 실시예에 있어서, 상기 상부 도전 패턴들 중에서 최외곽에 배치된 상부 도전 패턴들은 외부 시스템과 전기적 연결을 위한 접속 패드들에 각각 연결될 수 있다.
- [0023] 본 발명의 일 실시예에 있어서, 상기 하부 도전 패턴들 중에서 최외곽에 배치된 하부 도전 패턴들은 외부 시스템과 전기적 연결을 위한 접속 패드들에 각각 연결될 수 있다.
- [0024] 본 발명의 일 실시예에 있어서, 상기 하부 도전 패턴들 사이에 배치된 절연층을 더 포함할 수 있다.
- [0025] 본 발명의 일 실시예에 있어서, 상기 상부 도전 패턴들 사이에 배치된 절연층을 더 포함할 수 있다.
- [0026] 본 발명의 일 실시예에 따른 광도전 전기 배선 장치는, 전기적 연결을 제공 받는 대상물이 안착된 광도전 전기 배선 칩; 및 상기 광도전 전기 배선 칩에 재구성 가능한 전기 배선을 제공하는 조명 패턴 제공부를 포함한다. 상기 광도전 전기 배선 칩은, 기관 상에 서로 이격되어 배치된 복수의 하부 도전 패턴들; 서로 이격되어 배치되고 이웃한 하부 도전 패턴들 상에 중첩되도록 배치된 상부 도전 패턴들; 상기 하부 도전 패턴들과 상기 상부 도전 패턴들 사이에 개재된 제1 광도전층; 및 상기 상부 도전 패턴들 상에 배치된 제2 광도전층을 포함한다. 상기 제1 광도전층은 제1 조명 패턴의 광 조사에 의하여 하부 도전 패턴과 상부 도전 패턴을 기관에 수직인 방향으로 전기적으로 연결하고, 상기 제2 광도전층은 제2 조명 패턴의 광 조사에 의하여 상기 상부 도전 패턴 또는 상기 제1 광도전층과 상기 기관에 수직인 방향으로 전기적으로 연결되어 상기 제2 광도전층 상에 배치된 대상물에 전기 배선을 제공한다.
- [0027] 본 발명의 일 실시예에 있어서, 상기 조명 패턴 제공부는, 상기 제1 조명 패턴을 생성하기 위하여 주기적으로 제1 조명 광을 생성하는 제1 광원; 상기 제2 조명 패턴을 생성하기 위하여 주기적으로 제2 조명 광을 생성하는 제2 광원; 상기 제1 광원의 상기 제1 조명 광과 상기 제2 조명 광에 동일한 광경로를 제공하는 광 결합기; 및 상기 광 결합기를 통하여 제공받은 상기 제1 조명 광과 상기 제2 조명광을 시분할하여 상기 제1 조명 광을 이용하여 상기 제1 조명 패턴을 형성하고 상기 제2 조명 광을 이용하여 상기 제2 조명 패턴을 형성하는 공간 변조부를 포함할 수 있다.

발명의 효과

- [0028] 본 발명의 일 실시예에 따른 광도전 전기 배선 칩은, 전기 저항을 감소시켜 대상물에 안정적인 전기 배선을 제공할 수 있다.
- [0029] 본 발명의 일 실시예에 따른 광도전 전기 배선 칩은, 배선 저항을 줄여 전기자극 및 신호 측정에 있어 신호대노이즈 비를 높일 수 있다.
- [0030] 본 발명의 일 실시예에 따른 광도전 전기 배선 칩은, 징검다리에 해당하는 투명 전도성 전극을 상부/하부에 지그재그 패턴으로 배치하고, 상부 전극과 하부 전극 사이를 수직하게 광도전 물질로 연결할 수 있다.

도면의 간단한 설명

- [0031] 도 1은 본 발명의 일 실시예에 따른 전기 배선 장치를 설명하는 개념도이다.

도 2a는 도 1의 광도전 전기 배선 칩을 설명하는 평면도이다.

도 2b는 도 2a의 A-A' 선을 따라 자른 단면도이다.

도 3a는 도 2a의 광도전 전기 배선 칩의 도전 패턴 영역을 확대한 평면도이다.

도 3b는 도 3a의 B-B'선을 따라 자른 단면도이다.

도 4a 및 도 4b는 본 발명의 일 실시예에 따른 광도전 전기 배선 칩의 제조 방법을 설명하는 단면도들이다.

도 5a는 본 발명의 다른 실시예에 따른 광도전 전기 배선 칩을 설명하는 평면도이다.

도 5b는 도 5a의 C-C' 선을 따라 자른 단면도이다.

도 6a는 본 발명의 또 다른 실시예에 따른 광도전 전기 배선 칩을 설명하는 평면도이다.

도 6b는 도 6a의 D-D'선을 따라 자른 단면도이다.

도 7a 내지 도 7c는 본 발명의 또 다른 실시예에 따른 광도전 전기 배선 칩(301)의 제조 방법을 설명하는 단면도들이다.

도 8a는 본 발명의 또 다른 실시예에 따른 광도전 전기 배선 칩을 설명하는 평면도이다.

도 8b는 도 8a의 E-E'선을 따라 자른 단면도이다.

도 9a는 본 발명의 또 다른 실시예에 따른 광도전 전기 배선 칩을 설명하는 평면도이다.

도 9b는 도 9a의 F-F'선을 따라 자른 단면도이다.

도 10은 본 발명의 또 다른 실시예에 따른 전기 배선 장치를 설명하는 개념도이다.

발명을 실시하기 위한 구체적인 내용

- [0032] 광도전성 물질은 빛이 있고 없음에 따른 저항값의 변화 비율(Ron/Roff)이 1000 이상일 수 있다. 그러나, 턴온 저항(Ron)의 경우에도, 광도전성 물질은 금속 또는 투명 전도성 물질에 비해 매우 높은 저항을 가진다. 따라서, 광도전성 물질을 이용한 평면 내 전기적 배선은 충분히 좋은 신호측정을 기대하기 어렵다.
- [0033] 본 발명의 일 실시예에 따르면, 광도전성 물질은 매트릭스 형태로 배열된 투명 도전 패턴들 중에서 이웃한 한 쌍의 전도성 패턴들 사이를 동일 평면 내에서 전기적으로 연결하여, 외부 전압을 제공받는 패드로부터 대상물에 전압을 인가하는 광도전 전극까지 배선을 연결할 수 있다. 또한, 상기 광도전 전극의 배치 위치와 크기는 광도전 물질을 사용하여 조명 패턴의 위치와 크기에 따라 제어될 수 있다. 따라서, 상기 전기 저항을 감소시킨 배선이 제공된다.
- [0034] 본 발명의 일 실시예에 따르면, 상부 도전 패턴과 하부 도전 패턴을 수직으로 적층하고, 상부 도전 패턴과 하부 도전 패턴 사이를 중간 연결 구조인 비아를 광도전성 물질로 사용한다. 재구성 가능한 비아는 광 조사에 의하여 턴온시켜 전기적 배선을 수행한다. 광도전성 물질로 형성된 비아의 저항은 수 nm 내지 수 마이크로미터 수준의 두께에 기인하여 배선의 저항을 감소시킬 수 있다.
- [0035] 이하, 첨부된 도면을 참조하여 본 발명을 보다 상세하게 설명한다. 이하, 바람직한 실시예를 들어 본 발명을 더욱 상세하게 설명한다. 그러나 이들 실시예는 본 발명을 보다 구체적으로 설명하기 위한 것으로, 실험 조건, 물질 종류 등에 의하여 본 발명이 제한되거나 한정되지는 않는다는 것은 당업계의 통상의 지식을 가진 자에게 자명할 것이다. 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다. 도면들에 있어서, 구성요소는 명확성을 기하기 위하여 과장되어진 것이다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.
- [0036] 도 1은 본 발명의 일 실시예에 따른 전기 배선 장치를 설명하는 개념도이다.
- [0037] 도 2a는 도 1의 광도전 전기 배선 칩을 설명하는 평면도이다.
- [0038] 도 2b는 도 2a의 A-A' 선을 따라 자른 단면도이다.
- [0039] 도 3a는 도 2a의 광도전 전기 배선 칩의 도전 패턴 영역을 확대한 평면도이다.

- [0040] 도 3b는 도 3a의 B-B'선을 따라 자른 단면도이다.
- [0041] 도 1, 도 2a 및 도 2b, 도 3a 및 도 3b를 참조하면, 상기 전기 배선 장치(100)는 전기 전극을 받는 대상물(2)이 안착된 광도전 전기 배선 칩(101), 및 상기 광도전 전기 배선 칩(101)에 재구성 가능한 전기 배선(4)을 제공하는 조명 패턴 제공부(190)를 포함한다.
- [0042] 상기 광도전 전기 배선 칩(101)은, 기관(110) 상에 서로 이격되어 배치된 복수의 도전 패턴들(122); 상기 도전 패턴들(122) 사이에 배치된 제1 광도전층(130); 및 상기 도전 패턴들(122) 또는 상기 제1 광도전층 상에 배치된 제2 광도전층(150)을 포함한다. 상기 제1 광도전층(130)은 제1 조명 패턴(20a)의 광 조사에 의하여 상기 도전 패턴들(122)을 전기적으로 연결한다. 상기 도전 패턴들(122)과 상기 제1 광도전층(130)은 동일한 평면에서 전기적으로 연결되어 배선(4)을 형성한다.
- [0043] 상기 제2 광도전층(150)은 상기 제2 광도전층 상에 배치된 대상물(2)에 전기 배선을 제공하도록 제2 조명 패턴(20b)의 광 조사에 의하여 광도전 전극으로 변환된다. 상기 제2 광도전층(150)은 상기 도전 패턴들(122) 또는 상기 제1 광도전층(130)을 상기 기관에 수직된 방향으로 전기적으로 연결하는 광도전 전극으로 동작하여 상기 제2 광도전층(150) 상에 배치된 상기 대상물(2)에 배선(4)을 제공한다.
- [0044] 조명 패턴 제공부(190)는 상기 제1 조명 패턴(20a)을 생성하는 제1 조명 패턴 생성부(196,197), 상기 제2 조명 패턴(20b)을 생성하는 제2 조명 패턴 생성부(194,195), 상기 제1 조명 패턴(20a)을 반사시키는 제1 미러(193), 상기 제1 미러(193)에서 반사된 제1 조명 패턴(20a)과 상기 제2 조명 패턴(20b)을 결합하는 패턴 결합기(192); 및 결합된 제1 조명 패턴과 제2 조명 패턴을 상기 광도전 전기 배선 칩(101)에 집속하는 렌즈부(191)를 포함할 수 있다.
- [0045] 상기 제1 조명 패턴(20a)은 상기 광도전 전기 배선 칩(101)에 재구성 가능한 전기 배선(4)을 제공할 수 있다. 상기 제2 조명 패턴(20b)은 상기 광도전 전기 배선 칩(101)에 재구성 가능한 배선(4) 및 전극을 제공할 수 있다.
- [0046] 상기 제1 조명 패턴 생성부(196,197)는 제1 광원(196) 및 상기 제1 광원을 제공받아 재구성 가능한 상기 제1 조명 패턴을 생성하는 제1 공간 변조부(197)를 포함할 수 있다. 상기 제1 광원(196)은 제1 파장 대역을 가지는 레이저 광원일 수 있다. 또는, 상기 제1 광원(196)은 제1 파장 대역을 가지는 LED 광원일 수 있다.
- [0047] 상기 제1 파장 대역은 514nm 일 수 있다. 상기 제1 공간 변조부(197)는 디지털 마이크로미러 소자(Digital Micromirror Device; DMD)일 수 있다. 상기 제1 공간 변조부(197)는 입사광을 제공받아 국부적으로 마이크로미러를 사용하여 소정의 제1 조명 패턴(20a)을 생성할 수 있다. 상기 제1 조명 패턴(20a)은 대상물의 형상 및 전기 자극 위치에 따라 선택될 수 있다. 상기 제1 미러(193)는 상기 제1 조명 패턴 생성부가 생성한 상기 제1 조명 패턴을 반사시켜 상기 패턴 결합기(192)에 제공할 수 있다.
- [0048] 상기 제2 조명 패턴 생성부(194,195)는 제2 광원(194) 및 상기 제2 광원을 제공받아 재구성 가능한 상기 제2 조명 패턴(20b)을 생성하는 제2 공간 변조부(195)를 포함할 수 있다. 상기 제2 광원(194)은 제2 파장 대역을 가지는 레이저 광원일 수 있다. 또는, 상기 제2 광원(194)은 제2 파장 대역을 가지는 LED 광원일 수 있다. 상기 제2 파장 대역은 365 nm일 수 있다. 상기 제2 공간 변조부(195)는 디지털 마이크로미러 소자(Digital Micromirror Device; DMD)일 수 있다.
- [0049] 상기 패턴 결합기(192)는 이색성 미러 또는 빔 결합기일 수 있다. 상기 제1 조명 패턴(20a)의 파장과 상기 제2 조명 패턴(20b)의 파장이 서로 다른 경우, 상기 패턴 결합기는 이색성 미러일 수 있다.
- [0050] 상기 렌즈부(191)는 현미경의 대물 렌즈로 동작할 수 있다. 상기 렌즈부(191)는 결합된 제1 조명 패턴과 제2 조명 패턴을 소정의 배율을 가지고 상기 광도전 전기 배선 칩(101)에 결상시킬 수 있다. 시료 스테이지(미도시)는 상기 광도전 전기 배선 칩(101)을 장착하고 상기 결합된 제1 조명 패턴과 제2 조명 패턴과 상기 광도전 전기 배선 칩(101)을 상호 정렬시킬 수 있다. 상기 렌즈부(191)는 상기 광도전 전기 배선 칩(101)의 하부에 배치될 수 있다. 또한, 상기 렌즈부(191)는 상기 광도전 전기 배선 칩(101)이 불투명할 경우 상기 광도전 전기 배선 칩(101)의 상부에 배치될 수도 있다.
- [0051] 대상물(2)이 재구성 가능한 광도전 전기 배선 칩(101)상에 배치된다. 상기 대상물(2)은 상기 제2 조명 패턴(20b)에 의하여 국부적으로 전극으로 변환된 제2 광도전층을 통하여 외부 시스템(5)와 전기적으로 연결될 수 있다. 상기 대상물(2)은 미생물, 세포, DNA/RNA, 또는 생/화학시료일 수 있다.
- [0052] 상기 광도전 전기 배선 칩(101)은, 기관(110) 상에 서로 이격되어 배치된 복수의 도전 패턴들(122); 상기 도전

패턴들(122) 사이에 배치된 제1 광도전층(130); 및 상기 도전 패턴들(122) 상에 배치된 제2 광도전층(150)을 포함한다. 상기 제1 광도전층(130)은 제1 조명 패턴(20a)의 광 조사에 의하여 상기 도전 패턴들(122)을 전기적으로 연결하고, 상기 제2 광도전층(150)은 상기 제2 광도전층에 배치된 대상물(2)에 전기 배선을 제공하도록 제2 조명 패턴(20b)의 광 조사에 의하여 광도전 전극으로 동작한다. 상기 제2 광도전층(150)은 상기 제2 조명 패턴(20b)의 광 조사에 의하여 상기 도전 패턴들(122) 또는 상기 제1 광도전층(130)을 상기 기판에 수직한 방향으로 전기적으로 연결하여 상기 제2 광도전층(150) 상에 배치된 대상물(2)에 전기 배선을 제공한다.

- [0053] 기판(110)은 투명한 유리 기판, 투명한 플라스틱 기판, 제1 조명 패턴(20a) 및 상기 제2 조명 패턴(20b)에 투명한 물질일 수 있다.
- [0054] 상기 도전 패턴들(122)은 투명 전도성 물질일 수 있다. 구체적으로, 상기 도전 패턴들(122)은 투명 전도성 산화물일 수 있다. 구체적으로, 상기 도전 패턴들(122)은 산화아연(AZO; Aluminium-zinc oxide; ZnO:Al), 산화인듐주석(ITO; indium-tin oxide), 불소함유 산화주석(FTO: Fluorine-doped tin oxide), 인듐아연산화막 (IZO; indium zinc oxide) 등의 투명하며, 전도성이 있는 층을 사용하는 것이 바람직하다. 또는, 빛이 투과하는 두께를 가진 금박막이 도전 패턴들(122)로 사용될 수 있다.
- [0055] 상기 도전 패턴들(122)은 제1 방향 및 제1 방향에 수직한 제2 방향으로 매트릭스 형태로 배열될 수 있다. 상기 제1 광도전층(130)은 상기 도전 패턴들(122) 사이의 공간을 채우고, 상기 제2 광도전층(150)은 상기 도전 패턴들(122) 및 상기 제1 광도전층(130) 상에 배치될 수 있다. 상기 도전 패턴들(122)은 매트릭스 형태로 배열된 경우, 상기 제1 광도전층(130)은 서로 교차하는 십자형태의 그물 패턴을 가질 수 있다.
- [0056] 본 발명의 변형된 실시예에 따르면, 상기 도전 패턴들(122)은 매트릭스 형태로 배열된 경우, 그 십자형태의 교차지점에 절연층(미도시)이 배치될 수 있다. 상기 절연층은 제1 방향 또는 제2 방향으로 전기적 연결을 제공하고, 대각선 방향으로 전기적 연결을 차단할 수 있다.
- [0057] 상기 제1 광도전층(130)은 제1 파장 대역에서 광도전성을 제공하고, 상기 제2 광도전층(150)은 상기 제1 파장 대역과 다른 제2 파장 대역에서 광도전성을 제공할 수 있다. 상기 제1 광도전층(130)은 문턱 에너지 이상의 광자 에너지를 제공받는 경우, 상기 제1 조명 패턴(20a)에 의하여 광도전성을 국부적으로 제공할 수 있다. 이에 따라, 상기 제1 광도전층(130)은 이웃한 한 쌍의 도전 패턴들을 전기적으로 연결하여 동일한 평면 내에서 평면 배선을 제공할 수 있다.
- [0058] 상기 제1 광도전층(130) 또는 상기 제2 광도전층(150)을 구성하는 물질은 비정질 실리콘, TiO₂, ZnS, CdS, GaAs, Ge, PnTe, PbSe, InSn 중에서 어느 하나를 포함할 수 있다. 상기 제1 광도전층(130) 또는 상기 제2 광도전층(150)의 저항비(Ron/Roff)는 상기 제1 조명 패턴 또는 제2 조명 패턴에 의하여 1000 이상일 수 있다.
- [0059] 상기 도전 패턴들(122)의 전기 전도도는 도전 상태에서 상기 제1 광도전층의 전기 전도도보다 1000 배 이상 클 수 있다. 예를 들어, 상기 도전 패턴들(122)이 산화인듐주석(ITO; indium-tin oxide)인 경우, 상기 ITO의 전기 전도도는 $\sim 10^4$ ($\Omega^{-1}\text{cm}^{-1}$)일 수 있다. 제1 광도전층이 비정질 실리콘인 경우, 광도전 상태에서 비정질 실리콘의 전기 전도도는 3.3×10^{-5} ($\Omega^{-1}\text{cm}^{-1}$)일 수 있다. 제2 광도전층이 TiO₂인 경우, 광도전 상태에서 TiO₂의 전기 전도도는 7×10^{-2} ($\Omega^{-1}\text{cm}^{-1}$)일 수 있다.
- [0060] 상기 제1 조명 패턴(20a)은 이웃한 상기 도전 패턴들 사이의 공간에서 상기 제1 광도전층 중에서 상기 제 1 방향 또는 상기 제2 방향 중에서 어느 하나의 방향으로 연장된 영역에 국부적으로 광도전성을 제공한다. 상기 이웃한 도전 패턴들(122) 사이의 간격(g)은 수 나노미터 내지 수백 마이크로미터일 수 있다. 정사각형 형태의 도전 패턴들(122)의 각각의 한 변의 길이(d)는 수 마이크로미터 내지 수백 마이크로미터 일 수 있다. 상기 제1 조명 패턴(20a)은 한 변의 길이(d)를 걸치도록 연장될 수 있다.
- [0061] 상기 도전 패턴들(122)의 각각의 한 변의 길이(d)는 상기 이웃한 도전 패턴들 사이의 간격(g)보다 10 배 내지 1000 배일 수 있다. 상기 제1 조명 패턴(20a)의 각 픽셀은 한 변의 길이(d)만큼 연장되어, 광도전 영역으로 변한 제1 광도전층은 충분히 작은 저항을 가질 수 있다. 상기 제1 광도전층의 두께(t)는 충분한 작은 저항을 제공하도록 상기 이웃한 도전 패턴들 사이의 간격(g)보다 클 수 있다. 이에 따라, 본 발명의 일 실시예에 따른 배선(4)의 저항은, 상기 제1 광도전층만으로 평면 배선을 한 경우에 비하여, 적어도 10 배 이상 작을 수 있다. 상기 제1 광도전층의 두께(t)는 100 나노미터 내지 100 마이크로미터일 수 있다.
- [0062] 제2 광도전층(150)은 상기 제1 광도전층(130) 및/또는 상기 도전 패턴들(122) 상에 배치될 수 있다. 이에 따라, 상기 제2 광도전층은 상기 제2 조명 패턴이 조사되지 않는 경우, 상기 제2 광도전층은 실질적으로 유전체로 동

작할 수 있다. 상기 제2 조명 패턴(20b)이 상기 제2 광도전층에 조사된 경우, 상기 제2 광도전층은 상기 제2 조명 패턴에 의하여 국부적으로 광도전성을 제공할 수 있다.

[0063] 상기 제2 조명 패턴은 상기 도전 패턴(122)만에 조사되도록 설정될 수 있다. 이에 따라, 상기 제2 광도전층(150)은 상기 제2 조명 패턴에 의하여 국부적으로 광도전 전극으로 동작하고, 수직 배선을 형성할 수 있다. 상기 제1 광도전층(130)은 비정질 실리콘이고, 상기 제2 광도전층(150)은 TiO₂일 수 있다. 이 경우, TiO₂는 비정질 실리콘에 비하여 더 큰 전기 전도도를 가지므로, 배선 저항을 충분히 감소시킬 수 있다. 또한, 상기 제2 광도전층(150)의 두께는 수십 나노미터 내지 수십 마이크로미터일 수 있다. 이에 따라, 상기 제2 광도전층(150)의 저항은 광도전 상태에서 상기 제1 광도전층에 의한 저항보다 충분히 작을 수 있다.

[0064] 상기 도전 패턴들(122), 상기 제1 광도전층(130), 및 상기 제2 광도전층(150)은 상기 대상물에 국부적인 전기적 연결을 형성하기 위하여 상기 제1 조명 패턴 및 제2 조명 패턴에 의하여 재구성 가능한 배선(4)을 제공할 수 있다.

[0065] 접속 패드들(164) 각각은 상기 도전 패턴들(122) 중에서 최외곽에 배치된 도전 패턴들과 외부 시스템(5)과 전기적으로 연결될 수 있다. 상기 접속 패드들(164)은 상기 도전 패턴들과 동시에 패터닝되고 동일한 층에 배치될 수 있다. 상기 접속 패드들(164)은 투명 전도성 산화물 상에 배치된 금속층을 더 포함할 수 있다. 보조 배선(162)은 상기 접속 패드들(164)과 상기 최외곽 도전 패턴들(122)과 연결할 수 있다.

[0066] 대상물은 배양액(3) 내에 배치되고, 상기 배양액은 전기적으로 접지될 수 있다.

[0067] 이하, 상기 광도전 전기 배선 칩(101)의 제조 방법이 설명된다.

[0068] 도 4a 및 도 4b는 본 발명의 일 실시예에 따른 광도전 전기 배선 칩의 제조 방법을 설명하는 단면도들이다.

[0069] 도 4a를 참조하면, 기판(110) 상에 십자 형상의 그물 구조를 가진 제1 광도전층(130)이 형성될 수 있다. 상기 제1 광도전층은 증착 후 패터닝되거나, 증착과 동시에 패터닝될 수 있다. 상기 제1 광도전층은 비정질 실리콘일 수 있다. 상기 비정질 실리콘은 플라즈마 도움 화학 기상 증착법으로 증착될 수 있다.

[0070] 도 4b를 참조하면, 이어서, 제1 광도전층 사이의 빈 공간에 이격되어 배치된 도전 패턴들(122)이 형성될 수 있다. 상기 도전 패턴들은 프린팅 방법, 새도우 마스크를 이용한 증착 방법, 또는 리프트-오프 공정에 의하여 수행될 수 있다. 상기 리프트-오프 공정은, 포토레지스트 패터닝 후에 도전 물질을 증착하고, 상기 포토레지스트를 제거하여 패터닝할 수 있다.

[0071] 상기 도전 패턴들(122)은 투명 전도성 산화물일 수 있다. 상기 도전 패턴들과 동시에 보조 배선(162) 및 접속 패드들(164)이 동시에 패터닝될 수 있다. 상기 투명 전도성 산화물은 스퍼터링 방법에 의하여 증착될 수 있다.

[0072] 다시 도 3b를 참조하면, 이어서, 상기 도전 패턴들 및 상기 제1 광도전층 상에 제2 광도전층(150)을 형성할 수 있다. 상기 제2 광도전층(150)은 TiO₂일 수 있다. 상기 제2 광도전층(150)은 상기 접속 패드들(164)을 노출시키도록 패터닝될 수 있다. 상기 제2 광도전층(150)은 증착 후 패터닝되거나, 증착과 동시에 패터닝될 수 있다. 상기 TiO₂는 스퍼터링 방법, sol-gel 방법, doctor blade 방법에 의하여 증착될 수 있다.

[0073] 본 발명의 변형된 실시예에 따르면, 상기 도전 패턴들(122)을 형성한 후 상기 제1 광도전층(130)을 형성하도록 변형될 수 있다. 이 경우, 상기 도전 패턴들(122)은 증착 후 레이저 스크라이빙 기법에 의하여 패터닝될 수 있다. 또한, 상기 도전 패턴들(122)은 리프트-오프(lift-off) 방법에 의해 패터닝될 수 있다. 또한, 상기 도전 패턴들(122)은 증착 후 photolithography 및 에칭에 의해 패터닝될 수 있다.

[0074] 도 5a는 본 발명의 다른 실시예에 따른 광도전 전기 배선 칩을 설명하는 평면도이다.

[0075] 도 5b는 도 5a의 C-C' 선을 따라 자른 단면도이다.

[0076] 도 5a 및 도 5b를 참조하면, 광도전 전기 배선 칩(201)은, 기판(110) 상에 서로 이격되어 배치된 복수의 도전 패턴들(122); 상기 도전 패턴들 사이에 배치된 제1 광도전층(230); 및 상기 도전 패턴들(122) 상에 배치된 제2 광도전층(150)을 포함한다. 상기 제1 광도전층(230)은 제1 조명 패턴(20a)의 광 조사에 의하여 상기 도전 패턴들(122)을 전기적으로 연결한다. 상기 제2 광도전층(150)은 상기 제2 광도전층에 배치된 대상물에 전기 배선을 제공하도록 제2 조명 패턴(20b)의 광 조사에 의하여 광도전 전극으로 동작한다. 상기 제2 광도전층(150)은 상기 제2 조명 패턴의 광 조사에 의하여 상기 도전 패턴들 또는 상기 제1 광도전층을 상기 기판에 수직인 방향으로 전기적으로 연결하여 상기 제2 광도전층에 배치된 대상물(4)에 전기 배선을 제공한다.

- [0077] 상기 제1 광도전층(130)은 상기 도전 패턴들 사이를 채울 수 있다. 또한, 상기 제1 광도전층(130)은 상기 도전 패턴들(122)을 덮도록 형성될 수 있다.
- [0078] 제1 조명 패턴(20a)은 상기 도전 패턴들(122) 사이에 배치된 제1 광도전층(230)만을 조사하도록 조절될 수 있다.
- [0079] 제1 조명 흡수 패턴(240)은 상기 도전 패턴들(122) 사이에 배치된 제1 광도전층(230) 상에 정렬되어 배치될 수 있다. 상기 제1 조명 흡수 패턴(240)은 십자 형태의 그물 구조일 수 있다. 이에 따라, 상기 제1 조명 흡수 패턴(240)은 상기 제1 조명 패턴의 광 조사를 흡수하여 상기 제2 광도전층(150)으로 광투과를 억제할 수 있다. 이에 따라, 상기 제1 조명 패턴에 의하여 상기 제2 광도전층의 광 노출이 제거될 수 있다. 상기 제1 조명 흡수 패턴(240)은 광흡수 효율이 좋은 흑색 페인트일 수 있다. 또한 상기 제1 조명 흡수 패턴(240)은 증착된 금속 (Al, Cr, Au) 박막일 수 있다. 상기 제1 조명 흡수 패턴(240)은 프린팅 기법 등 다양한 패턴링 방법에 의하여 형성될 수 있다.
- [0080] 상기 제1 조명 흡수 패턴(240)이 배치된 경우, 제1 조명 패턴의 파장과 상기 제2 조명 패턴의 파장은 동일할 수 있다. 또한, 상기 제1 조명 패턴과 상기 제2 조명 패턴은 각각 형성되어 결합하지 않고 동시에 형성될 수 있다. 또한 상기 제1 광도전층(230)과 제2 광도전층(150)은 동일한 물질일 수 있다. 구체적으로, 상기 제1 광도전층(230) 및 제2 광도전층(150)은 a-Si:H 또는 TiO₂일 수 있다.
- [0081] 제2 조명 패턴(20b)은 투명 도전성 산화물로 구성된 도전 패턴(122)을 투과하여 제2 광도전층(150)을 국부적으로 조사할 수 있다. 이에 따라, 상기 제2 조명 패턴에 의하여 조사된 제2 광도전층의 영역은 비아 배선 및 광도전 전극으로 동작할 수 있다. 상기 제1 조명 패턴(20a) 및 상기 제2 조명 패턴(20b)은 기관의 하부면에서 비출 수 있다.
- [0082] 본 발명의 변형된 실시예에 따르면, 제1 조명 패턴(20a)은 기관의 하부면에서 조사하고, 제2 조명 패턴(20b)은 기관의 상부면에서 조사할 수 있도록 변형될 수 있다. 제1 조명 흡수 패턴(240)은 제2 조명 패턴(20b)이 상기 제1 광도전층(230)으로 전달되는 것을 억제할 수 있다.
- [0083] 도 6a는 본 발명의 또 다른 실시예에 따른 광도전 전기 배선 칩을 설명하는 평면도이다.
- [0084] 도 6b는 도 6a의 D-D' 선을 따라 자른 단면도이다.
- [0085] 도 6a 및 도 6b를 참조하면, 광도전 전기 배선 칩(301)은, 기관(110) 상에 서로 이격되어 배치된 복수의 하부 도전 패턴들(322); 서로 이격되어 배치되고 이웃한 하부 도전 패턴들(322) 상에 배치된 상부 도전 패턴들(324); 상기 하부 도전 패턴들(322)과 상기 상부 도전 패턴들(324) 사이에 개재된 제1 광도전층(330); 및 상기 상부 도전 패턴들(324) 및 상기 제1 광도전층(330) 상에 배치된 제2 광도전층(350)을 포함한다. 상기 제1 광도전층(330)은 제1 조명 패턴의 광 조사에 의하여 하부 도전 패턴(322)과 상부 도전 패턴(324)을 기관에 수직인 방향으로 전기적으로 연결한다. 상기 제2 광도전층(350)은 제2 조명 패턴의 광 조사에 의하여 상기 상부 도전 패턴(324) 및 상기 제1 광도전층(330)과 상기 기관에 수직인 방향으로 전기적으로 연결되어 상기 제2 광도전층(350)에 배치된 대상물에 전기 배선을 제공한다.
- [0086] 상기 기관(110)은 투명 기관일 수 있다.
- [0087] 상기 하부 도전 패턴들(322) 각각은 사각형 형태를 가질 수 있다. 상기 하부 도전 패턴들(322)은 제1 방향 및 상기 제1 방향에 수직인 제2 방향으로 규칙적으로 배열되어 매트릭스를 구성할 수 있다. 상기 하부 도전 패턴들(322)은 투명 도전성 산화물로 형성될 수 있다.
- [0088] 상기 상부 도전 패턴들(324)은 제1 방향 및 제1 방향에 수직인 제2 방향으로 매트릭스 형태로 배열된다. 상기 상부 도전 패턴들(324)은 상기 하부 도전 패턴의 모서리들에 겹치도록 배치될 수 있다. 즉, 상기 하부 도전 패턴들(322)은 상기 상부 도전 패턴들(324)이 교차하는 교점에 각각 배치될 수 있다. 상기 상부 도전 패턴(324)은 투명 전도성 산화물일 수 있다. 상기 상부 도전 패턴들 사이의 간격은 수 나노미터 내지 수십 마이크로미터일 수 있다. 상기 하부 도전 패턴들 사이의 간격은 수 나노미터 내지 수십 마이크로미터일 수 있다. 상기 상부 도전 패턴들의 한 변의 길이는 수 마이크로미터 내지 수백 마이크로미터일 수 있다. 상기 하부 도전 패턴들의 한 변의 길이는 수 마이크로미터 내지 수백 마이크로미터일 수 있다.
- [0089] 접속 패드들(164)은 상기 상부 도전 패턴들(324) 또는 상기 하부 도전 패턴들(322) 중에서 최외곽에 배치된 도전 패턴들과 각각 연결될 수 있다. 상기 접속 패드들(164)은 외부 시스템(5)과 전기적으로 연결될 수 있다.

- [0090] 보조 배선들(162)은 상기 상부 도전 패턴들(324) 또는 상기 하부 도전 패턴들(322)과 상기 접속 패드들(164)을 각각 연결할 수 있다. 상기 보조 배선들, 상기 접속 패드들, 및 상기 상부 도전 패턴들 (또는 하부 도전 패턴들)은 동일한 평면에서 동일한 물질로 형성되고 동시에 패터닝될 수 있다.
- [0091] 상기 제1 광도전층(330)은 상기 하부 도전 패턴(322) 상에 적층될 수 있다. 상기 제1 광도전층(330)은 상기 하부 도전 패턴들(322) 사이의 공간을 채울 수 있다. 상기 제1 광도전층(330)은 제1 조명 패턴(20a)을 이용하여 상기 하부 도전 패턴(322)과 상기 상부 도전 패턴(324)을 연결하는 재구성 가능한 비아로 동작할 수 있다.
- [0092] 본 발명의 변형된 실시예에 따르면, 상기 제1 광도전층(330)은 상기 하부 도전 패턴(322) 상에만 적층될 수 있으며, 이 때 상기 하부 도전 패턴들(322) 사이의 공간은 절연층으로 채움으로써 누설 전류를 억제할 수 있다.
- [0093] 재구성 가능한 배선은 제1 조명 패턴(20a)에 의하여 형성된 비아(via)를 포함할 수 있다. 상기 비아는 상기 제1 광도전층에 상기 제1 조명 패턴이 조사되면 형성될 수 있다. 소정의 비아(via)를 턴온 저항 상태로 변경하기 위하여, 원하는 비아들이 위치할 영역에만 선택적으로 광을 조사하는 제1 조명 패턴이 요구된다.
- [0094] 상기 제1 광도전층(330)에 의하여 형성된 비아는 상기 하부 도전 패턴(322)과 상기 상부 도전 패턴(324)이 중첩된 면적을 통해 상기 제1 광도전층(330)의 두께만큼 전기적으로 연결하기 때문에 동일한 평면 내를 연결하는 배선에 비하여 낮은 저항을 제공할 수 있다. 상기 제1 광도전층(330)의 두께는 수 나노미터 내지 수 마이크로미터일 수 있다. 상기 제1 광도전층(330)의 두께는 바람직하게는 50 나노미터 내지 1 마이크로미터일 수 있다.
- [0095] 또한, 상기 비아가 형성되는 면적은 상부 도전 패턴과 하부 도전 패턴이 서로 중첩되는 영역일 수 있다. 상기 비아는 사각형 단면을 가질 수 있으며, 상기 비아의 한 변의 크기는 수 마이크로미터 내지 수십 마이크로미터일 수 있다. 상기 제1 광도전층의 두께가 서브 마이크로미터 수준으로 매우 얇은 경우, 상기 비아의 저항은 매우 작을 수 있다.
- [0096] 상기 제1 광도전층(330)은 비정질 실리콘이고, 상기 제2 광도전층(350)은 TiO_2 일 수 있다. 이 경우, 상기 제1 조명 패턴(20a)의 파장과 상기 제2 조명 패턴(20b)의 파장은 서로 다를 수 있다. 상기 제1 조명 패턴의 중심 파장은 514nm이고, 상기 제2 조명 패턴의 중심 파장은 365nm일 수 있다. 제1 조명 패턴은 상기 제1 광도전층(330)에만 비아를 형성하고, 상기 제2 조명 패턴은 상기 상부 도전 패턴 및 상기 제1 광도전층(330) 상에 상기 제2 광도전층(350)에만 비아를 형성할 수 있다.
- [0097] 본 발명의 변형된 실시예에 따르면, 상기 하부 도전 패턴들은 제1 방향 및 제1 방향에 수직한 제2 방향으로 매트릭스 형태로 배열되고, 상기 상부 도전 패턴들은 상기 하부 도전 패턴들이 교차하는 교점에 각각 배치될 수 있다. 상기 하부 도전 패턴들 중에서 최외곽에 배치된 하부 도전 패턴들은 외부 시스템과 전기적 연결을 위한 접속 패드들에 각각 연결될 수 있다. 상기 하부 도전 패턴들, 상기 접속 패드들은 동일한 배치평면에 형성될 수 있다.
- [0098] 이하, 광도전 전기 배선 칩(301)의 제조 방법이 설명된다.
- [0099] 도 7a 내지 도 7c는 본 발명의 또 다른 실시예에 따른 광도전 전기 배선 칩(301)의 제조 방법을 설명하는 단면도들이다.
- [0100] 도 7a를 참조하면, 기판(110) 상에 하부 도전 패턴들(322)이 형성된다. 상기 하부 도전 패턴들(322)은 투명 전도성 산화물일 수 있다. 상기 하부 도전 패턴들은 스크린 프린팅, 새도우 마스크 공정, 증착 후 레이저 스크라이빙 공정 등에 의하여 형성될 수 있다. 또는, 상기 하부 도전 패턴들은 리프트-오프 공정 또는 증착 후 포토레지스트 패턴 및 식각 공정을 통하여 형성될 수 있다.
- [0101] 도 7b를 참조하면, 이어서, 상기 하부 도전 패턴들(322)이 형성된 기판 상에 제1 광도전층(330)이 증착될 수 있다. 상기 제1 광도전층(330)은 비정질 실리콘일 수 있다. 상기 비정질 실리콘은 플라즈마 도움 화학 기상 증착법으로 증착될 수 있다. 상기 제1 광도전층(330)은 상기 하부 도전 패턴들 상에 배치되고, 상기 하부 도전 패턴들 사이의 공간을 채울 수 있다. 상기 제1 광도전층의 두께는 수 나노미터 내지 수 마이크로미터일 수 있다.
- [0102] 도 7c를 참조하면, 이어서, 상기 제1 광도전층(330) 상에 상부 도전 패턴들(324)이 형성될 수 있다. 상기 상부 도전 패턴들은 투명 도전성 산화물일 수 있다. 상기 상부 도전 패턴들(324)의 패터닝은 증착 후 또는 증착과 동시에 수행될 수 있다. 상기 상부 도전 패턴들(324)은 스크린 프린팅, 새도우 마스크 공정, 증착 후 레이저 스크라이빙 공정 등에 의하여 형성될 수 있다. 또는, 상기 상부 도전 패턴들은 리프트-오프 공정 또는 증착 후 포토레지스트 패턴 및 식각 공정을 통하여 형성될 수 있다. 상기 상부 도전 패턴들(324) (또는 상기 하부 도전 패턴

들(322)), 보조 배선(162) 및 접촉 패드들(164)은 동일한 배치 평면에서 동시에 형성될 수 있다.

- [0103] 다시 도 6b를 참조하면, 이어서, 상기 제2 광도전층(350)은 상기 상부 도전 패턴들(324) 상에 형성될 수 있다. 상기 제2 광도전층(350)은 상기 상부 도전 패턴들 사이의 공간을 채울 수 있다. 상기 제2 광도전층(350)은 TiO₂ 일 수 있다. 상기 제2 광도전층의 두께는 수 나노미터 내지 수십 마이크로미터 일 수 있다. 상기 제2 광도전층(350)은 제2 조명 패턴(20b)을 이용하여 상기 상부 도전 패턴에 연결되는 재구성 가능한 비아로 동작하여 전극으로 기능을 수행할 수 있다. 상기 제2 광도전층(350)은 상기 접촉 패드들(164)을 노출하도록 패터닝될 수 있다.
- [0104] 도 8a는 본 발명의 또 다른 실시예에 따른 광도전 전기 배선 칩을 설명하는 평면도이다.
- [0105] 도 8b는 도 8a의 E-E' 선을 따라 자른 단면도이다.
- [0106] 도 8a 및 도 8b를 참조하면, 광도전 전기 배선 칩(401)은, 기관(110) 상에 서로 이격되어 배치된 복수의 하부 도전 패턴들(322); 서로 이격되어 배치되고 이웃한 하부 도전 패턴들(322) 상에 배치된 상부 도전 패턴들(324); 상기 하부 도전 패턴들(322)과 상기 상부 도전 패턴들(324) 사이에 개재된 제1 광도전층(330); 및 상기 상부 도전 패턴들(324) 및 상기 제1 광도전층(330) 상에 배치된 제2 광도전층(350)을 포함한다. 상기 제1 광도전층(330)은 제1 조명 패턴의 광 조사에 의하여 하부 도전 패턴(322)과 상부 도전 패턴(324)을 기관에 수직인 방향으로 전기적으로 연결한다. 상기 제2 광도전층(350)은 제2 조명 패턴의 광 조사에 의하여 상기 상부 도전 패턴(324) 및 상기 제1 광도전층(330)과 상기 기관에 수직인 방향으로 전기적으로 연결되어 상기 제2 광도전층(350)에 배치된 대상물에 전기 배선을 제공한다.
- [0107] 절연층(426)은 상기 하부 도전패턴들(322) 사이의 공간을 채울 수 있다. 상기 상부 도전 패턴(330)과 상기 제1 광도전층(330)은 서로 수직으로 정렬될 수 있다. 상기 제2 광도전층(350)은 상기 상부 도전 패턴들(324) 사이를 채우고, 상기 제1 광도전층(330) 사이의 공간을 채울 수 있다.
- [0108] 도 9a는 본 발명의 또 다른 실시예에 따른 광도전 전기 배선 칩을 설명하는 평면도이다.
- [0109] 도 9b는 도 9a의 F-F' 선을 따라 자른 단면도이다.
- [0110] 도 9a 및 도 9b를 참조하면, 광도전 전기 배선 칩(501)은, 기관(110) 상에 서로 이격되어 배치된 복수의 하부 도전 패턴들(522); 서로 이격되어 배치되고 이웃한 하부 도전 패턴들(522) 상에 배치된 상부 도전 패턴들(324); 상기 하부 도전 패턴들(522)과 상기 상부 도전 패턴들(324) 사이에 개재된 제1 광도전층(330); 및 상기 상부 도전 패턴들(324) 및 상기 제1 광도전층(330) 상에 배치된 제2 광도전층(350)을 포함한다. 상기 제1 광도전층(330)은 제1 조명 패턴의 광 조사에 의하여 하부 도전 패턴(522)과 상부 도전 패턴(324)을 기관에 수직인 방향으로 전기적으로 연결한다. 상기 제2 광도전층(350)은 제2 조명 패턴의 광 조사에 의하여 상기 상부 도전 패턴(324) 및 상기 제1 광도전층(330)과 상기 기관에 수직인 방향으로 전기적으로 연결되어 상기 제2 광도전층(350)에 배치된 대상물에 전기 배선을 제공한다.
- [0111] 상기 하부 도전 패턴들(522)은 이웃한 한 쌍의 상부 도전 패턴(324)을 연결하도록 연장될 수 있다. 상기 하부 도전 패턴들(522)은 제1 방향으로 일정한 간격으로 배치되고, 상기 제2 방향으로 일정한 간격을 가지고 배치될 수 있다. 이에 따라, 하부 도전 패턴(522)과 제1 조명 패턴(20a)을 이용하여 형성된 비아를 통하여, 상기 상부 도전 패턴들(324)은 제1 방향으로 연결될 수 있다.
- [0112] 또한, 상기 하부 도전 패턴(522)과 제1 조명 패턴(20a)을 이용하여 형성된 비아를 통하여, 상기 상부 도전 패턴들(324)은 제2 방향으로 연결될 수 있다. 상기 제1 조명 패턴(20a)은 상기 하부 도전 패턴과 상기 상부 도전 패턴이 중첩되는 영역에 형성될 수 있다. 상기 제2 조명 패턴(20b)은 상기 상부 도전 패턴(324) 상에 형성될 수 있다.
- [0113] 도 10은 본 발명의 또 다른 실시예에 따른 전기 배선 장치를 설명하는 개념도이다.
- [0114] 도 10을 참조하면, 상기 전기 배선 장치(600)는 전기 전극을 받는 대상물(2)이 안착된 광도전 전기 배선 칩(101), 및 상기 광도전 전기 배선 칩(101)에 재구성 가능한 전기 배선(4)을 제공하는 조명 패턴 제공부(690)를 포함한다.
- [0115] 상기 광도전 전기 배선 칩(101)은, 기관(110) 상에 서로 이격되어 배치된 복수의 도전 패턴들(122); 상기 도전 패턴들(122) 사이에 배치된 제1 광도전층(130); 및 상기 도전 패턴들(122) 상에 배치된 제2 광도전층(150)을 포함한다. 상기 제1 광도전층(130)은 제1 조명 패턴(20a)의 광 조사에 의하여 상기 도전 패턴들(122)을 전기적으

로 연결한다. 상기 도전 패턴들(122)과 상기 제1 광도전층(130)은 동일한 평면에서 전기적으로 연결되어 배선(4)을 형성한다.

[0116] 상기 제2 광도전층(150)은 상기 제2 광도전층 상에 배치된 대상물(2)에 전기 배선을 제공하도록 제2 조명 패턴(20b)의 광 조사에 의하여 광도전 전극으로 변환된다. 상기 제2 광도전층(150)은 상기 도전 패턴들(122) 또는 상기 제1 광도전층(130)을 상기 기판에 수직인 방향으로 전기적으로 연결하는 광도전 전극으로 동작하여 상기 제2 광도전층(150) 상에 배치된 상기 대상물(2)에 배선(4)을 제공한다.

[0117] 상기 조명 패턴 제공부(690)는, 상기 제1 조명 패턴(20a)을 생성하기 위하여 주기적으로 제1 조명 광을 생성하는 제1 광원(196); 상기 제2 조명 패턴(20b)을 생성하기 위하여 주기적으로 제2 조명 광을 생성하는 제2 광원(194); 상기 제1 광원(196)의 상기 제1 조명 광과 상기 제2 조명 광에 동일한 광경로를 제공하는 광 결합기(692); 및 상기 광 결합기(692)를 통하여 제공받은 상기 제1 조명 광과 상기 제2 조명 광을 시분할하여 상기 제1 조명광을 이용하여 상기 제1 조명 패턴을 형성하고 상기 제2 조명 광을 이용하여 상기 제2 조명 패턴을 형성하는 공간 변조부(697)를 포함한다. 상기 광 결합기(692)는 이색성 미러일 수 있다. 상기 공간 변조부(697)는 시간 분할하여 동작하는 디지털 마이크로미러 소자(Digital Micromirror Device; DMD)일 수 있다. 상기 공간 변조부(697)는 상기 제1 조명광이 입사하는 시간 동안에는 제1 조명 패턴을 생성하도록 동작하고, 상기 제2 조명광이 입사하는 시간 동안에는 제2 조명 패턴을 생성하도록 동작할 수 있다. 상기 제1 조명광과 제2 조명광이 교번하는 주기는 광도전성 물질의 턴온/턴오프(turn on/off) 시정수보다 작을 수 있다.

[0118] 제1 미러(693)는 상기 공간 변조부가 제공하는 상기 제1 조명 패턴(20a) 및 상기 제2 조명 패턴을 순차적으로 반사시키어 렌즈부(191)에 제공할 수 있다.

[0119] 상기 렌즈부(191)는 순차적으로 도달하는 제1 조명 패턴과 제2 조명 패턴을 상기 광도전 전기 배선 칩(101)에 집중할 수 있다.

[0120] 이상에서는 본 발명을 특정의 바람직한 실시예에 대하여 도시하고 설명하였으나, 본 발명은 이러한 실시예에 한정되지 않으며, 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 특허청구범위에서 청구하는 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 실시할 수 있는 다양한 형태의 실시예들을 모두 포함한다.

부호의 설명

[0121] 3: 배양액

4: 배선

5: 전원

20a: 제1 조명 패턴

20b: 제2 조명 패턴

100: 전기 배선 장치

101: 광도전 전기 배선 칩

110: 기판

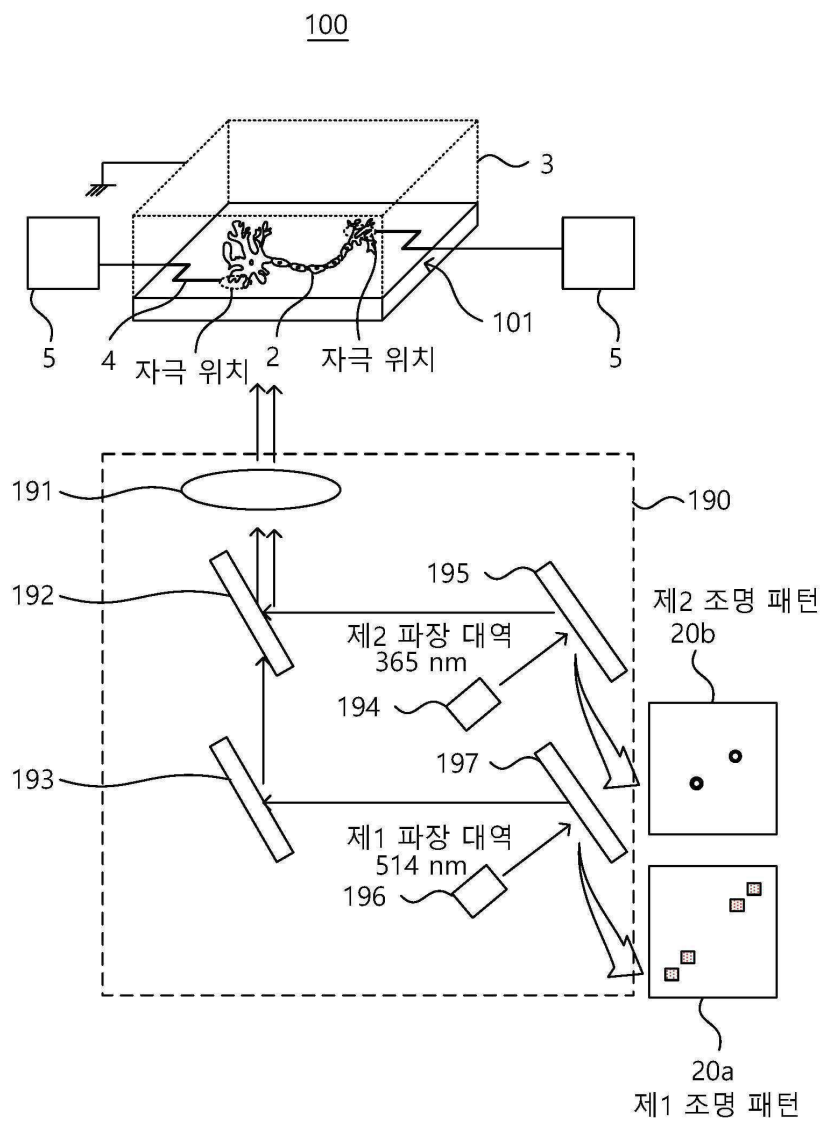
122: 도전 패턴들

130: 제1 광도전층

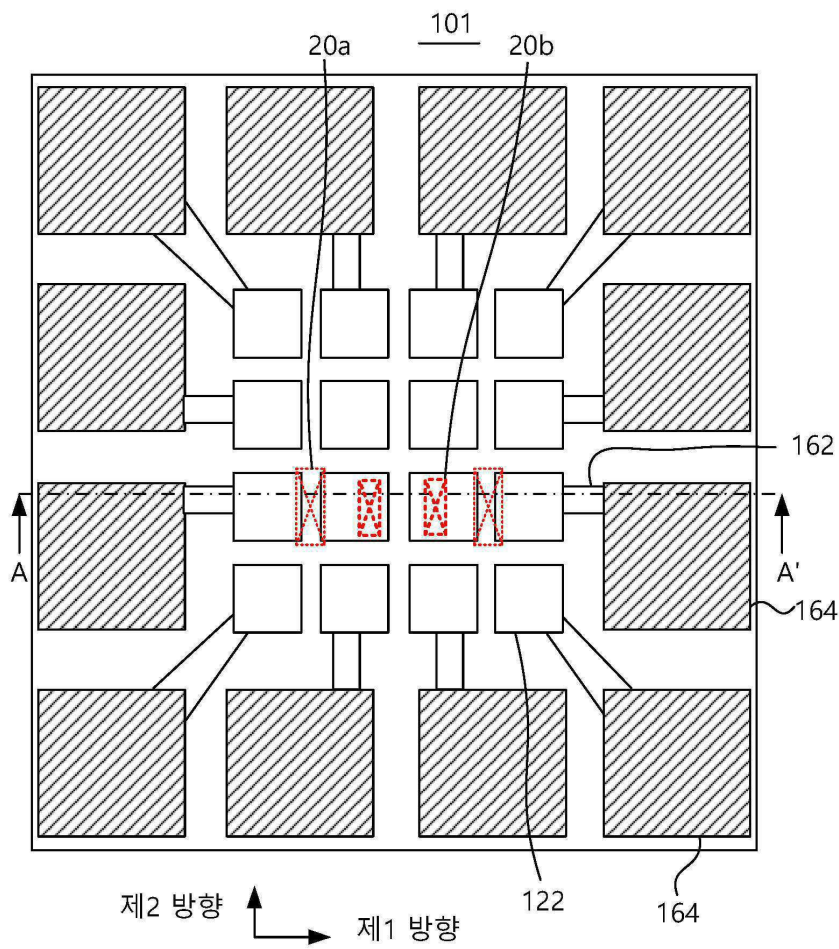
150: 제2 광도전층

도면

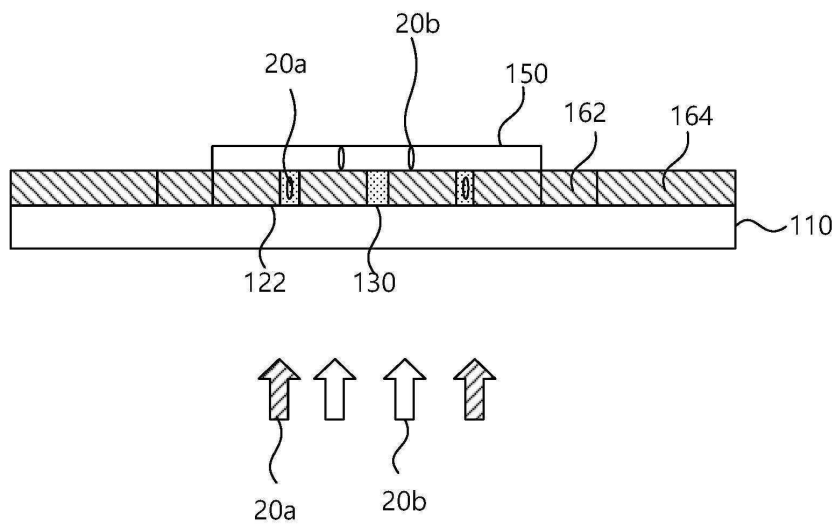
도면1



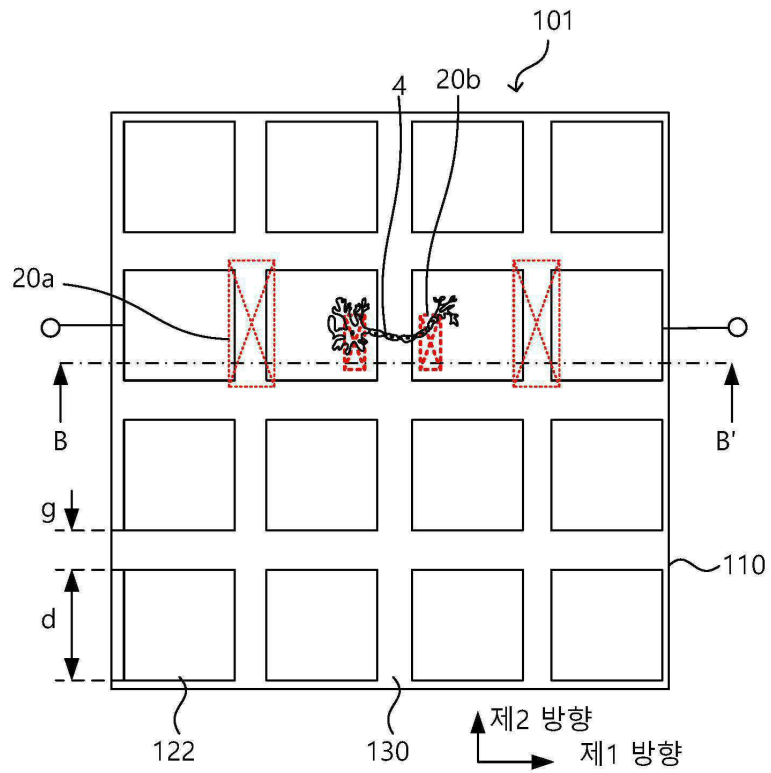
도면2a



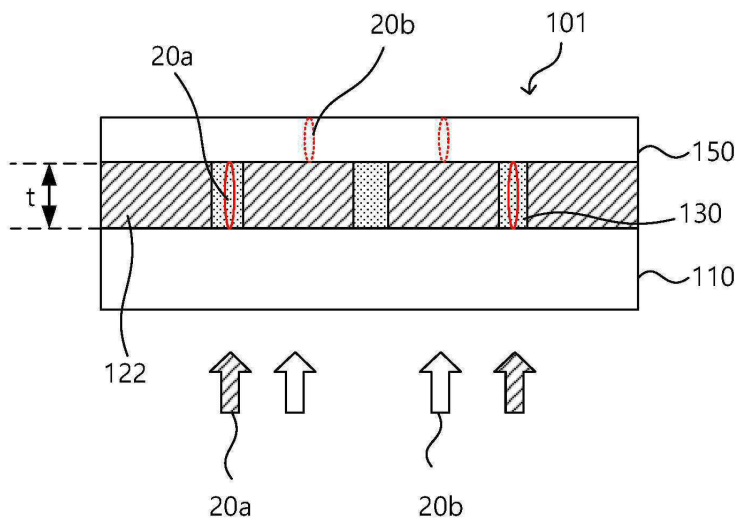
도면2b



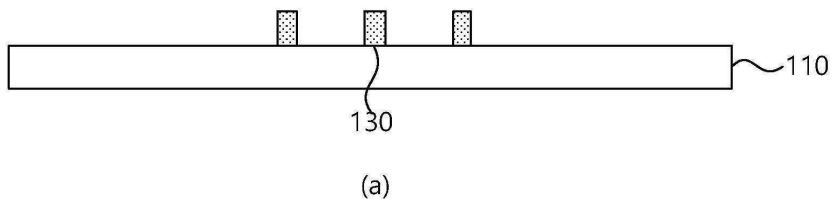
도면3a



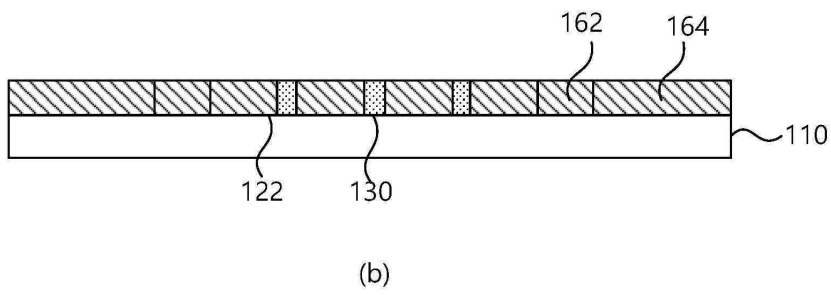
도면3b



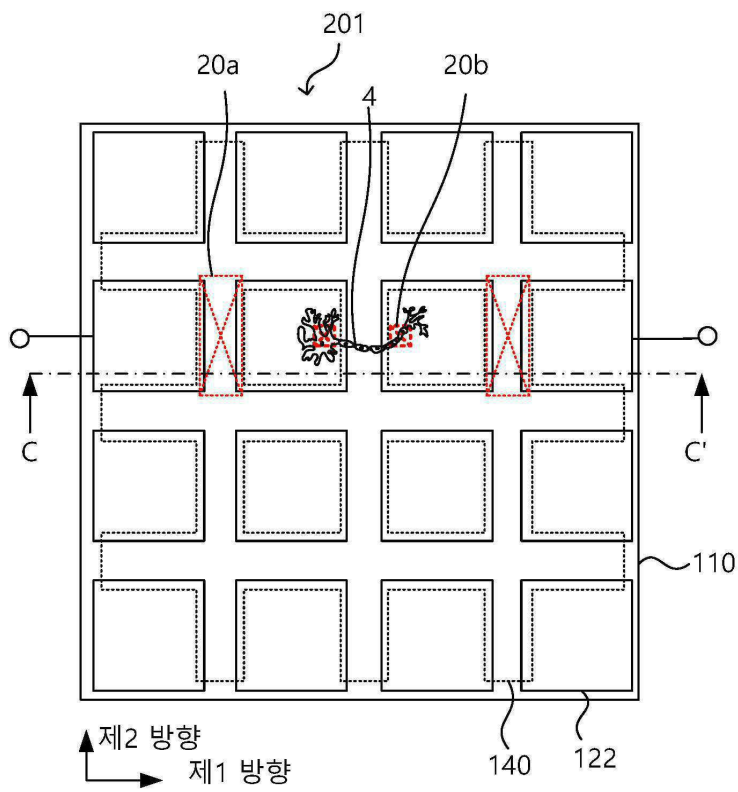
도면4a



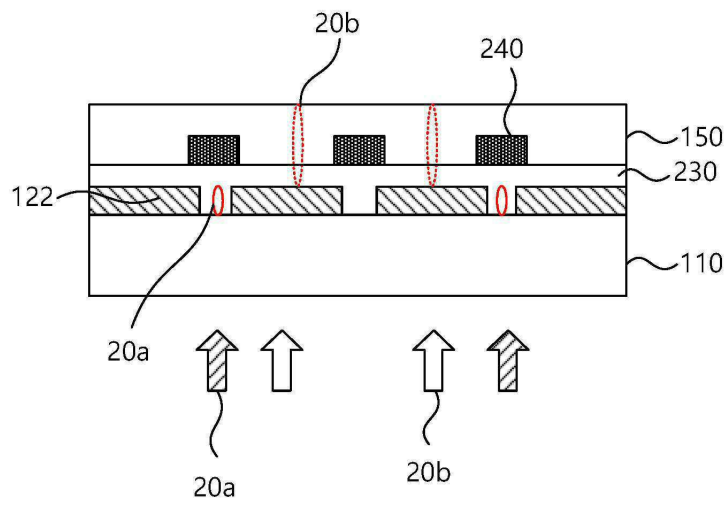
도면4b



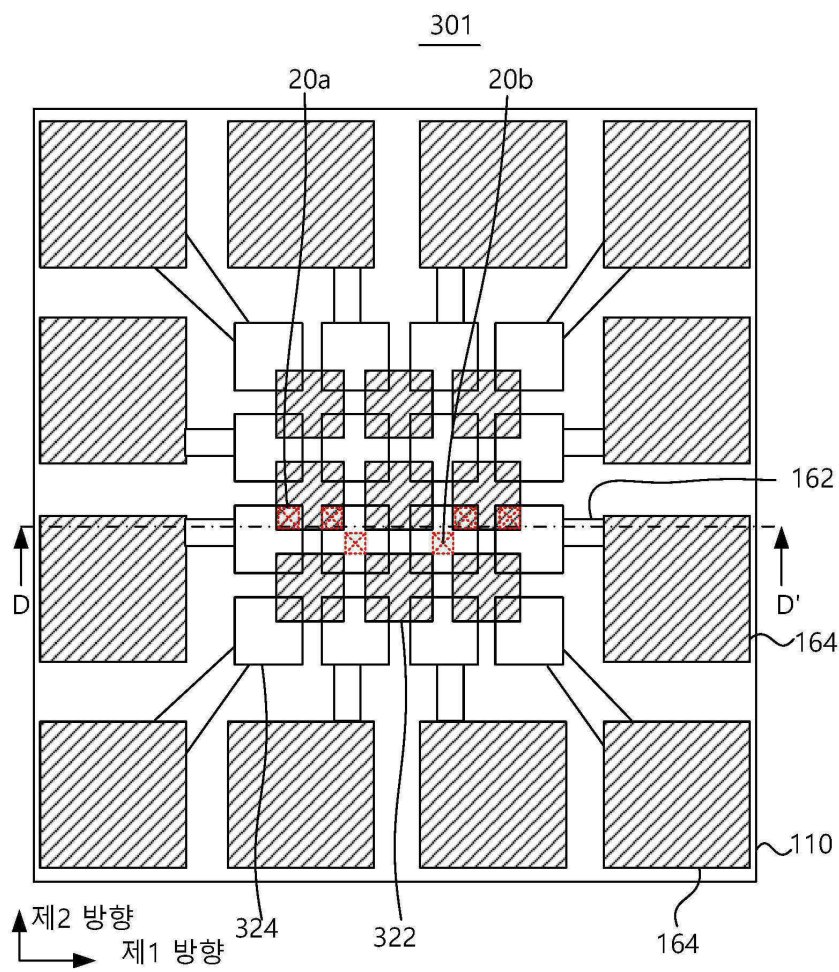
도면5a



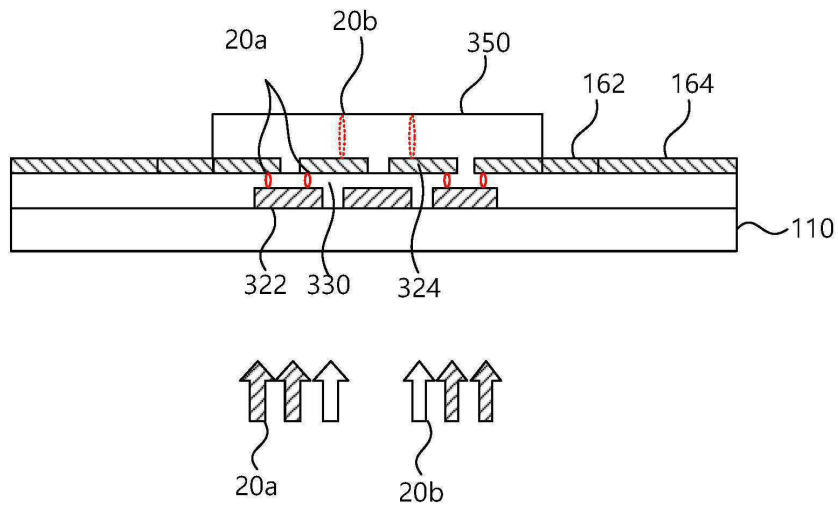
도면5b



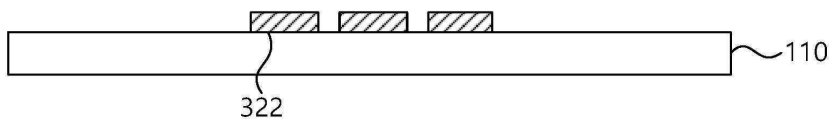
도면6a



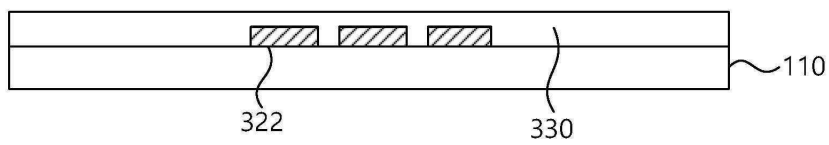
도면6b



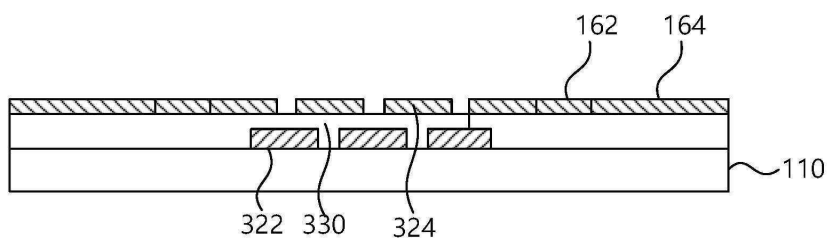
도면7a



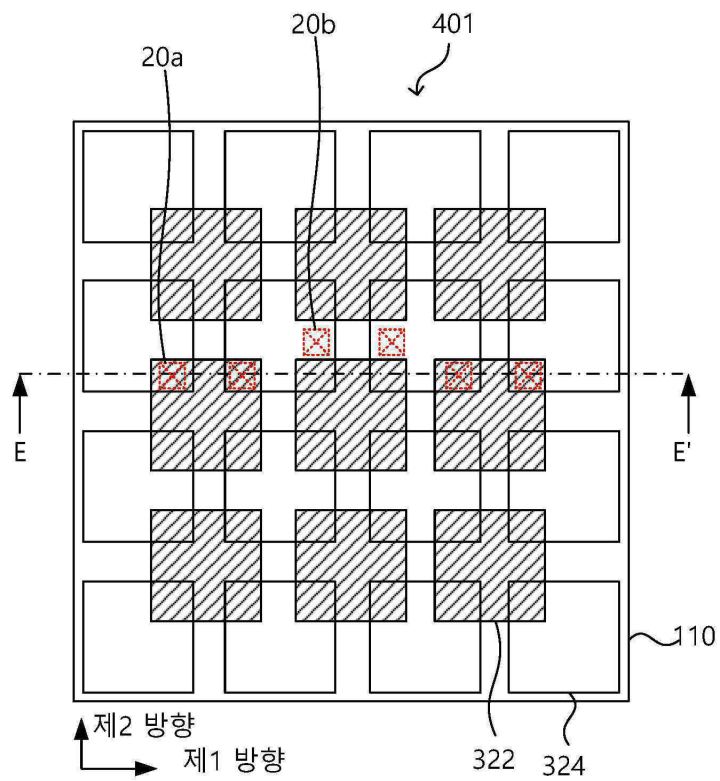
도면7b



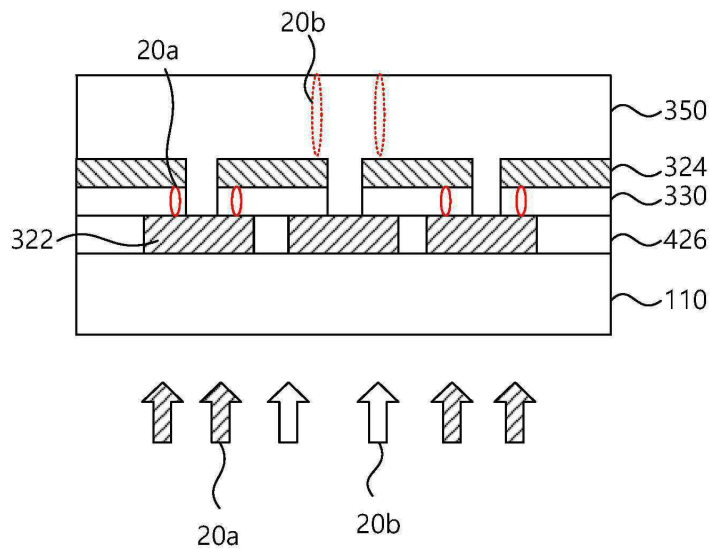
도면7c



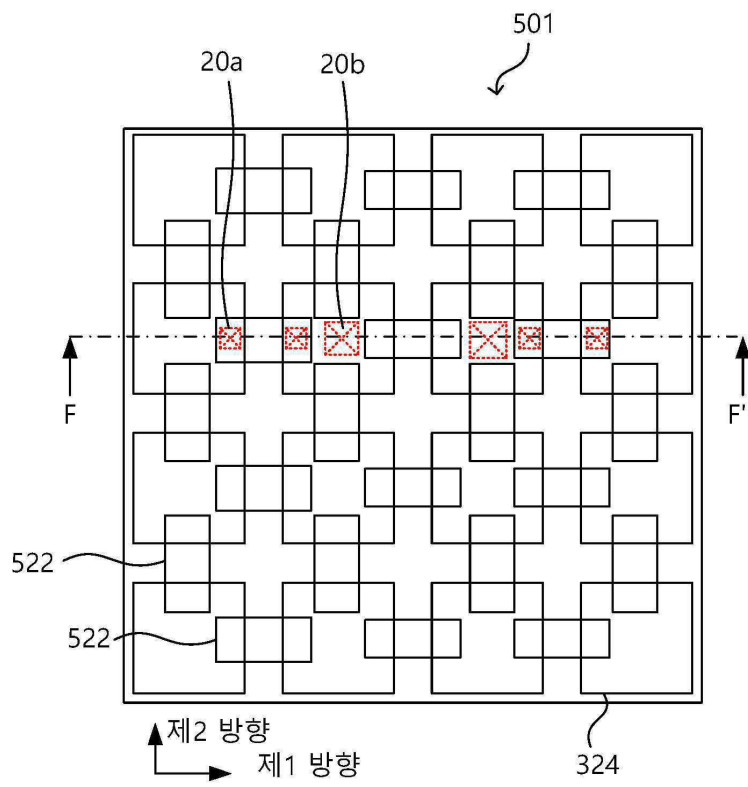
도면8a



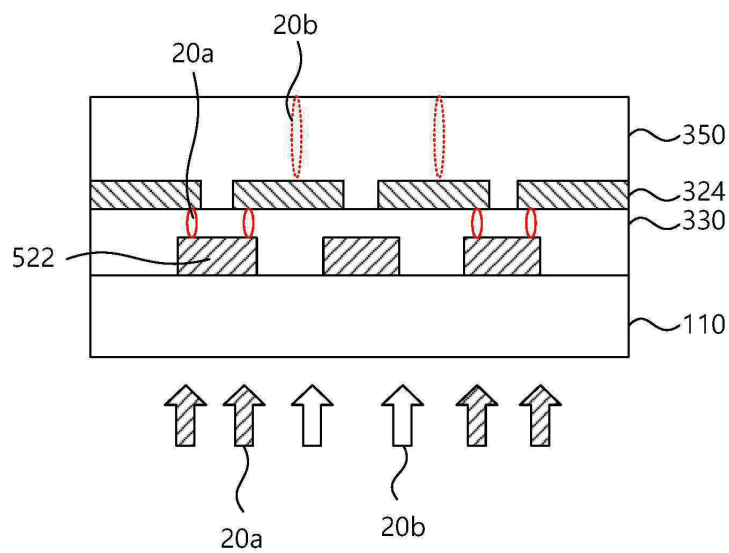
도면8b



도면9a



도면9b



도면10

