

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2020-506541

(P2020-506541A)

(43) 公表日 令和2年2月27日 (2020.2.27)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 33/00 (2010.01)	H O 1 L 33/00 K	2 G 0 6 5
H O 1 L 21/66 (2006.01)	H O 1 L 21/66 X	4 M 1 0 6
G O 1 J 1/00 (2006.01)	G O 1 J 1/00 C	5 F 2 4 1

審査請求 未請求 予備審査請求 未請求 (全 40 頁)

(21) 出願番号	特願2019-539976 (P2019-539976)	(71) 出願人	519217353 テソロ・サイエンティフィック・インコー ポレーテッド アメリカ合衆国・95070・カリフォル ニア州・サラトガ・ヴィア テソロ コー ト・19101
(86) (22) 出願日	平成30年1月23日 (2018.1.23)	(74) 代理人	100098394 弁理士 山川 茂樹
(85) 翻訳文提出日	令和1年9月4日 (2019.9.4)	(74) 代理人	100064621 弁理士 山川 政樹
(86) 国際出願番号	PCT/US2018/014917	(72) 発明者	ヘンリー, フランソワ・ジェイ アメリカ合衆国・95070・カリフォル ニア州・サラトガ・ヴィア テソロ コー ト・19101
(87) 国際公開番号	W02018/136970		
(87) 国際公開日	平成30年7月26日 (2018.7.26)		
(31) 優先権主張番号	62/449,554		
(32) 優先日	平成29年1月23日 (2017.1.23)		
(33) 優先権主張国・地域又は機関	米国 (US)		

最終頁に続く

(54) 【発明の名称】 発光ダイオード (LED) 検査装置及び製造方法

(57) 【要約】

実施形態は、発光ダイオード (LED) 構造体を含む製品の製作に有用な機能検査方法に関する。特に、LEDアレイは、フィールド・プレートを使用する変位電流結合デバイスを介して電流を注入することによって、機能的に検査され、フィールド・プレートは、LEDアレイに極めて近接して置いた電極及び絶縁体から構成される。次に、制御された電圧波形は、フィールド・プレート電極に印加され、LEDデバイスを並行して高い処理量で励起する。カメラは、電気励起から得られた個々の発光を記録し、複数のLEDデバイスの機能検査をもたらす。電圧条件の変化により、異なる電流密度レベルでLEDを励起し、外部量子効率及び他の重要なデバイス機能パラメータを機能的に測定することができる。

【選択図】 図1

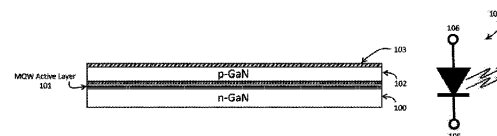


Figure 1

【特許請求の範囲】

【請求項 1】

支持基板上に配設した発光デバイス構造体からの発光を観察する装置であって、前記支持基板は、表面からアクセス可能な第 1 の接点層、及び前記発光デバイス構造体上に含まれる第 2 の接点層を有し、前記発光デバイス構造体は、垂直発光デバイス構造体又は側方発光デバイス構造体のいずれかから選択し、前記装置は、

フィールド・プレート・デバイス、

電圧を生成する電圧源、及び

検出器デバイス

を備え、前記フィールド・プレート・デバイスは、第 1 の面、及び前記第 1 の面に対向する第 2 の面を有し、前記第 2 の面は、導電層、及び重なる誘電体層を備え、前記誘電体層は、前記発光デバイス構造体の前記第 1 の接点層の少なくとも一部分に極めて近接して配置し、

前記電圧源は、経時変化する電圧波形を生成することができ、前記電圧源は、第 1 の端子及び第 2 の端子を有し、前記第 1 の端子は、前記フィールド・プレート・デバイスの前記導電層に結合する第 1 の電位を有し、前記第 2 の端子は、第 2 の電位にあり、前記電圧源は、前記発光デバイス構造体に静電容量結合電流を注入し、前記発光デバイス構造体の少なくとも一部分に、あるパターンの電磁放射線を放射させることができ、

前記検出器デバイスは、前記発光デバイス構造体から得た前記パターンの電磁放射線の画像を形成するため、前記発光デバイス構造体に結合する、装置。

【請求項 2】

前記第 2 の端子は、前記支持基板の裏側に電氣的に結合し、前記第 2 の電位は、経時変化する電圧波形を生成するため接地電位にあるか、又は前記接地電位に関連して負の電位若しくは正の電位にある、請求項 1 に記載の装置。

【請求項 3】

前記第 1 の端子は、前記フィールド・プレート・デバイスの前記導電層に電氣的に結合し、第 1 の電位を生成するため接地電位にあるか、又は前記接地電位に関連して負の電位若しくは正の電位にある、請求項 1 に記載の装置。

【請求項 4】

前記誘電体層を備える前記フィールド・プレート・デバイスの前記第 2 の面は、前記第 1 の接点層の一部分上に接触配置する、請求項 1 に記載の装置。

【請求項 5】

前記誘電体層を備える前記フィールド・プレート・デバイスの前記第 2 の面は、前記第 2 の面と前記第 1 の接点層の一部分との間に空間間隙を形成するように、極めて近接して配置する、請求項 1 に記載の装置。

【請求項 6】

前記側方発光デバイス構造体は、第 1 の接点層及び第 2 の接点層を備え、前記第 1 の接点層及び前記第 2 の接点層は、前記側方発光デバイス構造体の少なくとも 1 つの面に対し電氣的にアクセス可能である、請求項 1 に記載の装置。

【請求項 7】

前記画像は、静電容量結合し経時変化する電圧波形を印加することにより、前記発光デバイス構造体の発光表面の光出力から得られる、請求項 1 に記載の装置。

【請求項 8】

前記導電層は、パターン化し、前記第 1 の接点層の近傍内に第 1 の部分を備え、前記第 2 の接点層の近傍内に第 2 の部分を備え、前記第 1 の部分は、前記第 2 の部分から電氣的、物理的に分離し、前記第 1 の部分は、前記電圧源の前記第 1 の端子に接続し、前記第 2 の部分は、別の電圧源又は接地電位に接続する、請求項 3 に記載の装置。

【請求項 9】

前記導電層は、前記第 1 の接点層の近傍内に第 1 の部分を備え、前記第 2 の接点層の近傍内に導電層はない、請求項 3 に記載の装置。

【請求項 10】

前記垂直発光デバイス構造体は、前記第1の接点層、及び前記発光デバイス構造体の下の前記第2の接点層を備える、請求項1に記載の装置。

【請求項 11】

前記検出器デバイスに結合し、前記検出器デバイス上に供給された電磁放射線を合焦するレンズを更に備える、請求項1に記載の装置。

【請求項 12】

前記検出器デバイスは、前記支持基板の前記発光デバイス構造体上の位置に応じて、電磁放射線パターンの観察可能なマップを生成するため、電磁放射線を撮像することを含む、請求項1に記載の装置。

10

【請求項 13】

前記検出器デバイスは、カメラを備え、電気接点又は静電容量結合を使用して前記発光デバイス構造体の前記第2の接点層に結合する電気アクセスを更に備える、請求項1に記載の装置。

【請求項 14】

前記経時変化する電圧波形は、測定段階の間、選択した電流密度で前記発光デバイス構造体に順方向バイアスをかける、第1の電圧電位から第2の電圧電位までの電圧傾斜である、請求項1に記載の装置。

【請求項 15】

前記カメラは、前記発光デバイス構造体にわたり生成した全電磁放射線の空間マップを生成するため、前記経時変化する電圧波形にわたる電磁放射線を統合する、請求項13に記載の装置。

20

【請求項 16】

前記全電磁放射線の空間マップは、以下の機能：信号平均化、閾値処理、ビン化のうち1つ又は複数を実施し、前記発光デバイス構造体の空間に依存する機能検査結果を展開するため、画像処理デバイスを使用して処理する、請求項15に記載の装置。

【請求項 17】

前記発光デバイス構造体の前記第1の接点層は、複数の個々に対処可能な発光デバイスを実現する材料除去方法を使用して分離する、請求項1に記載の装置。

【請求項 18】

30

前記発光デバイス構造体の前記第1の接点層及び前記第2の接点層は、複数の個々に対処可能な発光デバイスを実現する材料除去方法を使用して分離する、請求項1に記載の装置。

【請求項 19】

前記測定段階後の前記経時変化する電圧波形は、リセット段階と呼ぶ期間にわたり前記第2の電圧電位から前記第1の電圧電位に戻り、前記リセット段階は、前記発光デバイス構造体の逆方向バイアス漏れ電流密度を使用し、損害を与える可能性がある過度の逆方向バイアス電圧を回避するように選択する、請求項14に記載の装置。

【請求項 20】

前記カメラは、複数のカメラの1つであり、前記カメラのそれぞれは、前記発光デバイス構造体の個別領域を撮像するように配置する、請求項13に記載の装置。

40

【請求項 21】

前記カメラ及びより小型のフィールド・プレートは、組立体であり、前記組立体は、より小さい検査領域を撮像し、より完全な検査範囲のためステップ・アンド・リピート式に機械的に割り送ることができる、請求項13に記載の装置。

【請求項 22】

前記フィールド・プレート・デバイスは、前記支持基板とほぼ同じ面積寸法であり、前記フィールド・プレートのステップ・アンド・リピート式割り送りを伴わずに前記支持基板の実質的に完全な機能検査を可能にするように、前記支持基板上に置かれる、請求項1に記載の装置。

50

【請求項 2 3】

前記フィールド・プレート・デバイスは、封止体を使用して、前記フィールド・プレートの周辺付近で前記支持基板に極めて近接して置き、真空ポートを使用して間隙から空気を排気する、請求項 1 に記載の装置。

【請求項 2 4】

前記フィールド・プレート・デバイスと前記支持基板との間の極めて近接する部分は、実際の接点である、請求項 1 に記載の装置。

【請求項 2 5】

前記フィールド・プレート・デバイスと前記支持基板との間の極めて近接する部分は、気体、真空、液体又は固体の 1 つ又は複数を含むわずかな間隙を特徴とし、前記わずかな間隙は、前記発光デバイス構造体から形成する L E D デバイスの側方距離の 5 分の 1 ほどの大きさである、請求項 1 に記載の装置。

【請求項 2 6】

光デバイスの製造方法であって、前記製造方法は、

複数の L E D デバイスを有する発光ダイオード構造体を準備することであって、前記複数の L E D デバイスは、表面からアクセス可能な第 1 の接点層及び前記発光ダイオード構造体上に設けた第 2 の接点層を有する支持基板上に形成、配設し、前記発光ダイオード構造体は、垂直発光ダイオード構造体又は側方発光ダイオード構造体のいずれかである、準備すること；

フィールド・プレート・デバイスを前記発光デバイス構造体に結合することであって、前記フィールド・プレート・デバイスは、第 1 の面、及び前記第 1 の面に対向する第 2 の面を有し、前記第 2 の面は、導電層、及び重なる誘電体層を備え、前記誘電体層は、前記発光ダイオード構造体の前記第 1 の接点層の少なくとも一部分に極めて近接して配置し、前記誘電体層の表面領域と前記発光ダイオード構造体の前記第 1 の接点層との間に空間間隙を形成するようにする、結合すること；

前記フィールド・プレート・デバイスの前記誘電体層と前記発光ダイオード構造体との間に電圧電位を生成し、前記発光ダイオード構造体内の少なくとも複数の L E D デバイ스에電流を注入し、前記発光ダイオード構造体にあるパターンの電磁放射線を放出させるため、電圧源から経時変化する電圧波形を生成すること；並びに

前記発光ダイオード構造体に結合した検出器デバイスを使用して、前記発光ダイオード構造体から得た前記電磁放射線のパターン画像を捕捉することを含む方法。

【請求項 2 7】

前記検出器デバイスは、前記支持基板の前記発光ダイオード構造体上の位置に応じて、電磁放射線パターンの観察可能なマップを生成するため、電磁放射線を撮像することを含む、請求項 2 6 に記載の方法。

【請求項 2 8】

前記検出器デバイスは、カメラを備える、請求項 2 7 に記載の方法。

【請求項 2 9】

前記フィールド・プレート・デバイスは透過性であり、前記カメラは、前記発光ダイオード構造体を撮像し、前記フィールド・プレート・デバイスを通じて電磁放射線を収集するように組み付ける、請求項 2 8 に記載の方法。

【請求項 3 0】

前記支持基板は透過性であり、前記カメラは、前記発光ダイオード構造体を撮像し、前記支持基板を通じて電磁放射線を収集するように組み付ける、請求項 2 8 に記載の方法。

【請求項 3 1】

前記経時変化する電圧波形は、測定段階の間、選択した電流密度で前記発光ダイオード構造体に順方向バイアスをかける第 1 の電圧電位から第 2 の電圧電位までの電圧傾斜である、請求項 2 6 に記載の方法。

【請求項 3 2】

前記カメラは、前記発光ダイオード構造体にわたり生成した全電磁放射線の空間マップを生成するため、前記経時変化する電圧波形にわたる電磁放射線を統合する、請求項 28 に記載の方法。

【請求項 33】

前記全電磁放射線の空間マップは、以下の機能：信号平均化、閾値処理、ビン化のうち 1 つ又は複数を実施し、前記発光ダイオード構造体の空間に依存する機能検査結果を展開するため、画像処理デバイスを使用して処理する、請求項 32 に記載の方法。

【請求項 34】

前記測定段階後の前記経時変化する電圧波形は、前記第 2 の電圧電位から前記第 1 の電圧電位に戻り、前記第 2 の電圧電位から前記第 1 の電圧電位への戻りは、前記発光ダイオード構造体の逆方向バイアス漏れ電流密度を使用し、損害を与える可能性がある過度の逆方向バイアス電圧を回避するように選択する、請求項 31 に記載の方法。

【請求項 35】

前記発光ダイオード構造体の前記第 1 の接点層は、複数の個々に対処可能な発光デバイスを実現する材料除去方法を使用して分離する、請求項 26 に記載の方法。

【請求項 36】

前記発光ダイオード構造体の前記第 1 の接点層及び前記第 2 の接点層は、複数の個々に対処可能な発光デバイスを実現する材料除去方法を使用して分離する、請求項 26 に記載の方法。

【請求項 37】

光デバイスの製造方法であって、前記製造方法は、

支持基板上に配設する発光ダイオード構造体を準備することであって、前記発光ダイオード構造体は、表面からアクセス可能な第 1 の面接点層及び前記発光ダイオード構造体の下にある第 2 の接点層を有する、準備すること；

フィールド・プレート・デバイスを前記発光ダイオード構造体に結合することであって、前記フィールド・プレート・デバイスは、第 1 の面、及び前記第 1 の面に対向する第 2 の面を有し、前記第 2 の面は、導電層、及び重なる誘電体層を備え、前記誘電体層は、前記発光デバイス構造体の前記第 1 の面接点層の少なくとも一部分に極めて近接して配置する、結合すること；

前記フィールド・プレート・デバイスの前記誘電体層と前記発光ダイオード構造体との間に電圧電位を生成し、前記発光ダイオード構造体内の複数の LED デバイスに電流を注入し、前記発光ダイオード構造体にあるパターン of 電磁放射線を放出させるため、電圧源から経時変化する電圧波形を生成すること；並びに

前記発光ダイオード構造体に結合した検出器デバイスを使用して、前記発光ダイオード構造体から得た前記電磁放射線のパターン画像を捕捉することを含む方法。

【請求項 38】

前記検出器デバイスは、前記支持基板の前記発光ダイオード構造体上の位置に応じて、電磁放射線パターンの観察可能なマップを生成するため、電磁放射線を撮像することを含む、請求項 37 に記載の方法。

【請求項 39】

前記経時変化する電圧波形は、測定段階の間、選択した電流密度で前記発光ダイオード構造体に順方向バイアスをかける第 1 の電圧電位から第 2 の電圧電位までの電圧傾斜である、請求項 37 に記載の方法。

【請求項 40】

前記発光ダイオード構造体の前記第 1 の接点層は、複数の個々に対処可能な発光デバイスを実現する材料除去方法を使用して分離する、請求項 37 に記載の方法。

【請求項 41】

前記発光ダイオード構造体の前記第 1 の面接点層及び前記第 2 の接点層は、複数の個々に対処可能な発光ダイオード構造体を実現する材料除去方法を使用して分離する、請求項

10

20

30

40

50

37に記載の方法。

【請求項42】

前記LEDデバイスの少なくとも1つを選択すること、及び前記LEDデバイスをパッケージングすることを更に含む、請求項37に記載の方法。

【請求項43】

前記LEDデバイスの少なくとも1つを選択すること、及び前記LEDデバイスを部材基板上に解放することを更に含む、請求項37に記載の方法。

【請求項44】

光デバイスの製造方法であって、前記製造方法は、

基板部材上に重なる発光ダイオード構造体を準備することであって、前記発光ダイオード構造体は、表面からアクセス可能な第1の面接点層及び前記発光ダイオード構造体の下にある第2の接点層を有する支持基板上に配設する、準備すること；

フィールド・プレート・デバイスを前記発光ダイオード構造体に結合することであって、前記フィールド・プレート・デバイスは、第1の面、及び前記第1の面に対向する第2の面を有し、前記第2の面は、導電層、及び重なる誘電体層を備え、前記誘電体層は、前記発光デバイス構造体の前記第1の面接点層の少なくとも一部分に極めて近接して配置する、結合すること；

前記フィールド・プレート・デバイスの前記誘電体層と前記発光ダイオード構造体との間に電圧電位を生成し、前記発光ダイオード構造体内の複数のLEDデバイスに電流を注入し、前記発光ダイオード構造体にあるパターンの電磁放射線を放出させるため、電圧源から経時変化する電圧波形を生成すること；並びに

前記発光ダイオード構造体に結合した検出器デバイスを使用して、前記発光ダイオード構造体から得た前記電磁放射線のパターン画像を捕捉すること；

前記発光ダイオード構造体を単一化するか、又は前記発光ダイオード構造体上で別の工程を実施するため、前記基板部材上に重なる前記発光ダイオード構造体を処理すること；

前記発光ダイオード構造体に少なくとも1対の相互接続部材を結合すること；並びに

前記発光ダイオード構造体を統合して適用すること

を含み、前記適用は、一般的な照明デバイス、照明器具、表示器、投影器、車両用ランプ、又はビーム光、又は特殊照明デバイスから選択する、方法。

【請求項45】

前記発光ダイオード構造体内の前記LEDデバイスには、プローブの痕跡又は他の検査の痕跡がない、請求項44に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

本出願は、同一出願人による2017年1月23日出願の米国仮出願第62／449,554号に対する優先権を請求するものであり、当該出願は、全ての目的で参照により本明細書に組み込まれる。

【0002】

本発明は、発光ダイオード(LED)デバイスに関する。より詳細には、本発明の実施形態は、製造工程の間、発光ダイオード(LED)アレイ構造体を機能的に検査する方法及び装置を含む技法に関する。一例では、方法は、一般的なLEDデバイス機能検査に有用であり、特に、一辺が数ミクロンほどの小型であり得るマイクロLED(μ LED)デバイスの機能検査に有用である。マイクロLEDは、とりわけ、有機金属気相成長法(MOCVD)等の技法を利用して支持基板上で成長させる。個々のデバイスをデバイスの最終的な照明又は表示の用途で使用する前、以下：収率評価、ビン化、デバイス修理／修正及びデータ収集のうち1つ又は複数を達成し、製造工程フィードバック／フィードフォワードで使用するため、LEDデバイスを検査することが望ましい。

【背景技術】

【0003】

発光ダイオード（LED）は、従来の光源の代替技術として使用されている。例えば、LEDは、標識、交通信号灯、自動車の尾灯、携帯電子機器の表示器、及びテレビで見いだされる。従来の照明源と比較したLEDの様々な利点は、効率の増大、より長い寿命、可変発光スペクトル、及び様々な形状因子と統合できることを含み得る。

【0004】

かなり成功しているとはいえ、LEDの製造技術の改善がかなり望まれている。

【発明の概要】

【発明が解決しようとする課題】

【0005】

LED製造工程の間、LED構造体は、半導体産業で利用されるもの等の大量生産方法を使用して、基板上に形成される。洗浄、成膜、リソグラフィ、エッチング及び金属被覆等の工程ステップを使用し、基本的なLED構造体を形成する。大量生産規模の製造及びより安価な費用を達成するため、多くのデバイスを、これらの方法を使用して基板上に同時に形成する。所望のLEDの種類に応じて、異なる基板及び材料が使用される。例えば、UV発光LEDは、典型的には、ガリウム窒化物（GaN）材料から作製され、ガリウム窒化物（GaN）材料は、通常は、ハイドライド気相成長法（HVPE）又はアモノサーマル法を使用して作製される、サファイア基板上のヘテロエピタキシャル層又は自立型GaN基板である。他の色の場合、GaAs又は間隙基板を使用することができる。近年、別の出発基板種として、支持基板上に転写するGaN、GaAs又は他のIII-V族半導体材料層が利用可能になっている。本発明で開示する方法を使用して検査し得る他の可能なLED構造体は、プラスチック、ガラス又は他の適切な基板上に製作した有機LED（OLED）デバイス構造体である。

【0006】

LED構造体形成製造方法において、様々な光学検査及び他の測定検査を行い、品質及び反復性を確認する。LED構造体の形成が終了した後、パッケージ内にデバイスを組み付け、LED発光体として使用するか又は表示器内のLED発光体として使用する前に、各LEDデバイスに対し機能検査を実施することが望ましい。全てのデバイスに共通接点がある（即ち、全ての陰極が一緒に接続されている）場合でさえ、各デバイスの各個の陽極は、光電子特性を機能的に検査するため、依然として個々の接点を必要とする。基板上的個々のLEDデバイスのデバイス・サイズ及び莫大な量は、このことを困難な作業にしている。例えば、（一般的な照明型LEDの典型である）一辺が250µmの寸法があるLEDデバイスを有する6インチ基板は、250,000超のデバイスを含み、それぞれ、接点探査／測定サイクルを必要とする。6インチの基板が、一辺が20µmのマイクロLEDデバイス構造体を含んだ場合、基板上に存在する4千万を超えるデバイスのそれぞれを接触させる必要がある。したがって、個々の接触を伴わずにLEDデバイス機能検査を可能にする方法を開発する必要がある。

【課題を解決するための手段】

【0007】

本発明の実施形態は、非直接電気接触手法を利用し、誘電体被覆フィールド・プレートを使用して形成した蓄電器を通じて電流を注入するものであり、誘電体被覆フィールド・プレートは、適切な電圧波形源によって駆動される。誘電体表面のもう一方の側は、個々のLED接点の平面の近傍に置かれた蓄電器を形成し、特定の電圧波形は、フィールド・プレート電極と共通のLED接点又は第2の静電容量結合LED接点との間で駆動する。好ましい実施形態では、電圧傾斜は、電極を駆動し、これらの電極の間に位置するLEDに順方向バイアスをかけ、電流が多数のLEDデバイスのそれぞれに並行して流れる変位電流を生じさせる。次に、実施形態に応じて、フィールド・プレートの上又はLED支持基板の下のいずれかに配設した統合カメラを使用して、機能反応（発光）を測定する。次に、画像捕捉及び処理により、多くの機能デバイス検査を並行して抽出することができる。このようにして、わずか2つの電気接点により、合計数百万に達するLEDデバイスを

10

20

30

40

50

機能的に検査することができる。

【0008】

各測定の後、静電容量フィールド・プレート及び他の結合静電容量要素は、過剰な逆方向バイアス電圧を通じてLEDデバイスを損傷しないように、リセットしなければならない。適切で緩やかな負の電圧傾斜は、LEDデバイスの最小漏れ電流をフィールド・プレート蓄電器から安全に放電することを可能にし、損傷を与える逆方向バイアス条件を生じさせない。次に、別の測定サイクルを繰り返すことができる。

【0009】

順方向バイアス駆動電圧傾斜を変更すると、様々な順方向バイアス電流密度 (A/cm^2) をLEDデバイス内で駆動し、これにより、より複雑な機能検査評価の実施を可能にする。異なる駆動電圧波形の選択によって可能になる順方向バイアス電流密度の関数として、外部量子効率等のデバイス特性決定データは、本発明の別の特徴である。フィールド・プレート誘電体設計及び電圧傾斜値を修正することによって、約0.001から10 A/cm^2 以上の大きな電流密度にわたり多数のデバイスの正確な電流注入放出反応を検出することができる。

【0010】

この機能検査方法によって与えられる1つの利益は、検査下で処理可能な各LEDデバイスに接触する高ピン数のプローブ・カード及びプローブ針をなくすることである。そのようなプローブ・カードを使用する場合、1つ又は複数の針プローブ・ピンを使用して各LEDデバイスに接触し、1つ又は複数の針プローブ・ピンは、鋭い金属製のピンの圧力及び側方運動によって接触領域に対する電気接点を達成する。この工程は、ほぼ常に接触パッドに引掻き傷をもたらし、LEDデバイスの収率及び信頼度を低下させ得る。数百又は更には数千のプローブ・ピンを有するプローブ・ピン・カードを使用する検査の信頼度、製作及び整備費用も問題である。プローブ・カードの引掻き傷又は痕跡をなくし、LEDデバイスの収率及び信頼度を向上させ、高価で壊れやすい高ピン数のプローブ・カードの使用を回避することは、本発明の重要な利益である。

【0011】

この機能検査方法によって与えられる更に別の利益は、直接的な電気接触がないため、LED製造工程内で機能検査を可能にすることである。防塵室に適合し、引掻き傷のない、工程間のLEDデバイス検査は、1つの能力であり、それ以外の場合、従来の検査方法による、高密度粒子を生成するピン・カードの使用が必要であるため、実施が困難又は実用的ではないと思われる。

【0012】

この機能検査方法によってもたらされる他の利益は、小型及び大型LEDデバイスの両方に対する本発明の汎用性、並びに大型基板への拡張性である。フィールド・プレートは、面積に比例して静電容量を印加する構造体であり、したがって、より大きな面積を有するより大型のLEDデバイスは、より大きな実効静電容量で励起される一方で、マイクロLEDデバイス等の小型LEDデバイスは、それに応じてより小さい静電容量で励起される。したがって、一辺がミリメートル・サイズの大型LEDから、一辺をわずか10 μm 以下まで減らしたマイクロLEDまで、装置のいくつかの修正で検査することができる。より大型のフィールド・プレート、又はより小型のフィールド・プレートに対しステップ／リピート方法を使用する基板の拡張性は、実用的であり、容易に達成可能である。最高の処理量のため、大型フィールド・プレートにわたり配置した多数のカメラ・アレイの並行処理は、支持基板上で、わずか2つの電気接点により全てのLEDデバイスを機能的に検査することができる。基板上で合計数千から数千万になる各個のLEDデバイスへの接触を回避することは、本発明の主要な利益である。

【0013】

本発明で説明する方法は、静電容量電流注入 (Capacitive Current Injection、 C^2I) 機能検査として説明する。

【図面の簡単な説明】

【0014】

【図1】LED構造体の簡略断面図である。

【図2】LED大量生産工程内でLEDデバイス構造体を含有するLED支持基板の図である。

【図3】図3Aは、ストリートによって分離した単一化LEDデバイスを有するLED支持基板の上面図である。図3Bは、ストリートによって分離した単一化LEDデバイスを有するLED支持基板の断面図である。

【図4】非単一化LEDデバイス構造体を有するLED支持基板の図であり、上部接点層は、十分に高いシート抵抗を有し、隣接する短絡の存在下、電流注入機能検査を可能にする。

10

【図5A】支持基板上で4つのLEDデバイスを含有するLEDデバイス層の一部分に極めて近接するフィールド・プレートの一実施形態の図である。

【図5B】図5Aの実施形態に対応する等価な電気回路図である。

【図6A】主な静電容量電流注入(C^2I)測定シーケンス：電流注入／測定(I)、保持(II)、放電／リセット(III)段階の図である。

【図6B】対応するLED電流の図であり、電流は、図6Aの静電容量電流注入(C^2I)測定シーケンスによって注入される。

【図7】図7Aは、フィールド・プレートの実施形態の図であり、カメラは、フィールド・プレートを通して見る。図7Bは、フィールド・プレートの実施形態の図であり、カメラは、LEDデバイス支持基板を通して見る。

20

【図8】好ましい実施形態の、予想される電流密度(A/cm^2)対 dV/dT 電圧傾斜のグラフである。

【図9】基板規模の図であり、フィールド・プレートと支持基板との間の空間内に生じさせた真空を使用して、フィールド・プレートを支持基板上に取り付ける方法を示し、支持基板は、LEDデバイス構造体を含有する。

【図10】ステップ／リピート機械構成における、より小型のフィールド・プレート及びカメラ光学システムの図である。

【図11】一実施形態による C^2I 機能検査方法のシミュレーションに使用する回路モデルの図である。

【図12】図12A～図12Dは、一実施形態の電流注入／測定段階Iの詳細なシーケンスの図である。

30

【図13】図13A～図13Dは、一実施形態の電流注入／測定段階IIIの詳細なシーケンスの図である。

【図14】図14A～図14Dは、一実施形態の4つの測定シーケンスを示すより長い時間軸(200ms)の図である。

【図15A】支持基板上に4つのLEDデバイスを含有するLEDデバイス層の一部分に極めて近接するフィールド・プレートの一実施形態の図であり、埋込共通接点及び光学誘電体層(即ち、「漏れ」誘電体層)及び結合間隙媒体を有し、DCバイアス機能検査を可能にする。

【図15B】図15Aの実施形態に対応する等価な電気回路図である。

40

【図16】埋込共通接点を有する支持基板上で4つのLEDデバイスを含有するLEDデバイス層の一部分に極めて近接する、誘電体を有さないフィールド・プレートの一実施形態の図である。外部負荷抵抗器及び結合蓄電器及びDI水間隙媒体を使用する構成は、DCバイアス及びACパルス機能検査を可能にする。

【図17A】埋込共通接点及び誘電体層を有する支持基板上で4つのLEDデバイスを含有するLEDデバイス層の一部分に極めて近接するフィールド・プレートの一実施形態の図である。

【図17B】図17Aの実施形態に対応する等価な電気回路図である。

【図18】支持基板上で4つのLEDデバイスを含有するLEDデバイス層の一部分に極めて近接するフィールド・プレートの一実施形態の図であり、支持基板は、第2の電極を

50

静電容量結合する誘電体層として使用される。

【図19】図19Aは、垂直LED構造体の図であり、垂直LED構造体は、上部静電容量結合によって上部接点にアクセスする上部表面領域、及び底部静電容量結合によって底部接点にアクセスする底部表面領域を有する。図19Bは、側方MESA型LED構造体の図であり、側方MESA型LED構造体は、上部静電容量結合によって上部接点及び底部接点の両方にアクセスする上部表面領域、並びに底部静電容量結合によって底部接点にアクセスする底部表面領域を有する。図19Cは、側方MESA型LED構造体の図であり、側方MESA型LED構造体は、底部接点への小型上部バイア開口を有する。相対的な静電容量値の差を除き、図19Bと電氣的に同様である。

【図20】図20Aは、共通上部フィールド・プレート電極を使用する静電容量結合構成の図である。図20Bは、上部（陽極）接点にのみ結合するパターン化上部フィールド・プレート電極を使用する静電容量結合構成の図である。図20Cは、個別の上部（陽極）接点及び底部（陰極）接点を有するパターン化上部フィールド・プレート電極を使用する静電容量結合構成の図である。

【図21】いくつかのLEDデバイスのヒストグラム・プロットであり、横軸のデータ_nの関数として、縦軸上のデータ_n値（チャンネル又はピンと呼ぶ）のわずかな範囲内にある。

【図22】ロール・ツー・ロール（roll-roll）連続製造工程における、C²I機能検査方法の図であり、センサは、LED構造体／膜と同期して移動する。複数のセンサ組立体を使用し、測定の流れ目をなくす。

【図23】ロール・ツー・ロール連続製造工程においてC²I機能検査方法を使用する図であり、センサは定置され、放電フィールド・プレート組立体を使用し、LED構造体を安全に放電する。

【図24】図24Aは、測定段階の後、LED構造体を安全に放電する手段として、空間的に電圧を低減した、放電フィールド・プレート組立体の一実施形態の図である。図24Bは、測定段階の後、LED構造体を安全に放電する手段として、空間的に誘電体の厚さを増大した、放電フィールド・プレート組立体の一実施形態の図である。

【発明を実施するための形態】

【0015】

LEDの更なる説明は、本明細書全体を通して、より詳細には以下で見いだされる。一例では、LEDの一種は、ダイオード発光層を有機化合物から形成する有機発光ダイオード（OLED）である。OLEDの1つの利点は、可撓性基板上に有機発光層を印刷できることである。OLEDは、薄型可撓性表示器に統合されており、携帯電話及びデジタル・カメラ等の可搬電子デバイスの表示器の作製に使用されることが多い。

【0016】

別の種類のLEDは、ダイオード発光層が、より厚い半導体ベースのクラッド層の間に挟まれた1つ又は複数の半導体ベースの量子井戸層を含む半導体ベースのLEDである。OLEDと比較した半導体ベースのLEDのいくつかの利点は、効率の増大及びより長い寿命を含むことができる。1ワットあたりのルーメン（lm/W）で表される高い発光効率は、半導体ベースのLED照明の主な利点の1つであり、他の光源と比較してエネルギー又は電力の使用をより低下させることを可能にする。輝度（明るさ）は、所与の方向において光源の単位面積あたりで放出される光の量であり、平方メートルあたりカンデラ（cd/m²）で測定され、一般に、Nit（nt）とも呼ばれる。輝度は、動作電流の増大につれて増加するが、発光効率は、電流密度（A/cm²）に依存し、最初に、電流密度が増大するにつれて増大し、最大値に達し、次に、「効率ドループ」として公知である現象のために減少する。多くの要因は、LEDデバイスの発光効率に起因し、この発光効率には、内部量子効率（IQE）として公知である、光子を内部に生成する能力を含む。内部量子効率は、LEDデバイスの質及び構造によって変わる。外部量子効率（EQE）は、注入電子の数によって分割した、放出光子の数として定義される。EQEは、LEDデバイスのIQE及び光抽出効率によって変わる。低動作電流密度（注入電流密度又は順

10

20

30

40

50

方向電流密度とも呼ばれる)において、LEDデバイスのIQE及びEQEは、最初、動作電流密度が増大するにつれて増大し、次に、動作電流が増大するにつれて、効率ドループとして公知である現象で減少する。低電流密度において、効率は、欠陥の強い影響、又は電子及び正孔が光を生成せずに再結合する他の過程のために低く、この再結合は、非放射再結合と呼ばれる。こうした欠陥が飽和するにつれて、非放射再結合が優位に立ち、効率が增大する。「効率ドループ」又は効率の漸減は、注入電流密度が、典型的には1.0から10 A/cm²の間の低い値を越えると始まる。

【0017】

半導体ベースのLEDは、一般に、指示器及び標識として使用される低電力LED、照明パネル及び自動車尾灯等の中電力LED、並びに固体素子照明及び液晶表示器(LCD)バックライト等のための高電力LEDを含む様々な用途で見いだされる。1つの用途では、半導体ベースの高電力LED照明デバイスは、一般に、400~1,500 mAで動作することができ、1,000,000 cd/m²を超える輝度を呈することができる。高電力半導体ベースのLED照明デバイスは、典型的には、LEDデバイスの効率曲線特性上のピーク効率の右側に対し電流密度で良好に動作する。低電力半導体ベースのLED表示器及び標識の適用例は、約20~100 mAの動作電流で約100 cd/m²の輝度を呈することが多い。低電力半導体ベースのLED照明デバイスは、典型的には、LEDデバイスの効率曲線特性上のピーク効率の右側又は右側までの電流密度で良好に動作する。発光の増大を実現するため、LEDダイのサイズは、増大し、1 mm²のダイは、かなり一般的なサイズである。より大きなLEDダイのサイズにより、数百mAから1アンペアを超えるより高い電流の使用を可能にする電流密度が低減することになり、これにより、より高い電流におけるLEDダイに関連する効率ドループの影響を減らす。

【0018】

LEDは、長年、時計、スマートフォン及びラップトップ並びにコンピュータ・モニタ及びTV表示器等の可搬デバイス内で使用されているが、液晶表示器(LCD)の表示技術の代替白色光源として間接的に使用されるにすぎない。これらは、「LED」TV等と呼ばれるが、実際のLEDは、主にGaNベースの白色LEDであり、以前使用された冷蛍光ランプ(CFL)バックライト源の代わりにバックライトを照明するものであった。色画素世代は、光減算方法によって作用するLCD技術に基づくように継続しており、色は、介在する色フィルタを使用して他の色を遮断することによって生成される。例えば、赤色画素は、バックライトLED白色スペクトルの緑色及び青色部分を遮断する赤色フィルタによって生成される。グレースケール(画素の光強度)は、光路に沿って2つの交差する偏光子の間に置いた液晶セルを通じて偏光を変調することによって生じた。

【0019】

LEDバックライトによって駆動されるLED表示技術は、CFLバックライトのバージョンよりも効率的で確実であるが、この技術は依然として電力効率の良いものではない。理由は単純である。LED白色バックライト・デバイスは、外部量子効率(LEDデバイスに注入される電気キャリアごとに放出される光子)の点ではかなり効率的であり得るが、残りのこのLCD表示技術には多くの非効率さがある。第1の偏光子は、非偏光白色バックライトをわずか半分に縮小し、次に、残っている光の2/3を取り去ることによって、各画素を色分けする(赤色の場合、GBのないR、緑色の場合、RBのないG、青色の場合、RGのないB)。他の損失は、画素曲線因子及び膜/LCDセルの吸収及び散乱を含む。したがって、合計光出力は、白色LEDバックライト強度の約1/6未満である。

【0020】

より多い電力効率及びより明るい表示技術を求める傾向が、特に電池寿命が重要な要因である可搬電池駆動デバイスに対してある。マイクロLEDは、より高い電力効率を達成する有望な技術である。マイクロLED表示器において、画素領域内に置いた小型LEDデバイスは、直接駆動され、直接発光する様式で光を生成する。色は、(i)光子下方変換によって画素色を生成するため、色蛍光体を有するUV-LED(即ち、GaNベース

のLED)を利用することによって、及び／又は(i i)色を直接生成するLED(即ち、赤色の場合、AlGaAs、GaAsP、AlGaInP、間隙、緑色の場合、間隙、AlGaInP、Al間隙、及び青色の場合、ZnSe、InGaN、SiC)を使用することによって、生成することができる。いずれの場合も、マイクロLED表示器の直接発光／直接視野は、6倍以上の電力効率の向上を約束するものである。

【0021】

マイクロLEDベースの表示器を実現する基本技術は周知であるが、製造及び品質管理に対する多くの課題が存在する。こうした問題の1つは、画素を使用に回す前に、製造工程内で数百万のマイクロLEDデバイスの機能を、費用対効果が高く、効率的に検査することである。したがって、直接的な電気接触を伴わずに、マイクロLED大量生産製造工程に適合する様式で機能検査を可能にすることが望ましい。本発明の更なる詳細は、本明細書全体を通じて、より詳細には以下で見いだすことができる。

10

【0022】

本発明の実施形態は、LEDデバイスの作製方法、及び直接的な電気接触を伴わずにデバイスを機能的に検査する様式を説明する。特に、本発明のいくつかの実施形態は、高輝度LED、中電力LED、低電力LED及びマイクロLEDデバイスを機能的に検査する様式に関連させることができる。

【0023】

様々な実施形態では、説明は図を参照して行う。しかし、いくつかの実施形態は、これらの特定の詳細のうちの1つ又は複数を伴わずに実行するか、又は他の公知の方法及び構成と組み合わせて実行することができる。以下の説明では、本発明の完全な理解をもたらすため、特定の構成、寸法及び工程等、多数の特定の詳細を説明する。他の例では、周知の半導体工程及び製造技法は、本発明を不必要に不明瞭にしないように、特に詳細に説明しない。本明細書全体を通じ、「一実施形態」に対する言及は、この実施形態に関して説明する特徴、構造、構成又は特性を本発明の少なくとも1つの実施形態に含めることを意味する。したがって、本明細書全体を通じた様々な場所における句「一実施形態における」の出現は、必ずしも、本発明の同じ実施形態を指すわけではない。更に、特徴、構造、構成又は特性は、1つ又は複数の実施形態においてあらゆる適切な様式で組み合わせることができる。

20

【0024】

本明細書で使用する用語「に広がる」、「にわたる」、「まで」、「の間」及び「の上の」は、他の層に対する1つの層の相対的な位置を指すことができる。別の層「に広がる」、「にわたる」若しくは「の上の」、又は別の層「に」接合するか若しくは別の層と「接触する」1つの層は、他の層と直接接触するか、又は1つ若しくは複数の介在層を含むことができる。層「の間の」1つの層は、これらの層と直接接触するか又は1つ又は複数の介在層を有することができる。

30

【0025】

本発明の特定の実施形態は、LEDデバイス組立体を説明し、LEDデバイス組立体において、LEDデバイス構造体層は、支持基板から転写され、更なる処理前にピックアップ・プレート組立体に接合される。本発明の実施形態によれば、C²I機能検査ステップは、1回若しくは複数の転写前又は転写後のいずれかで適用することができる。複数のLED構造体を転写し、可能性としては異なる基板上に接合する様々な可能な構成を単純化する目的で、各場合において、標的基板を支持基板と呼ぶものとする。例えば、MOCVD成長の間にLED構造体を支持した基板も支持基板と呼ぶが、解放し、ピックアップ・プレートに取り付けた後、そのようなプレート、及びLEDデバイス層の機械的支持に使用するあらゆる他の基板又はプレートも支持基板と呼ぶ。ピックアップ・プレートを使用する場合、共通電気接点は、転写するLEDデバイス構造体とピックアップ・プレートの残りの部分との間に導電性材料膜を使用して達成することができる。更に以下で説明するように、共通接点は、第2の誘電体層及び任意選択の電圧波形源を使用して達成することもできる。場合によっては、ピックアップ・プレート材料は、製造時、LEDデバイスの

40

50

ピックアップ及び移送を可能にする制御可能な粘着度も有する。更に、支持基板は、プラスチック膜等の可撓性シートとすることができ、 C^2I を使用し、個々のシート上で、又は（例えば有機LED、即ちOLED製造工程内の）ロール・ツー・ロール製造工程の一部としてデバイス構造体を検査することができる。支持基板という用語は、一般に、機械的支持体としてその役割を意味するのに使用され、本明細書全体を通して、（ C^2I ）機能検査装置の一部として説明する基板である。

【0026】

本発明の実施形態は、単一化及び非単一化LEDデバイス構造体を説明するが、アクティブ・マトリックスに対処する回路及び支持電子機器回路等の更なる電子機器回路が存在し得る。検査容易性手法に関する設計を適用し、 C^2I 機能検査方法の一般的な能力を使用すると、複合的な相互接続LED構造体を首尾よく検査することができる。本発明の目的で、LED構造体に対する特定の説明は、単なる例として解釈するものとし、検査方法は、統合処理電子機器回路及び他の支持電子機器回路の有無にかかわらず、単一化、非単一化、側方及び垂直LED構造体の検査に対して全般的に適用可能であると理解されたい。

10

【0027】

本発明の特定の実施形態、及び製造工程において C^2I 機能検査を行う点に応じて、支持基板は、透過性であり、更なる被覆物を有することができる。支持基板は、以下でより詳細に説明するように、検査工程を直接支持するか、又は特定のLED製造工程ステップの要件の一部として存在する。

20

【0028】

図1を参照すると、典型的なLED104は、成膜層から構成され、これらの成膜層は、n型陰極層100、活性層（通常、一連の多重量子井戸即ち、MQW副層）101、及びp型層102、及びp接点103を形成する。このLED構造体は、単純化され、緩衝層、ブロッキング層、n接点層（複数可）等の多くの更なる層は、簡単にするために図示しない。電氣的に、LEDは、陽極として層103（又は接点106）を通じて接触し、陰極として層100（又は接点105）を通じて接触する。一部のLED構造体において、n層及びp層は、接点層とすることができ、したがって、本発明の目的で、それ以外の場合を具体的に述べるのでない限り、交換可能に言うことができる。順方向（正電圧）バイアスを使用し、LEDデバイスを通じて陽極から陰極に電流を通すと、活性領域に流れるキャリアからの放射再結合過程から光が生成される。活性層101の設計は、発光する放射再結合過程を最大化するように最適化される。LED構造体に逆方向バイアスをかけると、光は生成されない。LEDに対し逆方向バイアス電圧を制限することは、降伏と呼ばれる過程を通じたデバイスの損傷又は破壊を回避するために重要である。安全な逆方向バイアス領域の範囲内では、わずかな漏れ電流がデバイスに流れる。

30

【0029】

LED製造において、LEDデバイスは、半導体産業では一般的な基板ベースの大量生産方法と同様の方法を使用して、大量生産される。図2を参照すると、図1で説明したLED構造体は、適切な成長又は支持基板201上に成膜され、LED基板200を作製する。所望のLEDの種類、品質及び色に応じて、異なる基板材料種を使用することができる。例は、間隙、GaAs、GaN基板であるか、又はサファイア及びシリコン炭化物（SiC）等のヘテロエピタキシャル成長基板も可能である。層転写半導体積層テンプレート基板もまた別の種類の成長基板である。次に、LED構造体を成長させ、下側接点202（本例ではn型又は陰極）、活性領域203及び上側接点204（本例ではp型又は陽極）を形成する。

40

【0030】

図2のLED基板は、複数の非単一化LED構造体を含む。所望のサイズ及び機能をもつ個々のLEDデバイスの分離は、エッチング、リソグラフィ、不動態化及び蒸着等の方法ステップを使用して、LED製造シーケンス内で行うことができる。図3A及び図3Bを参照すると、所望のLEDデバイスは、支持基板301上にある間に、例えば溝308

50

を形成するエッチング等の方法を使用して分離することができる。これらのエッチング構造（「ストリート」と呼ぶこともある）を基板上に作製し、正方形デバイス等の個々に分離した構造体を形成する場合、多数のLEDデバイス309は、絶縁され、解放及びパッケージングのために利用可能である。本例では、溝308は、底部共通接点層302を通じてエッチングせず、したがって、共通電位310に接続することができる。したがって、各LEDデバイス309は、電圧源306を使用して、p層304及びp接点層305に個々に接触することができる。次に、接触したデバイスから光307を測定し、デバイスの機能を評価することができる。本例では、上部発光LED構造体を図示し、上部接点305は、インジウムスズ酸化物（ITO）等の透過性電極とすることができる。底部発光構造体等、他の構造体が可能である。この場合、支持構造体は、好ましくは、透過性であり、p接点層は、金属層等の光反射層である。したがって、LEDは、支持基板から流出した光を測定することによって検査される。上記は、光の捕捉を最大化する好ましい実施形態として説明したが、例えば底部発光LED構造体内のLEDの上で光測定を行った場合でも、LEDから散乱又は反射した光を間接的に測定することが可能である。当然、他の変形形態、修正形態及び代替形態があってもよい。

【0031】

図4は、LEDデバイスを依然として分離していない支持基板401を示す。上部接点層405が制限された導電率を有する場合（比較的高い膜シート抵抗率を有するITO層等）、機能検査は、近くに短絡408が存在するにもかかわらず、依然として達成することができる。電圧源406を使用して表面上の点と接触すると、上部接点405、p層404、活性層403、n層403を通る電流が共通接点402に発生する。近接する短絡408に対する比較的高い抵抗は、発光407を生じさせることを可能にする。本発明の一実施形態によるこの直接接触例の代わりにフィールド・プレートを使用すると、非単一化LED層検査を可能にする。暗い（非放射）又は弱い発光領域は、LED製造工程の早期段階におけるLED層機能収率の指標である。この代替実施形態の効率及び空間解像度は、上部層シート抵抗率に応じる。

【0032】

したがって、電流を注入し、図3及び図4で説明したもの等の大規模製造を支持し得る個々のLEDデバイス、又はLED領域を励起する必要がある。

【0033】

本発明は、本発明の電流注入デバイスとして、3つの要素：機械的支持プレート、電極及び誘電体層から構成されるフィールド・プレートを有する。図5Aを参照すると、フィールド・プレート501は、フィールド・プレート支持体（上部）、電極層502から構成され、電極層502は、電圧源503に接続され、誘電体層504の一面に隣接する。機械的支持プレートは、導電性であってもよく、誘電体層のみを必要とする。当然、他の変形形態、修正形態及び代替形態があってもよい。

【0034】

フィールド・プレート電極は、電圧源503に接続され、誘電体層504の開放面は、単位面積当たり、

$$C'_{FP} = \epsilon_0 \times \epsilon_r / t_d \quad (1)$$

の静電容量を形成し、式中、

C'_{FP} は、フィールド・プレートの単位面積当たりの静電容量（F/cm²）であり、

ϵ_0 は、真空誘電率（ 8.854×10^{-14} F/cm）であり、

ϵ_r は、誘電体層の比誘電率（無次元）であり、

t_d は、誘電体層の厚さ（cm）である。

【0035】

一例では、誘電体層材料の重要な材料特性は、誘電率、誘電破壊強度、抵抗率及び光透過率を含む。静電容量性結合構成のため、シリコン二酸化物、シリコン窒化物又はアルミナ（Al₂O₃）等の容易に成膜される誘電体は、特に関心を集めている。DC検査構成が望ましい場合、電流の漏れが制限された誘電体は、同様に抵抗率が制限された適切な間隙

媒体を使用してデバイスに結合される場合、DCバイアスを可能にする。そのような構成において、フィールド・プレート誘電体は、任意選択とすることができ、ここで、フィールド・プレート電圧は、LEDデバイスに間隙媒体を通じて直接結合することができる。当然、他の変形形態、修正形態及び代替形態があってもよい。

【0036】

再度図5Aを参照すると、フィールド・プレート501は、LED支持構造体505の十分近くに置かれ、n接点底電極506は、共通接点507及び複数のp接点上部電極508に接続される。各LEDデバイスにわたる電圧は、本明細書では電圧源503及び共通接点507を使用して発生させるものとして示すが、代替的に、電圧源は、底部に接続するか、又は2つの電圧源を接続することができ、一方を接点503及び507のそれぞれに接続する。実効LEDデバイス駆動電圧は、全電圧源構成に対する接点503と507との間の電圧差である。本発明では、用語「極めて近接する」は、フィールド・プレート誘電体層504の開放面が、LED構造接触表面508の開放面に十分に近接して置かれ、電圧源503と上部LED電極表面508との間に所望の電気結合を可能にすることを意味するものとする。図5Aでは、この間隙は、509として示され、最小とすることができ、間隙はわずかなものに制限されるか又は間隙がない。間隙509は、（電流注入効率を最適化する）十分な静電容量結合、及び電流注入効果の空間的脱焦の最小化を可能にするように十分に小さいものとすべきである。上部フィールド・プレート501が、比較的厚い誘電体層504及び電圧源503上でのより高い電圧レベルを有する場合、結合効率（ $C_{EFF}' \sim C_{FP}'$ ）を著しく低下させることなく非接触検査を可能にするように、間隙509の制限が可能である。本明細書の残りでは、間隙509はゼロであり、したがって、 C_{EFF}' は C_{FP}' に等しくすると仮定する。

【0037】

組立体500によって作製した構造体の電気アナログ図を図5Bに示す。電圧源510（図5Aの503）は、実効蓄電器 C_{EFF} 511に接続され、蓄電器 C_{EFF} 511は、上部表面積 A_{EFF} を有するLEDデバイス512に接続される。電圧変化により、電流 I_{LED} がLEDデバイス512上に印加される。この例では、LEDデバイスと共通底接点との分離を仮定する。実効静電容量 C_{EFF} は、単純に、フィールド・プレート誘電体層の直列静電容量であり、間隙509の静電容量は、面積 A_{EFF} の両方で、

$$C'_{\text{間隙}} = \epsilon_o \times \epsilon_r / t_{\text{間隙}} \quad (2)$$

であり、式中、

$C'_{\text{間隙}}$ は、間隙の単位面積当たりの静電容量（ F/cm^2 ）であり、

ϵ_o は、真空誘電率（ $8.854 \times 10^{-14} F/cm$ ）であり、

ϵ_r は、間隙媒体の比誘電率（無次元）であり、

$t_{\text{間隙}}$ は、間隙の厚さ（ cm ）であり、

$$C_{EFF} = A_{EFF} \times (C'_{FP} \times C'_{\text{間隙}}) / (C'_{FP} + C'_{\text{間隙}}) \quad (3),$$

$$C'_{EFF} = (C'_{FP} \times C'_{\text{間隙}}) / (C'_{FP} + C'_{\text{間隙}}) \quad (4)$$

であり、式中、

C_{EFF} は、LEDデバイス実効結合静電容量（ F ）であり、

C'_{EFF} は、単位面積当たりのLEDデバイス実効結合静電容量（ F/cm^2 ）であり、

A_{EFF} は、LEDデバイス実効面積（ cm^2 ）である。

【0038】

この明細書の残りでは、間隙509はゼロであり、したがって、 C'_{EFF} は C'_{FP} に等しくすると仮定する。

【0039】

電流 I_{LED} 513及び電流密度 J_{LED} は、

$$I_{LED} = C_{EFF} \times dV / dt \quad (5),$$

$$J_{LED} = C'_{EFF} \times dV / dt \quad (6)$$

として容易に計算され、 dV/dt は、電圧源510と図5Aの共通電極507（又は図5Bの陰極接点）との間の電圧変化率である。この特定の実施形態に関し、LED512

は、陽極から陰極に接続されるが、陰極から陽極への注入は、全ての電圧極性を逆にする
ことによって可能である。

【0040】

図6A及び図6Bは、本発明の好ましい実施形態による測定シーケンスを形成する電圧
及び電流波形を示す。測定シーケンスには少なくとも2つの段階、即ち、電流注入段階I
(時間 t_0 から t_1)及び放電段階III(時間 t_2 から t_3)がある。電圧保持段階IIは
、段階IIIを開始する前にカメラ統合ウィンドウを閉鎖するのに十分な時間を可能にす
るように加えられるが、電圧保持段階IIは、かなり短くてもよく、必要ではない場合も
ある。これらの段階は、以下でより詳細に説明し、 t_0 の前、全ての点でゼロ電圧である
と仮定する。

10

【0041】

図6Aを参照すると、電圧源時間プロット600は、電圧源波形を示す。時間 t_0 にお
いて、段階Iは、時間 t_0 から t_1 まで、0から V_1 までの正の傾斜 $dV/dt|_1$ で開始す
る。この傾斜は、電流 I_{LED} を、式(5)、及び式(6)による、対応する電流密度 J_{LED}
に従って面積 A_{EFF} のLEDに注入する。時間 t_1 において、電圧は、時間 t_2 までこの電
圧 V_1 で保持される。時間 t_2 から t_3 まで、負の傾斜 $dV/dt|_2$ を使用して電圧を低下
させ、ゼロ電圧状態に戻す。次に、時間 t_3 において、別の測定シーケンスを開始するこ
とができる。

【0042】

図6Bは、図6Aの駆動波形からの、測定シーケンスの間の対応する電流 I_{LED} 波形を
示す。段階Iの間、定数 I_{LED} 付近で、電流は、式(5)に従ってLEDデバイスを通じ
て流れる。光602は、段階Iの間発光する。段階IIの間、 I_{LED} 及び発光は、0まで
降下する。フィールド・プレートによって同時に励起した複数のデバイスのうち、特定の
LEDデバイスの光出力を測定するため、1つ又は複数のLEDデバイスから光を捕捉す
ることができる統合カメラを使用する。画像処理は、カメラ視野内に位置する特定のLE
Dデバイスに比例する値を生成することができる。この値は、段階Iにわたり統合される
光エネルギーに比例する。したがって、 t_0 のわずかに前の点から t_1 のわずかに後の終了
点まで画像センサ統合期間を開始することが望ましい。このことは、カメラ統合センサが
、段階Iの間にLED構造体から生じる完全な光パルスを捕捉することを保証する。

20

【0043】

図7A及び図7Bは、本発明の2つの実施形態を示す。図は、上部カメラ配置及び底部
カメラ配置を示し、これらの配置は、測定シーケンスによってフィールド・プレートを通
じて励起した複数のLEDデバイスの少なくとも一部分を遮断することができる。図7A
を参照すると、透過性フィールド・プレート組立体702を有する検査構成700を示し
、透過性フィールド・プレート組立体702は、フィールド・プレート電極703及び誘
電体層704を含む。電極703は、電圧源705に接続される。この組立体は、LED
デバイス支持基板701に極めて近接して配置され、LEDデバイス支持基板701は、
共通接点706に接続した複数のLEDデバイス707を支持する。カメラ708は、機
能検査を実施するため、フィールド・プレート組立体702の上に置く。図7Bは、カメ
ラを支持基板の下に置いた代替検査構成709を示す。この構成では、LEDデバイス構
造体に対する支持基板及び中間層は、光がカメラに到達可能であるように透過性でなけれ
ばならない。

30

【0044】

LEDが生成した光出力は、外部量子効率 η_{EXT} 又は $P_{opt} = \eta_{EXT} \times P_{elec}$ によってL
EDを流れる電力に関連する。パラメータ η_{EXT} は、電流密度、及び光抽出効率等の他の
デバイス特性にかなり高感度である。したがって、LEDデバイスの光出力は、

$P_{opt} = \eta_{EXT} \times P_{elec} = \eta_{EXT} \times I_{LED} \times V_F = \eta_{EXT} \times C_{EFF} \times dV/dt \times V_F$ (7)
として電力に関連し、式中、

P_{opt} = LED光出力(W)であり、

η_{EXT} = LED外部量子効率であり、

40

50

$V_F = L E D$ 順方向電圧降下 (V) であり、
 期間 $\Delta t = t_1 - t_0$ (段階 I) にわたり：

$$E_{opt} = \eta_{EXT} \times C_{EFF} \times dV/dt \times V_F \times \Delta t \quad (8)$$

であり、式中、

E_{opt} = 段階 1 の間に放出された L E D 光エネルギー (J)
 である。

【0045】

式 8 に従って、統合カメラは、それぞれ測定した L E D の外部量子効率に比例する値を測定する。電圧傾斜値を変更すると、式 6 に従った異なる電流密度を選択する効果を有する。 V_1 までの傾斜値の関数として、 E_{opt} のプロットを作製することによって、 J_{LED} の関数として (η_{EXT} に関連する) 光エネルギーのグラフを生成することができる。この能力は、マイクロ L E D デバイスの低電流密度性能の測定に特に有用であり得る。マイクロ L E D デバイスは、典型的には、 $0.001 \sim 1 A/cm^2$ というかなり低い値で駆動され、これらの低いレベルにおいて、非放射再結合過程による外部量子効率の落下に対しより高感度である。

【0046】

段階 I I I の間、負の dV/dt 傾斜は、電圧をゼロに戻し、別の測定のためシステムをリセットすることを可能にする。この段階の間、L E D に逆方向バイアスがかけられ、逆方向バイアス漏れ電流を使用して C_{EFF} を放電する。L E D に対し、損傷を生じさせ得る電圧レベルまで逆方向バイアスをかけないように、負電圧傾斜は、全てのデバイスを安全な逆方向バイアス電圧範囲内に保つように十分に緩やかでなければならない。そのような範囲は、検査する L E D の種類及び設計に応じて選択することができる。単に一例として、GaInN L E D の逆方向バイアス漏れ電流密度は、論文、名称「Transport mechanism analysis of the reverse leakage current in GaInN light-emitting diodes」、Q. Shan 等、Applied Physics Letter 99、253506 (2011 年) を使用して推定することができる。図 2 は、室温における $1 m^2$ L E D デバイス上の約 $1.5 \times 10^{-7} A$ の $-5 V$ 逆方向バイアス漏れ電流を示す。このことは、 $15 \mu A/cm^2$ に対応する。この逆方向バイアス漏れ電流密度を使用し、以下で説明する特定の $C^2 I$ 例の値及びパラメータを計算する。

【0047】

適切な統合カメラは、以下の基準：

a. (過剰な暗騒音及び信号飽和を伴わずに、対象とする動作範囲を通じて L E D を正確に測定することを可能にする) 画素感度及び動作範囲。

b. (処理量及び L E D 並行測定を向上させる) 高画素密度及びフレーム率。

c. グローバル・シャッタ及び柔軟な作動 (全ての画素を同じ期間にわたり作動し、統合させなければならない)

を満たさなければならない。これらの基準に合致する産業用カメラの一例は、Point Grey Research Inc.、カナダ、ブリティッシュコロンビア州、リッチモンド製のモデル GS3-U3-23S6M-C である。このカメラは、2.3 メガピクセル (1920×1200) の単色カメラであり、グローバル・シャッタ、5 μ 秒から 31.9 秒の露光範囲、毎秒 160 超のフレーム・レート、1/1.2 インチのセンサ・フォーマット、12 ビットのデジタル化、5.86 μm の画素サイズ、72 dB の動作範囲、76 % の量子効率 (525 nm)、約 32,000 個の電子の e 飽和力、及び約 7 e^- の一時的暗騒音を有する。カメラは、単独で使用しても、n x m カメラを使用してより大型のフィールド・プレート領域を同時に測定するマトリックス構成で使用しても、必要な精度で多数の L E D デバイスを測定する能力を有する。

【0048】

以下の例に関し、3 μm シリコン二酸化物誘電体層を有するフィールド・プレートを仮定する ($\epsilon_r = 3.9$)。この誘電材料は、一般に使用され、多数の材料上にスパッタリ

ング、成長又は成膜させることができる。厚さは、マイクロLEDデバイスの検査を可能にするように、 $10\mu\text{m} \times 10\mu\text{m}$ 以下に至るまで十分に薄いように選択した。この厚さは、降伏前に約1500ボルト超の電圧を支持することができる。 C'_{FP} は $1.15\text{nF}/\text{cm}^2$ となる。

【0049】

500Vの V_1 の値を仮定する(図6Aを参照)。これらの仮定及びパラメータを選択すると、LEDごとの光パルス・エネルギーは、

$$E_{opt} = \eta_{EXT} \times C_{EFF} \times \Delta V \times V_F \quad (9)$$

として単純化することができる。

【0050】

パラメータの選択のため、図8は、電圧傾斜期間の間に選択する電流密度を示す。例えば、LEDは、フィールド・プレート電圧を約60 μ 秒(段階I)でゼロから+500ボルトまでで駆動した場合、 $0.01\text{A}/\text{cm}^2$ で駆動される。カメラ・シャッタは、傾斜を開始するわずかに前に開放し(例えば、 t_0 前の10~50 μ 秒)、段階Iの終了後わずかに開放する(例えば、 t_1 の後の10~50 μ 秒)。段階IのLED光パルスをカメラ・シャッタ時間ウィンドウ内に完全に統合することを保証することとは別に、過剰な統合時間は回避すべきである。というのは、このことは、カメラのノイズ・フロアを高める傾向があるためである。段階IIは、統合シャッタが閉鎖すると同時に終了するように選択することができる。

【0051】

段階IIIの間、安全に回復させるため、式6を利用し、電流密度を漏れ電流密度とほぼ等しいように選択する。例えば、(予想される漏れ電流密度 $15\mu\text{A}/\text{cm}^2$ よりもわずかに低い) $10\mu\text{A}/\text{cm}^2$ の標的漏れ電流密度及び $\Delta V = 500\text{V}$ を利用すると、式6は、約60m秒の最小 Δt を予測する。このことは、 $0.0005\text{A}/\text{cm}^2$ 以上の注入電流密度に対し、毎秒約16フレームの測定繰返し速度に対応する。

【0052】

LEDデバイス接合部内でキャリアを励起するのに十分に短い波長でLEDデバイス領域を照明する外部光源を使用すると、より迅速な回復率が可能である。向上した漏れ光電流により、高い逆方向バイアス条件を生じさせずに、段階IIIのより迅速な回復を可能にする。

【0053】

この測定手法で達成可能な信号、及び1つのカメラが及ぶ面積を推定するため、以下の更なるパラメータ：

a. GaN LED (約410nmの発光及び65%のカメラ量子効率)

b. V_F 約3V

c. $E_{opt} = 170\text{nJ}/\text{cm}^2$ (η_{EXT} 約10%)

を仮定する。段階Iの間、光子あたり約3eVで、約 3.5×10^{11} 光子/ cm^2 を放出する。カメラ内で生成し得る、対応する光電子の数は、 $0.65 \times 3.5 \times 10^{11}$ 光子/ cm^2 又は 2.3×10^{11} 光電子/ cm^2 となる(センサ対フィールド・プレートは1:1の倍率であり、100%の集光効率であると仮定する)。この倍率において、5.86 μm 画素サイズは、78,000個超の電子を依然として捕捉し、画素飽和容量の2倍を超える。カメラごとにより低い統合光電子数が望ましい場合、より低い V_1 電圧を選択することができる。

【0054】

一例として、0.5倍集光レンズ(モデル#62-911 TECHSPEC(登録商標)大判テレセントリック・レンズ、Edmund Optics製、米国、ニュージャージー州、バーリントン)を使用し、画像センサ上で約 $21\text{mm} \times 16\text{mm}$ のLED基板領域を撮像するが、様々な変形形態があり得る。作動距離は175mm、入口口径は、約90mmであり、 $4\pi\text{sr}$ と比較して約1.7%の合計集光効率をもたらす。予想される光電子の収集は、 2.3×10^{11} 個の光電子/ $\text{cm}^2 \times (5.86\mu\text{m} \times 2)^2 \times 0.0$

10

20

30

40

50

$17 = 5.3 \text{ ke}^-/\text{画素}$ である。これは、十分にセンサの動作範囲内であり、望ましい場合、信号の平均化又は V_1 の増大により、信号品質を更に改善することができる。当然、他の変形形態、修正形態及び代替形態があってもよい。

【0055】

したがって、カメラ・センサ面積に対するフィールド・プレートの撮像は、LEDデバイスごとに割り当てる画素数ほど、利用可能な信号に左右されない。一辺で $250 \mu\text{m}$ を測定するより大型のLEDデバイスの場合、より小さな倍率が必要である。正確な計量のため、 2×2 画素面積が各LEDデバイスを含むと仮定すると、1つのカメラは、 960×600 個のLEDデバイス、即ち、6インチ支持基板の面積よりも多い $240 \text{mm} \times 150 \text{mm}$ のフィールド・プレート面積又はそれ以上を測定することができる。この例では、 V_1 は、優れた信号対ノイズ比を維持しながら、 100V 未満、おそらくはそれよりも低く低減することができる。光パルス・エネルギーが高すぎる場合、減光フィルタ又は他の吸光フィルタを発光表面とカメラとの間に置き、カメラ飽和を回避することができる。

【0056】

$10 \mu\text{m} \times 10 \mu\text{m}$ のLEDデバイス・サイズを有するマイクロLED適用例の場合、センサごとに同じ 960×600 個のLEDデバイス、即ち約 $9.6 \text{mm} \times 6 \text{mm}$ のフィールド・プレート面積が測定される。約 16×25 のステップを有するステップ・アンド・リピート・システムは、1億7000万個超のデバイスを含む6インチのマイクロLED基板の検査を可能にする。LEDデバイスごとの単一測定が十分である場合、1つ又は複数の移動カメラと同期した画像捕捉により、検査時間を1分未満又は数秒にさえ減少させることができる。例えば、毎秒16フレームの捕捉速度は、約25秒で6インチ基板全ての機能的な検査を可能にする。このことは、毎秒900万個超のLEDデバイスを検査することに相当し、プローブ・カード及び個々の検査方法よりもかなり速い。

【0057】

好ましい実施形態では、図9は、真空を使用して、基板サイズのフィールド・プレートを支持基板に取り付け、機能検査に適した組立体900を作製し得ることを示す。フィールド・プレート901は、LEDデバイス支持基板902上に置かれ、準拠する真空封止体903を外側周辺領域に置き、フィールド・プレートとLEDデバイス支持基板との間の真空レベルを維持する。次に、真空ポート904を使用して板の間の空間内の空気を排気する。プレートは、大気圧まで一緒に押下され、間隙を均一に最小化し、したがって、実効フィールド・プレート結合静電容量 C_{EFF} を最適化する。支持基板交換機構は、フィールド・プレートの下で、ポート904を真空条件と通気条件との間で循環させることによって検査基板を交換することができる。本実施形態では、フィールド・プレートの上で測定するカメラ905を示す。真空の代わりに、充填・排気ポートは、間隙内に適切な液体結合媒体を供給することができる。当然、他の変形形態、修正形態及び代替形態があってもよい。

【0058】

別の実施形態では、図10は、より小型のフィールド・プレート1000及びカメラ1001から構成される組立体を示し、カメラ1001は、LEDデバイス支持基板1002の上に置かれる。フィールド・プレート／カメラ組立体は、連続移動／測定ステップ1003で移動し、完全な基板1002を測定する。当然、他の変形形態、修正形態及び代替形態があってもよい。

【0059】

主な段階1及び3の波形を示す測定シーケンスの電気シミュレーションを図11～図14に示す。シミュレーションするシステムは、以下の通りである：

1. フィールド・プレート： $3 \mu\text{m}$ シリコン二酸化物、 $C'_{EFF} = 1.15 \text{ nF}/\text{cm}^2$
2. $10 \mu\text{m} \times 10 \mu\text{m}$ のLEDデバイス・サイズ： 1.15 fF C_{EFF} 、 15 pA 逆方向漏れ電流
3. $0.01 \text{ A}/\text{cm}^2$ 電流密度検査点
4. $V_1 = 500 \text{ V}$ ($0.01 \text{ A}/\text{cm}^2$ 電流密度注入を達成する $60 \mu\text{s}$ の傾斜時間)

5. 60 m秒の測定繰返し速度

6. LEDデバイスは、約10 pAの逆方向漏れ電流が可能な標準的なダイオードである。

【0060】

使用するプログラムは、Spectrum Software（カリフォルニア州サンバーブル）製Micro-Capバージョン11と呼ばれるSPICE回路シミュレータである。1つの10 μm×10 μm LEDデバイスを上記の条件下でシミュレーションした。図11は、 $C_{EFF} = 1.15 \text{ fF}$ である、電圧生成器V2によって駆動される回路図を示す。この生成器は、60 μ秒で0から+500 Vに傾斜し、その後、60 m秒で+500 Vから0 Vの傾斜で下がるようにプログラムした。電圧源V3は、接続していないが、所望のカメラ・シャッタ・ウィンドウの一例を示すようにプログラムした。この例では、シャッタは、段階Iの前に10 μ秒開放し、段階I後の10 μ秒後に閉鎖した。

【0061】

図12A～図12Dは、電圧源V2（図12A）、LEDデバイス順方向バイアス（図12B）、LEDデバイス順方向電流（図12C）及び電圧源V3からのカメラ・シャッタ制御信号（図12D）に対する段階1の波形を示す。図12Dを参照すると、カメラ統合シャッタは、（時間軸上で+10 μ秒の時間に）電圧開始前に10 μ秒開放される。時間軸上の時間+20 μ秒において、電圧源は、+500 Vに向かって傾斜を開始する（時間 t_0 ）。この段階Iの間、+80 μ秒まで、LEDデバイスに+10 nA（図12C）で、約+250 mVの順方向バイアスがかけられる（図12B）。このことは、必要に応じて0.01 A/cm²電流密度に対応する。時間+80 μ秒の後、電圧傾斜は停止し、LED電流はゼロに降下する。時間+90 μ秒において、カメラ・シャッタは閉鎖し、段階Iの間に生成した光パルスの統合を完了する。ここで、電圧源は、-10 pAの標的漏れ電流で緩やかな放電を開始する。図13A～図13Dは、段階IIIの間の同じ電圧及び電流点を示し、放電は、約60 m秒続く。図13Cは、-10 pAで放電される電流を示し、 C_{EFF} が+500 Vから0 Vまで60 m秒にわたり安全に放電することを可能にする。電圧源が約+60 m秒でゼロに戻った後、新たな測定シーケンスを開始する。図14A～図14Dは、4つの測定シーケンスを示すより長い時間軸（200 m秒）を示す。

【0062】

直接共通接点は、DCバイアス及び機能検査構成も可能にする。図15は、LEDデバイスにDCモードのみでバイアスをかけるか又は経時変化するACモードと組み合わせてバイアスをかけることができる一実施形態を示す。図15Aを参照すると、フィールド・プレート1501は、フィールド・プレート支持体（上部）、電極層1502から構成され、電極層502は、電圧源1503に接続され、任意選択の「漏れ」誘電体層1504の一面に隣接する。機械的支持プレートは、導電性であってもよく、任意選択の「漏れ」誘電体層1504のみを必要としてもよい。当然、他の変形形態、修正形態及び代替形態があってもよい。

【0063】

フィールド・プレート電極は、電圧源1503に接続され、任意選択の「漏れ」誘電体層1504の開放面は、単位面積当たりの静電容量：

$$C'_{FP} = \epsilon_o \times \epsilon_r / t_d \quad (10)$$

を形成し、式中、

C'_{FP} は、フィールド・プレートの単位面積当たりの静電容量（F/cm²）であり、

ϵ_o は、真空誘電率（ $8.854 \times 10^{-14} \text{ F/cm}$ ）であり、

ϵ_r は、誘電体層の比誘電率（無次元）であり、

t_d は、誘電体層の厚さ（cm）である。

【0064】

誘電体は、DCバイアス構成でLEDデバイスに対し所望のバイアスをかけることを可能にするように選択した ρ_d の抵抗率を有する。バイアス応答時間を駆動する時間定数は、 $\epsilon_o \times \epsilon_r \times \rho_d$ である。実効抵抗は、以下：

10

20

30

40

50

$$R'_{FP} = \rho_d \times t_d \text{ (オーム cm}^2\text{)} \quad (11)$$

の通りに計算することができ、式中、

R'_{FP} は、フィールド・プレートの単位面積当たりの抵抗（オーム cm²）であり、
 ρ_d は、フィールド・プレート誘電体層の抵抗率（オーム cm）であり、
 t_d は、誘電体層の厚さ（cm）である。

【0065】

一例では、漏れ誘電体層は、一般に、合理的に高い比誘電率、約1 Mオーム cm以上の抵抗率、及び十分に高い誘電破壊電界強度を有する層として説明することができる。II型DI（脱イオン）水は、これらの基準に合致し、81の誘電率、1 Mオーム cmの抵抗率、及び13 MV/cmを超える破壊電界強度を有する。他の例では、層は、わずかに導電性のドーパ・ガラス／セラミック、プラスチック等とすることができる。約1というわずかな比誘電率が許容可能である場合、間隙内の電圧を有する空気層は、弱イオン化によってわずかに導電性になり、「漏れ」誘電体層の機能を達成することができる。

【0066】

再度図15Aを参照すると、フィールド・プレート1501は、LED支持構造体1505の十分近くに置かれ、n接点底電極1506は、共通電圧源1507及び複数のp接点上部電極1508に接続される。各LEDデバイスにわたる電圧は、本明細書では電圧源1503及び共通電圧源1507を使用して発生させるものとして示すが、代替的に、電圧源は、接点1502又は1506のいずれかに接続することができる。実効LEDデバイス駆動電圧は、全電圧源構成に対する接点1503と1507との間の電圧差である。この構成のため、フィールド・プレート誘電体層1504の開放面又は電極接点1502は、LED構造接触表面1508の開放面に十分近接して置かれ、電圧源1503と上部LED電極表面1508との間の所望の電気結合を可能にする。図15Aでは、この間隙は、1509として示され、最小とすることができ、間隙は制限される。間隙1509は、（電流注入効率を最適化する）十分な静電容量結合及び抵抗結合、並びに選択する間隙媒体に対する電流注入効果の空間的脱焦の最小化を可能にするように十分に小さいものとすべきである。

【0067】

組立体1500によって作製した構造体の電気アナログ図を図15Bに示す。電圧源1510（図15Aの1503）は、2つの実効蓄電器を通じて、上部表面積 A_{EFF} を有する各LEDデバイス1512に接続される。1つの実効蓄電器は、任意選択の「漏れ」フィールド・プレート誘電体1504（ C_{FP} 1511）を表し、1つは、間隙誘電性媒体1509（ $C_{間隙}$ 1513）を表す。各蓄電器は、フィールド・プレート誘電体 R_{FP} 1514及び間隙媒体 $R_{間隙}$ 1515を通る漏出経路を表す抵抗器によって分岐される。底部共通接点1506に接続した電圧源1516（図15Aの1507）は、電気回路を完成させる。電圧変化及びレベルは、電流 I_{LED} 1517をLEDデバイス1512上に加えられる。実効静電容量 C_{EFF} は、単純に、フィールド・プレート誘電体層の直列静電容量であり、間隙1509の静電容量は、面積 A_{EFF} の両方で、

$$C'_{間隙} = \epsilon_o \times \epsilon_r / t_{間隙} \quad (12)$$

であり、式中、

$C'_{間隙}$ は、間隙の単位面積当たりの静電容量（F/cm²）であり、

ϵ_o は、真空誘電率（ 8.854×10^{-14} F/cm）であり、

ϵ_r は、間隙媒体の比誘電率（無次元）であり、

$t_{間隙}$ は、間隙の厚さ（cm）であり、

$$C_{EFF} = A_{EFF} \times (C'_{FP} \times C'_{間隙}) / (C'_{FP} + C'_{間隙}) \quad (13)$$

$$C'_{EFF} = (C'_{FP} \times C'_{間隙}) / (C'_{FP} + C'_{間隙}) \quad (14)$$

であり、式中、

C_{EFF} は、実効LEDデバイス結合静電容量（F）であり、

C'_{EFF} は、単位面積当たりの実効LEDデバイス結合静電容量（F/cm²）であり、

A_{EFF} は、実効LEDデバイス面積（cm²）であり、

間隙媒体分流抵抗器は、

$$R'_{\text{間隙}} = \rho_{\text{間隙}} \times t_{\text{間隙}} \quad (\text{オーム cm}^2) \quad (15)$$

であり、式中、

$R'_{\text{間隙}}$ は、間隙媒体の単位面積当たりの抵抗 (オーム cm^2) であり、

$\rho_{\text{間隙}}$ は、間隙層の抵抗率 (オーム cm) であり、

$t_{\text{間隙}}$ は、間隙層の厚さ (cm) であり、

実効分流抵抗器は、

$$R_{\text{EFF}} = (R'_{\text{FP}} + R'_{\text{間隙}}) / A_{\text{EFF}} \quad (16)$$

として計算され、式中、

R_{EFF} は、実効結合分流抵抗 (オーム) である。

10

【0068】

ここで、DC注入機能検査モードの一例を図16の構造体を使用して説明する。検査構成は以下の通りである：

1. デバイス・サイズ： $25 \mu\text{m} \times 25 \mu\text{m}$

2. フィールド・プレートは誘電体層を有さない。

3. 間隙は、II型DI水 ($> 1 \text{M}$ オーム cm) を有する $25 \mu\text{m}$ である。

4. 底部電極電圧源及びバイアス負荷抵抗器 R_L によって設定した $10 \text{mA} / \text{cm}^2$ の標的DCバイアス

5. 外部結合蓄電器 C_C を通じて上部フィールド・プレート電圧源によって駆動するAC (パルス) 動作

20

6. 検査面積 5cm^2 。

【0069】

フィールド・プレート1601は、LED支持構造体1602の十分近くに置かれ、n接点底電極1603は、共通接地接点1604及び複数のp接点上部電極1605に接続される。各LEDデバイスについて、間隙媒体結合静電容量は、 18fF であり、その分流抵抗は、 400M オームである。比較的大きな結合静電容量は、間隙1606内にDI水を使用することで可能であり、DI水は、81という高い比誘電率を有する。各LEDデバイス内の注入電流のAC及びDC成分を電流1617によって示す。

【0070】

DCバイアスは、電圧源1607を調節することによって事前設定正電位 V_{pos} に設定し、負荷抵抗器 R_L 1608、フィールド・プレート接点1609、間隙媒体1606を通じてLEDデバイスにバイアスをかけ、LEDデバイスを通じて底部接点1604にバイアスをかける。 $10 \text{mA} / \text{cm}^2$ というDCバイアス点を達成するため、合計 50mA の電流を R_L を通じて流さなければならない。 100k オームとして R_L を選択した場合、結合蓄電器 C_C 1610を通じたACパルスの実効結合を可能にするため、約 5kV の正バイアス V_{pos} が必要である。DI水を通じた電圧降下は、約 25V である一方で、LEDは、オンにするために $2.5 \sim 3.5 \text{V}$ を必要とする。バイアス・レベルを変化させることによって、出力光レベル対DC電流密度のグラフを測定し得ることに留意されたい。DCバイアスと、カメラ捕捉時間とを同期してパルス化することにより、信号の平均化、及び多数のデバイスのバイアス設定点の測定を可能にする。

30

40

【0071】

パルス信号の応答は、結合蓄電器1610を通じて、パルス源1611によって結合することができる。 1nF の C_L を仮定すると、高速パルスは、 $R_L \times C_C$ 緩和が電荷結合効率を低下させ得る前に、電荷をLEDデバイス内に結合させることができる。 100k オーム及び 1nF デバイス値の場合、システム緩和時間定数は、 $100 \mu\text{s}$ であり、電荷をLEDデバイスに移送し、測定可能な光パルスに変換できることを保証するのに十分に長い値である。この例では、合計DI水結合静電容量は、約 14nF である。 $100 \text{mA} / \text{cm}^2$ バイアスを $5 \mu\text{s}$ 間注入する場合、1LEDデバイスにつき合計約 3pC 又は $2.4 \mu\text{C}$ の電荷を検査領域のために送出しなければならない。DI結合蓄電器は、約 14nF であるため、実効結合静電容量は、依然として約 1nF である。パルス源1611に必

50

要な電圧パルスの大きさは、2400ボルトであり、5 μ 秒で傾斜する。このように、DCバイアス及びACパルス機能検査の両方は、底部共通接点を有するLEDデバイス基板から行うことができる。当然、他のバイアス及びパルス構成、変形形態、修正形態及び代替形態があってもよい。

【0072】

本発明を共通接点がLEDデバイスの下に存在する状態で説明してあるが、他の電流注入デバイスが可能である。図17Aは、別の実施形態1700を示し、フィールド・プレート1701に対する相似体が、LEDデバイス1703等の複数のLEDデバイス構造体の下で、支持基板1702内に存在する。LEDデバイス構造体最下層（本発明で説明する例ではn層）の下で、誘電体層1704及び電極1705が支持基板静電容量結合デバイスを完成させる。電極1705は、電圧源1706に接続される。フィールド・プレートは、個別の電圧源1707及びフィールド・プレート電極1708に接続される。本例では、カメラ1709をフィールド・プレートの上に置き、検査下、複数のLEDデバイスの発光反応を捕捉する。本例では、デバイス間の分離を完全であるように示すが、本方法は、n層の完全な分離の有無にかかわらず、依然として機能する。図17Bは、この静電容量結合支持基板構成に対する同等の回路1711を示す。唯一の変化は、各LEDデバイスの陰極の下に第2の結合蓄電器 C_{EFF2} を挿入することである。得られる回路は、同等に動作し、 C^2I 機能検査を実施する際に効果的であるようにすることができる。例えば、支持基板誘電体層1704がフィールド・プレート内の誘電体層1710と同一であり、電圧源1706が、電圧源1707に対し負ではあるが同一に駆動される（電圧源1707では0から-500Vであり、電圧源1707では0から+500Vである）と仮定すると、測定システム1700は、共通接点支持基板構成と本質的に同一に機能する。

【0073】

更に別の実施形態では、 C^2I 機能検査を図17Aの検査構成の修正に適用することもでき、これにより、支持基板内の埋込電極の必要性をなくす。本実施形態では、支持基板の誘電特性自体を使用し、LEDデバイスに電流を注入する。例えば、石英、サファイア、ガラス又はプラスチック支持基板は、図17Aの誘電体1704として働くことができる。図18は、この構成の特定の実施形態1800を示す。支持基板1801は、十分な誘電特性及び厚さを有し、LEDデバイス1802等の複数のLEDデバイスをその表面上に含み、電圧源1806に接続した電極1803の上部に置かれる。具体的に図示しないが、間隙は、電極1803と支持基板1801との間に存在することができ、望ましい場合、支持基板の裏側の非接触作業を可能にする。具体的に図示しないが、更なる誘電体を電極1803と支持基板1801との間に介挿することができる。間隙（及び任意選択で誘電体を覆う電極1803）は、式2～4を使用して、上部フィールド・プレート対デバイス間隙509が C_{EFF} 及び C_{EFF}' を修正したのと同様に C_{EFF2} を修正する。フィールド・プレート1804は、誘電体層1805及び電極1806を有し、第2の電圧源1807に接続され、 C^2I 機能検査回路を完成させる。フィールド・プレート1804上に置いたカメラ1808を本実施形態で示す。同等の電気回路は、値 C_{EFF2} が支持基板の厚さのため実質的により小さい可能性があることを除き、図17Bと同様である。例えば、厚さ500 μ mのサファイア（ ϵ_r 約10）製支持基板の場合、 C_{EFF2}' は、約18pF/cm²であり、 C_{EFF1} の約65分の1の小ささである。 V_1 のより速い電圧傾斜及び／又はより大きな電圧値は、結合効率のこの損失を補償することができる。例えば、フィールド・プレート電圧源1807は、0から+500Vまで駆動することができる一方で、支持基板電圧源1804は、0から-32.5kVまでで駆動することができる（-500V $\times$ 65=-32.5kV）。サファイア支持基板内の電界強度は、0.65MV/cmであり、約1MV/cmであるサファイアの破壊強度を十分に下回るものである。このように駆動すると、LEDデバイスは、実質的に同等に駆動され、LEDデバイス支持基板内の埋込接点を伴わずに C^2I 機能検査を可能にする。電極1803を駆動する高電圧波形生成器は、IGBT、MOSFET又はサイリスタ・デバイスを使用して実現すること

ができる。36 kVまで切り替え可能な高電圧スイッチは、モデル番号HTS-361-01-C (36 kV、最大電流12 A)、及びモデル番号HTS-361-200-FI (36 kV、最大電流2000 A) Belke Electronic GmbH (ドイツ、クロンベルク) 製である。プログラム可能な波形整形回路は、高速の電圧変化を緩やかにし、所望の C^2I 機能検査特性に合致する電圧傾斜にすることができる。6インチ基板の場合、合計静電容量は、約3.2 nFであり、毎秒16回の測定で、 $1/2 CV^2 f$ 電力は、約27ワットであり、平均電流は、830 μ Aであり、市販の高電圧スイッチの通常動作規格内で安全である。HTS-361-200-FIの2000 A切り替え可能スイッチの場合、 $11 A/cm^2$ もの高さである電流密度 C^2I 測定を実施することができる。当然、他の変形形態、修正形態及び代替形態があってもよい。

10

【0074】

図19A~Cは、LED構造体1900に通電する最大3つの電圧源を含み得る静電容量電流注入の変形体を示す。図19Aは、上部LED構造体領域が上部電極（陽極）に対応し、底部LED構造体領域が底部電極（陰極）に対応する垂直LED構造体を示す。したがって、 C_{top-a} は、図15Bの C_{EFF1} に等しく、 C_{bot} は、 C_{EFF2} に等しい。LEDデバイス1901等の側方LED構造体は、小さな上部領域がエッチングされ、n層1902（陰極）を露出する一方で、領域の残部は、活性層、上部p層及びp層接点1903（陽極）を含有する。図19Bは、実効静電容 C_{top-b} によって上部陽極接点にアクセス可能である一方で、実効静電容量 C_{bot-b} によって陰極接点領域1902にアクセス可能である単純な断面を示す。陰極領域には、静電容量 C_{bot} 及び底部電極1905を介し、支持基板1904を通じてアクセス可能である。LEDデバイスが図19Aのデバイスに相当する合計上部表面積を有する場合、 $C_{top-b} + C_{bot-b}$ は、 C_{top-a} に等しく、各静電容量値は、その表面積に比例する。例えば、上部陽極面積が合計面積の75%である（上部陰極領域が合計面積の25%である）場合、 $C_{top-b} = 0.75 \times C_{top-a}$ であり、 $C_{bot-b} = 0.25 \times C_{top-a}$ である。 C_{bot} 内には変化がない。というのは、合計底部面積は修正されないものの、活性面積は、MESAエッチング接触方法のためにより小さい（この例では75%）ためである。実効電流密度注入値の計算は、活性面積対合計面積比の修正を必要とする。図19Cは、バイア接点を使用する、より小さい上部陰極接点を示す。異なる静電容量、及び活性面積対合計面積比の値以外、この変形体は、図19Bと同様である。

20

30

【0075】

例示的LED構造体として、図19Bの側方LED MESA構造体を使用し、図20A~図20Cは、3つの可能な接触オプションである3つの個別のLEDデバイス2001を有する検査組立体2000を示し、検査組立体2000は、底部電極2004を有する支持基板2003上に、デバイス上部の上部フィールド・プレート2002を使用する。電極2004は、重なる誘電体を含む電極組立体とすることができ、支持基板2003の近傍に置くことができることに留意されたい。 C_{bot} は、そのような更なる誘電体層（複数可）及び間隙を含むように修正する。

【0076】

図20Aは、上部フィールド・プレート電極2005を示し、上部フィールド・プレート電極2005は、LEDデバイス全面を覆い、電圧 V_1 に対する電圧傾斜により駆動される。底部電極2004は、電圧 V_2 に対する負の電圧傾斜によって駆動される。上部フィールド・プレート電極2005は、図6Aの段階Iによる正の傾斜を使用して駆動すると仮定する一方で、底部電極2004は、負の傾斜によって駆動すると仮定し、 V_2 は、更に以下で説明する静電容量によって適切な寸法に変更する。図20Bは、パターン化フィールド・プレート電極を示し、陽極電極2006のみが存在し、電流を、静電容量 C_{t-b} を通じてLEDデバイスに注入する。上部陰極静電容量は、上部陰極接点領域の上に電極がないため、無視できると仮定する。図20Cは、パターン化フィールド・プレート電極構造体を示し、上部陽極接点は、電圧 V_1 に対する正の傾斜を使用してフィールド・プレート電極2007に静電容量結合し、上部陰極接点は、電圧 V_3 に対する負の傾斜を使

40

50

用してフィールド・プレート電極 2008 に静電容量結合する。

【0077】

別段記載しない限り、デバイス内のゼロの正味の電荷の蓄積（陽極電荷が入る＝陰極電荷が出る）、及び等しい電圧傾斜期間を仮定する。これらのバイアス条件を段階 I の間、図 20A～図 20C の構造体に適用すると、様々な関係は、以下の通りである：

1. 図 20A（側方 LED デバイス、連続フィールド・プレート）

$$\text{注入電流} = C_{t-a} \times dV_1 / dt$$

$$V_2 = -V_1 \times (C_{t-a} + C_{b-a}) / C_{bot}$$

2. 図 20B（側方 LED デバイス、陽極上にのみフィールド・プレート電極）

$$\text{注入電流} = C_{t-b} \times dV_1 / dt$$

$$V_2 = -V_1 \times C_{t-b} / C_{bot}$$

3. 図 20C（側方 LED デバイス、陽極及び陰極上に個別のフィールド・プレート電極）

$$\text{注入電流} = C_{t-c} \times dV_1 / dt$$

$$V_1 \times C_{t-c} = -V_2 \times C_{bot} - V_3 \times C_{b-c}$$

全ての 3 つの構造体に関し、 J_{LED} = 注入電流 / 活性面積であり、活性面積は、デバイスが接触する MQW 構造体の面積である。

【0078】

側方デバイス構造体上での C^2I 測定の使用を示す単なる例として、図 20A～図 20C の LED 構造体は、以下の共通パラメータ及び集光構成を有すると仮定する：

a. $25 \mu m \times 50 \mu m$ の LED デバイス・サイズ

b. 側方 LED デバイスのために分離した 75%（陽極・活性面積）並びに 25%（陰極）面積

c. 標的 $J_{LED} = 0.01 A/cm^2$

d. サファイア支持基板の厚さ、1 mm ($\epsilon_r = 10$)

e. 段階 I の電圧傾斜時間、25 μs

f. フィールド・プレート誘電体：2 μm シリコン窒化物 ($\epsilon_r = 7.5$)

g. $C_{t-a} = C_{t-b} = C_{t-c} = 31 fF$

h. $C_{b-a} = C_{b-c} = 10.3 fF$

i. $C_{bot} = 0.11 fF$

j. 注入電流 = 93.7 nA

k. $E_{opt} = 75 nJ/cm^2$

l. 放出される光子 / LED デバイス 約 1.5×10^6 個の光子

m. LED デバイスごとに検出される光電子（65% の量子効率、90 mm のレンズ口径、175 mm の作動距離） C^2I 測定サイクルにつき約 16,000 個の光電子

【0079】

図 20A 例 1：

a. $V_1 = +75 V$

b. $V_2 = -28.2 kV$

【0080】

図 20A 例 2（上部フィールド・プレート接地条件）：

a. $V_1 = 0 V$

b. $V_2 = -28.275 kV$

【0081】

図 20B 例 1：

a. $V_1 = +75 V$

b. $V_2 = -21.3 kV$

【0082】

図 20B 例 2（上部フィールド・プレート接地条件）：

a. $V_1 = 0 V$

b. $V_2 = -21.375 \text{ kV}$

【0083】

図20A 例1:

a. $V_1 = +75 \text{ V}$

b. $V_3 = -75 \text{ V}$ 、 $V_2 = -14.1 \text{ kV}$

【0084】

図20A 例2:

a. $V_1 = +75 \text{ V}$

b. $V_3 = -226 \text{ V}$ 、 $V_2 = 0 \text{ V}$

【0085】

10

図20Aの例2を使用する場合、一部の共通モードの帯電が生じ、より高い底部電極電圧 V_2 を必要とする場合があるが、この実施形態は、ほとんどの側方LED構造体に対し、接地した非パターン化フィールド・プレートのみと必要とすることにより、特に有用とすることができる。

【0086】

更に別の実施形態では、上部フィールド・プレートは、より厚い誘電体を有し、より高い電圧 V_1 を必要とすることができる。このことは、上部デバイス構造体の配置による影響を減らすという利点を有し、非接触検査を促進し、引掻き傷等の誘電体のわずかな欠陥による上部フィールド・プレートの頑健性を改善することができる。例えば、図20Aの構成の $200 \mu\text{m}$ 石英フィールド・プレート誘電体（上記の例の要素(f)）及び $10 \mu\text{m}$ の空隙の場合、以下の電圧を必要とする:

20

a. $V_1 = +17.4 \text{ kV}$

b. $V_2 = -28.5 \text{ kV}$

【0087】

これらの電圧は、本質的にLEDデバイス構造体を接地電位に近く保つことによって、デバイスへの正味の電荷移動を回避するように選択した。電界強度が十分に高いと、空隙が壊れ、イオン化することを理解することが重要である。パッシェンの法則によれば、標準の気圧及び温度の空気の場合、 $10 \mu\text{m}$ の空隙は、約 350 V で壊れるのに対し、上記の例は、 2.8 kV 超を空隙にわたり維持できることを想定する。代わりに、この例では、約 $+2.2 \text{ kV}$ を超える V_1 電圧の場合、空隙はイオン化し、空隙にわたり電圧降下を低下させる。したがって、必要な V_1 は、イオン化空隙にわたり電圧降下がないと想定すると、 $+14.5 \text{ kV}$ に近づく。当然、所望の電流注入条件を達成する他の電圧波形及び値が可能である。当然、他の変形形態、修正形態及び代替形態とすることができる。

30

【0088】

図20B～図20Cのようなパターン化フィールド・プレート電極のパターンを使用すると、側方デバイス構造体ごとに特定の電極パターンを必要とし、上部フィールド・プレートの誘電体の厚さは、過剰な電界交差結合を回避するため、デバイスのピッチ未満又は同じ程度としなければならない。更に、フィールド・プレート2002と支持基板との間のパターン化上部フィールド・プレートの正確な位置合わせは、結合効率を最大化し、（例えば電極2007とn層陰極接点領域との間の）寄生静電容量を最小化するために重要である。電極とLED構造体との間の、デバイス・サイズの $\pm 5\%$ 内の位置合わせが、効率的な結合及び再現可能な C^2I 測定を可能にするのに十分であると考えられる。図20C等の複数の電極構造体の場合、検査下のデバイスに対する損傷を回避するため、位置合わせも重要である。例えば、デバイス構造体に対するフィールド・プレートの位置合わせがずれると、大幅な逆方向バイアスが注入されることによって、電流注入を無効にするか、又はLEDデバイスを損傷することさえある。

40

【0089】

特定の画像処理方法を利用し、検査下、各LEDデバイスに対応する測定データの精度を改善することができる。センサ上で撮像した各LEDデバイスは、カメラ・センサレイ内の特定領域上で撮像される。1つの画像処理方法は、標的画像からの空間情報を使用

50

し、測定したカメラ出力データ画像内で各LEDデバイスに対する物理的質量中心（ x ， y ）位置を生成する。支持基板上のLEDデバイス質量中心位置と、カメラ・センサ上の対応する質量中心位置との相関関係を展開し、可能性としては、カメラ倍率、光歪み修正、画像捕捉を使用して修正し、LEDデバイス・マトリックス等を検知、位置特定することができる。したがって、得られる質量中心マトリックスは、各LEDデバイスに対するセンサ画像内の（ x ， y ）位置のセットである。例えば、上記の例を参照すると、 1920×1200 個のデジタル・センサ・マトリックス上で撮像した 960×600 個のLEDデバイス・セットは、以下の質量中心マトリックス：

LED（ i ， j ）の質量中心＝カメラ・データ位置（ x ， y ）

を有し、式中、 i 、 j は、各測定LEDに対する整数（ $i = 1$ から 960 、 $j = 1$ から 600 ）である一方で、カメラ位置（ x ， y ）は、センサ画素領域内の浮動小数点数（ $0 < x < 1920$ 、 $0 < y < 1200$ ）である。この質量中心マトリックスを展開した後、重み付き関数を使用する画像処理方法は、デジタル画像を利用し、重み付き関数を使用して抽出したデータ値セットを展開することができ、より多い重みが、物理的にLED質量中心位置に最も近いセンサ・データに与えられる。画像処理システムは、並行して、通常、フレーム率速度でこの重畳関数を達成することができる。したがって、好ましい実施形態では、LEDデータ値は、出力LEDデバイス（ i ， j ）のマトリックス・データ値から構成され、このデータ値は、デジタル・カメラ・データに適用した質量中心重み付き関数を使用して計算される。

【0090】

上記は、 C^2I のデータ画像を捕捉し、出力LEDデバイス（ i ， j ）データ点をもたらしするための重要なステップを説明するが、オフセット及びスケール／正規化演算を適用することもできる。例えば、電圧波形を伴わずに捕捉された「暗い」画像は、現在の画像取得パラメータにおいて各カメラ画素に対して暗い信号を測定する。こうした暗い画像は、オフセット・ドリフト相殺形態として各 C^2I データの取得と共に取得することができる。基準は、上記した質量中心重み付き関数を使用してデータ及び基準の両方を処理した後、画像データから減算し、オフセット修正したLEDデバイス（ i ， j ）のデータ・マトリックスをもたらしことができる。スケール及び正規化演算も可能である。

【0091】

デジタル・カメラ出力（段階Iの間、カメラ・センサ（複数可）上で撮像したLEDデバイスが発光した合計統合光に比例する）に適用する更なる画像処理方法を利用し、LEDデバイス機能を示す結果を展開することができる。この機能データは、測定値から得た1つ又は複数の値を含むマトリックスの形態である。位置（ i ， j ）における各LEDに関し、 n 個のデータ点セット、データ $_n$ （ i ， j ）＝値 $_n$ がある（ n は1以上の整数である）。検査下の各LEDに関する複数の独立データ $_n$ （ i ， j ）値は、例えば、異なる段階Iの電圧傾斜値と合わせた n 個の測定シーケンスを使用して測定した、異なる電流密度値における光の出力値とすることができる。各データ $_n$ （ i ， j ）測定データ値は、複数の測定値の平均とし、信号対ノイズ比を改善することができる。信号平均化は、周知の方法であり、確率ノイズを呈する信号の標準偏差は、 $\text{sqrt}(m)$ によって低減し、 m は、平均化した測定点の数である。例えば、データ点が確率ノイズ標準偏差 z を呈する場合、 100 データ点の平均を使用する平均化データ点は、 $z / \text{sqrt}(100)$ の標準偏差を有し、即ち10分の1の低さである。

【0092】

LEDデバイス（ i ， j ）データ値を収集した後、閾値又は検査基準セットを適用し、測定した各LEDに対し、おそらくは0又は1のデータ $_n$ （ i ， j ）値を追加することによって、機能の決定を展開することができる（0＝不良デバイス、1＝良好デバイス）。例えば、発光しない又は発光が弱いデバイスは、所望の最小閾値をデータに適用する際、不良デバイスと標示することができる。当然、データ値セット又は合格／不合格基準に適用する複数の閾値及び他の基準は、機能検査、修理対策及び工程収率分析（原因及び修正）でも有用であり得る。単に一例として、複数の閾値をLEDデバイスのデータ $_n$ （ i ，

j) データに適用し、各LEDデバイスに対するピン数標示を生成し、LED機能を一致させ、基準又は基準セットに従って、同様の特性を有するデバイスを解放する対策を目指すことができる。ランダム・アクセス・レーザー・リフトオフ又は他の個々のLEDデバイス解放方法は、各(i, j) LEDデバイスに対するピン標示マトリックス値に基づき、同様のピン数を有するLEDデバイスを集合させることができる。このことは、過度に異なる機能特性を有するLEDデバイスの使用によって生じる表示の不均一性を制限するのに有用であり得る。複数の閾値を利用し、収率及び工程管理に有用な統計を展開することもできる。例えば、ピン・データに適用した標準偏差及び他の統計分析は、収率及び工程安定度の指標とすることができる。これらから得られた量の急激な変化は、工程逸脱の証拠となり得る。図19は、いくつかのLEDデバイスのヒストグラム・プロット1900を示し、これらのLEDデバイスは、横軸のデータ_nの関数として、縦軸上のデータ_n値(チャンネル又はピンと呼ぶ)のわずかな範囲内にある。LEDデバイスの多くは、機能的に許容可能な範囲1901内にある一方で、閾値1902を下回る又は閾値1903を上回るLEDデバイスは、不良品とみなされる。LEDデバイスのピン関数の幅1904は、収率及び工程管理に有用であり得る。同じピン1905内にあるLEDデバイスは、後で集合させ、LEDデバイスの同様の機能検査で使用し、表示均一性を改善することができる。

10

【0093】

本発明による機能検査装置が撮像した面積が所望の面積よりも少なく、ステップ・アンド・リピート機能を必要とする場合、新たな各LEDデバイス面積を測定するため、質量中心マトリックスを再計算する必要があることがある。しかし、ステップ・システムが、次のセットの測定すべきLEDデバイスの位置合わせに十分に正確である場合、質量中心マトリックスを再利用することができる。当然、他の変形形態、修正形態及び代替形態があってもよい。

20

【0094】

一般的に、フィールド・プレートは、LEDデバイスを含む基板の機能検査を、フィールド・プレートに対して固定されるか又は移動する1つ又は複数のカメラによって行うことを可能にする。検査機器費用、複雑さ、標的LEDデバイスのサイズ及び検査処理量能力は、特定の構成を選択する前に評価しなければならない基準の一部である。他の設計の制限及び基準にも対処し、所望の仕様への測定機能を保証しなければならない。1つのそのような基準は、接点抵抗及び寄生静電容量のために、検査する各LEDデバイスにわたる段階Iの電圧波形が著しく歪まないようにすることを保証することである。例えば、より高い電流密度動作の測定に望ましい段階Iの高速電圧傾斜は、フィールド・プレートの中に位置するLEDデバイスのRC低域フィルタによって生じる著しい波形歪み及び電圧降下を生じさせることがある。このことは、フィールド・プレート電極又は共通接点抵抗が高すぎる場合に生じることがある。これらの影響の軽減は、実効接点シート抵抗率を低下させるか又は検査前により低い抵抗層を取り付けることによって起こすことができる。最後に、大型のフィールド・プレートは、測定繰返し速度において、フィールド・プレート静電容量 C_{FP} の帯放電にいくらかの電力を必要とし、接点層内に抵抗加熱を生じさせることがある。例えば、3 μ mシリコン二酸化物誘電体層を使用する6インチ基板フィールド・プレートは、約200 nFの合計静電容量 C_{FP} を有する。16 Hzの捕捉率及び500 Vの傾斜を仮定すると、1/2 CV^2f 電力は、約0.5 Wである。この提案する動作点において、完全6インチフィールド・プレート構成の場合でさえ、わずかな管理可能な検査電力レベルが生成される。

30

40

【0095】

OLED製造ライン等のロール・ツー・ロール膜環境内で C^2I 方法を適用することは、機械段及び複数のセンサ組立体等の更なる要素を必要とすることがある。例えば、ロール・ツー・ロール連続膜環境内の膜の各側でフィールド・プレートを使用する C^2I 検査は、単に、膜と同じ速度で検査組立体を移動させることによって実現することができる。図22は、 C^2I 検査を伴うロール・ツー・ロール2200を示し、 C^2I 測定組立体22

50

01及び2202は、運動2203及び2204を使用して移動し、右に向かって膜を追従させ、検査（測定及び放電段階）の間、相対的な意味で膜に対して定置化する。ロール・ツー・ロール製造工程は、送りロール2205から構成され、送りロール2205は、検査すべきLED構造体2207を支持する膜2206を有する。膜は、速度2209で巻き取りロール2208まで移動する。図は、完全非接触測定構成を示し、上部フィールド・プレート2210及び底部フィールド・プレート2211は、膜2206に極めて近接して置かれる。上部フィールド・プレート2210は、電極2212、誘電体2213及び間隙2214から構成される。底部フィールド・プレート2211は、少なくとも1つの電極2215及び任意選択の誘電体2216並びに、LED構造体及び支持基板／膜の下の間隙2217から構成される。カメラ、又はカメラ2218及び2219のアレイは、 C^2I システムを完成させる。単なる例として、合計検査時間（放電段階を通じた測定）は、60m秒であり、膜は、1m/sで前進し、測定フィールド・プレート組立体は、別のサイクルを可能にするために戻る前、60mmの距離の間を膜と共に移動する必要がある。測定システムをその開始位置に戻す有限時間によって生じる測定の切れ目を回避するため、第2の C^2I システム2202を使用し、検査領域を重複させてまかなう。フィールド・プレート2210及び2211の幅も、測定の切れ目を最小化し、 C^2I 測定システム間の重複を最大化するように約60mmとすべきである。当然、連続製造工程内でフィールド・プレートを移動させる実施形態に対する他の変形形態、修正形態及び代替形態があってもよい。

【0096】

ロール・ツー・ロール製造工程内で C^2I システムが定置されている実施形態が望ましい場合がある。図23は、支持膜製造工程2300上の、同様のロール・ツー・ロールLED構造体を示し、ロール2301及び2302は、回転し、速度2304で膜2303を移動させる。定置 C^2I システム2305は、カメラ2306並びに上部フィールド・プレート2307及び底部フィールド・プレート2308を備え、上部フィールド・プレート2307及び底部フィールド・プレート2308には、本発明による測定段階及び放電段階の電圧波形を使用して通電する。この例では、測定段階は、膜速度2304と比較して短く、したがって、測定段階の間、ぼけの発生が制限されると仮定する。一例として、500mm/秒の膜移送速度で25 μ 秒の測定段階は、12.5 μ mだけ画像をぼかすにすぎない。この画像スミアの制限は、許容可能であり、全体の光電子係数測定に悪影響を及ぼす可能性は低い。 C^2I システムは、定置されているため（フィールド・プレートの幅は、検査及び放電時間に膜速度を乗算したものと仮定する）、フィールド・プレートの左側のすぐ内側の膜は、放電サイクルが終了したときにちょうど右側から出るため、完全検査・放電サイクルを受けている。しかし、他の膜領域に関し、膜は、放電段階が完了する前にフィールド・プレート領域から出る。電界領域からのこの急激な退出は、LEDデバイスを損傷するおそれがある。したがって、第2のプレート・システムは、定置 C^2I システム2305による検査領域ごとに安全に放電させる必要がある。特別なフィールド・プレート2310及び2311から構成されるこの更なる放電プレート・システム2309は、LEDデバイス構造体及び膜2303の電界強度を既知の状態にリセットし、繰り返し可能な、均一な様式で膜を安全に放電させる。以下の例では、最初の誘電体の厚さ、及びプレートの他のパラメータは、 C^2I システムのフィールド・プレート及び動作バイアス条件に等しいと仮定する。電圧バイアス、プレートの誘電体の厚さ及び相互作用幅等のパラメータの他の組合せが、放電段階を実施するのに可能である。

【0097】

放電状態の間、フィールド・プレート、間隙、LED構造体及び支持基板内に蓄えられた電荷密度 Q' （クーロン/cm²）は、LED逆方向バイアスのレベルを安全な値に制限するように放電しなければならない。一定の逆方向バイアス漏れ電流密度 $-I_L'$ を仮定する。図24A～図24Bは、放電プレート・システムの2つの実施形態2400及び2401を示す。膜2402が、位置2403で右側の放電プレート組立体に入ると、電荷の状態は、放電プレート組立体の少なくとも最も左の領域に印加される電圧電位 V_1 及

び V_2 によって上昇する。これらの電圧は、測定段階の間、上部及び底部プレートそれぞれに対し、全ての電圧が使用されるように選択する。この状態では、電荷密度は、電圧 V_1 及び V_2 に以下のように関連する：

$$Q' = C'_{\text{EFF}} \times V \quad (17)$$

Q' = 放電プレート組立体内の初期の合計電荷密度 (クーロン / cm^2)

C'_{EFF} = 測定システムの単位面積あたりの実効静電容量 (F / cm^2)

$V = V_1 + V_2$ 、最大検査電圧 (V_1 は、 V_2 とは反対の極性であると仮定する)

一定放電率 ($dQ' / dt = -I_L'$) において、

$$-I_L' = C'_{\text{EFF}} \times dV / dt + V \times dC'_{\text{EFF}} / dt \quad (18)$$

である。

10

【0098】

上記式 18 の時間導関数が膜速度に関連する場合、式 18 を満たす放電プレート組立体の幅にわたる dV / dt 又は dC'_{EFF} / dt の空間変化により、LED 構造体を安全に放電させる。図 24A は、放電プレート組立体 2400 において、上部フィールド・プレート上で V_1 から 0 まで線形に低下する電圧、及び底部フィールド・プレート上で V_2 から 0 まで線形に低下する電圧を使用する、安全な放電を示す。放電プレートの幅は、膜速度で式 18 を満たすように選択する。

【0099】

代わりに、上部及び底部放電フィールド・プレートの誘電体の厚さが、式 18 の第 2 項を空間的に満たすように放電プレートの幅にわたって増大する場合、LED 構造体の安全な放電が生じる。図 24B は、放電プレート組立体 2401 の幅にわたり一定の V_1 及び V_2 を使用する、この第 2 の実施形態を示す。代替的に、図 24A 及び図 24B の実施形態の組合せを使用し、所望の放電段階を生成することもできる。当然、連続製造工程内に定置フィールド・プレートを有する実施形態に対する他の変形形態、修正形態及び代替形態があってもよい。

20

【0100】

上記は、特定の実施形態の完全な説明であるが、様々な修正形態、代替構成及び等価物を使用することができる。上記は、選択したステップ・シーケンスを使用して説明してきたが、説明したあらゆる要素又はステップのあらゆる組合せ及びその他を使用することができる。更に、実施形態に応じて、特定のステップを組み合わせる及び／又はなくすることができる。更に、説明及び例は、平坦表面上の GaN LED デバイスを対象として説明したが、 C^2I 方法を使用して、光子発光デバイスを含むあらゆる平面又は湾曲表面を機能的に検査することができる。例えば、本発明を使用して、面発光レーザ (VCSEL)、有機 LED (OLED)、シリコン・フォトリソグラフィデバイス及び他の面発光デバイスを検査することができる。更に、別の例では、II-VI 半導体材料及び関連するデバイスを使用することもできる。一例では、LED 又は他のデバイスは、汎用又は特殊照明、表示器等、大型パネル、携帯デバイス又は投影器、化学処理、車両照明、医療等にかかわらず、様々な用途を有することができる。一例では、方法は、良好なデバイスの 1 つを選択し、前記デバイスを部材基板上に解放し、デバイスをパッケージングすることを含むこともできる。部材基板は、解放した LED デバイスを受け取る最終製品基板又は一時的基板を含むことができる。パッケージは、標準カン、チップ・オン・ボード又はサブマウント又はモジュール・デバイスとすることができる。デバイスをパッケージングした後、パッケージを様々な用途の 1 つに構成することができる。当然、他の変形形態、修正形態及び代替形態があってもよい。したがって、上記の説明及び例示は、添付の特許請求の範囲によって定義される本発明の範囲の限定として解釈すべきではない。

30

40

【図 1】

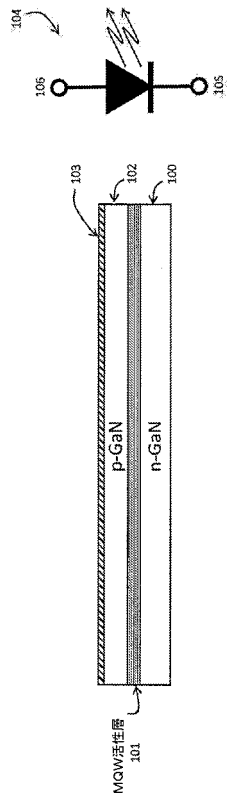


Figure 1

【図 2】

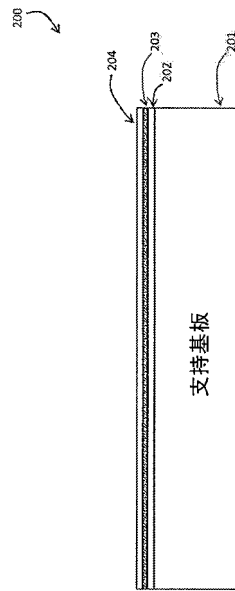
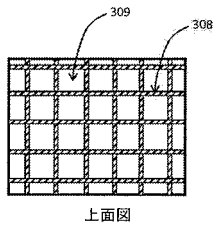


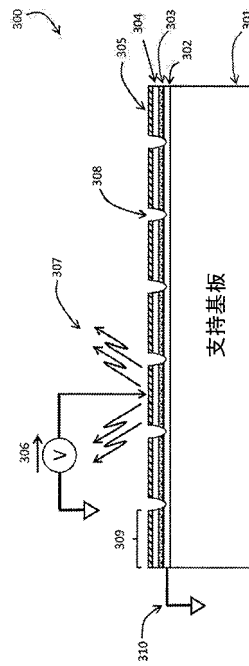
Figure 2

【図 3 A】



上面図
Figure 3A

【図 3 B】



側面図
Figure 3B

【図 4】

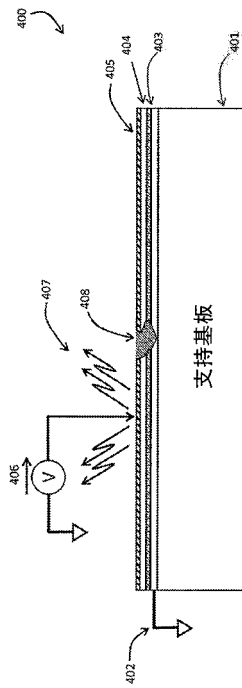


Figure 4

【図 5 A】

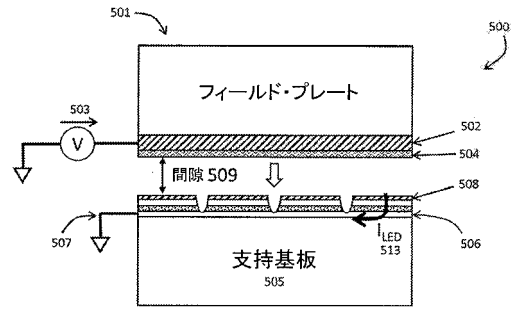


Figure 5A

【図 5 B】

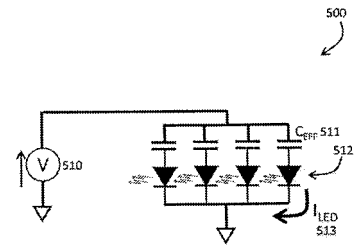


Figure 5B

【図 6 A】

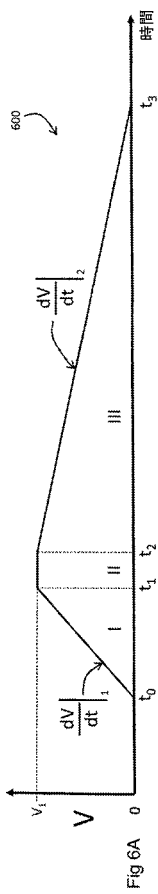


Fig 6A

【図 6 B】

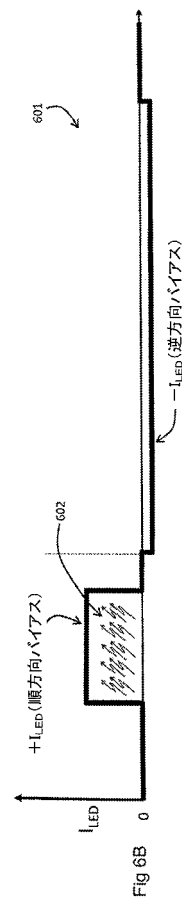


Fig 6B

【図 7 A】

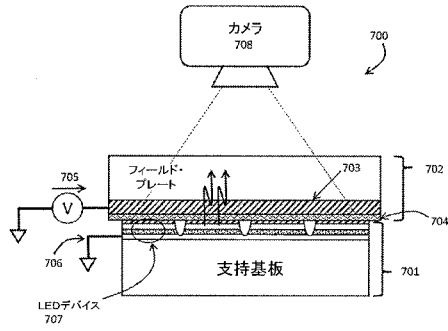


Figure 7A

【図 7 B】

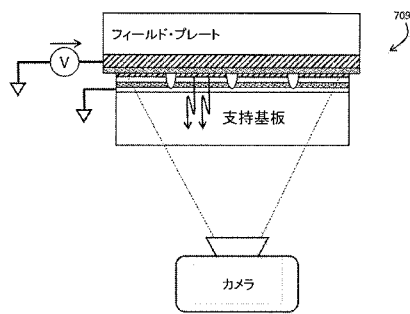


Figure 7B

【図 9】

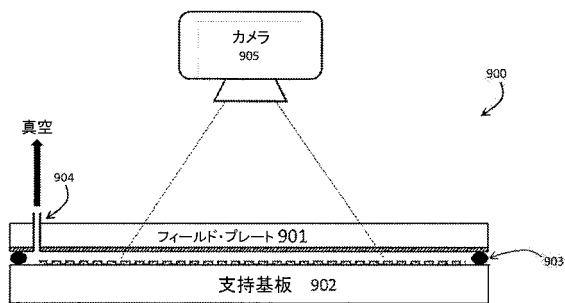


Figure 9

【図 8】

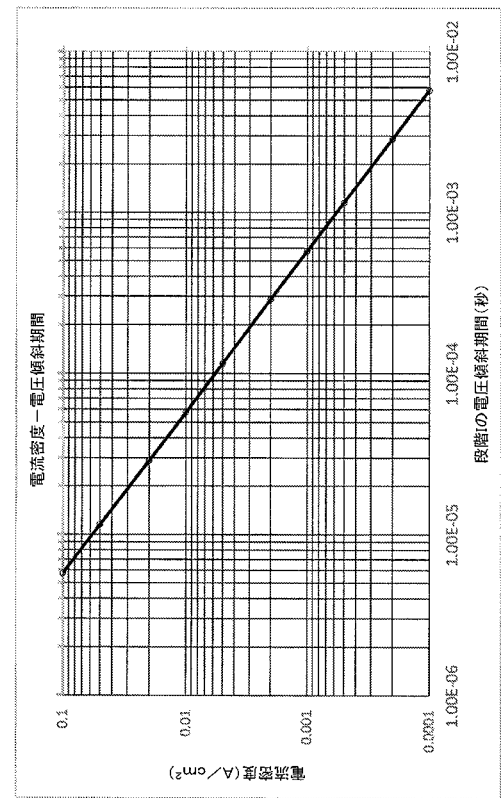


Figure 8

【図 10】

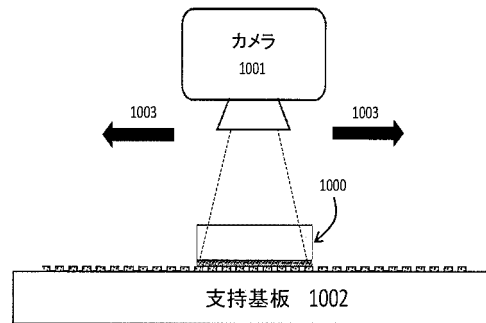


Figure 10

【図 11】

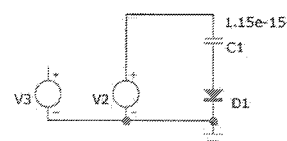
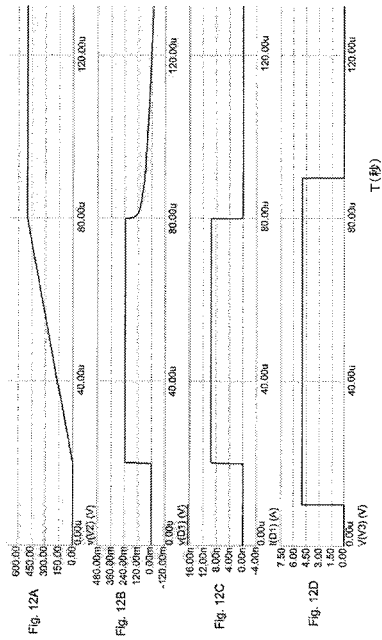
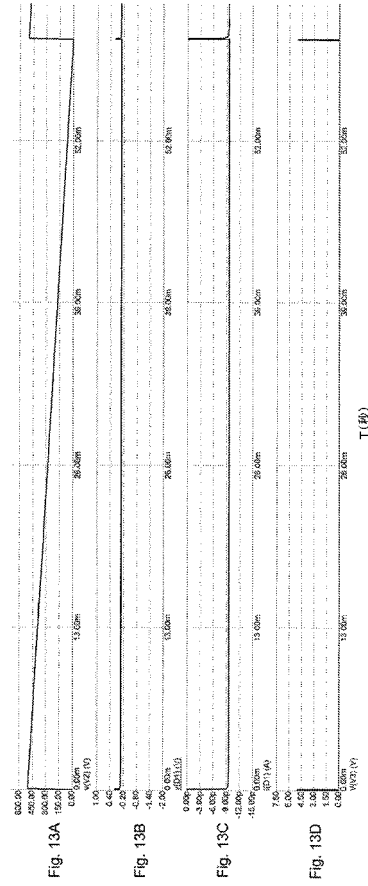


Figure 11

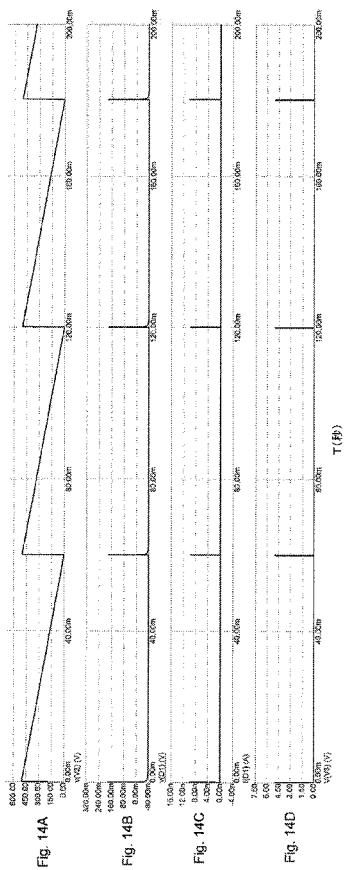
【図 1 2】



【図 1 3】



【図 1 4】



【図 1 5 A】

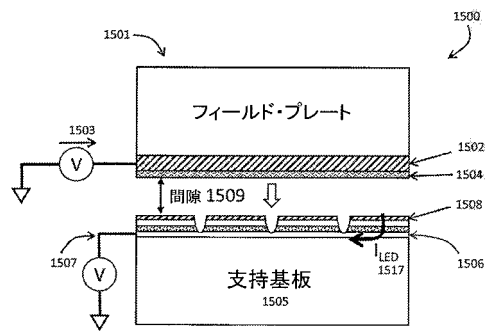


Figure 15A

【図 15 B】

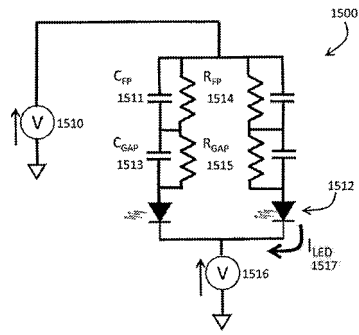


Figure 15B

【図 16】

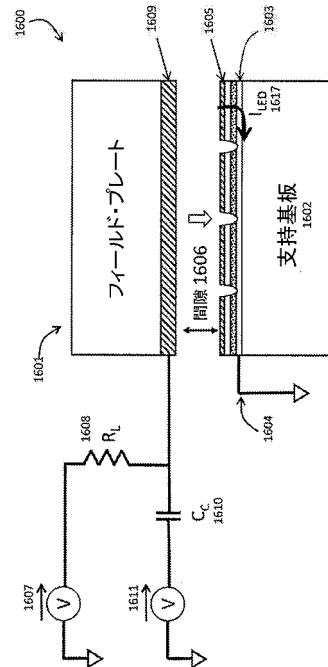


Figure 16

【図 17 A】

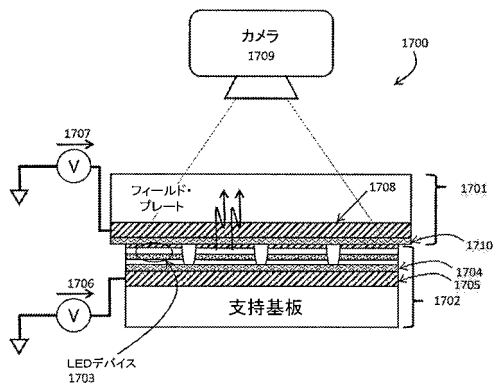


Figure 17A

【図 18】

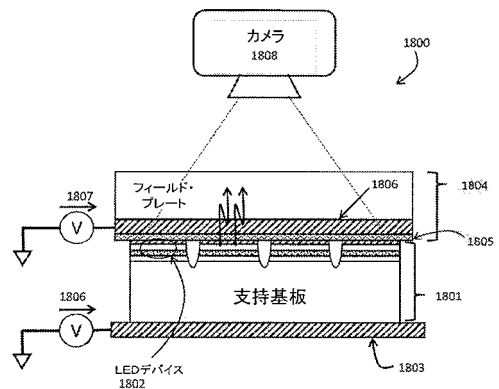


Figure 18

【図 17 B】

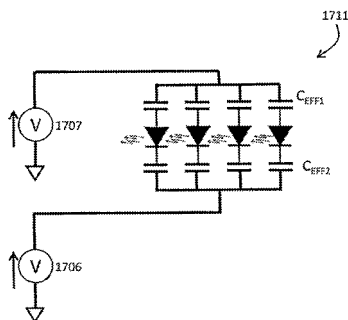


Figure 17B

【图 19】

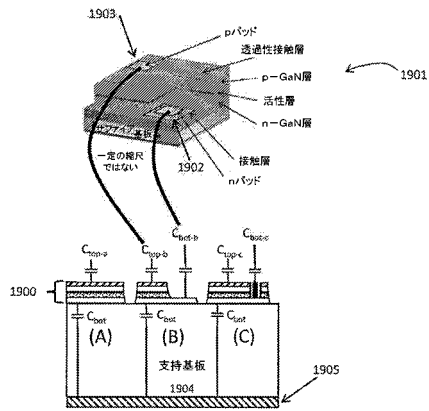


Figure 19

【図 20】

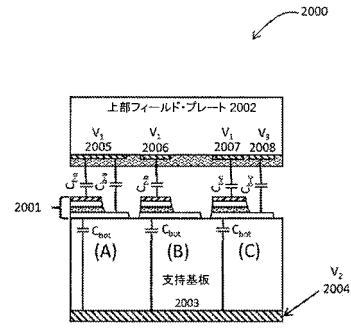


Figure 20

【図 2 1】

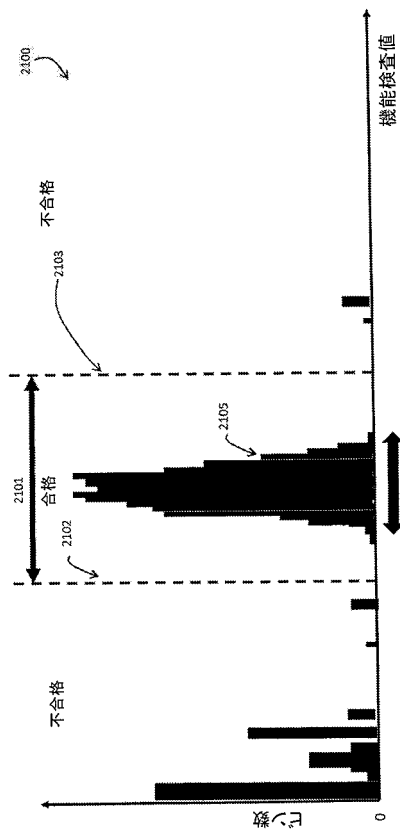


Figure 21

【图 2 2】

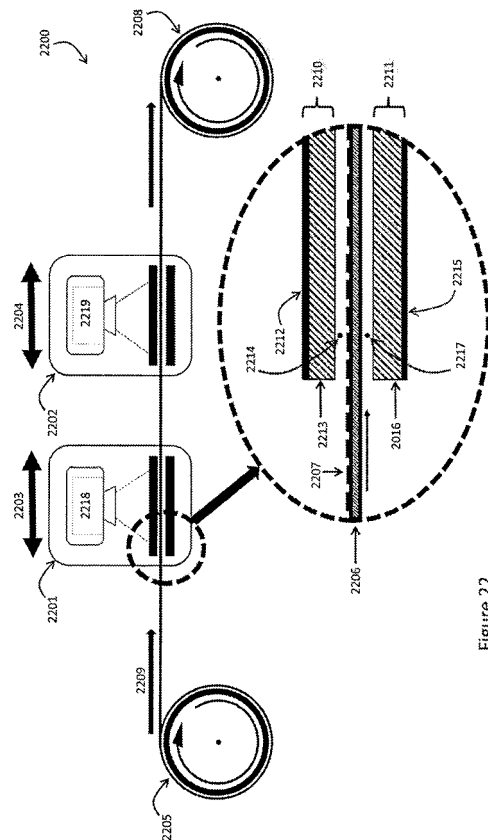


Figure 22

【図 23】

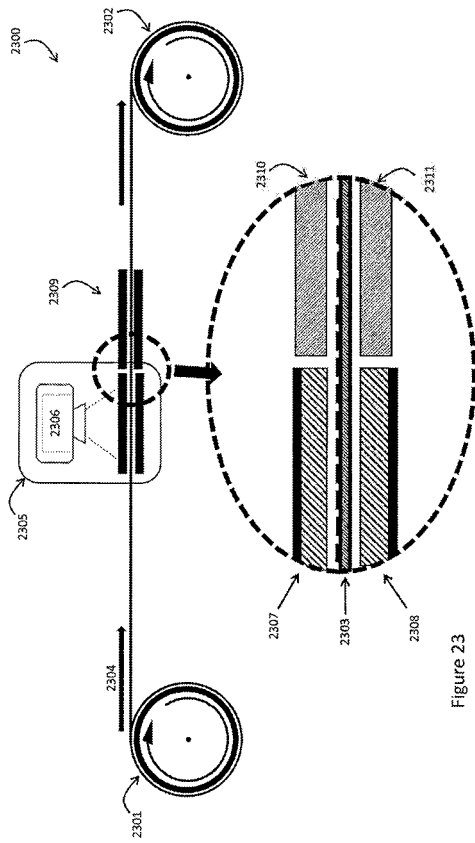


Figure 23

【図 24】

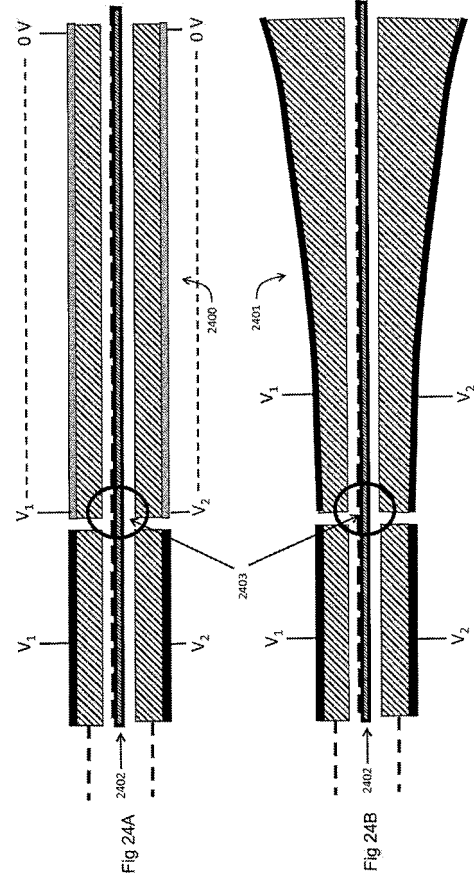


Fig 24A

Fig 24B

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2018/014917
A. CLASSIFICATION OF SUBJECT MATTER G01N 21/88(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G01N 21/88; G01R 31/26; G01R 31/00; G01R 31/28; G01R 31/04; G01R 31/08		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: light-emitting device structure, contact layer, field plate device, time-varying voltage waveform, capacitively coupled current		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2010-0201374 A1 (VASILYEV et al.) 12 August 2010 See paragraphs [0002]-[0069], [0105], claim 3 and figure 2.	1-45
Y	US 2010-0045334 A1 (GARDNER et al.) 25 February 2010 See paragraphs [0005]-[0008] and figures 1A-1B.	1-45
A	US 7019513 B1 (FAIFER et al.) 28 March 2006 See column 3, line 25 - column 8, line 15 and figures 1-2.	1-45
A	US 7414409 B1 (FAIFER et al.) 19 August 2008 See claims 1-9 and figures 1-2.	1-45
A	WO 2005-076885 A2 (FORMFACTOR, INC. et al.) 25 August 2005 See page 3, line 8 - page 9, line 10 and figure 1.	1-45
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 01 May 2018 (01.05.2018)		Date of mailing of the international search report 01 May 2018 (01.05.2018)
Name and mailing address of the ISA/KR International Application Division Korean Intellectual Property Office 189 Cheongsu-ro, Seo-gu, Daejeon, 35208, Republic of Korea Facsimile No. +82-42-481-8578		Authorized officer HWANG, Chan Yoon Telephone No. +82-42-481-3347

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/US2018/014917

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2010-0201374 A1	12/08/2010	CN 102365558 A US 8278937 B2 WO 2010-090774 A1	29/02/2012 02/10/2012 12/08/2010
US 2010-0045334 A1	25/02/2010	CN 101228450 A CN 101228450 B JP 2008-537152 A KR 10-1295933 B1 KR 10-2008-0003838 A TW 200638314 A US 2006-0237627 A1 US 2008-0157802 A1 US 2008-0315908 A1 US 2009-0295425 A1 US 7466161 B2 US 7960993 B2 WO 2006-116060 A2 WO 2006-116060 A3	23/07/2008 08/06/2011 11/09/2008 14/08/2013 08/01/2008 01/11/2006 26/10/2006 03/07/2008 25/12/2008 03/12/2009 16/12/2008 14/06/2011 02/11/2006 13/12/2007
US 7019513 B1	28/03/2006	None	
US 7414409 B1	19/08/2008	None	
WO 2005-076885 A2	25/08/2005	CN 1954227 A CN 1954227 B EP 1754074 A2 EP 1754074 A4 JP 2007-520722 A KR 10-1368104 B1 KR 10-2007-0018016 A TW 200538747 A TW I397702 B US 2005-0174131 A1 US 2009-0102494 A1 US 7466157 B2 US 7928750 B2 WO 2005-076885 A3	25/04/2007 29/06/2011 21/02/2007 19/10/2011 26/07/2007 12/03/2014 13/02/2007 01/12/2005 01/06/2013 11/08/2005 23/04/2009 16/12/2008 19/04/2011 21/12/2006

フロントページの続き

(81)指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

Fターム(参考) 2G065 AA04 AB04 AB28 BA04 BA34 BC01
4M106 AA01 AB09 DB04
5F241 AA46 BB07 BB14 BC35 BC50 BD32