

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 11 月 24 日 (24.11.2016)



(10) 国际公布号
WO 2016/183883 A1

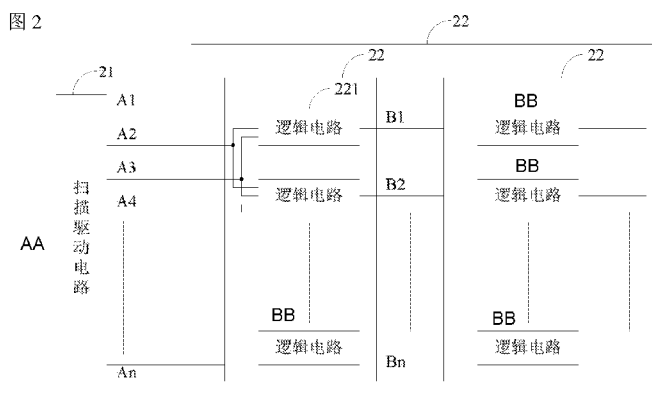
- (51) 国际专利分类号:
G09G 3/32 (2006.01)
- (21) 国际申请号: PCT/CN2015/080877
- (22) 国际申请日: 2015 年 6 月 5 日 (05.06.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510261214.9 2015 年 5 月 20 日 (20.05.2015) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 曾玉超 (ZENG, Yuchao); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 黄泰钧 (HWANG, Tai-jiun); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

- (74) 代理人: 深圳市威世博知识产权代理事务所 (普通合伙) (CHINA WISPRO INTELLECTUAL PROPERTY LLP.); 中国广东省深圳市南山区高新区粤兴三道 8 号中国地质大学产学研基地中地大楼 A806, Guangdong 518057 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: DRIVE CIRCUIT

(54) 发明名称: 一种驱动电路



21, AA SCANNING DRIVE CIRCUIT
221, BB LOGIC CIRCUIT

(57) Abstract: Provided is a drive circuit. The drive circuit comprises a scanning drive circuit (21) and at least one set of combinational logic circuits (22). An output end of the scanning drive circuit (21) outputs a first set of scanning signals (A1-An). Input ends of the at least one set of combinational logic circuits (22) are connected to the output end of the scanning drive circuit or output ends of a previous set of combinational logic circuits (22). Output ends of the at least one set of combinational logic circuits (22) are configured to output at least one set of a second set of scanning signals (B1-Bn) so as to enable the drive circuit to output multiple sets of scanning signals. Thus, multiple sets of scanning signals are outputted without employing multiple sets of independent scanning drive circuits, thereby reducing costs.

(57) 摘要:

[见续页]



RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, **本国际公布:**

CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, — 包括国际检索报告(条约第 21 条(3))。
TG)。

提供了一种驱动电路，该驱动电路包括扫描驱动电路（21）以及至少一组组合逻辑电路（22），扫描驱动电路（21）的输出端输出第一组扫描信号（A1-An），至少一组组合逻辑电路（22）的输入端与扫描驱动电路的输出端或者前一组组合逻辑电路（22）的输出端连接，至少一组组合逻辑电路（22）的输出端用于输出至少一组第二组扫描信号（B1-Bn），以使驱动电路能够输出多组扫描信号。通过以上方式，能够避免采用多组独立的扫描驱动电路，实现多组扫描信号的输出，降低成本。

一种驱动电路

技术领域

本发明涉及液晶显示技术领域，特别是涉及一种应用于 AMOLED 的驱动电路。

背景技术

现有的 AMOLED (Active-matrix organic light emitting diode, 主动矩阵有机发光二极管) 的内部补偿电路通常会使用多个扫描信号，而多个扫描信号的电位可能相反，多个扫描信号的相对相位或宽度不相同。

为了获取多个扫描信号，现有技术通过使用两组独立的扫描驱动电路，如图 1 所示。扫描驱动电路 101 输出一组扫描信号 E1,, En; 扫描驱动电路 102 输出一组扫描信号 F1,, Fn; 进而增加了扫描驱动电路的成本。

发明内容

本发明实施例提供了一种驱动电路，能够避免采用多组独立的扫描驱动电路，降低成本。

第一方面提供一种驱动电路，其包括扫描驱动电路以及至少一组组合逻辑电路，扫描驱动电路的输出端输出第一组扫描信号，至少一组组合逻辑电路的输入端与扫描驱动电路的输出端或者前一组组合逻辑电路的输出端连接，至少一组组合逻辑电路的输出端用于输出至少一组第二组扫描信号，以使驱动电路能够输出多组扫描信号；至少一组组合逻辑电路包括第一组组合逻辑电路和第二组组合逻辑电路，第二组组合逻辑电路的输入端与第一组组合逻辑电路的输出端连接，第一组合逻辑电路和第二组组合逻辑电路均包括至少一个逻辑电路，逻辑电路包括第一输入端、第二输入端、第三输入端、选择器、反相器、第一与非门、第二与非门以及与门，第一输入端、第二输入端以及第三输入端分别从扫描驱动电路输出的第一组扫描信号中获取连续三个扫描信号，逻辑电路根据连续三个扫描信号产生一个扫描信号；选择器的输入端包括逻辑电路的第一输入端和第三输入端，选择器的输出端与第一与非门的一个输入端连接，第一与非门的另一个输

入端与反相器的输出端连接，第二与非门的一个输入端为第二输入端，第一与非门的输出端和第二与非门的输出端与与门的输入端连接，与门的输出端输出扫描信号。

其中，选择器的信号端与第一控制信号连接，反相器的输入端与第二控制信号连接，第二与非门的另一个输入端与第三控制信号连接。

其中，扫描信号满足以下逻辑关系：

$$C_n = A_{n-1} * \text{phase} + A_{n+1} * \overline{\text{phase}};$$

$$B_n = \overline{A_n * C} * \overline{C_n * D};$$

其中， B_n 为扫描信号， n 为大于 0 的整数， C_n 为选择器输出的信号； phase 为第一控制信号； C 为第三控制信号； D 为第二控制信号； A_{n-1} 、 A_n 以及 A_{n+1} 为连续三个扫描信号。

其中，逻辑电路通过第一控制信号的高低电平控制扫描信号的相位滞后或提前；并通过第二控制信号和第三控制信号调整扫描信号的相位宽度。

其中，选择器的信号端与第一控制信号连接，反相器的输入端和第二与非门的另一个输入端均与第三控制信号连接。

其中，扫描信号满足以下逻辑关系：

$$C_n = A_{n-1} * \text{phase} + A_{n+1} * \overline{\text{phase}};$$

$$B_n = \overline{A_n * C} * \overline{C_n * \overline{C}};$$

其中， B_n 为扫描信号， n 为大于 0 的整数， C_n 为选择器输出的信号； phase 为第一控制信号； C 为第三控制信号； A_{n-1} 、 A_n 以及 A_{n+1} 为连续三个扫描信号。

其中，逻辑电路通过第一控制信号的高低电平控制扫描信号的相位滞后或提前。

第二方面提供一种驱动电路，其包括扫描驱动电路以及至少一组组合逻辑电路，扫描驱动电路的输出端输出第一组扫描信号，至少一组组合逻辑电路的输入端与扫描驱动电路的输出端或者前一组组合逻辑电路的输出端连接，至少一组组合逻辑电路的输出端用于输出至少一组第二组扫描信号，以使驱动电路能够输出多组扫描信号。

其中，至少一组组合逻辑电路包括第一组组合逻辑电路，第一组合逻辑电路包括至少一个逻辑电路，逻辑电路的第一输入端、第二输入端以及

第三输入端分别从扫描驱动电路输出的第一组扫描信号中获取连续三个扫描信号，逻辑电路根据连续三个扫描信号产生一个扫描信号。

其中，逻辑电路还包括选择器、反相器、第一与非门、第二与非门以及与门，选择器的输入端包括逻辑电路的第一输入端和第三输入端，选择器的输出端与第一与非门的一个输入端连接，第一与非门的另一个输入端与反相器的输出端连接，第二与非门的一个输入端为第二输入端，第一与非门的输出端和第二与非门的输出端与与门的输入端连接，与门的输出端输出扫描信号。

其中，选择器的信号端与第一控制信号连接，反相器的输入端与第二控制信号连接，第二与非门的另一个输入端与第三控制信号连接。

其中，扫描信号满足以下逻辑关系：

$$C_n = A_{n-1} * \text{phase} + A_{n+1} * \overline{\text{phase}};$$

$$B_n = \overline{A_n * C * C_n * D};$$

其中， B_n 为扫描信号， n 为大于 0 的整数， C_n 为选择器输出的信号； phase 为第一控制信号； C 为第三控制信号； D 为第二控制信号； A_{n-1} 、 A_n 以及 A_{n+1} 为连续三个扫描信号。

其中，逻辑电路通过第一控制信号的高低电平控制扫描信号的相位滞后或提前；并通过第二控制信号和第三控制信号调整扫描信号的相位宽度。

其中，选择器的信号端与第一控制信号连接，反相器的输入端和第二与非门的另一个输入端均与第三控制信号连接。

其中，扫描信号满足以下逻辑关系：

$$C_n = A_{n-1} * \text{phase} + A_{n+1} * \overline{\text{phase}};$$

$$B_n = \overline{A_n * C * C_n * \overline{C}};$$

其中， B_n 为扫描信号， n 为大于 0 的整数， C_n 为选择器输出的信号； phase 为第一控制信号； C 为第三控制信号； A_{n-1} 、 A_n 以及 A_{n+1} 为连续三个扫描信号。

其中，逻辑电路通过第一控制信号的高低电平控制扫描信号的相位滞后或提前。

其中，至少一组组合逻辑电路还包括第二组组合逻辑电路，第二组组合逻辑电路的输入端与第一组组合逻辑电路的输出端连接。

通过上述方案，本发明的有益效果是：本发明的驱动电路包括扫描驱动电路以及至少一组组合逻辑电路，扫描驱动电路的输出端输出第一组扫描信号，至少一组组合逻辑电路的输入端与扫描驱动电路的输出端或者前一组组合逻辑电路的输出端连接，至少一组组合逻辑电路的输出端用于输出至少一组第二组扫描信号，以使驱动电路能够输出多组扫描信号，能够避免采用多组独立的扫描驱动电路，实现多组扫描信号的输出，降低成本。

附图说明

为了更清楚地说明本发明实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。其中：

图 1 是现有技术中两组独立的扫描驱动电路的结构示意图；

图 2 是本发明第一实施例的驱动电路的结构示意图；

图 3 是图 2 中所示的逻辑电路的电路图；

图 4 是图 3 中逻辑电路在第一控制信号为高电平时的时序图；

图 5 是图 3 中逻辑电路在第一控制信号为低电平时的时序图；

图 6 是本发明第二实施例的逻辑电路的电路图；

图 7 是图 6 中逻辑电路在第一控制信号为高电平时的时序图；

图 8 是图 6 中逻辑电路在第一控制信号为低电平时的时序图。

具体实施方式

下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性的劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

请参见图 2 所示，图 2 是本发明第一实施例的驱动电路的结构示意图。如图 2 所示，本实施例所揭示的驱动电路应用于 AMOLED，以向 AMOLED 的内部补偿电路提供多组扫描信号，该驱动电路包括：扫描驱动电路 21 以

及至少一组组合逻辑电路 22。其中，扫描驱动电路 21 的输出端输出第一组扫描信号 $A_1, \dots, A_n$, n 为大于 0 的整数。

至少一组组合逻辑电路 22 的输入端与扫描驱动电路 21 的输出端或者前一组组合逻辑电路 22 的输出端连接，至少一组组合逻辑电路 22 的输出端用于输出至少一组第二组扫描信号 $B_1, \dots, B_n$ ，以使驱动电路能够输出多组扫描信号，即驱动电路输出第一组扫描信号 $A_1, \dots, A_n$ 和至少一组第二组扫描信号 $B_1, \dots, B_n$ 。

至少一组组合逻辑电路 22 包括第一组组合逻辑电路 22，第一组组合逻辑电路 22 包括至少一个逻辑电路 221，逻辑电路 221 包括第一输入端 1、第二输入端 2、第三输入端 3、输出端 4、选择器 222、反相器 223、第一与非门 224、第二与非门 225 以及与门 226，如图 3 所示。逻辑电路 221 的第一输入端 1、第二输入端 2 以及第三输入端 3 分别从扫描驱动电路 21 输出的第一组扫描信号中获取连续三个扫描信号 A_{n-1} 、 A_n 以及 A_{n+1} ，即第一输入端 1、第二输入端 2 以及第三输入端 3 分别与扫描驱动电路 21 的连续三个输出端连接。逻辑电路 221 根据连续三个扫描信号 A_{n-1} 、 A_n 以及 A_{n+1} 产生一个扫描信号 B_n 。

选择器 222 的输入端包括逻辑电路 211 的第一输入端 1 和第三输入端 3，选择器 222 的信号端与第一控制信号 $phase$ 连接，选择器 222 的输出端与第一与非门 224 的一个输入端连接，第一与非门 224 的另一个输入端与反相器 223 的输出端连接，反相器 223 的输入端与第二控制信号 D 连接；第二与非门 225 的一个输入端为逻辑电路 211 的第二输入端 2，第二与非门 225 的另一个输入端与第三控制信号 C 连接，第一与非门 224 的输出端和第二与非门 225 的输出端与与门 226 的输入端连接，与门 226 的输出端输出扫描信号 B_n 。

其中，扫描信号 B_n 满足以下逻辑关系：

$$C_n = A_{n-1} * phase + A_{n+1} * \overline{phase}; \quad (1)$$

$$B_n = \overline{A_n * C * C_n * D}; \quad (2)$$

其中， C_n 为选择器 222 输出的信号。

逻辑电路 221 通过第一控制信号 $phase$ 的高低电平控制扫描信号 B_n 的相位滞后或提前；并通过第二控制信号 D 和第三控制信号 C 调整扫描信号

B_n 的相位宽度。

请参见图 4, 图 4 是图 3 中逻辑电路在第一控制信号为高电平时的时序图。如图 4 所示, 在第一控制信号 phase=1, 即高电平时, 选择器 222 输出的信号 C_n=A_{n-1}, 第二控制信号 D 和第三控制信号 C 的时序图如图 4 所示, 因此扫描信号 B_n 的电位与信号 A_n 的电位相反, 扫描信号 B_n 的相位相对于信号 A_n 的相位滞后, 并且第二控制信号 D 和第三控制信号 C 调整扫描信号 B_n 的相位宽度。

请参见图 5, 图 5 是图 3 中逻辑电路在第一控制信号为低电平时的时序图。如图 5 所示, 在第一控制信号 phase=0, 即低电平时, 选择器 222 输出的信号 C_n=A_{n+1}, 第二控制信号 D 和第三控制信号 C 的时序图如图 5 所示, 因此扫描信号 B_n 的电位与信号 A_n 的电位相反, 扫描信号 B_n 的相位相对于信号 A_n 的相位提前, 并且第二控制信号 D 和第三控制信号 C 调整扫描信号 B_n 的相位宽度。

此外, 至少一组组合逻辑电路 22 还包括第二组组合逻辑电路 22, 第二组组合逻辑电路 22 的输入端与第一组组合逻辑电路 22 的输出端连接, 即第二组组合逻辑电路 22 的输入端与前一组组合逻辑电路 22 的输出端连接。第二组组合逻辑电路 22 与第一组组合逻辑电路 22 完全相同, 在此不再赘述。

值得注意的是, 至少一组组合逻辑电路 22 可以集成在扫描驱动电路 21 的芯片上, 或者至少一组组合逻辑电路 22 可以集成在液晶显示控制面板上。

本实施例通过在驱动电路设置至少一组组合逻辑电路 22, 至少一组组合逻辑电路 22 的输入端与扫描驱动电路 21 的输出端或者前一组组合逻辑电路 22 的输出端连接, 至少一组组合逻辑电路 22 的输出端用于输出至少一组第二组扫描信号, 以使驱动电路能够输出多组扫描信号, 能够避免采用多组独立的扫描驱动电路, 实现多组扫描信号的输出, 降低成本; 此外, 扫描驱动电路 21 配合多组组合逻辑电路 22, 更容易实现 GOA (Gate Driver on Array) 电路。

请参见图 6 所示, 图 6 是本发明第二实施例的逻辑电路的结构示意图。如图 6 所示, 本实施例所揭示的逻辑电路 621 与第一实施例所揭示的逻辑电路 221 的不同之处在于: 选择器 622 的信号端与第一控制信号 phase 连接,

反相器 623 的输入端和第二与非门 625 的另一个输入端均与第三控制信号 C 连接。

其中，扫描信号 B_n 满足以下逻辑关系：

$$C_n = A_{n-1} * \text{phase} + A_{n+1} * \overline{\text{phase}}; \quad (3)$$

$$B_n = \overline{A_n * C} * \overline{C_n * C}; \quad (4)$$

其中，C_n 为选择器 622 输出的信号。

逻辑电路 621 通过第一控制信号 phase 的高低电平控制扫描信号 B_n 的相位滞后或提前；并通过第三控制信号 C 调整扫描信号 B_n 的相位宽度。

请参见图 7，图 7 是图 6 中逻辑电路在第一控制信号为高电平时的时序图。如图 6 所示，在第一控制信号 phase=1，即高电平时，选择器 622 输出的信号 C_n=A_{n-1}，第三控制信号 C 的时序图如图 7 所示，因此扫描信号 B_n 的电位与信号 A_n 的电位相反，扫描信号 B_n 的相位相对于信号 A_n 的相位滞后，扫描信号 B_n 的相位宽度与信号 A_n 的相位宽度相等，并且不可调。

请参见图 8，图 8 是图 6 中逻辑电路在第一控制信号为低电平时的时序图。如图 8 所示，在第一控制信号 phase=0，即低电平时，选择器 622 输出的信号 C_n=A_{n+1}，第三控制信号 C 的时序图如图 8 所示，因此扫描信号 B_n 的电位与信号 A_n 的电位相反，扫描信号 B_n 的相位相对于信号 A_n 的相位提前，扫描信号 B_n 的相位宽度与信号 A_n 的相位宽度相等，并且不可调。

综上所述，本发明的驱动电路包括扫描驱动电路以及至少一组组合逻辑电路，扫描驱动电路的输出端输出第一组扫描信号，至少一组组合逻辑电路的输入端与扫描驱动电路的输出端或者前一组组合逻辑电路的输出端连接，至少一组组合逻辑电路的输出端用于输出至少一组第二组扫描信号，以使驱动电路能够输出多组扫描信号，能够避免采用多组独立的扫描驱动电路，实现多组扫描信号的输出，降低成本。此外，扫描驱动电路配合多组组合逻辑电路，更容易实现 GOA 电路。

以上所述仅为本发明的实施例，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

权利要求

1、一种驱动电路，其特征在于，其包括扫描驱动电路以及至少一组组合逻辑电路，所述扫描驱动电路的输出端输出第一组扫描信号，所述至少一组组合逻辑电路的输入端与所述扫描驱动电路的输出端或者前一组所述组合逻辑电路的输出端连接，所述至少一组组合逻辑电路的输出端用于输出至少一组第二组扫描信号，以使所述驱动电路能够输出多组扫描信号；

所述至少一组组合逻辑电路包括第一组组合逻辑电路和第二组组合逻辑电路，所述第二组组合逻辑电路的输入端与所述第一组组合逻辑电路的输出端连接，所述第一组组合逻辑电路和所述第二组组合逻辑电路均包括至少一个逻辑电路，所述逻辑电路包括第一输入端、第二输入端、第三输入端、选择器、反相器、第一与非门、第二与非门以及与门，所述第一输入端、第二输入端以及第三输入端分别从所述扫描驱动电路输出的第一组扫描信号中获取连续三个扫描信号，所述逻辑电路根据所述连续三个扫描信号产生一个扫描信号；所述选择器的输入端包括所述逻辑电路的第一输入端和第三输入端，所述选择器的输出端与所述第一与非门的一个输入端连接，所述第一与非门的另一个输入端与所述反相器的输出端连接，所述第二与非门的一个输入端为所述第二输入端，所述第一与非门的输出端和第二与非门的输出端与所述与门的输入端连接，所述与门的输出端输出所述扫描信号。

2、根据权利要求 1 所述的驱动电路，其特征在于，所述选择器的信号端与第一控制信号连接，所述反相器的输入端与第二控制信号连接，所述第二与非门的另一个输入端与第三控制信号连接。

3、根据权利要求 5 所述的驱动电路，其特征在于，所述扫描信号满足以下逻辑关系：

$$C_n = A_{n-1} * \text{phase} + A_{n+1} * \overline{\text{phase}};$$

$$B_n = \overline{A_n * C} * \overline{C_n * D};$$

其中， B_n 为所述扫描信号， n 为大于 0 的整数， C_n 为所述选择器输出的信号； phase 为所述第一控制信号； C 为所述第三控制信号； D 为所述第二控制信号； A_{n-1} 、 A_n 以及 A_{n+1} 为所述连续三个扫描信号。

4、根据权利要求3所述的驱动电路，其特征在于，所述逻辑电路通过所述第一控制信号的高低电平控制所述扫描信号的相位滞后或提前；并通过所述第二控制信号和所述第三控制信号调整所述扫描信号的相位宽度。

5、根据权利要求1所述的驱动电路，其特征在于，所述选择器的信号端与第一控制信号连接，所述反相器的输入端和所述第二与非门的另一个输入端均与第三控制信号连接。

6、根据权利要求5所述的驱动电路，其特征在于，所述扫描信号满足以下逻辑关系：

$$C_n = A_{n-1} * phase + A_{n+1} * \overline{phase};$$

$$B_n = \overline{A_n * C} * \overline{C_n * C};$$

其中， B_n 为所述扫描信号， n 为大于0的整数， C_n 为所述选择器输出的信号； $phase$ 为所述第一控制信号； C 为所述第三控制信号； A_{n-1} 、 A_n 以及 A_{n+1} 为所述连续三个扫描信号。

7、根据权利要求6所述的驱动电路，其特征在于，所述逻辑电路通过所述第一控制信号的高低电平控制所述扫描信号的相位滞后或提前。

8、一种驱动电路，其特征在于，其包括扫描驱动电路以及至少一组组合逻辑电路，所述扫描驱动电路的输出端输出第一组扫描信号，所述至少一组组合逻辑电路的输入端与所述扫描驱动电路的输出端或者前一组所述组合逻辑电路的输出端连接，所述至少一组组合逻辑电路的输出端用于输出至少一组第二组扫描信号，以使所述驱动电路能够输出多组扫描信号。

9、根据权利要求8所述的驱动电路，其特征在于，所述至少一组组合逻辑电路包括第一组组合逻辑电路，所述第一组组合逻辑电路包括至少一个逻辑电路，所述逻辑电路的第一输入端、第二输入端以及第三输入端分别从所述扫描驱动电路输出的第一组扫描信号中获取连续三个扫描信号，所述逻辑电路根据所述连续三个扫描信号产生一个扫描信号。

10、根据权利要求9所述的驱动电路，其特征在于，所述逻辑电路还包括选择器、反相器、第一与非门、第二与非门以及与门，所述选择器的输入端包括所述逻辑电路的第一输入端和第三输入端，所述选择器的输出端与所述第一与非门的一个输入端连接，所述第一与非门的另一个输入端与所述反相器的输出端连接，所述第二与非门的一个输入端为所述第二输

入端, 所述第一与非门的输出端和第二与非门的输出端与所述与门的输入端连接, 所述与门的输出端输出所述扫描信号。

11、根据权利要求 10 所述的驱动电路, 其特征在于, 所述选择器的信号端与第一控制信号连接, 所述反相器的输入端与第二控制信号连接, 所述第二与非门的另一个输入端与第三控制信号连接。

12、根据权利要求 11 所述的驱动电路, 其特征在于, 所述扫描信号满足以下逻辑关系:

$$C_n = A_{n-1} * \text{phase} + A_{n+1} * \overline{\text{phase}};$$

$$B_n = \overline{A_n * C} * \overline{C_n * D};$$

其中, B_n 为所述扫描信号, n 为大于 0 的整数, C_n 为所述选择器输出的信号; phase 为所述第一控制信号; C 为所述第三控制信号; D 为所述第二控制信号; A_{n-1} 、 A_n 以及 A_{n+1} 为所述连续三个扫描信号。

13、根据权利要求 12 所述的驱动电路, 其特征在于, 所述逻辑电路通过所述第一控制信号的高低电平控制所述扫描信号的相位滞后或提前; 并通过所述第二控制信号和所述第三控制信号调整所述扫描信号的相位宽度。

14、根据权利要求 10 所述的驱动电路, 其特征在于, 所述选择器的信号端与第一控制信号连接, 所述反相器的输入端和所述第二与非门的另一个输入端均与第三控制信号连接。

15、根据权利要求 14 所述的驱动电路, 其特征在于, 所述扫描信号满足以下逻辑关系:

$$C_n = A_{n-1} * \text{phase} + A_{n+1} * \overline{\text{phase}};$$

$$B_n = \overline{A_n * C} * \overline{C_n * \overline{C}};$$

其中, B_n 为所述扫描信号, n 为大于 0 的整数, C_n 为所述选择器输出的信号; phase 为所述第一控制信号; C 为所述第三控制信号; A_{n-1} 、 A_n 以及 A_{n+1} 为所述连续三个扫描信号。

16、根据权利要求 15 所述的驱动电路, 其特征在于, 所述逻辑电路通过所述第一控制信号的高低电平控制所述扫描信号的相位滞后或提前。

17、根据权利要求 9 所述的驱动电路, 其特征在于, 所述至少一组组合逻辑电路还包括第二组组合逻辑电路, 所述第二组组合逻辑电路的输入

端与所述第一组组合逻辑电路的输出端连接。

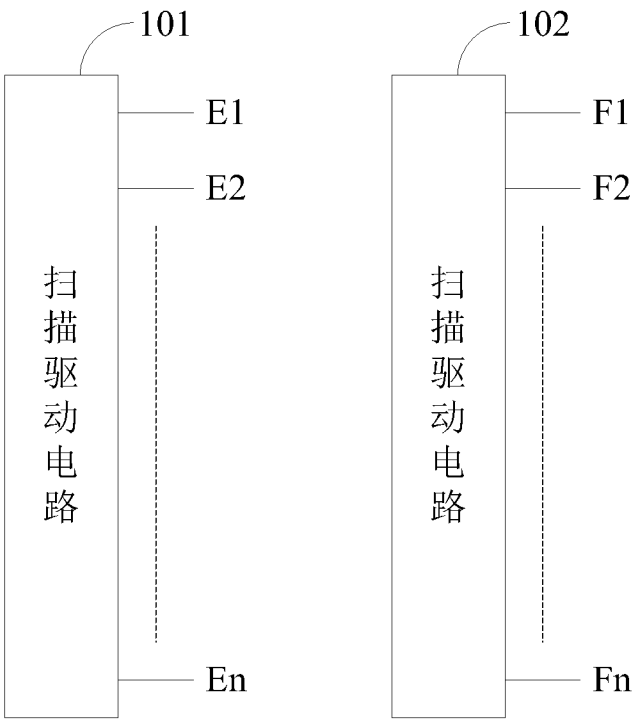


图 1

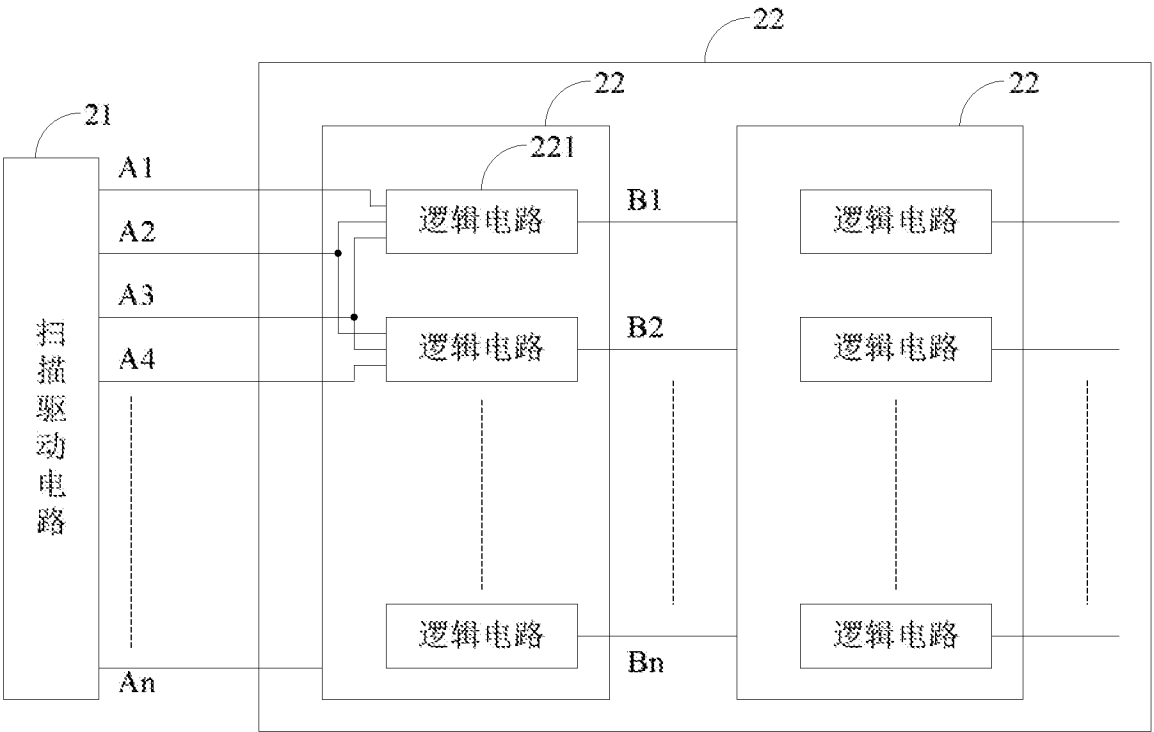


图 2

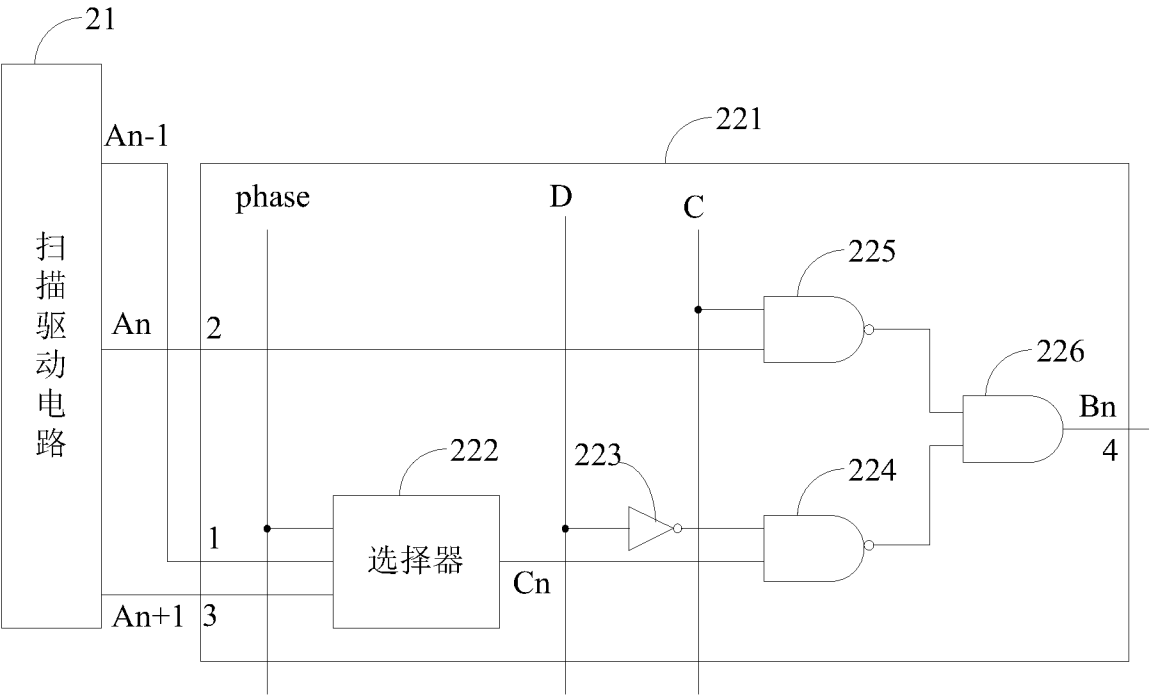


图3

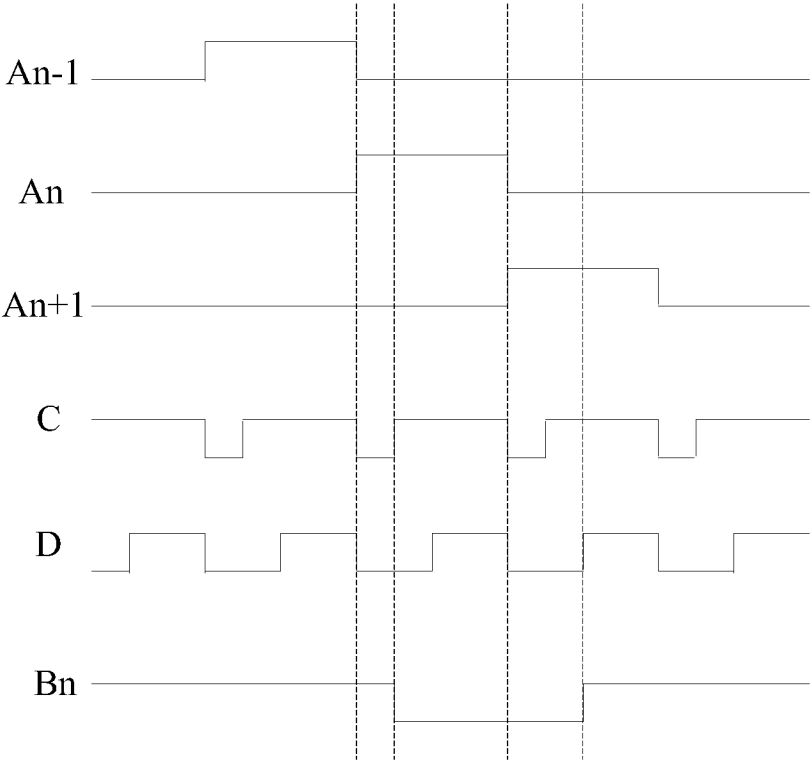


图4

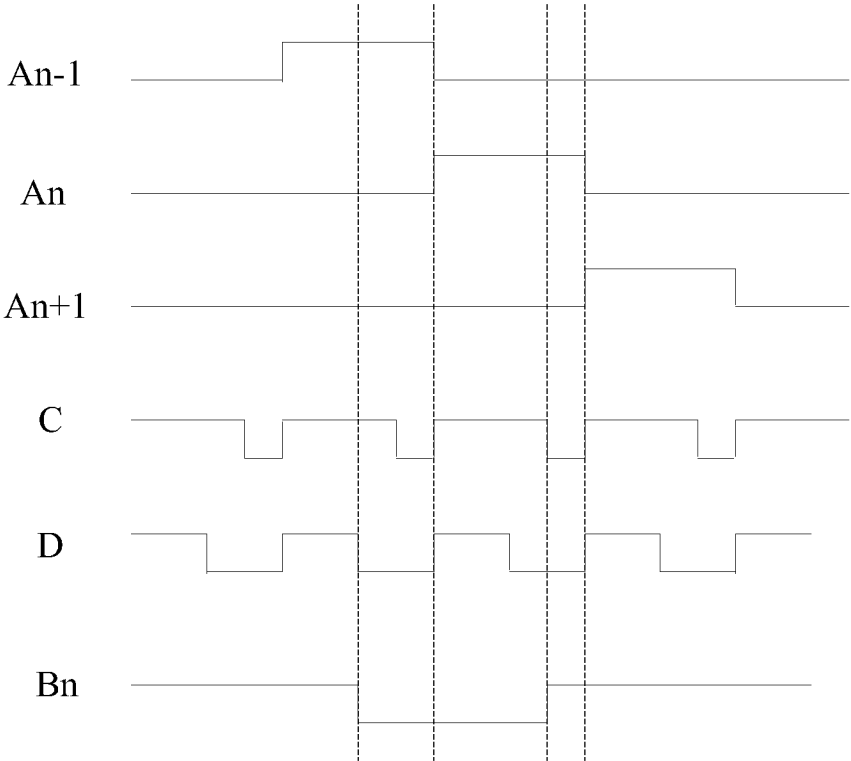


图5

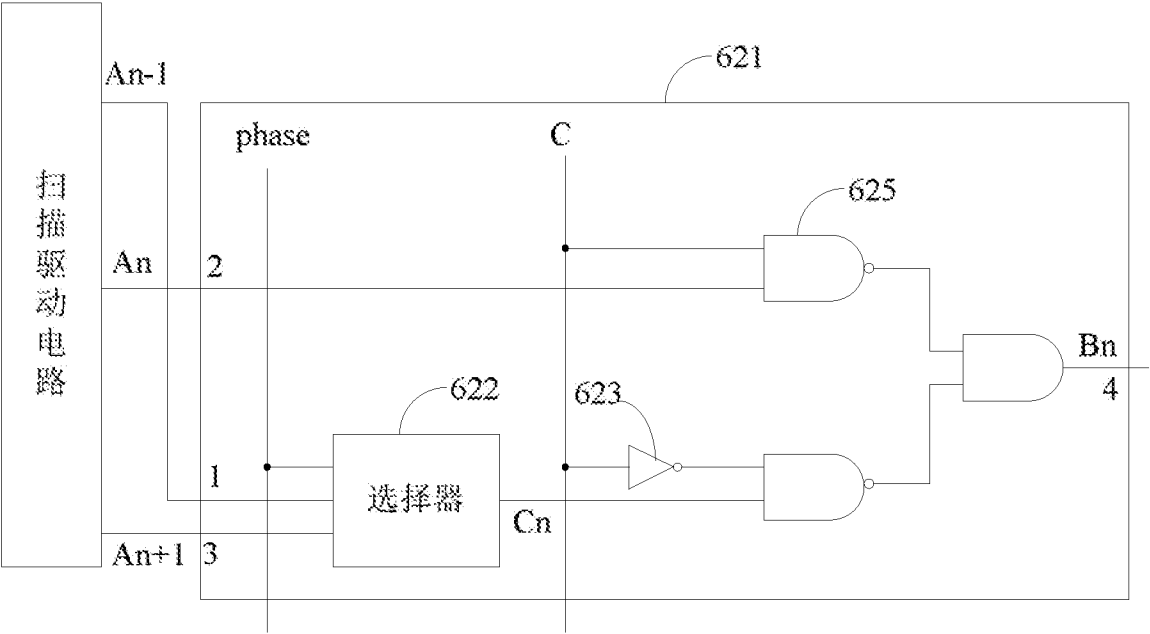


图6

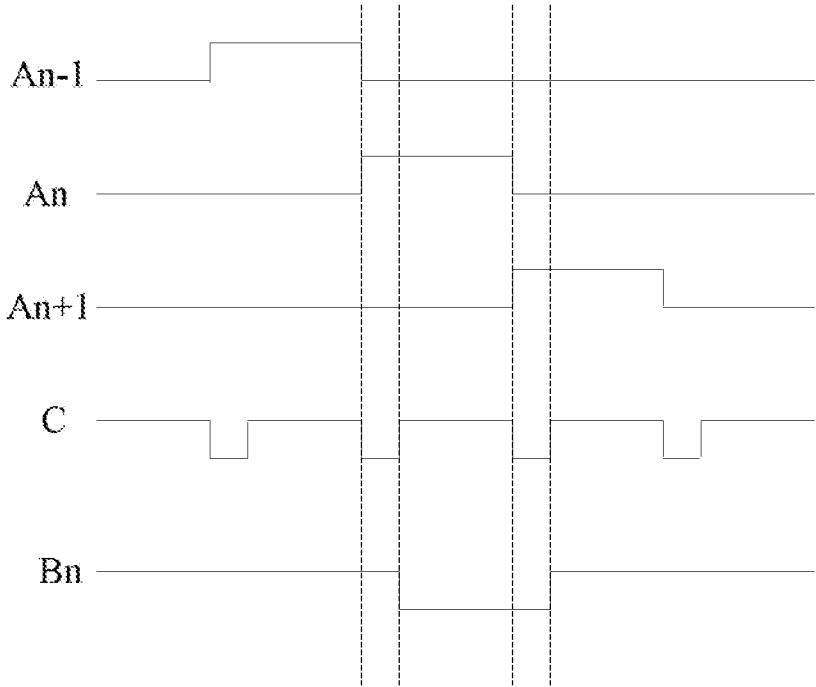


图 7

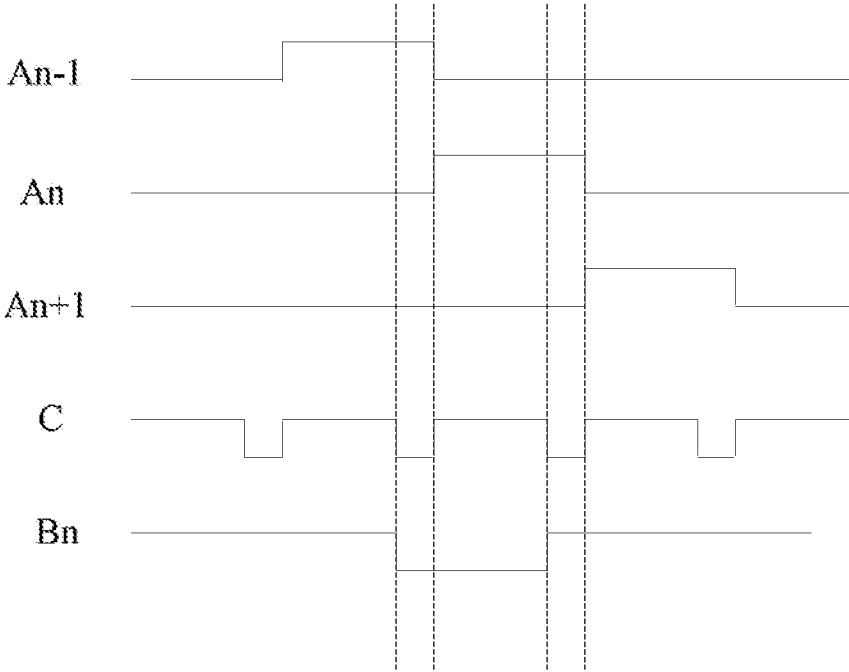


图 8

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/080877

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/32 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: liquid crystal, scan+, driv+, multi+, logic, and gate, not gate, liquid, and, not, gate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 1794331 A (SAMSUNG SDI CO., LTD.) 28 June 2006 (28.06.2006) description, page 5, line 24 to page 6, line 16 and figure 4	1-17
A	CN 101592831 A (INNOCOM TECH SHENZHEN LTD.) 02 December 2009 (02.12.2009) the whole document	1-17
A	CN 101950519 A (RENESAS ELECTRONICS CORP.) 19 January 2011 (19.01.2011) the whole document	1-17
A	CN 101630475 A (SONY CORP.) 20 January 2010 (20.01.2010) the whole document	1-17

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

11 August 2015

Date of mailing of the international search report

26 August 2015

Name and mailing address of the ISA
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No. (86-10) 62019451

Authorized officer

GUO, Xing

Telephone No. (86-10) 61648071

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/080877

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 1794331 A	28 June 2006	US 2006158394 A1	20 July 2006
		JP 2006184871 A	13 July 2006
		KR 100624317 B1	19 September 2006
		CN 100585685 C	27 January 2010
		KR 20060073680 A	28 June 2006
		US 8035581 B2	11 October 2011
		JP 4633601 B2	16 February 2011
CN 101592831 A	02 December 2009	CN 101592831 B	28 November 2012
CN 101950519 A	19 January 2011	JP 2011017869 A	27 January 2011
		US 2011007068 A1	13 January 2011
CN 101630475 A	20 January 2010	KR 20140146026 A	24 December 2014
		KR 20100007747 A	22 January 2010
		US 2013235022 A1	12 September 2013
		US 2014285409 A1	25 September 2014
		US 8988325 B2	24 March 2015
		CN 101630475 B	14 March 2012
		JP 4844598 B2	28 December 2011
		JP 2010020208 A	28 January 2010
		US 8797241 B2	05 August 2014
		US 8427458 B2	23 April 2013
		KR 101500761 B1	09 March 2015
		US 2010007649 A1	14 January 2010
		TW 201005706 A	01 February 2010
		JP 2011002846 A	06 January 2011
		KR 101532183 B1	29 June 2015
		US 2015221256 A1	06 August 2015

国际检索报告

国际申请号

PCT/CN2015/080877

A. 主题的分类

G09G 3/32 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNPAT, CNKI, WPI, EPDOC: 液晶, 扫描, 驱动, 多, 逻辑, 与门, 非门, liquid, scan+, driv+, multi+, logic, and, not, gate

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 1794331 A (三星SDI株式会社) 2006年 6月 28日 (2006 - 06 - 28) 说明书第5页第24行至第6页第16行及附图4	1-17
A	CN 101592831 A (群康科技深圳有限公司等) 2009年 12月 2日 (2009 - 12 - 02) 全文	1-17
A	CN 101950519 A (瑞萨电子株式会社) 2011年 1月 19日 (2011 - 01 - 19) 全文	1-17
A	CN 101630475 A (索尼株式会社) 2010年 1月 20日 (2010 - 01 - 20) 全文	1-17

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2015年 8月 11日

国际检索报告邮寄日期

2015年 8月 26日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局 (ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10) 62019451

授权官员

郭星

电话号码 (86-10) 61648071

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/080877

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	1794331	A	2006年 6月 28日	US	2006158394	A1	2006年 7月 20日
				JP	2006184871	A	2006年 7月 13日
				KR	100624317	B1	2006年 9月 19日
				CN	100585685	C	2010年 1月 27日
				KR	20060073680	A	2006年 6月 28日
				US	8035581	B2	2011年 10月 11日
				JP	4633601	B2	2011年 2月 16日
CN	101592831	A	2009年 12月 2日	CN	101592831	B	2012年 11月 28日
CN	101950519	A	2011年 1月 19日	JP	2011017869	A	2011年 1月 27日
				US	2011007068	A1	2011年 1月 13日
CN	101630475	A	2010年 1月 20日	KR	20140146026	A	2014年 12月 24日
				KR	20100007747	A	2010年 1月 22日
				US	2013235022	A1	2013年 9月 12日
				US	2014285409	A1	2014年 9月 25日
				US	8988325	B2	2015年 3月 24日
				CN	101630475	B	2012年 3月 14日
				JP	4844598	B2	2011年 12月 28日
				JP	2010020208	A	2010年 1月 28日
				US	8797241	B2	2014年 8月 5日
				US	8427458	B2	2013年 4月 23日
				KR	101500761	B1	2015年 3月 9日
				US	2010007649	A1	2010年 1月 14日
				TW	201005706	A	2010年 2月 1日
				JP	2011002846	A	2011年 1月 6日
				KR	101532183	B1	2015年 6月 29日
				US	2015221256	A1	2015年 8月 6日

表 PCT/ISA/210 (同族专利附件) (2009年7月)