

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5055813号
(P5055813)

(45) 発行日 平成24年10月24日(2012.10.24)

(24) 登録日 平成24年8月10日(2012.8.10)

(51) Int. Cl. F I
 HO 1 L 29/78 (2006.01) HO 1 L 29/78 3 O 1 J
 HO 1 L 21/336 (2006.01) HO 1 L 29/78 6 2 2
 HO 1 L 29/786 (2006.01)

請求項の数 10 (全 17 頁)

(21) 出願番号	特願2006-107596 (P2006-107596)	(73) 特許権者	000005234
(22) 出願日	平成18年4月10日 (2006.4.10)		富士電機株式会社
(65) 公開番号	特開2007-281293 (P2007-281293A)		神奈川県川崎市川崎区田辺新田1番1号
(43) 公開日	平成19年10月25日 (2007.10.25)	(74) 代理人	100150441
審査請求日	平成21年2月17日 (2009.2.17)		弁理士 松本 洋一
		(72) 発明者	渡辺 泰正
			神奈川県横須賀市長坂二丁目2番1号 富士電機アドバンステクノロジー株式会社内
		(72) 発明者	寺西 秀明
			神奈川県横須賀市長坂二丁目2番1号 富士電機アドバンステクノロジー株式会社内
		(72) 発明者	藤島 直人
			神奈川県横須賀市長坂二丁目2番1号 富士電機アドバンステクノロジー株式会社内

最終頁に続く

(54) 【発明の名称】 SOI 横型半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1導電型の半導体基板上に埋め込み絶縁膜を介して半導体機能層が形成されるSOI横型半導体装置において、前記半導体機能層が前記埋め込み絶縁膜により前記半導体基板と大部分で絶縁分離される第2導電型の高抵抗活性層と、該活性層の一方端に隣接して形成される第1導電型第1半導体領域と、前記活性層の他端に隣接して形成される前記埋め込み絶縁膜より深い第2導電型第1半導体領域と、前記第2導電型の高抵抗活性層内に形成され該活性層より低抵抗の第2導電型バッファ領域と、該バッファ領域表面から形成される第1導電型第2半導体領域とを備え、前記第1導電型第1半導体領域表面には第2導電型第2半導体領域が形成され、該第2導電型第2半導体領域と前記活性層とに挟まれる前記第1導電型第1半導体領域表面にはゲート酸化膜を介してゲート電極を備え、前記第1導電型第2半導体領域と第2導電型第2半導体領域と第2導電型第1半導体領域とには、それぞれ金属電極が設けられることを特徴とするSOI横型半導体装置。

【請求項2】

前記埋め込み絶縁膜の厚さが200nm以下であることを特徴とする請求項1記載のSOI横型半導体装置。

【請求項3】

前記埋め込み絶縁膜が酸素イオン注入法により形成される膜であることを特徴とする請求項1または2記載のSOI横型半導体装置。

【請求項4】

前記第 1 導電型第 2 半導体領域が前記埋め込み絶縁膜に到達していることを特徴とする請求項 1 乃至 3 にいずれか一項に記載の S O I 横型半導体装置。

【請求項 5】

前記埋め込み絶縁膜の直下に沿って形成され、少なくとも一方の端部において、前記活性層または前記第 2 導電型第 1 半導体領域と接続する第 2 導電型第 3 半導体領域を備えることを特徴とする特許請求の範囲の請求項 1 乃至 4 のいずれか一項に記載の S O I 横型半導体装置。

【請求項 6】

前記第 2 導電型第 3 半導体領域が濃度勾配を有することを特徴とする請求項 5 記載の S O I 横型半導体装置。

10

【請求項 7】

前記第 2 導電型第 3 半導体領域が前記第 1 導電型第 1 半導体領域と前記第 2 導電型第 1 半導体領域との間で不純物濃度の異なる複数の領域に分割されていることを特徴とする請求項 5 または 6 記載の S O I 横型半導体装置。

【請求項 8】

前記第 2 導電型第 3 半導体領域が前記第 1 導電型第 1 半導体領域と前記第 2 導電型第 1 半導体領域との間で 3 分割され、そのうち、中央の領域の不純物濃度が最も高いことを特徴とする請求項 7 記載の S O I 横型半導体装置。

【請求項 9】

前記第 2 導電型第 1 半導体領域が前記埋め込み絶縁膜と接している請求項 1 乃至 8 のいずれか一項に記載の S O I 横型半導体装置。

20

【請求項 10】

前記第 1 導電型第 1 半導体領域および前記第 2 導電型第 1 半導体領域と前記埋め込み絶縁膜とは互いに離れており、前記第 2 導電型第 3 半導体領域の両端が前記活性層と接していることを特徴とする請求項 5 乃至 8 のいずれか一項に記載の S O I 横型半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、S O I (Silicon On Insulator) 構造を有する横型 I G B T などの半導体装置に関し、特に、高耐压化、低スイッチング損失に係わる構造を有する S O I 横型 I G B T に関する。

30

【背景技術】

【0002】

近年、機能の異なる半導体素子をワンチップ化すると共に、誘電体分離 (S O I) 技術を用いることによりさらに高機能化を計った半導体装置の開発が盛んに行われるようになってきた。特に、パワー半導体素子を組み込んだデバイス、たとえば、制御用 I C とパワー半導体素子を一体化したスイッチング電源や、トレンチ分離技術を組み合わせた B i - C M O S 素子、M O S F E T とサイリスタの複合機能デバイス等が、様々なプロセス技術、たとえば、トレンチ形成技術、酸化膜埋め込み技術、シリコンエピタキシャル成長技術、C M P (化学機械的研磨) 等の表面平坦化技術等を組み合わせて用いることにより具

40

【0003】

電源 I C 分野では、高耐压パワー半導体素子と制御用 I C を一体化したワンチップ I C を用いたスイッチング電源が、その小型・軽量の特徴を生かして、携帯電話、携帯用カメラ、パソコン等の携帯機器や、照明用電源、モーター駆動電源等に広く採用され、普及している。

ワールドワイドの商用交流電源電圧は最高で 2 4 0 V (実効値) に達する。その場合、ピーク電圧は約 6 8 0 V 程度になり得るので、半導体装置に求められる電圧定格として約 7 0 0 V の耐压が必要となる。

【0004】

50

スイッチング電源の部品の中ではコンデンサおよびトランスが大きな面積を占める。これらは高周波化することにより小型化が可能となる。従って、周波数帯は100kHz帯が広く使用されており、パワー半導体素子としてスイッチング損失が小さくて制御ICとのプロセス互換性に優れたMOSFETが採用される。MOSFETは多数キャリアデバイスであり、少数キャリアの注入による伝導度変調がないためオン抵抗が大きい。しかし、近年、このMOSFETのオン抵抗に関しても、半導体基板面に垂直なトレンチ構造を形成して従来の平面的なゲート構造を立体構造化してユニットセルのピッチを短縮すると共にチャネル密度を高くすること、またはリサーフ構造を多段化すること等により、その低減が可能になってきた。ただし、これらのオン抵抗低減技術は、MOSFETの構造やプロセスの複雑化（その結果、良品率やコストなどに悪影響を及ぼす）を伴うという問題がある。

10

【0005】

IGBTは、MOSFETの自己消弧機能とバイポーラトランジスタの低オン抵抗の特徴を兼ね備えており高電圧大電流用途の産業分野では特に広く用いられている。IGBTでは、アノード領域からベース領域へ少数キャリアを注入し伝導度変調効果を高めることでオン抵抗は下がるが、一方でターンオフ損失が増加する。これらオン抵抗とターンオフ損失はトレードオフ関係にあるとされる。また、伝導度変調効果に寄与しない電流経路外への拡散によるキャリアの存在もターンオフ損失を増大させる原因となる。

【0006】

近年、電流経路となる薄いn型シリコン活性層に誘電体分離によりキャリアを閉じ込めてスイッチング損失の低減を図る誘電体分離構造を備えるIGBTが実用化されるようになった（特許文献1）。この特許文献1によれば、n型シリコン活性層と埋め込み酸化膜（BOX層）とにより電圧を分担するが、n型シリコン活性層の厚さは1μm以下と薄いため、1～数μmの厚いBOX層を用いて高耐压化をはかっている。図13の縦断面図に示すように、前記特許文献1に記載のSOI半導体装置は、半導体基板51上においてp型アノード領域55の直下に形成された数μmの厚いBOX層52に耐压を分担させる構造と、n型カソード領域54の直下のエッジ部でのブレイクダウンを避けるため、多段不純物濃度勾配によるエッジ曲率の緩和による電位分布の改善構造と、p型アノード領域55表面およびn型カソード領域54表面にそれぞれ形成されたアノード電極57およびカソード電極56とがそれぞれ両端に接続される高抵抗性薄膜53を用いた電位分布の改善構造とを備える高耐压半導体素子である。

20

30

【0007】

このような厚いBOX層は、表面に酸化膜層を有するシリコンウエハ同士を貼り合わせた後、片方のウエハを研磨して形成されるため、一般的には高価となる。また、表面に形成されるポリシリコンからなる高抵抗性薄膜は高温高湿環境化での信頼性に難点がある。

下記特許文献2は酸素イオンを注入することにより任意の領域に部分的に埋め込み酸化膜を形成することが可能なSIMOX技術を適用して縦型MOSFETのドレイン-ソース間容量の低減を図る構造であり、特に横型デバイスの耐压構造に着目したものではない。

【0008】

40

下記特許文献3にはSOI構造により、互いに離れて形成された横型MOSFET間をそれらの下側に設けられている埋め込み酸化膜下に設けた高抵抗領域で電氣的に接続することにより、高耐压化に影響なく、高速動作を可能にする半導体装置の記載がある。

下記特許文献4は横型バイポーラトランジスタに関し、高増幅率と低ベース抵抗とを両立させるために、エミッタ領域の下部に埋め込み酸化膜を形成する技術を開示している。下記特許文献5には部分的な薄い埋め込み酸化膜の形成を可能にするSIMOX法（Separation by Implanted Oxygen法）に関する記述がある。近年、このSIMOX法による薄い埋め込み酸化膜を形成する技術の進展が著しい。

【特許文献1】特開平6-318714号公報

【特許文献2】特開平7-122750号公報

50

【特許文献3】特開平8 - 64687号公報
 【特許文献4】特開2003 - 303828号公報
 【特許文献5】特開2000 - 357665号公報
 【発明の開示】
 【発明が解決しようとする課題】

【0009】

しかしながら、前述のSIMOX法では酸素イオンの注入とその後のアニール技術とを組み合わせることにより薄い埋め込み酸化膜を形成してSOI構造とするので、SOI半導体装置を低コストで実現できるようになったが、このSIMOX法による埋め込み酸化膜は、厚さが数百nm以下と薄いため高耐圧化が難しく、主として低耐圧のロジック回路ICに適したSOI酸化膜形成技術とされている。

10

【0010】

本発明は、以上述べた点に鑑みてなされたものであり、SIMOX法による薄い埋め込み酸化膜を用いても高耐圧と低スイッチング損失が得られるSOI横型半導体装置の提供を目的とする。

【課題を解決するための手段】

【0011】

特許請求の範囲の請求項1記載の発明によれば、第1導電型の半導体基板上に埋め込み絶縁膜を介して半導体機能層が形成されるSOI横型半導体装置において、前記半導体機能層が前記埋め込み絶縁膜により前記半導体基板と大部分で絶縁分離される第2導電型の高抵抗活性層と、該活性層の一方端に隣接して形成される第1導電型第1半導体領域と、前記活性層の他端に隣接して形成される前記埋め込み絶縁膜より深い第2導電型第1半導体領域と、前記第2導電型の高抵抗活性層内に形成され該活性層より低抵抗の第2導電型バッファ領域と、該バッファ領域表面から形成される第1導電型第2半導体領域とを備え、前記第1導電型第1半導体領域表面には第2導電型第2半導体領域が形成され、該第2導電型第2半導体領域と前記活性層とに挟まれる前記第1導電型第1半導体領域表面にはゲート酸化膜を介してゲート電極を備え、前記第1導電型第2半導体領域と第2導電型第2半導体領域と第2導電型第1半導体領域とには、それぞれ金属電極が設けられるSOI横型半導体装置とすることにより、前記目的は達成される。

20

【0012】

特許請求の範囲の請求項2記載の発明によれば、前記埋め込み絶縁膜の厚さが200nm以下である特許請求の範囲の請求項1記載のSOI横型半導体装置とすることが好ましい。

30

特許請求の範囲の請求項3記載の発明によれば、前記埋め込み絶縁膜が酸素イオン注入法により形成される膜である特許請求の範囲の請求項1または2記載のSOI横型半導体装置とすることが望ましい。

【0013】

特許請求の範囲の請求項4記載の発明によれば、前記第1導電型第2半導体領域が前記埋め込み絶縁膜に到達している特許請求の範囲の請求項1乃至3にいずれか一項に記載のSOI横型半導体装置とすることが好適である

40

特許請求の範囲の請求項5記載の発明によれば、前記埋め込み絶縁膜の直下に沿って形成され、少なくとも一方の端部において、前記活性層または前記第2導電型第1半導体領域と接続する第2導電型第3半導体領域を備える特許請求の範囲の請求項1乃至4のいずれか一項に記載のSOI横型半導体装置とすることがより好適である。

【0014】

特許請求の範囲の請求項6記載の発明によれば、前記第2導電型第3半導体領域が濃度勾配を有する特許請求の範囲の請求項5記載のSOI横型半導体装置とすることがいっそう好適である。

特許請求の範囲の請求項7記載の発明によれば、前記第2導電型第3半導体領域が前記第1導電型第1半導体領域と前記第2導電型第1半導体領域との間で不純物濃度の異なる

50

複数の領域に分割されている特許請求の範囲の請求項 5 または 6 記載の S O I 横型半導体装置とすることがより好ましい。

【 0 0 1 5 】

特許請求の範囲の請求項 8 記載の発明によれば、前記第 2 導電型第 3 半導体領域が前記第 1 導電型第 1 半導体領域と前記第 2 導電型第 1 半導体領域との間で 3 分割され、そのうち、中央の領域の不純物濃度が最も高い特許請求の範囲の請求項 7 記載の S O I 横型半導体装置とすることがより望ましい。

特許請求の範囲の請求項 9 記載の発明によれば、前記第 2 導電型第 1 半導体領域が前記埋め込み絶縁膜と接している請求項 1 乃至 8 のいずれか一項に記載の S O I 横型半導体装置とすることがより好適である。

10

【 0 0 1 6 】

特許請求の範囲の請求項 10 の発明によれば、前記第 1 導電型第 1 半導体領域および前記第 2 導電型第 1 半導体領域と前記埋め込み絶縁膜とは互いに離れており、前記第 2 導電型第 3 半導体領域の両端が前記活性層と接している請求項 5 乃至 8 のいずれか一項に記載の S O I 横型半導体装置とすることがより好適である。

【 0 0 1 7 】

要するに本発明は、図 1 に示すように p 型の半導体基板 1 と、この p 型の半導体基板 1 の上部に形成した埋め込み酸化膜層 2 と、埋め込み酸化膜層 2 の上部に薄膜の n 型シリコン活性層 3 を有する S O I 横型半導体装置であって、n 型シリコン活性層 3 の一部に p⁺ 型アノード領域 6 と、埋め込み酸化膜層 2 に接して p⁺ 型アノード領域 6 から n 型シリコン活性層 3 に注入される少数キャリアを n 型シリコン活性層 3 内に閉じ込め、尚かつ、高耐圧構造を形成するために n 型ウエル領域 5 を有する半導体装置を特徴とするものである。この構成によれば、p⁺ 型アノード領域 6 から n 型シリコン活性層 3 に注入されるホールを、埋め込み酸化膜層 2 の端部に接して設けた n 型ウエル領域 5 にて消滅させ、p 型の半導体基板 1 への拡散を防止することによりスイッチング損失を低減することができる。

20

【発明の効果】

【 0 0 1 8 】

本発明によれば、S I M O X 法による薄い埋め込み酸化膜を用いても高耐圧と低スイッチング損失が得られる S O I 横型半導体装置を提供することができる。

30

【発明を実施するための最良の形態】

【 0 0 1 9 】

以下、本発明の S O I 横型 I G B T にかかる実施例について図面を参照しながら詳細に説明する。本発明は以下説明する実施例の記載のみに限定されるものではない。図 1 は本発明の実施例 1 にかかる S O I 横型 I G B T の縦断面図、図 2 - 1、図 2 - 2 は実施例 1 の S O I 横型 I G B T の製造方法にかかるウエハ工程における各工程段階のウエハの縦断面図、図 4 はスイッチング時の過渡特性シミュレーションによるホール密度分布図、図 5 は本発明の実施例 2 にかかる S O I 横型 I G B T の縦断面図、図 6 は本発明の実施例 3 にかかる S O I 横型 I G B T の縦断面図、図 7 は本発明の実施例 4 にかかる S O I 横型 I G B T の縦断面図、図 8 - 1、図 8 - 2 は実施例 4 の S O I 横型 I G B T の製造方法にかかるウエハ工程における各工程段階のウエハの縦断面図、図 10 は本発明の実施例 5 にかかる S O I 横型 I G B T の縦断面図、図 11 は本発明の実施例 6 にかかる S O I 横型 I G B T の縦断面図、図 12 は本発明の実施例 7 にかかる S O I 横型 I G B T の縦断面図、図 14 は実施例 5 と実施例 7 の I G B T におけるスイッチング時の電圧波形図、図 15 - 1、図 15 - 2 は本発明の実施例 6 にかかる S O I 横型 I G B T の製造方法にかかるウエハ工程における各工程段階のウエハの縦断面図である。

40

【実施例 1】

【 0 0 2 0 】

図 1 に本発明の実施例 1 にかかる S O I 横型 I G B T の縦断面図を示す。この I G B T

50

はp型シリコン基板1に、厚さ50nmのBOX層(埋め込み酸化膜層)2と、このBOX層2の上に、表面が露出する厚さ0.8μm程度のn型シリコン活性層3を備えたSOI構造を有する。このn型シリコン活性層3はIGBTの主電流経路となる高抵抗薄膜領域となる。n型シリコン活性層3内には表面からBOX層2に達する深さのp⁺型アノード領域6とこのp⁺型アノード領域6に隣接するn⁺型バッファ領域7を備える。BOX層2およびn型シリコン活性層3のp⁺型アノード領域6側の一端にはBOX層2より深いn型ウエル領域5が設けられ、他端側にはBOX層2より深いp型ウエル層4が設けられている。p型ウエル層4とn型シリコン活性層3は接触しても構わない。このp型ウエル領域4の表面層にはn⁺型エミッタ領域8とp⁺型領域9が互いに接して設けられ、これらの両領域8、9の表面にはカソード電極12が設けられている。n⁺型エミッタ領域8とn型シリコン活性層3との間のp型ウエル領域4の表面には厚さ25nmのゲート酸化膜10を介してゲート電極11が設けられる。前記p⁺型アノード領域6の表面にアノード電極14が設けられ、n型ウエル領域5の表面層にはn⁺型コンタクト領域13-1が設けられ、さらにその表面にドレイン電極13が設けられる。

【0021】

図2-1、図2-2は図1を用いて説明したSOI横型IGBTの製造方法を主要なウエハ工程段階a~hにより示すシリコン基板の縦断面図である。図1で説明した深いn型ウエル領域5と厚さ50nmのBOX層2を同時に形成するために、不純物濃度 $1 \times 10^{14} \text{ cm}^{-3}$ のp型シリコン基板1上に、フォトリソプロセスによりイオン注入用マスク22を作製し、注入エネルギー50keVで、リンをドーズ量 $3.5 \times 10^{11} \text{ cm}^{-2}$ で注入し、リンイオン打ち込み領域23を形成する(図2-1a)。イオン注入マスク24を作製し、酸素イオンを注入エネルギー180keVで、ドーズ量 $5 \times 10^{17} \text{ cm}^{-2}$ で注入し、酸素イオン打ち込み領域25を形成する(図2-1b)。温度1350程度で2時間程度熱処理(アニール)して、表面濃度が $2 \times 10^{15} \text{ cm}^{-3}$ で、接合(Xj)の深さが14.5μmのn型ウエル領域5と、深さ0.3μmの位置にあって厚さ50nmで一端がn型ウエル領域5に接するBOX層2とを、同時に形成する(図2-1c)。エピタキシャル成長法を用いて、基板温度900で不純物濃度が $1 \times 10^{14} \text{ cm}^{-3}$ のp型シリコン層1-1を厚さ0.5μm堆積する(図2-1d)。n型シリコン活性層3の形成のため、マスク26を用いて注入エネルギー50keVで、リンイオンをドーズ量 $1.5 \times 10^{12} \text{ cm}^{-2}$ で注入する(図2-1e)。

【0022】

マスク27を用いて注入エネルギー50keVで、ボロンイオンをドーズ量 $3.5 \times 10^{11} \text{ cm}^{-2}$ で注入する(図2-2f)。マスク27を除去し全面に図示しない窒化膜を形成し温度1150で400分熱処理(アニール)して、表面濃度が $5 \times 10^{15} \text{ cm}^{-3}$ で、接合(Xj)深さが7.5μmのp型ウエル領域4および濃度が $3 \times 10^{14} \text{ cm}^{-3}$ で厚さ0.8μmのn型シリコン活性層3を形成する(図2-2f)。その後、フォトリソエッチングにより形成した窒化膜28パターンを利用して選択酸化を行い、厚さ0.6μmのLOCOS酸化膜19を形成する(図2-2g)。窒化膜28の除去後、一般的な半導体プロセスを用いて、ゲート酸化膜10、p⁺型アノード領域6、n⁺型エミッタ領域8、n⁺型バッファ領域7、コンタクト領域、9、13-1およびアノード電極14、カソード電極12、ゲート電極11、ドレイン電極等13を形成すると図1に示す横型IGBTとなる(図2-2h)。アノード電極14とドレイン電極13とは配線を介して接続してもよい。

【0023】

このような構成を有するSOI横型半導体装置の動作について図1を用いて説明する。カソード電極12を接地しアノード電極14およびドレイン電極13に正の電圧を印加した状態において、ゲート電極11に閾値電圧より高い正の電圧を印加すると、ゲート酸化膜10直下のp型ウエル領域4の表面に図示しない反転層(チャンネル層)が形成される。カソード電極11から供給された電子は、n⁺型エミッタ領域8、図示しない反転層(チャンネル層)、n型シリコン活性層3を経てn⁺型バッファ領域7に供給される。この電子

10

20

30

40

50

は、 p^+ 型アノード領域6、 n^+ 型バッファ領域7、 n 型シリコン活性層3、 p 型ウエル領域4、 p^+ 領域9から構成される pnp トランジスタのベース電流となり、この pnp トランジスタをオンさせる。ホールは、 p^+ 型アノード領域6から注入され前記した電子と逆の経路を経てカソード電極12へと導かれる。IGBTの伝導度変調作用は、 p^+ 型アノード領域6からのホール注入量を制御することにより、具体的には、 p^+ 型アノード領域6の不純物濃度と n^+ 型バッファ領域7の不純物濃度の比率を変えることにより制御できる。たとえば、 p^+ 型アノード領域6の不純物濃度を高めるとオン抵抗は小さくなる。この半導体装置のターンオフはゲート電極11の電位を下げること、反転層が消失して電子の注入が停止し、 n 型シリコン活性層3内部にあるホールはカソード電極12を通じて、また電子はアノード電極14から排出されることにより行われる。

10

【0024】

スイッチング損失エネルギーは熱に変換されるので、素子温度が上昇し電気特性に影響を及ぼす。特に高周波になるほどその影響は大きくなり、素子特性にいつそう影響しやすくなるので、スイッチング損失はできる限り小さい方がよい。そのため、装置を小型化するために高周波数動作が求められるスイッチング電源では、デバイスの低オン抵抗化によるオン損失の低減と同時にスイッチング損失(ターンオフ損失)の低減も求められる。一般的に、キャリアの閉じ込め機能を有する n 型シリコン活性層構造をもたないデバイスでは、ターンオフ時に n 型シリコン活性層外へ拡散したキャリアを排出するためのエネルギーが加わるので、ターンオフ損失が増大する傾向を示す。しかもこの拡散によるキャリアはオン抵抗の低減には寄与しない。

20

【0025】

図3に、スイッチング損失のシミュレーション結果に用いたBOX層の無い従来の横型IGBTの半導体基板の要部縦断面図を示す。チャンネル幅は11000nmとした。シミュレーションにより本発明にかかる図1のBOX層2を備えたSOI横型IGBTと、図3に示す従来のBOX層の無い横型IGBTとの損失比較を行った。図3に示す従来のIGBTは、 p 型シリコン基板61の表面層に n 型シリコン活性層64と、 n 型シリコン活性層64の一方の端部に形成される n^+ 型バッファ層63の表面層に p^+ 型アノード領域62を備え、その表面にアノード電極68が設けられる。 n 型シリコン活性層64の他方の端部には n 型シリコン活性層64より深い p 型ウエル領域65が形成され、 p 型ウエル領域65の表面層には n^+ 型エミッタ領域66と p^+ 型コンタクト領域67が形成され、これらの両領域表面にはカソード電極71が設けられ、 n^+ 型エミッタ領域66と n 型シリコン活性層64とに挟まれる p 型ウエル領域65の表面にはゲート酸化膜69を介してゲート電極70を備える構造を有している。図4は、ターンオフ時の過渡特性のシミュレーション結果であり、ゲートオフから20ns後の n 型シリコン活性層3の表面から深さ0.1 μ mの地点でのホール密度の空間分布を示す。横軸は n 型シリコン活性層3の p 型ウエル領域4、65から p^+ 型アノード領域6、68端部までの距離 X (μ m)、縦軸はホール密度(cm^{-3})を示す。縦軸の数字の表記法1.0E+20は 1.0×10^{20} を意味する。他の数字表記法も同じである。図4の左端座標は $X = 30 \mu$ mとあるが、 p 型ウエル領域4、65のアノード側端部の位置である。右端の座標は $X = 70 \mu$ mとあるが、 p^+ 型アノード領域6、62の n^+ 型エミッタ側の端部の位置である。図4中、a)はBOX層が無いIGBT、b)はBOX層2が有る実施例1にかかるIGBTのホール密度分布をそれぞれ示す。BOX層が無いIGBTでは、ホールの基板1への拡散による広がりのため、ホールが、 p^+ 型アノード領域62の端($X = 70$ の位置)から27 μ mまでの領域(すなわち $X = 70 \sim 43 \mu$ mまでの領域)において掃き出されず残存していることを示している。一方、本発明の実施例1にかかるb)では、ホールの残存領域もアノード側約15 μ m(すなわち $x = 70 \sim 55 \mu$ mまでの領域)と短くなっており、それだけカソード側の空乏層の広がりが大きくなっている事がわかる。BOX層無しのIGBTでは、ホール密度の高い領域が多いのでオン損失は、 1.35×10^{-6} J(ジュール)と最も低い値を示したが、一方でターンオフ損失は 3.0×10^{-5} Jと大きく、トータルで 3.135×10^{-5} J(駆動周波数100kHzの仕事率は 3.135×10^{-5}

30

40

50

$5 \times 10^5 = 3.135 \text{ W}$ (ワット))を示した。実施例1にかかるIGBTでは、オン損失は $1.8 \times 10^{-6} \text{ J}$ と増加したが、ターンオフ損失は、 $3.5 \times 10^{-6} \text{ J}$ と大きく減少し、トータルで $5.3 \times 10^{-6} \text{ J}$ (駆動周波数 100 kHz の仕事率は $5.3 \times 10^{-6} \times 10^5 = 0.53 \text{ W}$) と小さくなった。耐圧は、従来例が 425 V であるのに対し、実施例1では 420 V であった。実施例1にかかるIGBTのスイッチング損失は閉じ込め構造の無いIGBTと比較して、 $0.53 \text{ W} / 3.135 \text{ W}$ から約 $1/6$ に改善されることが分かる。

【実施例2】

【0026】

図5に実施例2にかかるSOI横型IGBTの縦断面図を示す。実施例1との違いは p^+ 型アノード領域6-1の周囲に n^+ 型バッファ領域7-1を設けると共に、 p^+ 型アノード領域6-1の深さを n 型シリコン活性層3の深さの約 $1/3$ 程度として、 p^+ 型アノード領域6-1の直下にも、BOX層2との間に n^+ 型バッファ領域7-1を設けることにより、 p^+ 型アノード領域6-1から n^+ 型バッファ領域7-1へのホールの注入面積の減少によるホール注入量の減少と、 n 型シリコン活性層3のターンオフ時における、電子の n 型ドレイン領域4への排出機能の増大を狙ったものである。ここで説明しなかった図5の他の領域については、図1と同様である。シミュレーションの結果、この実施例2ではオン損失は $2.8 \times 10^{-6} \text{ J}$ と低い値を示し、また、ターンオフ損失は、 $1.4 \times 10^{-6} \text{ J}$ となった。トータル損失は $4.2 \times 10^{-6} \text{ J}$ (駆動周波数 100 kHz での仕事率は $4.2 \times 10^{-6} \times 10^5 = 0.42 \text{ W}$) のように実施例1より低い損失となった。また、耐圧は 420 V であった。この実施例2のようなSOI横型IGBTとすることにより、いっそうのスイッチング損失の低減が可能である。

【実施例3】

【0027】

図6に示す本発明のSOI横型IGBTにかかる実施例3は、BOX層2-1とドレイン領域 (n 型ウエル領域) 5との間からキャリアの一部が基板1に拡散可能なように、BOX層2-1とドレイン領域 (n 型ウエル領域) 5とを接触させずに間隔を設けることにより、 n 型シリコン活性層3の残留キャリアを減少させてオン損失の低減を図るものである。その他の領域については、図5と同じである。図5と同様に簡略化のため一部省略した。ドレイン領域 (n 型ウエル領域) 5と、BOX層2-1右端の間隔を $1 \mu\text{m}$ に設定した。この間隔は数 μm 以下とすることが望ましい。シミュレーションの結果、この実施例3では、オン損失は $2.36 \times 10^{-6} \text{ J}$ 、ターンオフ損失は、 $1.93 \times 10^{-6} \text{ J}$ で、トータル損失は $4.29 \times 10^{-6} \text{ J}$ (駆動周波数 100 kHz での仕事率は $4.29 \times 10^{-6} \times 10^5 = 0.429 \text{ W}$) であった。また、耐圧は 485 V であった。実施例3では、実施例2に比べてターンオフ損失は増加するが、耐圧が向上する効果がある。

【実施例4】

【0028】

図7に本発明の実施例4にかかるSOI横型IGBTの縦断面図を示す。 p 型シリコン基板1に、厚さ 50 nm のBOX層2と、厚さ $0.8 \mu\text{m}$ の n 型シリコン活性層3を備えたSOI構造であり、 n 型シリコン活性層3内には、 p^+ 型アノード領域6-1と n^+ 型バッファ領域7-1が形成されている。 n 型シリコン活性層3の一方端に接して n 型ウエル領域5を設けて、シリコン基板1へのホール拡散を防止した。 p^+ 型アノード領域6-1にはアノード電極14を、 n 型ウエル領域5の表面層に設けられた n^+ 型領域13-1にはドレイン電極13がそれぞれ形成されている。

【0029】

n 型シリコン活性層3の他方端にはカソードおよびゲートが形成されている。カソードは p 型ウエル領域4、 p 型ウエル領域4の表面層に形成される n^+ 型エミッタ領域8と p^+ 領域9からなる。 n^+ 型エミッタ領域8、 p^+ 領域9表面にカソード電極12を設け、 n^+ 型エミッタ領域8と n 型シリコン活性層3との間の p 型ウエル領域4の表面には厚さ 25 nm のゲート絶縁膜10を介してゲート電極11が形成されている。さらに、この実

10

20

30

40

50

実施例 4 では、BOX 層 2 の直下に領域 15 を n 型ウエル領域 5 と p 型ウエル領域 4 間を接続するように形成されている。このような SOI 横型 IGBT では、n⁺ 型エミッタ領域 8 をソース領域、n 型領域 15 をドリフト領域、n 型ドレイン領域 5 をドレイン領域とする MOSFET が IGBT と並列に形成されている。シミュレーションの結果、この実施例 4 では、オン損失は 2.81×10^{-6} J、ターンオフ損失は、 1.47×10^{-6} J で、トータル損失は 4.28×10^{-6} J (駆動周波数 100 kHz での仕事率は $4.28 \times 10^{-6} \times 10^5 = 0.428$ W) であった。また、耐圧は 660 V であった。

【0030】

図 8 - 1、図 8 - 2 はこの実施例 4 にかかる図 7 の SOI 横型 IGBT の製造方法を説明するための主要な工程 a ~ g におけるシリコン基板の縦断面図である。最初に、図 7 で説明した深い n 型ウエル領域 5 と厚さ 50 nm の BOX 層 2 を同時に形成するために、不純物濃度 $1 \times 10^{14} \text{ cm}^{-3}$ の p 型シリコン基板 1 上に、フォトリソプロセスによりイオン注入用マスク 32 を作製し、注入エネルギー 50 keV で、リンをドーズ量 $3.5 \times 10^{11} \text{ cm}^{-2}$ 注入し領域 33 を形成する (図 8 - 1 a)。続けて、イオン注入マスク 34 を作製し、酸素イオンを、注入エネルギー 180 keV で、ドーズ量 $5 \times 10^{17} \text{ cm}^{-2}$ 注入し領域 35 を形成する (図 8 - 1 b)。これを、1350 °C で 120 分熱処理して、表面濃度が $2 \times 10^{15} \text{ cm}^{-3}$ で、X_j (接合) の深さが 14.5 μm の n 型ウエル領域 5 と、厚さ 50 nm の BOX 層 2 を深さ 0.3 μm の位置に形成し (図 8 - 1 c)、次に、レジストマスク 36 を形成して、n 型シリコン活性層 3 および n 型領域 15 の形成のため、BOX 層 2 の直下に注入エネルギー 160 keV で、リンをドーズ量 $1.5 \times 10^{13} \text{ cm}^{-2}$ 注入する (図 8 - 1 c)。エピタキシャル成長法を用いて基板温度 900 °C で不純物濃度が $1 \times 10^{14} \text{ cm}^{-3}$ の p 型シリコン 1 - 1 を厚さ 0.5 μm 堆積する (図 8 - 1 d)。マスク 37 を形成して注入エネルギー 50 keV で、ボロンイオンをドーズ量 $3.5 \times 10^{11} \text{ cm}^{-2}$ 注入する (図 8 - 2 e)。マスク 37 を除去後窒化膜 38 を全面に形成し、該窒化膜 38 を保護膜として、1150 °C で 400 分熱処理し、 $3 \times 10^{14} \text{ cm}^{-3}$ の n 型シリコン活性層 3 と表面濃度は $5 \times 10^{15} \text{ cm}^{-3}$ で、X_j (接合) の深さが 7.5 μm である p ウェル領域 4 と表面濃度 $3 \times 10^{14} \text{ cm}^{-3}$ 、X_j (接合) の深さが約 5 μm である領域 15 を形成する (図 8 - 2 f)。窒化膜 38 をパターニングして形成した窒化膜マスク 38 を利用して LOCOS 酸化膜 19 を厚さ 0.6 μm 形成し、一般的な半導体プロセスを用いて、p⁺ 型アノード領域 6 - 1、n⁺ 型バッファ領域 7 - 1、n⁺ 型エミッタ領域 8、コンタクト領域 9、13 - 1 とゲート電極 11、カソード電極 12、ドレイン電極 13、アノード電極 14 等を形成する (図 8 - 2 g) と、図 7 に示す実施例 4 の横型 IGBT となる。

【0031】

図 9 の SOI 横型半導体装置の縦断面図により示す従来の SOI 構造の横型 IGBT では BOX 層 42 がシリコン基板 41 上の全面に設けられ、この BOX 層 42 上に形成された n 型シリコン活性層 43 の両端側に n 型ウエル領域 (ドレイン領域) 45 と p 型ウエル領域 44 とが設けられ、両領域間の全領域がその下層の BOX 層 42 により基板 41 から絶縁分離される構造である。この SOI 構造では BOX 層 42 の厚さを薄くすると耐圧が低下する。シミュレーションの結果、この SOI 横型半導体装置は BOX 層 42 の厚さ 100 nm の場合、耐圧 80 V であった。

【0032】

これに対し、図 7 に示す本発明の SOI 横型 IGBT では、深い n 型ウエル領域 5 により、実施例 1 ~ 3 で示した構成で得られる、n 型ウエル領域 5 と基板 1 との pn 接合から基板 1 へ空乏層を広げる効果および n 型シリコン活性層 3 と p ウェル領域 4 との pn 接合から p ウェル領域 4 へ空乏層を広げる効果に加え、BOX 層 2 直下に形成された n 型領域 15 と基板 1 との pn 接合から基板 1 へ空乏層を広げることにより、n 型シリコン活性層 3 に入った電気力線を BOX 層 2 で集中させることなく基板 1 に対して垂直方向に誘導することができる。シミュレーションの結果、この実施例 4 の SOI 横型 IGBT では、BOX 層 2 の膜厚が 50 nm の場合でも耐圧 660 V を得ることができた。

10

20

30

40

50

【実施例 5】

【0033】

本発明の実施例 5 にかかり、スイッチング損失をさらに低減する SOI 横型 IGBT の縦断面図を図 10 に示す。図 10 では、厚さ $8 \mu\text{m}$ の絶縁膜 18 が n 型シリコン活性層 3 とゲート電極 11 の上に形成されている。この絶縁膜 18 にはアノード電極 14 とカソード電極 12 から絶縁膜 18 の表面に沿ってそれぞれ延長されるフィールドプレートが設けられる。このフィールドプレートを設けることにより、各電極近傍の電界強度を下げ、デバイス中央部の電界強度を高めることができる。この結果、n 型シリコン活性層 3 の中央部からのホールの排出速度が早められるため、オフ電圧の立ち上がりが早くなり、オフに向かう電流の波形はテールを引くものの、トータルではスイッチング損失を低減することができる。ここで説明しない図 10 中の領域については、図 7 と同じであるので説明を省く。シミュレーションの結果、この実施例 5 にかかる SOI 横型 IGBT のオン損失は $2.50 \times 10^{-6} \text{ J}$ 、ターンオフ損失は、 $1.45 \times 10^{-6} \text{ J}$ で、トータル損失は $3.95 \times 10^{-6} \text{ J}$ (駆動周波数 100 kHz での仕事率は $3.95 \times 10^{-6} \times 10^5 = 0.395 \text{ W}$) であった。また、耐圧は 640 V を示した。この IGBT によれば、耐圧の低下を抑えつつ、スイッチング損失の低減が可能となる。

10

【実施例 6】

【0034】

図 11 に、本発明の実施例 6 にかかる SOI 横型 IGBT の縦断面図を示す。この IGBT は p 型シリコン基板 1 に、厚さ 50 nm の BOX 層 2 と、厚さ $0.8 \mu\text{m}$ の n 型シリコン活性層 3 を備えた SOI 構造であって、n 型シリコン活性層 3 内には、p⁺ 型アノード領域 6-1 と n⁺ 型バッファ領域 7-1、また、n 型シリコン活性層 3 の一方端に接して n 型ウエル領域 5 が形成されている。p⁺ 型アノード領域 6-1 と n⁺ 型バッファ領域 7-1 にはアノード電極 14 が設けられ、ドレイン側には、n⁺ 型領域 13-1 とドレイン電極 13 が設けられている。

20

【0035】

n 型シリコン活性層 3 のもう一方の側にはカソードおよびゲートが形成されている。カソードは p 型ウエル領域 4、n⁺ 型エミッタ領域 8 と p⁺ 領域 9 からなる。n⁺ 型エミッタ領域 8 と p⁺ 型領域 9 表面にカソード電極 12 が設けられ、n⁺ 型エミッタ領域 8 と n 型シリコン活性層 3 とに挟まれる p 型ウエル領域 4 表面には厚さ 25 nm のゲート絶縁膜 10 を介してゲート電極 11 が形成されている。

30

【0036】

図 15-1、図 15-2 に本発明の実施例 6 にかかる製造プロセスを示す。深い n ウエル領域 5 と、厚さ 50 nm の BOX 層 2 を同時に形成するために、最初、不純物濃度 $1 \times 10^{14} \text{ cm}^{-3}$ の p 型シリコン基板 1 上に、フォトリソプロセスによりイオン注入用マスク 82 を作製し、注入エネルギー 50 keV で、リンをドーズ量 $3.5 \times 10^{11} \text{ cm}^{-2}$ 注入し領域 83 を形成する(図 15-1a)。イオン注入マスク 84 を作製し、酸素イオンを、注入エネルギー 180 keV で、ドーズ量 $5 \times 10^{17} \text{ cm}^{-2}$ 注入し領域 85 を形成する(図 15-1b)。これを、温度 1350 程度で 2 時間程度熱処理して、表面濃度が $2 \times 10^{15} \text{ cm}^{-3}$ で、X_j(接合)の深さが $14.5 \mu\text{m}$ の n ウエル領域 5 と、深さ $0.3 \mu\text{m}$ の位置で厚さ $50 \mu\text{m}$ の BOX 層 2 とを同時に形成する。(図 15-1c)

40

フォトリソプロセスにより図示しないイオン注入用マスクを作製し、注入エネルギー 160 keV で、後述の n 領域 15 の相当部分にリンをドーズ量 $8 \times 10^{12} \text{ cm}^{-2}$ 注入し、続けて n 領域 16 の相当部分に追加で、さらにリンをドーズ量 $4 \times 10^{12} \text{ cm}^{-2}$ 注入する。エピタキシャル成長法を用いて基板温度 900°C で不純物濃度が $1 \times 10^{14} \text{ cm}^{-3}$ の p 型シリコン 1-1 を厚さ $0.5 \mu\text{m}$ 堆積する(図 15-1d)。マスク 86 を形成し注入エネルギー 50 keV で、ボロンイオンをドーズ量 $3.5 \times 10^{11} \text{ cm}^{-2}$ 注入する(図 15-2e)。マスク 86 を除去し窒化膜 87 を全面に形成して 1150 で 400 分熱処理し、濃度約 $3 \times 10^{14} \text{ cm}^{-3}$ で、厚さ $0.8 \mu\text{m}$ の n 型シリコ

50

ン活性層 3 と表面濃度は $5 \times 10^{15} \text{ cm}^{-3}$ で、 X_j (接合) の深さが $7.5 \mu\text{m}$ である p ウェル領域 4 と表面濃度約 $2 \times 10^{14} \text{ cm}^{-3}$ 、 X_j (接合) の深さが約 $4.5 \mu\text{m}$ である領域 15 と表面濃度約 $3 \times 10^{14} \text{ cm}^{-3}$ 、 X_j (接合) の深さが約 $5 \mu\text{m}$ である領域 16 を形成する (図 15 - 2 f)。窒化膜 87 をパターンングして窒化膜マスク 87 を形成し、LOCOS 酸化膜 19 を厚さ $0.6 \mu\text{m}$ 形成する。続けて、一般的な半導体プロセスを用いて、図 10 に記載と同符号で示す n^+ 型エミッタ領域 8、 p^+ 型アノード領域 6 - 1、 n^+ 型パツファ領域 7 - 1、コンタクト領域 9、13 - 1、ゲート電極 11、カソード電極 12、ドレイン電極 13、アノード電極 14 等を形成する (図 15 - 2 g) と、図 11 に示す実施例 6 にかかる SOI 横型 IGBT となる。シミュレーションの結果、実施例 6 の SOI 横型 IGBT では、オン損失は $2.78 \times 10^{-6} \text{ J}$ 、ターンオフ損失は、 $1.45 \times 10^{-6} \text{ J}$ で、トータル損失は $4.23 \times 10^{-6} \text{ J}$ (駆動周波数 100 kHz での仕事率は $4.23 \times 10^{-6} \times 10^5 = 0.423 \text{ W}$) であった。また、耐圧は 672 V であった。実施例 4 と比較してスイッチング損失はそれほど変わらないが、耐圧は 12 V 改善された。

【0037】

BOX 層 2 の厚さは、この実施例 6 では 50 nm としたが、この厚さは酸素イオンの注入量や熱処理法 (SIMOX 法) により作製可能な最小値である。SIMOX 法の作製上限である数百 nm を用いることもできる。

【実施例 7】

【0038】

図 12 に本発明の実施例 7 にかかる SOI 横型 IGBT を示す。実施例 6 との違いは BOX 層 2 の下部に設けた n 型リサーフ領域の不純物濃度分布である。この実施例 7 では n 型リサーフ領域を 3 分割し、中央部のリサーフ領域 17 の表面濃度を $3 \times 10^{15} \text{ cm}^{-3}$ と高め、両端部リサーフ領域 15、16 の表面濃度を下げて $2 \times 10^{15} \text{ cm}^{-3}$ とした。 X_j はいずれも $5.5 \mu\text{m}$ である。このようなりサーフ構造は両端部の電界を強めてキャリアの排出効果をいっそう高めるものである。

【0039】

シミュレーションの結果、実施例 7 では、オン損失は $2.10 \times 10^{-6} \text{ J}$ 、ターンオフ損失は、 $1.63 \times 10^{-6} \text{ J}$ で、トータル損失は $3.73 \times 10^{-6} \text{ J}$ (駆動周波数 100 kHz での仕事率は $3.73 \times 10^{-6} \times 10^5 = 0.373 \text{ W}$) であった。また、耐圧は 641 V と実施例 4 より 19 V 低下したが、トータルスイッチング損失は、 0.373 W と実施例 4 より 13% 改善することができた。

【0040】

図 14 には、実施例 5 と実施例 7 の SOI 横型 IGBT によるターンオフ時のスイッチング波形を示す。電圧波形 (a) の立ち上がりの形状は、実施例 5 とほぼ同じであるが、電流波形 (b) のテール部分が実施例 5 と比べて短くなり、その分損失が改善された。本実施例 7 では、電流の立ち下がり開始は遅くなっているが、電圧と電流の積である損失が、電流波形 (b) のテール部分の短縮で低減されている。このように、 n 型リサーフ領域の濃度に分布をつけることでスイッチング損失の低減がいっそう可能であることが分かる。

【0041】

以上説明した実施例はいずれも、 p 型ウェル領域 4 は、BOX 層 2、2 - 1 とは離れて形成されているが BOX 層 2、2 - 1 と接し形成しても構わない。 p ウェル領域 4 と BOX 層 2、2 - 1 とが接している場合は、BOX 層 2、2 - 1 の下に IGBT と並列に MOSFET が形成されないため、上記の実施例 4 ~ 7 に比べオン抵抗が若干高くなる。 p 型ウェル領域 4 と BOX 層 2、2 - 1 を離して形成する場合は、 p 型ウェル領域 4 と BOX 層 2、2 - 1 との距離は、オン時に、 p^+ 型アノード領域 6 から n 型シリコン活性層 3 に注入されるホールが基板 1 へ漏れない範囲の距離とすればよい。ゲート電極 11 の直下まで BOX 層 2、2 - 1 が形成されていれば確実にホールが基板 1 へ漏れることを防ぐことができる。また、以上説明した実施例では、 p 型ウェル領域 4 は、BOX 層 2、2 - 1 よ

10

20

30

40

50

り浅くても構わない。

【0042】

また、実施例4～7において、BOX層2を実施例3(図6)のBOX層2-1のように、n型ウェル領域5と離して形成してもよい。

BOX層2、2-1の厚さは、実施例ではいずれも50nm、すなわち、現状で酸素イオンの注入量や熱処理法により作製可能な最小値となっているが、SIMOX法の作製上限である数百nmとしてもよい。

【0043】

また、以上説明した実施例では、いずれも第1導電型としてp型シリコン、第2導電型としてn型シリコンを用いたが、p型とn型を入れ替えることもできる。また、半導体結晶であればシリコン、SiC、ダイヤモンド等を問わない。

10

【図面の簡単な説明】

【0044】

【図1】本発明の実施例1にかかるSOI横型IGBTの縦断面図、

【図2-1】本発明の実施例1のSOI横型IGBTの製造方法にかかるウエハ工程における各工程段階のウエハの縦断面図、

【図2-2】本発明の実施例1のSOI横型IGBTの製造方法にかかるウエハ工程における各工程段階のウエハの縦断面図、

【図3】従来の横型IGBTの半導体基板の要部縦断面図、

【図4】スイッチング時の過渡特性シミュレーションによるホール密度分布図、

20

【図5】本発明の実施例2にかかるSOI横型IGBTの縦断面図、

【図6】本発明の実施例3にかかるSOI横型IGBTの縦断面図、

【図7】本発明の実施例4にかかるSOI横型IGBTの製造方法にかかるウエハ工程における各工程段階のウエハの縦断面図、

【図8-1】実施例4のSOI横型IGBTの製造方法にかかるウエハ工程における各工程段階のウエハの縦断面図、

【図8-2】実施例4のSOI横型IGBTの製造方法にかかるウエハ工程における各工程段階のウエハの縦断面図、

【図9】従来のSOI横型IGBTの縦断面図、

【図10】本発明の実施例5にかかるSOI横型IGBTの縦断面図、

30

【図11】本発明の実施例6にかかるSOI横型IGBTの縦断面図、

【図12】本発明の実施例7にかかるSOI横型IGBTの縦断面図、

【図13】従来の特許文献1に記載のSOI半導体装置の縦断面図、

【図14】本発明と従来のIGBTにおけるスイッチング時の電圧波形図、

【図15-1】本発明の実施例6にかかるSOI横型IGBTの製造方法にかかるウエハ工程における各工程段階のウエハの縦断面図、

【図15-2】本発明の実施例6にかかるSOI横型IGBTの製造方法にかかるウエハ工程における各工程段階のウエハの縦断面図、

【符号の説明】

【0045】

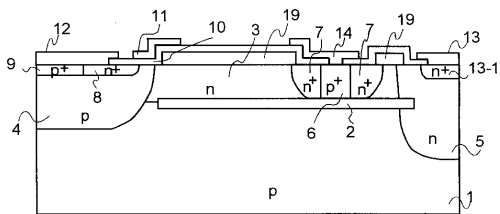
40

- 1 第1導電型の半導体基板、p型シリコン基板
- 2 埋め込み絶縁膜、BOX層
- 3 第2導電型の高抵抗活性層、n型シリコン活性層
- 4 第1導電型第1半導体領域、p型ウェル領域
- 5 第2導電型第1半導体領域、n型ウェル領域
- 6 第1導電型第2半導体領域、p⁺型アノード領域
- 7 第2導電型パツファ領域、n⁺型パツファ領域
- 8 第2導電型第2半導体領域、n⁺型エミッタ領域
- 9 p⁺領域
- 10 ゲート絶縁膜

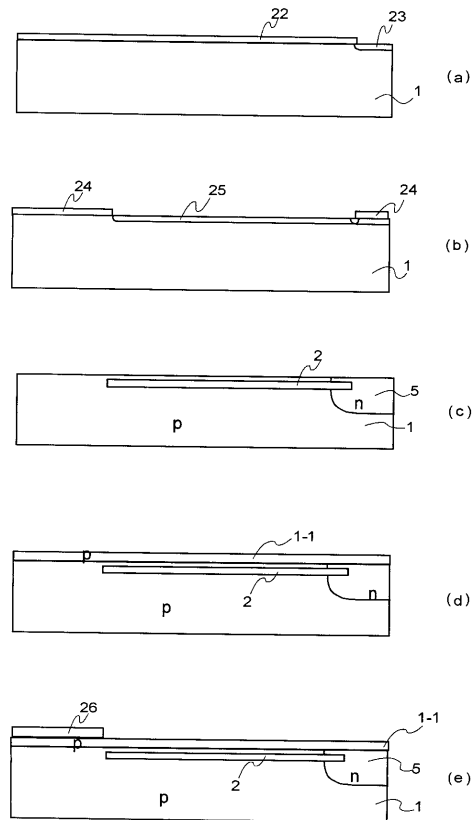
50

- 1 1 ゲート電極
- 1 2 カソード電極
- 1 3 ドレイン電極
- 1 4 アノード電極
- 1 5 n型リサーフ領域
- 1 6 n型リサーフ領域
- 1 7 n型リサーフ領域。

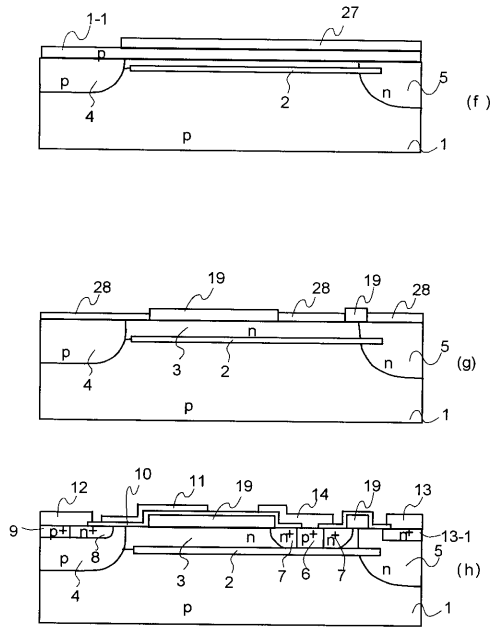
【図1】



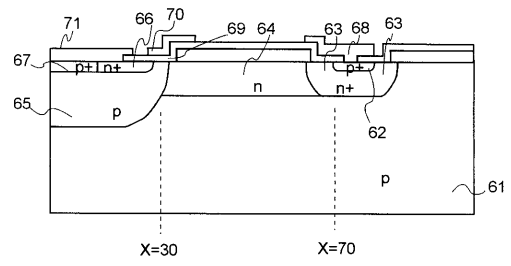
【図2-1】



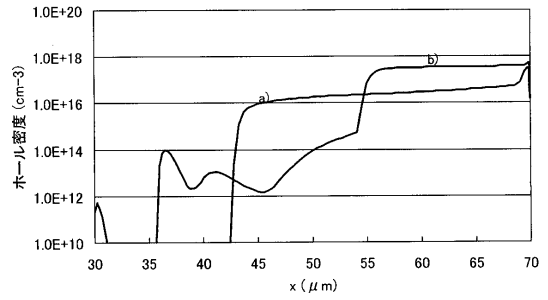
【図 2 - 2】



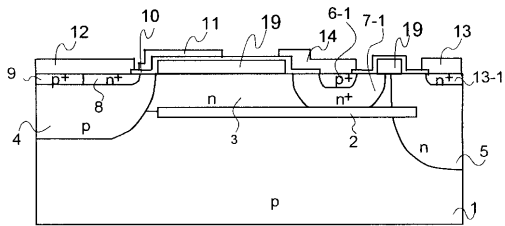
【図 3】



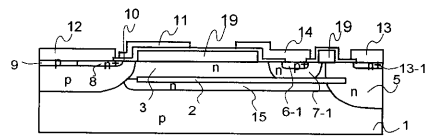
【図 4】



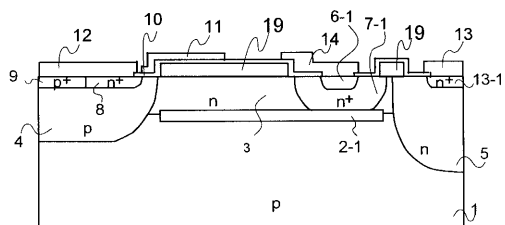
【図 5】



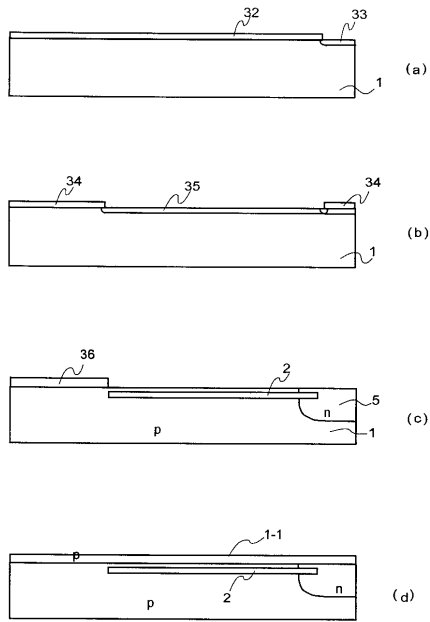
【図 7】



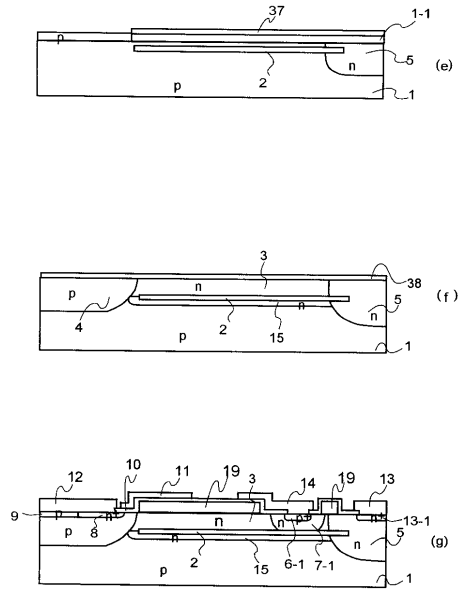
【図 6】



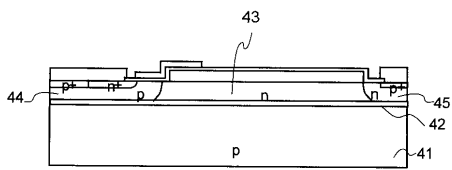
【図 8 - 1】



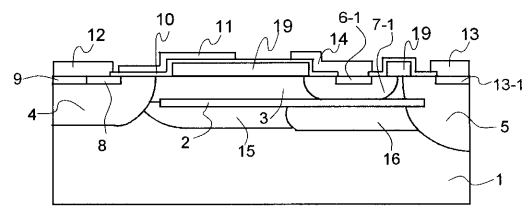
【図 8 - 2】



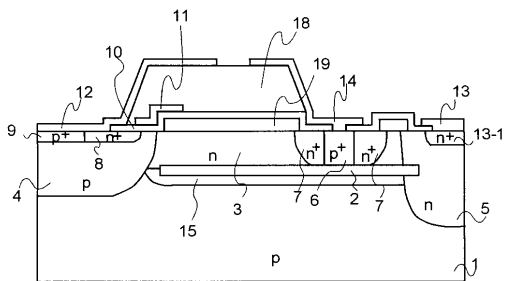
【図 9】



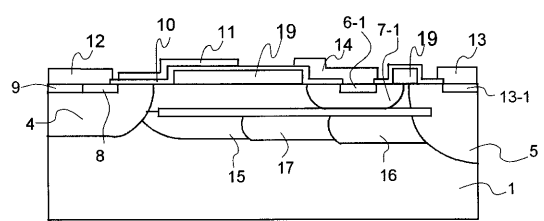
【図 11】



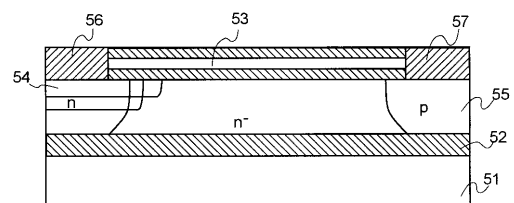
【図 10】



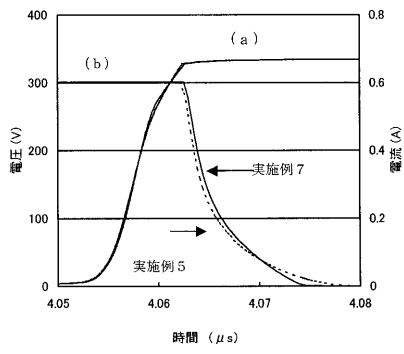
【図 12】



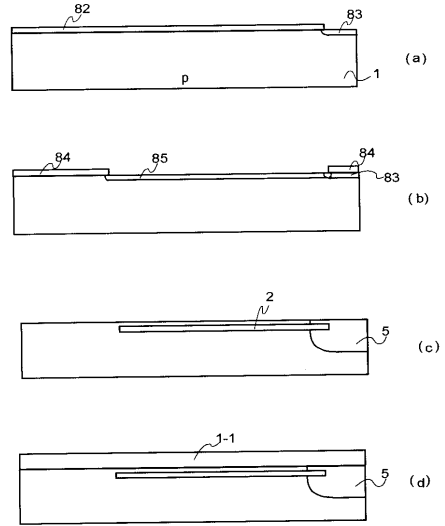
【図 13】



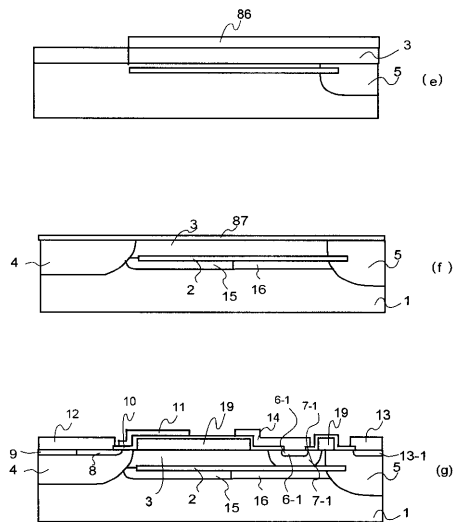
【図14】



【図15-1】



【図15-2】



フロントページの続き

審査官 小山 満

- (56)参考文献 特開平10-270693(JP,A)
特開平10-200102(JP,A)
特開平07-226511(JP,A)
特開平08-088357(JP,A)
特開2005-136208(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L 21/336
H01L 29/78
H01L 29/786