

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-234964

(P2012-234964A)

(43) 公開日 平成24年11月29日(2012.11.29)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/8242 (2006.01)	H O 1 L 27/10 6 8 1 A	5 F 0 8 3
H O 1 L 27/108 (2006.01)	H O 1 L 27/10 6 2 1 C	
	H O 1 L 27/10 6 9 1	
	H O 1 L 27/10 6 7 1 B	

審査請求 未請求 請求項の数 17 O L (全 43 頁)

(21) 出願番号	特願2011-102400 (P2011-102400)	(71) 出願人	500174247 エルピーダメモリ株式会社 東京都中央区八重洲2-2-1
(22) 出願日	平成23年4月28日 (2011. 4. 28)	(74) 代理人	100106909 弁理士 棚井 澄雄
		(74) 代理人	100108578 弁理士 高橋 詔男
		(74) 代理人	100138759 弁理士 大房 直樹
		(74) 代理人	100140774 弁理士 大浪 一徳
		(72) 発明者	大湯 静憲 東京都中央区八重洲二丁目2番1号 エル ピーダメモリ株式会社内

最終頁に続く

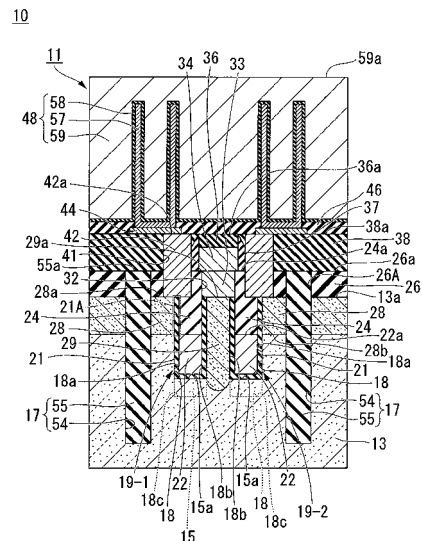
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】チャネル抵抗を減少させてオン電流を増加させることが可能で、各トランジスタを独立して安定して動作させることの可能な半導体装置を提供する。

【解決手段】ゲート電極用溝18の底部18cから突き出すように形成されたフィン部15と、ゲート電極用溝18及びフィン部15の表面を覆うゲート絶縁膜21と、ゲート電極用溝18の下部に埋め込まれ、ゲート絶縁膜21を介してフィン部15を跨ぐように形成されたゲート電極22と、第1の側面18aに配置されたゲート絶縁膜21の上部21Aを覆う第1の不純物拡散領域28と、第2の側面18bに配置されたゲート絶縁膜21の下端部以外の部分を覆う第2の不純物拡散領域29とを備え、ゲート電極用溝18の深さが半導体基板13の表層13aから150～200nmであり、ゲート電極用溝18の底部18cからフィン部15の上部15aまでの高さが10～40nmである。

【選択図】図2A



【特許請求の範囲】**【請求項 1】**

第 1 の方向に延在するように半導体基板に内設され、複数の素子形成領域を有した活性領域を区画する複数の第 1 の素子分離領域と、

前記半導体基板の表層に前記第 1 の素子分離領域及び活性領域と交差する前記第 2 の方向に延在して設けられ、互いに対向する第 1 及び第 2 の側面と底部とを有するゲート電極用溝と、

前記ゲート電極用溝のうち、前記活性領域に形成される第 1 の溝部よりも前記第 1 の素子分離領域に形成される第 2 の溝部の深さを深くするとともに、前記第 1 の溝部の前記第 2 の溝部と対向する部分の深さを当該第 2 の溝部の深さと略同一とすることによって、前記ゲート電極用溝の底部から前記活性領域の一部が突き出すように形成されたフィン部と、

10

前記ゲート電極用溝及び前記フィン部の表面を覆うゲート絶縁膜と、

前記ゲート電極用溝の下部に埋め込まれることによって、前記ゲート絶縁膜を介して前記フィン部を跨ぐように形成されたゲート電極と、

前記第 1 の側面に配置された前記ゲート絶縁膜の上部を覆うように、前記半導体基板に設けられた第 1 の不純物拡散領域と、

前記第 2 の側面に配置された前記ゲート絶縁膜の下端部以外の部分を覆うように、前記半導体基板に設けられた第 2 の不純物拡散領域と、を備え、

前記ゲート電極用溝の底部の深さが、前記半導体基板の表層から 150 ~ 200 nm であり、

20

前記ゲート電極用溝の底部から前記フィン部の上部までの高さが、10 ~ 40 nmであることを特徴とする半導体装置。

【請求項 2】

前記第 2 の不純物拡散領域の深さが、前記ゲート電極用溝の底部よりも浅く、前記フィン部の上部よりも深いことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 2 の側面が対向するように、前記ゲート電極用溝を 2 つ設け、

前記第 2 の不純物拡散領域を、前記半導体基板のうち、2 つの前記ゲート電極用溝の間に設けたことを特徴とする請求項 1 又は 2 に記載の半導体装置。

30

【請求項 4】

前記第 1 の不純物拡散領域の深さが、前記ゲート電極の上面より 5 ~ 10 nm 浅くなるように設けられていることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の半導体装置。

【請求項 5】

前記フィン部は、上部と互いに対向する一对の側面とを有し、

前記上部が前記第 1 の方向に延在するとともに、当該上部の両端が前記第 1 の溝部における前記第 1 の側面と前記第 2 の側面とに亘って設けられており、

前記一对の側面が前記第 1 の方向と平行となるように配置されていることを特徴とする請求項 1 乃至 4 のいずれか一項に記載の半導体装置。

40

【請求項 6】

前記第 1 の方向と交差する第 2 の方向に延在するように前記半導体基板に内設され、前記活性領域を複数の前記素子形成領域に区画する複数の第 2 の素子分離領域と、を備えることを特徴とする請求項 1 乃至 5 のいずれか一項に記載の半導体装置。

【請求項 7】

前記第 2 の不純物拡散領域と電氣的に接続され、かつ前記ゲート電極と交差する方向に延在するビット線を設けたことを特徴とする請求項 1 乃至 6 のいずれか一項に記載の半導体装置。

【請求項 8】

前記埋め込み絶縁膜上に設けられた層間絶縁膜と、

50

前記第 1 の不純物拡散領域の上面と接触するように、前記埋め込み絶縁膜及び前記層間絶縁膜に内設されたコンタクトプラグと、

前記層間絶縁膜上に設けられ、前記コンタクトプラグの上面と接触する容量コンタクトパッドと、

前記容量コンタクトパッド上に設けられたキャパシタと、

を備えることを特徴とする請求項 1 乃至 7 のいずれか一項に記載の半導体装置。

【請求項 9】

半導体基板と、

第 1 の方向に延在するように前記半導体基板に内設され、複数の素子形成領域を有した活性領域を区画する複数の第 1 の素子分離領域と、

前記第 1 の方向と交差する第 2 の方向に延在するように前記半導体基板に内設され、前記活性領域を複数の前記素子形成領域に区画する複数の第 2 の素子分離領域と、

隣接する前記第 2 の素子分離領域の間に、前記半導体基板の表層に前記第 1 の素子分離領域及び活性領域と交差する前記第 2 の方向に延在して設けられ、互いに対向する第 1 及び第 2 の側面と底部とを有する一対のゲート電極用溝と、

前記ゲート電極用溝のうち、前記活性領域に形成される第 1 の溝部よりも前記第 1 の素子分離領域に形成される第 2 の溝部の深さを深くするとともに、前記第 1 の溝部の前記第 2 の溝部と対向する部分の深さを当該第 2 の溝部の深さと略同一とすることによって、前記ゲート電極用溝の底部から前記活性領域の一部が突き出すように形成されたフィン部と

、前記ゲート電極用溝及び前記フィン部の表面を覆うゲート絶縁膜と、

一対の前記ゲート電極用溝の下部に埋め込まれることによって、前記ゲート絶縁膜を介して前記フィン部を跨ぐように形成された一対のゲート電極と、

前記第 2 の素子分離領域と前記ゲート電極用溝との間の前記半導体基板の上面に設けられ、キャパシタに接続される 2 つの第 1 の不純物拡散領域と、

前記第 2 の側面同士が対向するように配置された一対の前記ゲート電極用溝の間の前記半導体基板に設けられ、ビット線に接続される 1 つの第 2 の不純物拡散領域と、を備え、

前記素子形成領域は、前記第 2 の不純物拡散領域を共有するとともに、一方の前記ゲート電極及びフィン部と一方の前記第 1 の不純物拡散領域とから少なくとも構成される第 1 のトランジスタと、他方の前記ゲート電極及びフィン部と他方の前記第 1 の不純物拡散領域とから少なくとも構成される第 2 のトランジスタと、を有し、

前記ゲート電極用溝の底部の深さが、前記半導体基板の表層から 150 ~ 200 nm であり、

前記ゲート電極用溝の底部から前記フィン部の上部までの高さが、10 ~ 40 nmであることを特徴とする半導体装置。

【請求項 10】

前記第 2 の不純物拡散領域の深さが、前記ゲート電極用溝の底部よりも浅く、前記フィン部の上部よりも深いことを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】

前記半導体基板のうち、前記第 2 の側面と接する部分であって、前記第 2 の不純物拡散領域と接する部分は、前記第 1 及び第 2 のトランジスタのチャネル領域とならないことを特徴とする請求項 9 又は 10 に記載の半導体装置。

【請求項 12】

前記半導体基板のうち、前記第 1 の不純物拡散領域の底面より下方に位置し、かつ前記第 1 の側面と接する部分と、

前記ゲート電極用溝の底部と接する部分と、

前記第 2 の側面と接する部分であって、前記第 2 の不純物拡散領域と接しない部分と、

前記フィン部と、が前記第 1 及び第 2 のトランジスタのチャネル領域となることを特徴とする請求項 9 乃至 11 のいずれか一項に記載の半導体装置。

【請求項 13】

前記ゲート絶縁膜の厚さが、シリコン酸化膜換算で4～6nmの範囲であり、
前記ゲート電極の仕事関数が、4.6～4.8eVの範囲であり、
前記第1及び第2のトランジスタの一方又は両方の閾値電圧が、0.8～1.0Vであることを特徴とする請求項9乃至12のいずれか一項に記載の半導体装置。

【請求項14】

半導体基板に、第1の方向に延在する複数の第1の素子分離用溝を形成し、前記第1の素子分離用溝を第1の素子分離用絶縁膜で埋め込むことにより、複数の素子形成領域を有した活性領域を区画する複数の第1の素子分離領域を形成する工程と、

前記半導体基板に、前記第1の方向と交差する第2の方向に延在する複数の第2の素子分離用溝を形成し、前記第2の素子分離用溝を第2の素子分離用絶縁膜で埋め込むことにより、複数の前記素子形成領域を区画する複数の第2の素子分離領域を形成する工程と、

隣接する前記第2の素子分離領域の間に、前記半導体基板に前記第1の素子分離領域及び活性領域と交差する前記第2の方向に延在する一対のゲート電極用溝を、前記ゲート電極用溝がそれぞれ有する、互いに対向する第1及び第2の側面のうち、前記第2の側面同士が互いに対向するように形成するとともに、当該ゲート電極用溝の底部から前記活性領域の一部が突き出すようにフィン部を形成する工程と、

前記ゲート電極用溝及び前記フィン部の表面を覆うゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜を介して、前記ゲート電極用溝の下部を埋め込むとともに前記フィン部を跨ぐようにゲート電極を形成する工程と、

前記ゲート電極の上面を覆うと共に、前記ゲート電極用溝を埋め込むように埋め込み絶縁膜を形成する工程と、

前記第2の素子分離領域と前記ゲート電極用溝との間の前記半導体基板の上面に、前記第1の側面に配置された前記ゲート絶縁膜の上部を覆うように一対の第1の不純物拡散領域を形成する工程と、

前記第2の側面同士が対向するように形成された一対の前記ゲート電極用溝の間の前記半導体基板に、当該半導体基板とは異なる導電型の不純物を選択的にイオン注入して第2の不純物拡散領域を形成する工程と、を備え、

前記ゲート電極用溝の底部の深さが、前記半導体基板の表層から150～200nmの範囲となるように形成し、

前記ゲート電極用溝の底部から前記フィン部の上部までの高さが、10～40nmの範囲となるように形成することを特徴とする半導体装置の製造方法。

【請求項15】

前記第2の不純物拡散領域の深さが、前記ゲート電極用溝の底部よりも浅く、前記フィン部の上部よりも深く形成することを特徴とする請求項14に記載の半導体装置。

【請求項16】

前記半導体基板のうち、一対の前記ゲート電極用溝の間に配置された部分に形成された前記第2の不純物拡散領域の上方に、前記ゲート電極と交差する方向に延在し、かつ前記第2の不純物拡散領域と電気的に接続されたビット線を形成する工程を備えることを特徴とする請求項14又は15に記載の半導体装置の製造方法。

【請求項17】

前記埋め込み絶縁膜上に層間絶縁膜を形成する工程と、

前記埋め込み絶縁膜及び前記層間絶縁膜に、前記第2の不純物拡散領域の上面と接触するコンタクトプラグを形成する工程と、

前記層間絶縁膜上に設けられ、前記コンタクトプラグの上面と接触する容量コンタクトパッドを形成する工程と、

前記容量コンタクトパッド上にキャパシタを形成する工程と、をさらに備えることを特徴とする請求項14乃至16のいずれか一項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は、半導体装置及びその製造方法に関する。

【背景技術】

【0002】

近年、DRAM (Dynamic Random Access Memory) 等の半導体装置の微細化が進められている。これにより、トランジスタのゲート長を短くした場合、トランジスタの短チャネル効果が顕著となり、サブスレッショルド電流が増大して、トランジスタの閾値電圧 (V_t) が低下するという問題が発生する。

また、トランジスタの閾値電圧 (V_t) の低下を抑制するために、半導体基板の不純物濃度を増加させた場合、接合リーク電流が増大してしまう。

そのため、半導体装置としてDRAM (Dynamic Random Access Memory) を用いて、DRAMのメモリセルを微細化した場合、リフレッシュ特性の悪化が深刻な問題となる。

10

【0003】

このような問題を回避するための構造として、特許文献1, 2には、半導体基板の主面に形成した溝にゲート電極を埋め込む、いわゆるトレンチゲート型トランジスタ (「リセスチャネルトランジスタ」ともいう) が開示されている。

トランジスタをトレンチゲート型トランジスタとすることにより、有効チャネル長 (ゲート長) を物理的かつ十分に確保することが可能となり、最小加工寸法が60nm以下の微細なセルを有したDRAMが実現可能となる。

【0004】

20

また、特許文献2には、半導体基板に隣り合うように形成された2つの溝と、該溝のそれぞれにゲート絶縁膜を介して形成されたゲート電極と、2つのゲート電極間に位置する半導体基板の主面に形成され、2つのゲート電極に対して共通の不純物拡散領域である第1の不純物拡散領域と、2つのゲート電極の素子分離領域側に位置する半導体基板の主面に形成された第2の不純物拡散領域と、を備えたDRAMが開示されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2006-339476号公報

【特許文献2】特開2007-081095号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0006】

上記特許文献1, 2に記載されたトレンチゲート型トランジスタを有するDRAMでは、上記トランジスタのチャネル領域がトレンチの両側面及び底面の3面に形成される構成となっている。

発明者は、上記構成のトランジスタの微細化をさらに進めると、トランジスタのオン電流が充分確保できず、DRAMの正常動作が困難となる知見を得た。これは、上述のように、トランジスタのチャネル領域がトレンチを構成する3面に形成されるためにチャネル抵抗が高くなることに起因している。

40

【0007】

また、トレンチゲートの配設ピッチが狭くなると、あるトランジスタを動作させた際、その動作状態が該トランジスタに隣接する他のトランジスタに干渉してしまい、独立してトランジスタを動作させることができないという問題も明らかとなった。

この問題も隣接するトレンチゲートの間にチャネル領域が形成されることが悪影響を及ぼしていると推察される。

【0008】

さらに、トレンチゲート型トランジスタでは、ゲート電極が半導体基板の表面よりも上方に突き出して形成されるため、突き出したゲート電極自体が、後の工程で形成されるべきビット配線やキャパシタの形成を著しく困難にし、DRAMの製造自体が困難になると

50

いう問題も発生する。

したがって、トレンチを利用するトランジスタを備えたDRAMであっても、トランジスタのオン電流を充分確保すると共に隣接トランジスタの動作干渉を回避し、製造の困難性を解消する半導体装置、とその製造方法が望まれる。

【課題を解決するための手段】

【0009】

本発明の一観点によれば、第1の方向に延在するように半導体基板に内設され、複数の素子形成領域を有した活性領域を区画する複数の第1の素子分離領域と、前記半導体基板の表層に前記第1の素子分離領域及び活性領域と交差する前記第2の方向に延在して設けられ、互いに対向する第1及び第2の側面と底部とを有するゲート電極用溝と、前記ゲート電極用溝のうち、前記活性領域に形成される第1の溝部よりも前記第1の素子分離領域に形成される第2の溝部の深さを深くするとともに、前記第1の溝部の前記第2の溝部と対向する部分の深さを当該第2の溝部の深さと略同一とすることによって、前記ゲート電極用溝の底部から前記活性領域の一部が突き出すように形成されたフィン部と、前記ゲート電極用溝及び前記フィン部の表面を覆うゲート絶縁膜と、前記ゲート電極用溝の下部に埋め込まれることによって、前記ゲート絶縁膜を介して前記フィン部を跨ぐように形成されたゲート電極と、前記第1の側面に配置された前記ゲート絶縁膜の上部を覆うように、前記半導体基板に設けられた第1の不純物拡散領域と、前記第2の側面に配置された前記ゲート絶縁膜の下端部以外の部分を覆うように、前記半導体基板に設けられた第2の不純物拡散領域と、を備え、前記ゲート電極用溝の底部の深さが、前記半導体基板の表層から150～200nmであり、前記ゲート電極用溝の底部から前記フィン部の上部までの高さが、10～40nmであることを特徴とする半導体装置が提供される。

10

20

【発明の効果】

【0010】

本発明の半導体装置によれば、半導体基板に、第1の側面に配置されたゲート絶縁膜の上部を覆う第1の不純物拡散領域と、少なくとも第2の側面に配置されたゲート絶縁膜を覆う第2の不純物拡散領域と、を設けるとともに、ゲート電極用溝の底部から前記活性領域の一部が突き出すように形成されたフィン部を設けることにより、ゲート電極用溝の底部及び第1の側面の下部の2面と、上記フィン部とにチャネル領域が形成されるため、ゲート電極用溝の底面及び対向する側面の3面にチャネル領域が形成される従来の半導体装置と比較して、チャネル抵抗を低くすることが可能となる。これにより、トランジスタのオン電流を充分確保することができる。

30

【0011】

また、ゲート電極用溝の第2の側面側に、ゲート電極用溝を設け、該ゲート電極用溝に他のトランジスタを隣接して配置することで、ゲート電極用溝間にチャネル領域が形成されることがない。これにより、ゲート電極用溝の配設ピッチを狭くした場合において、あるトランジスタを動作させた際、その動作状態が該トランジスタに隣接する他のトランジスタに干渉することがなくなるため、独立して各トランジスタを動作させることができる。

40

【0012】

また、ゲート絶縁膜を介して、ゲート電極用溝の下部を埋め込むとともにフィン部を跨ぐように配置されたゲート電極と、ゲート電極用溝を埋め込むように配置され、ゲート電極の上面を覆う埋め込み絶縁膜と、を設けることにより、ゲート電極が半導体基板の表面よりも上方に突出することがなくなる。これにより、例えば、半導体装置としてDRAMを用いた場合、後の工程で形成されるビット線やキャパシタの形成を容易に行なうことが可能となるので、半導体装置を容易に製造できる。

【図面の簡単な説明】

【0013】

【図1】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの概略平面図である。

50

【図 2 A】図 1 に示すメモリセルアレイの A - A 線方向の断面図である。

【図 2 B】図 1 に示すメモリセルアレイの B - B 線方向の断面図である。

【図 2 C】本発明を適用した実施形態である半導体装置におけるゲート電極溝に設けられたフィン部の断面構造を説明するための斜視図である。

【図 3 A】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その 1）であり、メモリセルアレイが形成される領域の平面図である。

【図 3 B】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その 1）であり、図 3 A に示す構造体の A - A 線方向の断面図である。

【図 3 C】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その 1）であり、図 3 A に示す構造体の B - B 線方向の断面図である。

【図 3 D】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その 1）であり、図 3 A に示す構造体の C - C 線方向の断面図である。

【図 4 A】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その 2）であり、メモリセルアレイが形成される領域の平面図である。

【図 4 B】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その 2）であり、図 4 A に示す構造体の A - A 線方向の断面図である。

【図 4 C】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その 2）であり、図 4 A に示す構造体の B - B 線方向の断面図である。

【図 4 D】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その 2）であり、図 4 A に示す構造体の C - C 線方向の断面図である。

【図 5 A】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その 3）であり、メモリセルアレイが形成される領域の平面図である。

【図 5 B】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その 3）であり、図 5 A に示す構造体の A - A 線方向の断面図である。

【図 5 C】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その 3）であり、図 5 A に示す構造体の B - B 線方向の断面図である。

【図 5 D】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その 3）であり、図 5 A に示す構造体の C - C 線方向の断面図である。

【図 6 A】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その 4）であり、メモリセルアレイが形成される領域の平面図である。

【図 6 B】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その 4）であり、図 6 A に示す構造体の A - A 線方向の断面図である。

【図 6 C】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その 4）であり、図 6 A に示す構造体の B - B 線方向の断面図である。

【図 6 D】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの

10

20

30

40

50

製造工程を示す図（その４）であり、図６Ａに示す構造体のＣ－Ｃ線方向の断面図である。

【図７Ａ】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その５）であり、メモリセルアレイが形成される領域の平面図である。

【図７Ｂ】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その５）であり、図７Ａに示す構造体のＡ－Ａ線方向の断面図である。

【図７Ｃ】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その５）であり、図７Ａに示す構造体のＢ－Ｂ線方向の断面図である。

【図７Ｄ】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その５）であり、図７Ａに示す構造体のＣ－Ｃ線方向の断面図である。

【図８Ａ】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その６）であり、メモリセルアレイが形成される領域の平面図である。

【図８Ｂ】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その６）であり、図８Ａに示す構造体のＡ－Ａ線方向の断面図である。

【図８Ｃ】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その６）であり、図８Ａに示す構造体のＢ－Ｂ線方向の断面図である。

【図８Ｄ】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その６）であり、図８Ａに示す構造体のＣ－Ｃ線方向の断面図である。

【図９Ａ】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その７）であり、メモリセルアレイが形成される領域の平面図である。

【図９Ｂ】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その７）であり、図９Ａに示す構造体のＡ－Ａ線方向の断面図である。

【図９Ｃ】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その７）であり、図９Ａに示す構造体のＢ－Ｂ線方向の断面図である。

【図９Ｄ】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その７）であり、図９Ａに示す構造体のＣ－Ｃ線方向の断面図である。

【図１０Ａ】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その８）であり、メモリセルアレイが形成される領域の平面図である。

【図１０Ｂ】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その８）であり、図１０Ａに示す構造体のＡ－Ａ線方向の断面図である。

【図１０Ｃ】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その８）であり、図１０Ａに示す構造体のＢ－Ｂ線方向の断面図である。

【図１１Ａ】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その９）であり、メモリセルアレイが形成される領域の平面図である。

10

20

30

40

50

【図 1 1 B】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その 9）であり、図 1 1 A に示す構造体の A - A 線方向の断面図である。

【図 1 1 C】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その 9）であり、図 1 1 A に示す構造体の B - B 線方向の断面図である。

【図 1 2 A】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その 10）であり、メモリセルアレイが形成される領域の平面図である。

【図 1 2 B】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その 10）であり、図 1 2 A に示す構造体の A - A 線方向の断面図である。

【図 1 2 C】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その 10）であり、図 1 2 A に示す構造体の B - B 線方向の断面図である。

【図 1 3 A】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その 11）であり、メモリセルアレイが形成される領域の平面図である。

【図 1 3 B】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その 11）であり、図 1 3 A に示す構造体の A - A 線方向の断面図である。

【図 1 3 C】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その 11）であり、図 1 3 A に示す構造体の B - B 線方向の断面図である。

【図 1 4 A】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その 12）であり、図 2 A の切断面に対応する断面図である。

【図 1 4 B】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その 12）であり、図 2 B の切断面に対応する断面図である。

【図 1 5 A】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その 13）であり、図 2 A の切断面に対応する断面図である。

【図 1 5 B】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その 13）であり、図 2 B の切断面に対応する断面図である。

【図 1 6 A】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その 14）であり、図 2 A の切断面に対応する断面図である。

【図 1 6 B】本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの製造工程を示す図（その 14）であり、図 2 B の切断面に対応する断面図である。

【図 1 7】本発明を適用した実施形態である半導体装置に適用可能なメモリセルアレイのレイアウトの他の例を示す平面図である。

【図 1 8】本発明を適用した実施形態である半導体装置におけるフィン部の高さとの関係を示す図である。

【図 1 9】本発明を適用した実施形態である半導体装置における第 2 の不純物拡散領域の深さとの関係を示す図である。

【図 2 0】本発明を適用した実施形態である半導体装置における各不純物拡散領域の接合位置を説明するための関係図である。

【図 2 1】従来の D R A M のレイアウトの一例を示す平面図である。

【図 2 2】図 2 1 に示す D R A M の Z - Z 線方向の断面図である。

【発明を実施するための形態】

【0014】

ところで、発明者は、D R A M (Dynamic Random Access Memory) のメモリセルを微細化していくと、一つの活性領域内に設けられて隣接する 2 つのセルの間隔が縮小される結

10

20

30

40

50

果、一方のセルがデータ「0」を蓄積し、他方のセルがデータ「1」を蓄積している場合であって、かつデータ「0」のセルへのアクセスが連続して行われた場合において、データ「1」のセルの蓄積データが破壊するという隣接セル間のディスタープ不良（以下、単に「ディスタープ不良」という）が発生することを新たに知見した。このディスタープ不良は、半導体装置の信頼性を損ねる原因となる問題がある。

【0015】

図21は、従来のDRAMのレイアウトの一例を示す平面図であり、図22は、図21に示すDRAMのZ-Z線方向の断面図である。

【0016】

次に、図21及び図22を参照して、前述のディスタープ不良について、発明者が得た知見を説明する。

10

図21を参照するに、半導体基板301の表面には、規則的に配列された複数の活性領域302が設けられている。個々の活性領域302は、半導体基板301の表面に形成された溝を絶縁膜で埋設する素子分離領域303に囲まれている。活性領域302と交差するY方向には、Y方向に延在する複数のワード線WLが配置されている。

【0017】

図22を参照するに、ワード線WL1, WL2は、半導体基板301の表面に複数の活性領域302及び素子分離領域303に跨って設けられる溝内に、ゲート絶縁膜305を介して埋め込んで形成されている。

ワード線WL1, WL2の上面には、キャップ絶縁膜306が溝に埋め込まれて形成されている。一つの活性領域302には、ワード線WL1及びワード線WL2よりなる二つのワード線が交差して設けられている。

20

【0018】

二つのワード線WL1及びWL2は、各々対応する二つのトランジスタTr1, Tr2のゲート電極を構成している。トランジスタTr1は、ワード線WL1からなるゲート電極の他、ドレイン拡散層307及びソース拡散層308で構成されている。また、トランジスタTr2は、ワード線WL2からなるゲート電極の他、ドレイン拡散層312及びソース拡散層308で構成されている。ソース拡散層308は、トランジスタTr1, Tr2に共通し、ビット線コンタクト311においてビット線BLに接続されている。

30

【0019】

一方、各々のドレイン拡散層307, 312は、層間絶縁膜309に形成された容量コンタクトプラグ310を介して、下部電極313, 314（ストレージノード）にそれぞれ接続されている。

下部電極313, 314は、図示しない容量絶縁膜及び上部電極と共にそれぞれ容量素子316, 317を構成している。ワード線WL1, WL2が埋め込まれた溝の底面及び対向する二つの側面に対応する半導体基板301の表面がトランジスタTr1, Tr2のチャネルとなる。

【0020】

例えば、ワード線WL1をオン状態としてトランジスタTr1のチャネルを形成し、ビット線319にLow（L）レベルの電位を与えれば、下部電極313は「L」の状態となり、その後、ワード線WL1をオフ状態とすることにより、下部電極313にはL（データ「0」）の情報が蓄積される。

40

【0021】

また、例えば、ワード線WL2をオン状態としてトランジスタTr2のチャネルを形成し、ビット線319にHigh（H）レベルの電位を与えれば、下部電極314はH状態となり、その後、ワード線WL2をオフ状態とすることにより下部電極314にはH（データ「1」）の情報が蓄積される。

【0022】

このような動作状態に基き、下部電極313に「L」を蓄積させ、下部電極314に「

50

H」を蓄積させた状態を形成する。この状態でL側の下部電極313に対応するワード線WL1のオン/オフを繰り返す(同じワード線WL1を用いる他の活性領域のセル動作に相当する)。

【0023】

その結果、トランジスタTr1のチャンネルに誘起された電子「e⁻」が隣接するドレイン拡散層312に到達し、下部電極314に蓄積されている「H」情報を破壊して「L」状態に変化させてしまう。

すなわちデータ「1」がデータ「0」に変化するモードの不良が発生する。この不良は、ワード線WL1のオン/オフ回数に依存し、例えば、オン/オフ回数を1万回繰り返すと複数のセルの内、1個のセルが破壊され、10万回では10個のセルが破壊される頻度で発生する。

【0024】

隣接セルは、本来各々独立して情報を保持しなければならないが、隣接する一方のセルの動作状態により他の一方のセルの蓄積状態が変化するディスタープ不良が発生すると半導体装置(DRAM)の正常動作が阻害され信頼性を損ねる問題となる。

【0025】

このディスタープ不良は、セルサイズが大きい場合、すなわち図21に示すように最小加工寸法Fで規定されるワード線WL1とワード線WL2との間隔Lが70nmの時には問題とならなかった。

しかし、メモリセルが縮小され、ワード線WL1とワード線WL2との間隔が50nmより小さくなると、顕在化してきた。さらに小さくなると、より大きな問題となる。

【0026】

以下、図面を参照して本発明を適用した実施の形態について詳細に説明する。なお、以下の説明で用いる図面は、本発明の実施形態の構成を説明するためのものであり、図示される各部の大きさや厚さや寸法等は、実際の半導体装置の寸法関係とは異なる場合がある。

【0027】

(半導体装置)

図1は、本発明を適用した実施形態である半導体装置に設けられたメモリセルアレイの概略平面図である。図2Aは、図1に示すメモリセルアレイのA-A線方向の断面図である。図2Bは、図1に示すメモリセルアレイのB-B線方向の断面図である。図2Cは、本実施形態の半導体装置におけるゲート電極溝に設けられたフィン部の断面構造を説明するための斜視図である。

図1、図2A及び図2Bでは、本発明を適用した実施形態である半導体装置10の一例としてDRAM(Dynamic Random Access Memory)を挙げる。また、図1では、DRAMのメモリセルアレイのレイアウトの一例を図示する。

図1において、X方向は、ビット線34の延在方向を示しており、Y方向は、X方向に対して交差するゲート電極22、及び第2の素子分離領域17の延在方向(第2の方向)を示している。

【0028】

また、図1では、説明の便宜上、メモリセルアレイ11の構成要素のうち、半導体基板13、第1の素子分離領域14、活性領域16、第2の素子分離領域17、ゲート電極用溝18、ゲート電極22、ビット線34、容量コンタクトプラグ42、容量コンタクトパッド44、及び複数の素子形成領域Rのみを図示し、これら以外のメモリセルアレイ11の構成要素の図示を省略する。

また、図2Aでは、実際には、図1に示すX方向に延在するビット線34を模式的に図示する。また、図2A~図2Cにおいて、図1に示す半導体装置10と同一構成部分には同一符号を付す。

【0029】

本発明を適用した実施形態である半導体装置10は、図1、図2A及び図2Bに示すメ

10

20

30

40

50

メモリセルアレイ 11 が形成されるメモリセル領域と、メモリセル領域の周囲に配置された図示していない周辺回路領域（周辺回路が形成される領域）と、を有する。

図 1、図 2 A 及び図 2 B に示すように、半導体装置 10 に設けられたメモリセルアレイ 11 は、半導体基板 13 と、第 1 の素子分離領域 14 と、複数の素子形成領域 R を有した活性領域 16 と、第 2 の素子分離領域 17 と、ゲート電極用溝 18 と、上記ゲート電極用溝 18 の底部 18 c から活性領域 16 の一部が突き出すように形成されたフィン部 15 と、第 1 及び第 2 のトランジスタ 19 - 1, 19 - 2 と、ゲート絶縁膜 21 と、埋め込み型ゲート電極であるゲート電極 22 と、埋め込み絶縁膜 24 と、マスク絶縁膜 26 と、第 1 の不純物拡散領域 28 と、第 2 の不純物拡散領域 29 と、開口部 32 と、ビット線コンタクトプラグ 33 と、ビット線 34 と、キャップ絶縁膜 36 と、サイドウォール膜 37 と、層間絶縁膜 38 と、コンタクト孔 41 と、容量コンタクトプラグ 42 と、容量コンタクトパッド 44 と、シリコン窒化膜 46 と、キャパシタ 48 と、を有する。

10

【0030】

図 1、図 2 A 及び図 2 B に示すように、半導体基板 13 は、板状とされた基板である。半導体基板 13 としては、例えば、p 型の単結晶シリコン基板を用いることができる。この場合、半導体基板 13 の p 型不純物濃度は、例えば、 $1 \times 10^{16} \text{ atoms/cm}^2$ とすることができる。

図 1 に示すように、第 1 の素子分離領域 14 は、第 1 の素子分離用溝 51 と、第 1 の素子分離用絶縁膜 52 とを有する。第 1 の素子分離用溝 51 は、図 1 に示す X 方向に対して所定角度傾斜した方向（第 1 の方向）に延在するように、半導体基板 13 に形成されている。第 1 の素子分離用溝 51 は、図 1 に示す Y 方向に対して所定の間隔で複数形成されている。第 1 の素子分離用溝 51 の深さは、例えば、250 nm とすることができる。

20

【0031】

第 1 の素子分離用絶縁膜 52 は、第 1 の素子分離用溝 51 を埋め込むように配置されている。図示してはいないが、第 1 の素子分離用絶縁膜 52 の上面は、半導体基板 13 の主面 13 a に対して面一とされている。第 1 の素子分離用絶縁膜 52 としては、例えば、シリコン酸化膜（ SiO_2 膜）を用いることができる。

上記構成とされた第 1 の素子分離領域 14 は、第 2 の方向に対して帯状に延在する活性領域 16 を区画している。

【0032】

図 1、図 2 A 及び図 2 B に示すように、第 2 の素子分離領域 17 は、第 2 の素子分離用溝 54 と、第 2 の素子分離用絶縁膜 55 とを有する。第 2 の素子分離用溝 54 は、図 1 に示す Y 方向（第 2 の方向）に延在するように、半導体基板 13 に形成されている。これにより、第 2 の素子分離用溝 54 は、第 1 の素子分離領域 14 の一部を切断している。第 2 の素子分離用溝 54 は、隣り合うように配置された 2 つのゲート電極 22 を挟み込むように形成されている。

各々のゲート電極 22 は、メモリセルのワード線を構成するものである。すなわち、本実施形態のメモリセルは、Y 方向に延在する 1 本の第 2 の素子分離領域 17 と 2 本のゲート電極 22（ワード線）とが対となって、X 方向に繰り返し配置される構成となっている。

40

第 2 の素子分離用溝 54 の深さは、例えば、250 nm とすることができる。

【0033】

第 2 の素子分離用絶縁膜 55 は、第 2 の素子分離用溝 54 と、マスク絶縁膜 26 に形成された開口部 26 A とを埋め込むように配置されている。第 2 の素子分離用絶縁膜 55 の上面 55 a は、マスク絶縁膜 26 の上面 26 a に対して面一とされている。第 2 の素子分離用絶縁膜 55 としては、例えば、シリコン酸化膜（ SiO_2 膜）を用いることができる。

上記構成とされた第 2 の素子分離領域 17 は、第 2 の方向に対して複数の素子形成領域 R を区画している。

【0034】

50

このように、半導体基板 1 3 に形成された第 1 の素子分離用溝 5 1 に第 1 の素子分離用絶縁膜 5 2 を埋め込むことで構成された第 1 の素子分離領域 1 4 と、半導体基板 1 3 に形成された第 2 の素子分離用溝 5 4 に第 2 の素子分離用絶縁膜 5 5 を埋め込むことで構成された第 2 の素子分離領域 1 7 と、を設けて、活性領域 1 6 を複数の素子形成領域 R に区画することにより、第 2 の素子分離用溝 5 4 内に、ゲート絶縁膜 2 1 を介して、負の電位が付与されるダミーゲート電極（図示せず）を設けて複数の素子形成領域 R を区画した場合と比較して、ダミーゲート電極の電位が第 1 及び第 2 のトランジスタ 1 9 - 1 , 1 9 - 2 に悪影響を及ぼすことがなくなるため、第 1 及び第 2 のトランジスタ 1 9 - 1 , 1 9 - 2 を容易に On（オン）させることができると共に、メモリセルアレイ 1 1 のデータの保持特性を向上させることができる。

10

【0035】

図 1、図 2 A 及び図 2 B に示すように、ゲート電極用溝 1 8 は、2 つの第 2 の素子分離領域 1 7 間に位置する半導体基板 1 3 に、Y 方向に延在するように 2 つ（一对）設けられている。ゲート電極用溝 1 8 は、対向する第 1 及び第 2 の側面 1 8 a , 1 8 b と底部 1 8 c とからなる内面により区画されている。一对のゲート電極用溝 1 8 は、第 2 の側面 1 8 b 同士が互いに対向するように配置されている。

【0036】

図 2 B 及び図 2 C に示すように、ゲート電極用溝 1 8 は、その底部 1 8 c の深さが第 1 及び第 2 の素子分離用溝 5 1 , 5 4 の深さ（第 1 及び第 2 の素子分離領域 1 4 , 1 7 の深さ）よりも浅くなるように構成されている。第 1 及び第 2 の素子分離用溝 5 1 , 5 4 の深さが 250 nm の場合、ゲート電極用溝 1 8 の深さは、例えば、150 ~ 200 nm とすることが好ましい。

20

【0037】

図 1 及び図 2 C に示すように、ゲート電極用溝 1 8 は、第 1 の素子分離領域 1 4 及び活性領域 1 6 を横切るように延在して設けられている。すなわち、ゲート電極用溝 1 8 は、活性領域 1 6 に形成される第 1 の溝部 1 8 A と、第 1 の素子分離領域 1 4 に形成される第 2 の溝部 1 8 B とが連続して構成されている。

図 2 B 及び図 2 C に示すように、ゲート電極用溝 1 8 のうち、第 1 の素子分離領域 1 4 に形成される第 2 の溝部 1 8 B の底部が、当該ゲート電極用溝 1 8 の底部 1 8 c となっている。

30

【0038】

図 2 A 及び図 2 C に示すように、ゲート電極用溝 1 8 のうち、活性領域 1 6 に形成される第 1 の溝部 1 8 A の底部は、第 2 の溝部 1 8 B と対向する端部の深さが第 2 の溝部の底部の深さと同じ深さとされている。これに対して、第 1 の溝部 1 8 A の中央部分においては、底部から活性領域 1 6 の一部が突き出すようにフィン部 1 5 が形成されている。

【0039】

図 2 A ~ 図 2 C に示すように、フィン部 1 5 は、上部 1 5 a と互いに対向する一对の側面 1 5 b , 1 5 c とを有している。

上部 1 5 a は、活性領域 1 6 が延在する方向（第 1 の方向）に延在している。また、上部 1 5 a の延在方向における両端は、第 1 の溝部 1 8 A においてゲート電極用溝 1 8 を構成する第 1 の側面 1 8 a と第 2 の側面 1 8 b とに亘って設けられている。

40

一对の側面 1 5 b , 1 5 c は、活性領域 1 6 が延在する方向（第 1 の方向）と平行となるように配置されている。

【0040】

フィン部 1 5 の形状は、図 2 C に示すように、角が鋭角であっても良いし、丸まっても良い（鋭角とならなくても良い）。

本実施形態において、フィン部 1 5 の高さとは、図 2 C 中の符号 H に示すように、ゲート電極用溝 1 8 の底部 1 8 c の一番低いところから鉛直方向に延びた上部 1 5 a と接するところまでの高さをいう。

【0041】

50

フィン部 15 の高さ H は、ゲート電極用溝 18 の深さが 150 ~ 200 nm の場合に、10 ~ 40 nm の範囲であることが好ましい。換言すると、フィン部 15 の上部 15 a は、半導体基板 13 の表面から 100 nm 以上深い位置となることが好ましい。

フィン部 15 の高さ H が 10 nm 未満であると、S 係数 (Subthreshold Factor) が大きくなるため、OFF リーク電流が増加するため好ましくない。また、電流駆動能力が低下して書き込み特性が劣化してしまうために好ましくない。一方、フィン部 15 の高さ H が 40 nm を超えると、上述したディスタブ不良の抑制が不十分になるというために好ましくない。

これに対して、フィン部 15 の高さ H が上記範囲内であると、ディスタブ不良を十分に抑制しつつ、OFF リーク電流の増加を抑制及び書き込み特性を向上することができる。すなわち、フィン部の高さに対してトレードオフの関係にあった上記特性のいずれも満たすことが可能となる (図 18 を参照)。

10

【0042】

図 2 A ~ 図 2 C を参照するに、第 1 及び第 2 のトランジスタ 19 - 1, 19 - 2 は、トレンチゲート型トランジスタであり、ゲート絶縁膜 21 と、サドルフィン型の埋め込みワード線であるゲート電極 22 と、埋め込み絶縁膜 24 と、第 1 の不純物拡散領域 28 と、第 2 の不純物拡散領域 29 と、を有する。

図 2 A 及び図 2 B に示すように、第 1 及び第 2 のトランジスタ 19 - 1, 19 - 2 は、隣接して配置されている。第 2 の不純物拡散領域 29 は、第 1 及び第 2 のトランジスタ 19 - 1, 19 - 2 の共通の不純物拡散領域 (図 2 A 及び図 2 B に示す構造の場合、ドレイン領域) として機能する。

20

すなわち、第 1 のトランジスタ 19 - 1 を構成するゲート電極用溝 18 の第 2 の側面 18 b、及び第 2 のトランジスタ 19 - 2 を構成するゲート電極用溝 18 の第 2 の側面 18 b は、第 2 の不純物拡散領域 29 を介して対向する構成となっている。

【0043】

図 2 A ~ 図 2 C を参照するに、ゲート絶縁膜 21 は、各々のゲート電極用溝 18 の第 1 及び第 2 の側面 18 a, 18 b、及びゲート電極用溝 18 の底部 18 c を覆うように設けられている。また、ゲート電極用溝 18 の底部 18 c に設けられたフィン部 15 の表面 (すなわち、上部 15 a と互いに対向する一対の側面 15 b, 15 c) を覆うように設けられている。

30

ゲート絶縁膜 21 としては、例えば、単層のシリコン酸化膜 (SiO_2 膜)、シリコン酸化膜を窒化した膜 (SiON 膜)、積層されたシリコン酸化膜 (SiO_2 膜)、シリコン酸化膜 (SiO_2 膜) 上にシリコン窒化膜 (SiN 膜) を積層させた積層膜等を用いることができる。

ゲート絶縁膜 21 として単層のシリコン酸化膜 (SiO_2 膜) を用いる場合、ゲート絶縁膜 21 の厚さは、例えば、6 nm とすることができる。

【0044】

図 2 A ~ 図 2 C を参照するに、ゲート電極 22 は、OFF リーク電流の低減と書き込み特性の向上とのために、サドルフィン型の埋め込みワード線を採用している。サドルフィン型にすることで、S 係数を小さくすることができるため、OFF リーク電流を維持しながら、閾値電圧を低減することができる。また、サドルフィン型にすることで、電流駆動能力を向上することができるため、書き込み特性を向上することができる。

40

【0045】

ゲート電極 22 は、ゲート絶縁膜 21 を介して、ゲート電極用溝 18 の下部を埋め込むように配置されている。これにより、ゲート電極 22 は、ゲート絶縁膜 21 を介して、フィン部 15 を跨ぐように設けられている。また、ゲート電極 22 の上面 22 a は、半導体基板 13 の主面 13 a よりも低い位置に配置されている。ゲート電極 22 は、例えば、窒化チタン膜と、タンゲステン膜とを順次積層した積層構造とすることができる。

【0046】

本実施形態の半導体装置では、上記ゲート絶縁膜 21 の膜厚と上記ゲート電極 22 の仕

50

事関数とを調整することにより、第 1 及び第 2 のトランジスタ 19 - 1 , 19 - 2 の閾値電圧を適宜調整することができる。サドルフィン型のセルトランジスタとしては、上記閾値電圧の値を 0 . 5 ~ 1 . 0 V の範囲とすることが好ましい。ここで、上記閾値電圧の値が 0 . 5 V 未満になると、OFF リーク電流が増加して情報保持特性が劣化してしまう。一方、閾値電圧の値が 1 . 0 V を超えると、電流駆動能力が減少して情報の書き込みが不十分となり、情報保持特性が劣化してしまうために好ましくない。

具体的には、ゲート絶縁膜 21 の厚さが、シリコン酸化膜換算で 4 ~ 6 nm の範囲とし、ゲート電極 22 の仕事関数が、4 . 6 ~ 4 . 8 e V の範囲とすることにより、第 1 及び第 2 のトランジスタ 19 - 1 , 19 - 2 のいずれか一方又は両方の閾値電圧を 0 . 8 ~ 1 . 0 V とすることができる。

10

【0047】

図 2 A 及び図 2 B を参照するに、埋め込み絶縁膜 24 は、ゲート電極 22 の上面 22 a を覆うように、ゲート絶縁膜 21 が形成されたゲート電極用溝 18 を埋め込むように配置されている。

また、埋め込み絶縁膜 24 の上部は、半導体基板 13 の主面 13 a よりも突出しており、この突出した部分の上面 24 a は、マスク絶縁膜 26 の上面 26 a に対して面一とされている。埋め込み絶縁膜 24 としては、シリコン酸化膜 (Si O₂ 膜) を用いることができる。

【0048】

図 2 A 及び図 2 B を参照するに、マスク絶縁膜 26 は、第 1 の不純物拡散領域 28 の上面 28 a に設けられている。マスク絶縁膜 26 は、第 2 の素子分離用溝 54 上に形成された溝状の開口部 26 A を有する。マスク絶縁膜 26 は、異方性エッチングにより、半導体基板 13 に第 2 の素子分離用溝 54 を形成する際のエッチングマスクとして機能する。マスク絶縁膜 26 としては、シリコン窒化膜を用いる。この場合、マスク絶縁膜 26 の厚さは、例えば、50 nm とすることができる。

20

【0049】

図 2 A 及び図 2 B を参照するに、第 1 の不純物拡散領域 28 は、ゲート電極用溝 18 の第 1 の側面 18 a に形成されたゲート絶縁膜 21 の上部 21 A を覆うように、第 1 の側面 18 a 側に位置する半導体基板 13 に設けられている。

すなわち、第 1 のトランジスタ 19 - 1 を構成するゲート電極用溝 18 の第 1 の側面 18 a、及び第 2 のトランジスタ 19 - 2 を構成するゲート電極用溝 18 の第 1 の側面 18 a は、半導体基板 13 を介して第 2 の素子分離溝 54 の側面に各々対向する構成となっている。

30

【0050】

したがって、第 1 の不純物拡散領域 28 は、第 1 の側面 18 a と第 2 の素子分離溝 54 に挟まれた半導体基板 13 の上面 13 a を含み、且つ、第 1 の側面 18 a に形成されたゲート絶縁膜 21 の上部 21 A を覆うように設けられている。

第 1 の不純物拡散領域 28 の底面 28 b は、ゲート電極用溝 18 内に埋め込まれたゲート電極 22 の上面 22 a よりも高い位置 (半導体基板 13 の上面 13 a 側の位置) に配置されている。第 1 の不純物拡散領域 28 の底面 28 b を含む水平線と埋め込みゲート電極 22 の上面 22 a を含む水平線との距離は、5 ~ 10 nm の範囲であることが望ましい。上記距離が 5 nm 未満であると、電流駆動能力が低下して書き込み特性が劣化してしまう。一方、10 nm を超えると、接合電界が大きくなり情報保持特性が劣化してしまう。

40

【0051】

第 1 の不純物拡散領域 28 は、第 1 及び第 2 のトランジスタ 19 - 1 , 19 - 2 を構成する各ゲート電極 22 に対してそれぞれ設けられている。

第 1 の不純物拡散領域 28 は、第 1 及び第 2 のトランジスタ 19 - 1 , 19 - 2 のソース / ドレイン領域 (図 2 A 及び図 2 B に示す構造の場合は、ソース領域) として機能する不純物拡散領域である。半導体基板 13 が p 型シリコン基板の場合、第 1 の不純物拡散領域 28 は、半導体基板 13 に n 型不純物をイオン注入することで形成する。

50

【 0 0 5 2 】

図 2 A 及び図 2 B を参照するに、第 2 の不純物拡散領域 2 9 は、半導体基板 1 3 のうち、2 つのゲート電極用溝 1 8 間に配置された部分に設けられている。具体的には、第 2 の不純物拡散領域 2 9 の深さが、ゲート電極用溝 1 8 の底部 1 8 c よりも浅く、フィン部 1 5 の頂点（上面 1 5 a のうち、最も半導体基板 1 3 の表面 1 3 a に近い部分）よりも深くなるように設けられている。すなわち、第 2 の不純物拡散領域 2 9 の底部の位置は、フィン部 1 5 の上面 1 5 a の頂点と、ゲート電極用溝 1 8 の底部 1 8 c との間となるように設けられている。さらに言い換えると、第 2 の不純物拡散領域 2 9（例えば、n 型拡散領域）と半導体基板 1 3（例えば、p 型チャネル）との間の接合位置を、深さの下限をフィン部 1 5 の頂点位置とし、深さの上限をゲート電極用溝 1 8 の底部 1 8 c の位置とする。これにより、第 2 の不純物拡散領域 2 9 は、2 つのゲート電極用溝 1 8 の第 2 の側面 1 8 b に設けられたゲート絶縁膜 2 1 の下端部以外の全てを覆うように配置されている。

10

【 0 0 5 3 】

ここで、第 2 の不純物拡散領域 2 9 の深さが、フィン部 1 5 の頂点よりも浅いと、上記ディスタブ不良の問題が顕在化してしまう。一方、第 2 の不純物拡散領域 2 9 の深さが、ゲート電極用溝 1 8 の底部 1 8 c よりも深いと、ドーブした不純物（例えば、n 型不純物）がフィン部 1 5 にも到達するため、所望の閾値電圧（ V_t ）よりも低くなってしまう。そして、この閾値電圧（ V_t ）の低下を補うために半導体基板 1 3 のチャネル濃度（例えば、p 型不純物の濃度）を高くしていくと、第 1 の不純物拡散領域 2 8（例えば、n 型拡散層）と半導体基板 1 3（例えば、p チャネル）との間の接合における電界強度が大きくなり、情報保持特性が劣化するという問題が顕在化する（図 1 9 を参照）。

20

【 0 0 5 4 】

第 2 の不純物拡散領域 2 9 は、第 1 及び第 2 のトランジスタ 1 9 - 1, 1 9 - 2 に対して共通のソース/ドレイン領域（図 2 に示す構造の場合は、ドレイン領域）として機能する不純物拡散領域である。半導体基板 1 3 が p 型シリコン基板の場合、第 2 の不純物拡散領域 2 9 は、半導体基板 1 3 に n 型不純物をイオン注入することで形成する。これにより、フィン部 1 5 は p 型となる。

【 0 0 5 5 】

図 2 0 は、本実施形態の半導体装置 1 0 における各不純物拡散領域の接合位置を説明するための関係図である。図 2 0 は、横軸が半導体基板 1 3 の表面 1 3 a からの深さを示しており、縦軸が半導体基板 1 3、第 1 及び第 2 の不純物拡散領域 2 8, 2 9 の各不純物濃度を示している。また、図中において、第 1 及び第 2 の不純物拡散領域 2 8, 2 9 の各プロファイルと、半導体基板 1 3 とのプロファイルとの交点が冶金的接合位置となっている。

30

図 2 0 には、ゲート電極用溝 1 8 の深さと、フィン部 1 5 の高さ H と、第 2 の不純物拡散領域 2 9 の接合位置との関係が示されている。

【 0 0 5 6 】

このように、本実施形態の半導体装置 1 0 は、ゲート電極用溝 1 8 の底部 1 8 c にフィン部 1 5 を設けるとともに、第 1 の側面 1 8 a と第 2 の素子分離用溝 5 4 で挟まれた半導体基板 1 3 の上面 1 3 a を含み、かつ第 1 の側面 1 8 a に配置されたゲート絶縁膜 2 1 の上部 2 1 A を覆う第 1 の不純物拡散領域 2 8 と、半導体基板 1 3 のうち、2 つのゲート電極用溝 1 8 間に位置する部分に配置され、一对のゲート電極用溝 1 8 の第 2 の側面 1 8 b に配置されたゲート絶縁膜 2 1 の下端部以外の全てを覆う第 2 の不純物拡散領域 2 9 と、を設ける構成となっている。これにより、第 1 及び第 2 のトランジスタ 1 9 - 1, 1 9 - 2 を動作させた際、フィン部 1 5 に第 1 のチャネル領域を形成するとともに、第 1 の側面 1 8 a に配置されたゲート絶縁膜 2 1 の下部と接触する半導体基板 1 3、ゲート電極用溝 1 8 の底部 1 8 c と接触する半導体基板 1 3 及び第 2 の側面 1 8 b に配置された第 2 の不純物拡散領域 2 9 の底部よりも下方の半導体基板 1 3 に第 2 のチャネル領域を形成して、第 2 の側面 1 8 b と接する部分であって第 2 の不純物拡散領域 2 9 の底部よりも上方の半導体基板 1 3 にはチャネル領域を設けない構成とすることができる。

40

50

つまり、ゲート絶縁膜 21 を介してゲート電極 22 に跨ぐように覆われたフィン部 15 と、ゲート電極用溝 18 を構成する 3 面とを有する構成とすることができる。

【0057】

つまり、第 1 及び第 2 のトランジスタ 19 - 1, 19 - 2 がオン状態になった時、フィン部 15 が完全に空乏化するので、従来のトランジスタよりも抵抗が低く、電流がながれやすくすることが可能となる。これにより、微細化されたメモリセルにおいても、チャネル抵抗を減少させてオン電流を増加させることが可能となる。

また、第 1 及び第 2 のトランジスタ 19 - 1, 19 - 2 の一方が動作した際に、他方のトランジスタが誤動作する悪影響を抑制することが可能となる。

よって、半導体装置 10 を微細化して、ゲート電極 22 を狭ピッチで配置した場合でも、第 1 及び第 2 のトランジスタ 19 - 1, 19 - 2 を独立して、安定して動作させることができる。

【0058】

また、隣り合うように配置された 2 つのゲート電極用溝 18 の底部 18c にフィン部 15 が設けられ、かつフィン部 15 の深さ H が 40 nm 以下とされることにより、第 1 のトランジスタ 19 - 1 と電氣的に接続された下部電極 57 に「L」を蓄積させ、第 2 のトランジスタ 19 - 2 と電氣的に接続された下部電極 57 に「H」を蓄積させた状態を形成し、この状態で第 1 のトランジスタ 19 - 1 に対応するゲート電極 22 (ワード線) のオン/オフを繰り返した際、第 1 のトランジスタ 19 - 1 のチャネル領域となるフィン部 15 が p 型であるために電子 e^- (図示せず) が誘起されにくくなるため、第 1 のトランジスタ 19 - 1 のチャネルに誘起された電子 e^- が第 2 のトランジスタ 19 - 2 を構成する第 2 の不純物拡散領域 28 (ドレイン領域) に到達することを抑制可能となる。

【0059】

これにより、第 1 のトランジスタ 19 - 1 のチャネルに誘起された電子 e^- が、第 2 のトランジスタ 19 - 2 と電氣的に接続された下部電極 57 に蓄積されている H 情報を破壊して L 状態に変化させることがなくなるため、隣接する一方のセルの動作状態により他の一方のセルの蓄積状態が変化するディスタ urb 不良の発生を抑制できる。

また、隣り合うように配置された 2 つのゲート電極 22 間の間隔が 50 nm 以下とされた DRAM においても、上記ディスタ urb 不良の発生を抑制できる。

【0060】

図 2A 及び図 2B を参照するに、開口部 32 は、2 つのゲート電極用溝 18 から突出した埋め込み絶縁膜 24 の間に形成されている。開口部 32 は、第 2 の不純物拡散領域 29 の上面 29a を露出するように形成されている。

図 2A 及び図 2B を参照するに、ビット線コンタクトプラグ 33 は、開口部 32 を埋め込むように設けられており、ビット線 34 と一体に構成されている。ビット線コンタクトプラグ 33 の下端は、第 2 の不純物拡散領域 29 の上面 29a と接触している。ビット線 34 がポリシリコン膜、窒化チタン (TiN) 膜、及びタンゲステン (W) 膜を順次積層した積層膜により構成されている場合、ビット線コンタクトプラグ 33 は、ポリシリコン膜により構成することができる。

【0061】

図 2A 及び図 2B を参照するに、ビット線 34 は、埋め込み絶縁膜 24 の上面 24a に設けられており、ビット線コンタクトプラグ 33 と一体に構成されている。これにより、ビット線 34 は、ビット線コンタクトプラグ 33 を介して、第 2 の不純物拡散領域 29 と電氣的に接続されている。

ビット線 34 の材料としては、ポリシリコン膜、窒化チタン膜、及びタンゲステン膜を順次積層した積層膜や、ポリシリコン膜、或いは窒化チタン膜等を用いることができる。

【0062】

図 2A 及び図 2B を参照するに、キャップ絶縁膜 36 は、ビット線 34 の上面を覆うように設けられている。キャップ絶縁膜 36 は、ビット線 34 の上面を保護すると共に、異方性エッチング (具体的には、ドライエッチング) によりビット線 34 となる母材をバタ

10

20

30

40

50

ーニングする際のエッチングマスクとして機能する。キャップ絶縁膜 36 としては、シリコン窒化膜 (SiN 膜) と、シリコン酸化膜 (SiO₂ 膜) とを順次積層させた積層膜を用いることができる。

【0063】

図 2 A 及び図 2 B を参照するに、サイドウォール膜 37 は、ビット線 34 の側面を覆うように設けられている。サイドウォール膜 37 は、ビット線 34 の側壁を保護する機能を有する。サイドウォール膜 37 としては、シリコン窒化膜 (SiN 膜) と、シリコン酸化膜 (SiO₂ 膜) とを順次積層させた積層膜を用いることができる。

【0064】

図 2 A 及び図 2 B を参照するに、層間絶縁膜 38 は、マスク絶縁膜 26 の上面 26 a、及び第 2 の素子分離用絶縁膜 55 の上面 55 a に設けられている。層間絶縁膜 38 の上面 38 a は、キャップ絶縁膜 36 の上面 36 a に対して面一とされている。層間絶縁膜 38 としては、例えば、CVD 法により形成されたシリコン酸化膜 (SiO₂ 膜)、或いは、SOG 法により形成された塗布系の絶縁膜 (シリコン酸化膜 (SiO₂ 膜)) を用いることができる。

【0065】

図 2 A 及び図 2 B を参照するに、コンタクト孔 41 は、第 1 の不純物拡散領域 28 の上面 28 a の一部を露出するように、埋め込み絶縁膜 24、マスク絶縁膜 26、及び層間絶縁膜 38 に形成されている。

図 2 A 及び図 2 B を参照するに、容量コンタクトプラグ 42 は、コンタクト孔 41 を埋め込むように設けられている。容量コンタクトプラグ 42 の下端は、第 1 の不純物拡散領域 28 の上面 28 a の一部と接触している。これにより、容量コンタクトプラグ 42 は、第 1 の不純物拡散領域 28 と電氣的に接続されている。容量コンタクトプラグ 42 の上面 42 a は、層間絶縁膜 38 の上面 38 a に対して面一とされている。容量コンタクトプラグ 42 は、例えば、窒化チタン膜と、タングステン膜とを順次積層した積層構造とすることができる。

【0066】

図 2 A 及び図 2 B を参照するに、容量コンタクトパッド 44 は、その一部が容量コンタクトプラグ 42 の上面 42 a と接続されるように、層間絶縁膜 38 の上面 38 a に設けられている。容量コンタクトパッド 44 上には、キャパシタ 48 を構成する下部電極 57 が接続されている。これにより、容量コンタクトパッド 44 は、容量コンタクトプラグ 42 と下部電極 57 とを電氣的に接続している。

【0067】

図 1 を参照するに、容量コンタクトパッド 44 は、円形状とされており、Y 方向において、容量コンタクトプラグ 42 に対して互い違いの位置に配列されている。これらの容量コンタクトパッド 44 は、X 方向において、隣り合うビット線 34 間に配置されている。

つまり、容量コンタクトパッド 44 は、Y 方向に沿って 1 つおきにゲート電極 22 上に容量コンタクトパッド 44 の中心部を配置するか、Y 方向に沿って 1 つおきにゲート電極 22 の側面上方に容量コンタクトパッド 44 の中心部を配置するかの、いずれかの位置を繰り返すように互い違いに配置されている。言い換えると、容量コンタクトパッド 44 は、Y 方向に千鳥状に配置されている。

【0068】

図 2 A 及び図 2 B を参照するに、シリコン窒化膜 46 は、容量コンタクトパッド 44 の外周部を囲むように、層間絶縁膜 38 の上面 38 a に設けられている。

キャパシタ 48 は、容量コンタクトパッド 44 に対してそれぞれ 1 つ設けられている。1 つのキャパシタ 48 は、1 つの下部電極 57 と、複数の下部電極 57 に対して共通の容量絶縁膜 58 と、複数の下部電極 57 に対して共通の電極である上部電極 59 と、を有する。

【0069】

下部電極 57 は、容量コンタクトパッド 44 上に設けられており、容量コンタクトパッ

10

20

30

40

50

ド４４と接続されている。下部電極５７は、王冠形状とされている。

容量絶縁膜５８は、シリコン窒化膜４６から露出された複数の下部電極５７の表面、及びシリコン窒化膜４６の上面を覆うように設けられている。

上部電極５９は、容量絶縁膜５８の表面を覆うように設けられている。上部電極５９は、容量絶縁膜５８が形成された下部電極５７の内部、及び複数の下部電極５７間を埋め込むように配置されている。上部電極５９の上面５９ａは、複数の下部電極５７の上端よりも上方に配置されている。

【００７０】

上記構成とされたキャパシタ４８は、容量コンタクトパッド４４を介して、第１の不純物拡散領域２８と電氣的に接続されている。

10

なお、上部電極５９の上面５９ａを覆う層間絶縁膜（図示せず）、該層間絶縁膜に内設されたコンタクトプラグ（図示せず）、及び該コンタクトプラグと接続された配線（図示せず）等を設けてもよい。

【００７１】

本発明を適用した実施形態である半導体装置１０は、以下の構成を有する。半導体基板１３よりなり、第１の方向に延在するように半導体基板１３に内設され、複数の素子形成領域Ｒを有した活性領域１６を区画する複数の第１の素子分離領域１４と、第１の方向と交差する第２の方向に延在するように半導体基板１３に内設され、活性領域１６を複数の素子形成領域Ｒに区画する複数の第２の素子分離領域１７と、隣接する第２の素子分離領域１７、１７の間に、半導体基板１３の表層に第１の素子分離領域１４及び活性領域１６と交差する第２の方向に延在して設けられ、互いに対向する第１及び第２の側面１８ａ、１８ｂと底部１８ｃとを有する一対のゲート電極用溝１８と、ゲート電極用溝１８のうち、活性領域１６に形成される第１の溝部１８Ａよりも第１の素子分離領域１４に形成される第２の溝部１８Ｂの深さを深くするとともに、第１の溝部１８Ａの第２の溝部１８Ｂと対向する部分の深さを当該第２の溝部１８Ｂの深さと略同一とすることによって、ゲート電極用溝１８の底部１８ｃから活性領域１６の一部が突き出すように形成されたフィン部１５と、ゲート電極用溝１８及びフィン部１５の表面を覆うゲート絶縁膜２１と、一対のゲート電極用溝１８の下部に埋め込まれることによって、ゲート絶縁膜２１を介してフィン部１５を跨ぐように形成された一対のゲート電極２２と、第２の素子分離領域１７とゲート電極用溝１８との間の半導体基板１３の上面１３ａに設けられ、キャパシタ４８に接続される２つの第１の不純物拡散領域２８、２８と、第２の側面１８ｂ、１８ｂ同士が対向するように配置された一対のゲート電極用溝１８、１８の間の半導体基板１３に設けられ、ビット線３４に接続される１つの第２の不純物拡散領域２９と、を備え、素子形成領域Ｒは、第２の不純物拡散領域２９を共有するとともに、一方のゲート電極２２及びフィン部１５と一方の第１の不純物拡散領域２８とから少なくとも構成される第１のトランジスタ１９－１と、他方のゲート電極２２及びフィン部１５と他方の第１の不純物拡散領域２８とから少なくとも構成される第２のトランジスタ１９－２と、を有しゲート電極用溝１８の底部１８ｃの深さが、半導体基板１３の表面１３ａから１５０～２００ｎｍであり、ゲート電極用溝１８の底部１８ｃからフィン部１５の頂点（上部）までの高さが、１０～４０ｎｍである。

20

30

40

【００７２】

また、第２の不純物拡散領域２９の深さが、ゲート電極用溝１８の底部１８ｃよりも浅く、フィン部１５の頂点（上部）よりも深くなるように設けられている。

【００７３】

本実施形態の半導体装置１０によれば、ゲート電極用溝１８の底部１８ｃにフィン部１５を設けるとともに、第１の側面１８ａと第２の素子分離用溝５４で挟まれた半導体基板１３の上面１３ａを含み、かつ第１の側面１８ａに配置されたゲート絶縁膜２１の上部２１Ａを覆う第１の不純物拡散領域２８と、半導体基板１３のうち、２つのゲート電極用溝１８間に位置する部分に配置され、一対のゲート電極用溝１８の第２の側面１８ｂに配置されたゲート絶縁膜２１の下端部以外の全てを覆う第２の不純物拡散領域２９と、を設け

50

る構成となっている。これにより、第1及び第2のトランジスタ19-1, 19-2を動作させた際、フィン部15に第1のチャンネル領域を形成するとともに、第1の側面18aに配置されたゲート絶縁膜21の下部と接触する半導体基板13、ゲート電極用溝18の底面18cと接触する半導体基板13及び第2の側面18bに配置された第2の不純物拡散領域29の底部よりも下方の半導体基板13に第2のチャンネル領域を形成して、第2の側面18bと接する部分であって第2の不純物拡散領域29の底部よりも上方の半導体基板13にはチャンネル領域を設けない構成とすることができる。

つまり、ゲート絶縁膜21を介してゲート電極22に跨ぐように覆われたフィン部15と、ゲート電極用溝18を構成する3面とを有する構成とすることができる。

【0074】

つまり、第1及び第2のトランジスタ19-1, 19-2がオン状態になった時、フィン部15が完全に空乏化するので、従来のトランジスタよりも抵抗が低く、電流がながれやすくすることが可能となる。これにより、微細化されたメモリセルにおいても、チャンネル抵抗を減少させてオン電流を増加させることが可能となる。

また、第1及び第2のトランジスタ19-1, 19-2の一方が動作した際に、他方のトランジスタが誤動作する悪影響を抑制することが可能となる。

よって、半導体装置10を微細化して、ゲート電極22を狭ピッチで配置した場合でも、第1及び第2のトランジスタ19-1, 19-2を独立して、安定して動作させることができる。

【0075】

また、隣り合うように配置された2つのゲート電極用溝18の底部18cにフィン部15が設けられ、かつフィン部15の深さHが40nm以下とされることにより、第1のトランジスタ19-1と電氣的に接続された下部電極57に「L」を蓄積させ、第2のトランジスタ19-2と電氣的に接続された下部電極57に「H」を蓄積させた状態を形成し、この状態で第1のトランジスタ19-1に対応するゲート電極22（ワード線）のオン/オフを繰り返した際、第1のトランジスタ19-1のチャンネル領域となるフィン部15がp型であるために電子 e^- （図示せず）が誘起されにくくなるため、第1のトランジスタ19-1のチャンネルに誘起された電子 e^- が第2のトランジスタ19-2を構成する第2の不純物拡散領域28（ドレイン領域）に到達することを抑制可能となる。

【0076】

これにより、第1のトランジスタ19-1のチャンネルに誘起された電子 e^- が、第2のトランジスタ19-2と電氣的に接続された下部電極57に蓄積されているH情報を破壊してL状態に変化させることがなくなるため、隣接する一方のセルの動作状態により他の一方のセルの蓄積状態が変化するディスタ urb不良の発生を抑制できる。

また、隣り合うように配置された2つのゲート電極22間の間隔が50nm以下とされたDRAMにおいても、上記ディスタ urb不良の発生を抑制できる。

【0077】

また、ゲート絶縁膜21を介して、ゲート電極用溝18の下部を埋め込むように配置されたゲート電極22と、ゲート電極用溝18を埋め込むように配置され、ゲート電極22の上面22aを覆う埋め込み絶縁膜24と、を設けることにより、ゲート電極22が半導体基板13の表面13aよりも上方に突出することがなくなる。

これにより、本実施形態のように、半導体装置10としてDRAMを用いた場合、ゲート電極22を形成する工程よりも後の工程で形成されるビット線34やキャパシタ48の形成を容易に行なうことが可能となるので、半導体装置10を容易に製造できる。

【0078】

図3A～図3D、図4A～図4D、図5A～図5D、図6A～図6D、図7A～図7D、図8A～図8D、図9A～図9D、図10A～図10C、図11A～図11C、図12A～図12C、図13A～図13C、図14、図15、及び図16を参照して、本実施形態の半導体装置10（具体的には、メモリセルアレイ11）の製造方法について説明する。

。

10

20

30

40

50

ここで、図 3 A ~ 図 1 3 A に示す A - A 線は、図 1 に示す A - A 線に、図 3 B ~ 図 1 3 B に示す B - B 線は、図 1 に示す B - B 線に、それぞれ対応している。

また、図 3 A ~ 図 9 A に示す C - C 線に沿った断面を、図 3 D ~ 図 9 D にそれぞれ示す。上記 C - C 線に沿った断面は、本実施形態の半導体装置 1 0 における埋め込みワード線であるゲート電極 2 2 の延在方向に沿った断面を示している。

【 0 0 7 9 】

始めに、図 3 A ~ 図 3 D に示す工程では、半導体基板 1 3 の主面 1 3 a に、パッド酸化膜 6 5 を形成する。次いで、パッド酸化膜 6 5 上に、溝状の開口部 6 6 a を有したシリコン窒化膜 6 6 を形成する。

図 3 A 及び図 3 B に示すように、開口部 6 6 a は、X 方向に所定角度傾斜した方向（第 1 の方向）に対して帯状に延在し、かつ Y 方向に所定の間隔で複数形成する。

10

このとき、開口部 6 6 a は、第 1 の素子分離用溝 5 1 の形成領域に対応するパッド酸化膜 6 5 の上面を露出するように形成する。開口部 6 6 a は、シリコン窒化膜 6 6 上にパターンニングされたホトレジスト（図示せず）を形成し、該ホトレジストをマスクとする異方性エッチングによりシリコン窒化膜 6 6 をエッチングすることで形成する。該ホトレジストは、開口部 6 6 a を形成後に除去する。

【 0 0 8 0 】

次いで、開口部 6 6 a を有したシリコン窒化膜 6 6 をマスクとする異方性エッチング（具体的には、ドライエッチング）により、半導体基板 1 3 をエッチングすることで、第 1 の方向に延在する第 1 の素子分離用溝 5 1 を形成する。

20

第 1 の素子分離用溝 5 1 の幅 W_1 は、例えば、43 nm とすることができる。また、第 1 の素子分離用溝 5 1 の深さ D_1 （半導体基板 1 3 の主面 1 3 a を基準としたときの深さ）は、例えば、250 nm とすることができる。

【 0 0 8 1 】

次いで、図 4 A ~ 図 4 D に示す工程では、第 1 の素子分離用溝 5 1 を埋め込む第 1 の素子分離用絶縁膜 5 2 を形成する。

具体的には、HDP（High Density Plasma）法により形成されたシリコン酸化膜（ SiO_2 膜）、或いは SOG（Spin on Glass）法により形成された塗布系のシリコン酸化膜（ SiO_2 膜）により、第 1 の素子分離用溝 5 1 を埋め込む。

30

その後、CMP（Chemical Mechanical Polishing）法により、シリコン窒化膜 6 6 の上面よりも上方に成膜されたシリコン酸化膜（ SiO_2 膜）を除去することで、第 1 の素子分離用溝 5 1 にシリコン酸化膜（ SiO_2 膜）よりなる第 1 の素子分離用絶縁膜 5 2 を形成する。

これにより、第 1 の素子分離用溝 5 1 及び第 1 の素子分離用絶縁膜 5 2 よりなり、かつ第 1 の方向に延在する帯状の活性領域 1 6 を区画する第 1 の素子分離領域 1 4 が形成される。

【 0 0 8 2 】

次いで、図 5 A ~ 図 5 D に示す工程では、図 4 A ~ 図 4 D に示すシリコン窒化膜 6 6 を除去し、その後、パッド酸化膜 6 5 を除去する。具体的には、熱燐酸によりシリコン窒化膜 6 6 を除去し、その後、HF（フッ化水素）系のエッチング液により、パッド酸化膜 6 5 を除去する。これにより、帯状の活性領域 1 6 が露出される。

40

次いで、第 1 の素子分離用絶縁膜 5 2 のうち、半導体基板 1 3 の主面 1 3 a から突出した部分を除去することで、第 1 の素子分離用絶縁膜 5 2 の上面 5 2 a を半導体基板 1 3 の主面 1 3 a に対して面一にする。半導体基板 1 3 の主面 1 3 a から突出した第 1 の素子分離用絶縁膜 5 2 の除去は、例えば、ウェットエッチングにより行う。

【 0 0 8 3 】

次いで、図 6 A ~ 図 6 D に示す工程では、図 5 A ~ 図 5 D に示す半導体基板 1 3 の主面 1 3 a 及び第 1 の素子分離用絶縁膜 5 2 の上面 5 2 a に、溝状の開口部 2 6 A を有したマスク絶縁膜 2 6 を形成する。

50

具体的には、マスク絶縁膜 26 は、半導体基板 13 の主面 13a 及び第 1 の素子分離用絶縁膜 52 の上面 52a を覆うシリコン窒化膜（マスク絶縁膜 26 の母材）を成膜し、次いで、シリコン窒化膜上にパターニングされたホトレジスト（図示せず）を形成し、該ホトレジストをマスクとする異方性エッチングにより開口部 26A を加工することで形成する。

このとき、開口部 26A は、Y 方向（第 2 の方向）に延在し、かつ X 方向に対して所定の間隔で複数形成する（図 6A 参照）。また、開口部 26A は、第 2 の素子分離用溝 54 の形成領域に対応する半導体基板 13 の主面 13a を露出するように形成する。また、ホトレジスト（図示せず）は、開口部 26A を形成後に除去する。

【0084】

次いで、開口部 26A を有したマスク絶縁膜 26 をマスクとする異方性エッチング（具体的には、ドライエッチング）により、半導体基板 13 をエッチングすることで、第 1 の方向に延在する第 2 の素子分離用溝 54 を形成する。

第 2 の素子分離用溝 54 の深さ D_2 （半導体基板 13 の主面 13a を基準としたときの深さ）は、例えば、250nm とすることができる。

【0085】

次いで、第 2 の素子分離用溝 54 を埋め込む第 2 の素子分離用絶縁膜 55 を形成する。具体的には、HDP 法により形成されたシリコン酸化膜（ SiO_2 膜）、或いは SOG 法により形成された塗布系のシリコン酸化膜（ SiO_2 膜）により、第 2 の素子分離用溝 54 を埋め込む。

次いで、CMP 法により、マスク絶縁膜 26 の上面 26a よりも上方に成膜された絶縁膜を除去することで、第 2 の素子分離用溝 54 に、シリコン酸化膜（ SiO_2 膜）よりなり、かつマスク絶縁膜 26 の上面 26a に対して面一とされた上面 55a を有する第 2 の素子分離用絶縁膜 55 を形成する。

これにより、第 2 の素子分離用溝 54 及び第 2 の素子分離用絶縁膜 55 よりなり、かつ図 5A ~ 図 5D に示す帯状の活性領域 16 を複数の素子形成領域 R に区画する第 2 の素子分離領域 17 を形成する。

【0086】

このように、半導体基板 13 に形成された第 1 の素子分離用溝 51、及び第 1 の素子分離用溝 51 を埋め込む第 1 の素子分離用絶縁膜 52 よりなり、帯状の活性領域 16 を区画する第 1 の素子分離領域 14 を形成後、半導体基板 13 に形成された第 2 の素子分離用溝 54、及び第 2 の素子分離用溝 54 を埋め込む第 2 の素子分離用絶縁膜 55 よりなり、複数の素子形成領域 R を区画する第 2 の素子分離領域 17 を形成することにより、第 2 の素子分離用溝 54 内に、ゲート絶縁膜 21 を介して、負の電位が付与されるダミーゲート電極（図示せず）を設けて複数の素子形成領域 R を区画した場合と比較して、ダミーゲート電極の電位が第 1 及び第 2 のトランジスタ 19-1, 19-2（図 2 参照）に悪影響を及ぼすことがなくなるため、第 1 及び第 2 のトランジスタ 19-1, 19-2 を容易に On（オン）させることができると共に、メモリセルアレイ 11 のデータの保持特性を向上させることができる。

【0087】

次いで、図 7A ~ 図 7D に示す工程では、2 つの第 2 の素子分離領域 17 間に位置するマスク絶縁膜 26 に、Y 方向に延在する 2 つの溝状の開口部 26B を形成する。

このとき、開口部 26B は、ゲート電極用溝 18 の形成領域に対応する半導体基板 13 の主面 13a を露出するように形成する。開口部 26B は、マスク絶縁膜 26 上にパターニングされたホトレジスト（図示せず）を形成し、該ホトレジストをマスクとする異方性エッチング（具体的には、ドライエッチング）によりマスク絶縁膜 26 をエッチングすることで形成する。該ホトレジストは、開口部 26B を形成後に除去する。

【0088】

次いで、図 7D に示すように、開口部 26B を有したマスク絶縁膜 26 をマスクとする異方性エッチング（具体的には、ドライエッチング）により、先ず、第 1 の素子分離領域

10

20

30

40

50

14を構成する素子分離用絶縁膜52を選択的にエッチングする。これにより、ゲート電極用溝18のうち、第1の素子分離領域14に第2の溝部18Bを形成する。ここで、第2の溝部18Bの深さ D_4 （半導体基板13の主面13aを基準としたときの深さ、図示せず）は、第1及び第2の素子分離用溝51, 54の深さ D_1 , D_2 よりも浅くなるように形成する。具体的には、第1及び第2の素子分離用溝51, 54の深さ D_1 , D_2 が、例えば250nmの場合、150~200nmの範囲とすることができる。

【0089】

次に、活性領域16を構成する半導体基板13を選択的にエッチングする。これにより、ゲート電極用溝18のうち、活性領域16に第1の溝部18Aを形成する。ここで、第1の溝部18Aの深さ D_3 （半導体基板13の主面13aを基準としたときの深さ）は、第2の溝部18Bの深さ D_4 よりも浅くなるように形成する。具体的には、第2の溝部18Bの深さ D_4 よりも10~40nm浅くなるように形成する。第1及び第2の素子分離用溝51, 54の深さ D_1 , D_2 が250nmの場合、ゲート電極用溝18の深さ D_4 は、例えば、150nmとすることができる。

【0090】

次いで、図8A~図8Dに示す工程では、開口部26Bを有したマスク絶縁膜26をマスクとする等方エッチング（具体的には、ドライウェットエッチング）により、ゲート電極用溝18を構成する第1の溝部18Aの、第2の溝部18Bと対向する部分の深さを当該第2の溝部18Bの深さと略同一となるまで選択的にエッチングする。

【0091】

このようにして、ゲート電極用溝18のうち、活性領域16に形成される第1の溝部18Aは、第2の溝部18Bと対向する端部の深さが第2の溝部18Bの深さと同じ深さ（すなわち、 D_4 ）となるように（図8C及び図8Dを参照）形成することができる。これに対して、中央部分の深さが D_3 となるように形成することができる（図8B及び図Dを参照）。すなわち、第1及び第2の側面18a, 18b及び底部18cを有したゲート電極用溝18及び上記底部18cから活性領域16の一部が突き出すように設けられたフィン部15を形成することができる。

【0092】

次いで、図9A~図9Dに示す工程では、各々のゲート電極用溝18の表面（すなわち、第1及び第2の側面18a, 18b、及びゲート電極用溝18の底部18c）とフィン部15の表面（すなわち、上部15aと互いに対向する一対の側面15b, 15c）を覆うゲート絶縁膜21を形成する。

ゲート絶縁膜21としては、例えば、単層のシリコン酸化膜（ SiO_2 膜）、シリコン酸化膜を窒化した膜（ SiON 膜）、積層されたシリコン酸化膜（ SiO_2 膜）、シリコン酸化膜（ SiO_2 膜）上にシリコン窒化膜（ SiN 膜）を積層させた積層膜等を用いることができる。

ゲート絶縁膜21として単層のシリコン酸化膜（ SiO_2 膜）を用いる場合、ゲート絶縁膜21は、熱酸化法により形成することができる。この場合、ゲート絶縁膜21の厚さは、例えば、6nmとすることができる。

【0093】

次いで、上面22aが半導体基板13の主面13aよりも低くなるように、ゲート絶縁膜21を介して、各々のフィン部15を跨ぐようにゲート電極用溝18の下部を埋め込むゲート電極22を形成する（図9Dを参照）。

具体的には、例えば、CVD法により、ゲート電極用溝18を埋め込むように、窒化チタン膜と、タングステン膜とを順次積層させ、次いで、ゲート電極用溝18の下部に窒化チタン膜及びタングステン膜が残存するように、ドライエッチングにより、窒化チタン膜及びタングステン膜を全面エッチバックすることで、窒化チタン膜及びタングステン膜よりなるゲート電極22を形成する。各々のゲート電極22は、メモリセルのワード線を構成する。

【0094】

次いで、ゲート電極 22 の上面 22 a を覆うと共に、ゲート電極用溝 18 及び溝状の開口部 26 B を埋め込む、埋め込み絶縁膜 24 を形成する。

具体的には、HDP 法により形成された絶縁膜（例えば、シリコン酸化膜（ SiO_2 膜））、或いは SOG 法により形成された塗布系の絶縁膜（例えば、シリコン酸化膜（ SiO_2 膜））により、ゲート電極用溝 18 の上部及び開口部 26 B を埋め込む。

次いで、CMP 法により、マスク絶縁膜 26 の上面 26 a よりも上方に成膜された絶縁膜を除去する。これにより、ゲート電極用溝 18 及び開口部 26 B を埋め込む絶縁膜（例えば、シリコン酸化膜（ SiO_2 膜））よりなり、かつマスク絶縁膜 26 の上面 26 a に対して面一とされた上面 24 a を有した埋め込み絶縁膜 24 を形成する。

なお、図 3 D ~ 図 9 D により、埋め込みワード線であるサドルフィン型のゲート電極 22 が形成されるため、以降の図では図 3 A ~ 図 9 A に示す C - C 線に沿った断面図は省略する。

【0095】

次いで、図 10 A ~ 図 10 C に示す工程では、図 9 A ~ 図 9 C に示す構造体の上面全体に、n 型不純物（半導体基板 13 である p 型シリコン基板とは異なる導電型の不純物）であるリン（P）を、エネルギーが 100 KeV 、ドーズ量が $1 \text{ E } 14 \text{ atoms/cm}^2$ の条件でイオン注入することで、ゲート電極用溝 18 と第 1 の素子分離領域 17 との間に位置する半導体基板 13 に第 1 の不純物拡散領域 28 を形成すると共に、2 つのゲート電極用溝 18 間に位置する半導体基板 13 に第 2 の不純物拡散領域 29 の一部となる不純物拡散領域 71 を形成する。

これにより、ゲート電極用溝 18 の第 1 の側面 18 a 側に位置する半導体基板 13 に、第 1 の側面 18 a に形成されたゲート絶縁膜 21 の上部 21 A を覆うように、第 1 の不純物拡散領域 28 が形成される。

このとき、第 1 不純物拡散領域 28 は、第 1 の側面 18 a と第 2 の素子分離用溝 54 に挟まれた半導体基板 13 の上面 13 a を含み、かつ埋め込みゲート電極 22 の上面 22 a よりも高い位置に底面 28 b を有するように形成する。

なお、この段階でのマスク絶縁膜 26 の厚さは、例えば、 50 nm とすることができる。

【0096】

次いで、図 11 A ~ 図 11 C に示す工程では、埋め込み酸化膜 24 の上面 24 a、マスク絶縁膜 26 の上面 26 a、及び第 2 の素子分離用絶縁膜 55 の上面 55 a に、埋め込み絶縁膜 24 間に位置するマスク絶縁膜 26 の上面 26 a を露出する溝状の開口部 73 a を有したホトレジスト 73 を形成する。

次いで、ホトレジスト 73 をマスクとするエッチング（ウェットエッチング、或いはドライエッチング）により、開口部 73 a から露出されたマスク絶縁膜 26 を除去する。

これにより、不純物拡散領域 71 の上面 71 a が露出されると共に、不純物拡散領域 71 の上面 71 a に対して面一とされた第 1 の素子分離用絶縁膜 52 の上面 52 a の一部が露出される。

【0097】

次いで、図 12 A ~ 図 12 C に示す工程では、ホトレジスト 73 から露出された不純物拡散領域 71（言い換えれば、不純物拡散領域 71 が形成された半導体基板 13）に、n 型不純物（半導体基板 13 である p 型シリコン基板とは異なる導電型の不純物）であるリン（P）を、選択的にイオン注入することで、2 つのゲート電極用溝 18 間に位置する半導体基板 13 に、その底部の深さがフィン部 15 の上面 15 a の頂点とゲート電極用溝 18 の底部 18 c との間となるように、第 2 の不純物拡散領域 29 を形成する。上記イオン注入は、エネルギーが 15 KeV 、ドーズ量が $5 \text{ E } 14 \text{ atoms/cm}^2$ の条件で 1 段目のイオン注入を行った後に、エネルギーが 30 KeV 、ドーズ量が $2 \text{ E } 13 \text{ atoms/cm}^2$ の条件で 2 段目のイオン注入を行なう（2 段注入）。

これにより、第 2 の不純物拡散領域 29 は、2 つのゲート電極用溝 18 の第 2 の側面 18 b に設けられたゲート絶縁膜 21 の下端部以外の全てを覆うように第 2 の不純物拡散領

10

20

30

40

50

域 2 9 が形成されると共に、ゲート絶縁膜 2 1、フィン部 1 5 及びゲート電極 2 2、埋め込み絶縁膜 2 4、第 1 の不純物拡散領域 2 8、及び第 2 の不純物拡散領域 2 9 を備えた第 1 及び第 2 のトランジスタ 1 9 - 1, 1 9 - 2 が形成される。

【0098】

このように、ゲート電極用溝 1 8 の底部 1 8 c にフィン部 1 5 を設けるとともに、第 1 の側面 1 8 a と第 2 の素子分離用溝 5 4 で挟まれた半導体基板 1 3 の上面 1 3 a を含み、かつ第 1 の側面 1 8 a に配置されたゲート絶縁膜 2 1 の上部 2 1 A を覆う第 1 の不純物拡散領域 2 8 と、半導体基板 1 3 のうち、2 つのゲート電極用溝 1 8 間に位置する部分に配置され、一对のゲート電極用溝 1 8 の第 2 の側面 1 8 b に配置されたゲート絶縁膜 2 1 の下端部以外の全てを覆う第 2 の不純物拡散領域 2 9 と、を設ける構成となっている。これにより、第 1 及び第 2 のトランジスタ 1 9 - 1, 1 9 - 2 を動作させた際、フィン部 1 5 に第 1 のチャネル領域を形成するとともに、第 1 の側面 1 8 a に配置されたゲート絶縁膜 2 1 の下部と接触する半導体基板 1 3、ゲート電極用溝 1 8 の底部 1 8 c と接触する半導体基板 1 3 及び第 2 の側面 1 8 b に配置された第 2 の不純物拡散領域 2 9 の底部よりも下方の半導体基板 1 3 に第 2 のチャネル領域を形成して、第 2 の側面 1 8 b と接する部分であって第 2 の不純物拡散領域 2 9 の底部よりも上方の半導体基板 1 3 にはチャネル領域を形成しないことが可能となる。

【0099】

つまり、第 1 及び第 2 のトランジスタ 1 9 - 1, 1 9 - 2 がオン状態になった時、フィン部 1 5 が完全に空乏化するので、従来のトランジスタよりも抵抗が低く、電流がながれやすくすることが可能となる。これにより、微細化されたメモリセルにおいても、チャネル抵抗を減少させてオン電流を増加させることが可能となる。

また、第 1 及び第 2 のトランジスタ 1 9 - 1, 1 9 - 2 の一方が動作した際に、他方のトランジスタが誤動作する悪影響を抑制することが可能となる。

よって、半導体装置 1 0 を微細化して、ゲート電極 2 2 を狭ピッチで配置した場合でも、第 1 及び第 2 のトランジスタ 1 9 - 1, 1 9 - 2 を独立して、安定して動作させることができる。

【0100】

また、隣り合うように配置された 2 つのゲート電極用溝 1 8 の底部 1 8 c にフィン部 1 5 が設けられ、かつフィン部 1 5 の深さ H が 40 nm 以下とされることにより、第 1 のトランジスタ 1 9 - 1 と電氣的に接続された下部電極 5 7 に「L」を蓄積させ、第 2 のトランジスタ 1 9 - 2 と電氣的に接続された下部電極 5 7 に「H」を蓄積させた状態を形成し、この状態で第 1 のトランジスタ 1 9 - 1 に対応するゲート電極 2 2 (ワード線) のオン/オフを繰り返した際、第 1 のトランジスタ 1 9 - 1 のチャネル領域となるフィン部 1 5 が p 型であるために電子 e^- (図示せず) が誘起されにくくなるため、第 1 のトランジスタ 1 9 - 1 のチャネルに誘起された電子 e^- が第 2 のトランジスタ 1 9 - 2 を構成する第 2 の不純物拡散領域 2 8 (ドレイン領域) に到達することを抑制可能となる。

【0101】

これにより、第 1 のトランジスタ 1 9 - 1 のチャネルに誘起された電子 e^- が、第 2 のトランジスタ 1 9 - 2 と電氣的に接続された下部電極 5 7 に蓄積されている H 情報を破壊して L 状態に変化させることがなくなるため、隣接する一方のセルの動作状態により他の一方のセルの蓄積状態が変化するディスタ urb 不良の発生を抑制できる。

また、隣り合うように配置された 2 つのゲート電極 2 2 間の間隔が 50 nm 以下とされた DRAM においても、上記ディスタ urb 不良の発生を抑制できる。

【0102】

次いで、図 1 3 A ~ 図 1 3 C に示す工程では、図 1 2 A ~ 図 1 2 C に示すホトレジスト 7 3 を除去する。

次いで、図 1 4 A 及び図 1 4 B に示す工程では、開口部 3 2 を埋め込むビット線コンタクトプラグ 3 3、及びビット線コンタクトプラグ 3 3 上に配置され、X 方向に延在するビット線 3 4 (図 1 参照) を一括形成する。

10

20

30

40

50

具体的には、図 1 4 A に示すように、埋め込み絶縁膜 2 4 の上面 2 4 a に、開口部 3 2 を埋め込むように、図示していないポリシリコン膜、窒化チタン膜、及びタンゲステン膜を順次成膜（このとき、ポリシリコン膜が開口部 3 2 を埋め込むように成膜）する。

次いで、図示していないタンゲステン膜上に、キャップ絶縁膜 3 6 の母材となる図示していないシリコン窒化膜（S i N 膜）を成膜する。

その後、ホトリソグラフィ技術により、シリコン窒化膜（S i N 膜）上に、ビット線 3 4 の形成領域を覆うホトレジスト（図示せず）を形成する。

【 0 1 0 3 】

次いで、該ホトレジストをマスクとする異方性エッチング（具体的には、ドライエッチング）により、シリコン窒化膜（S i N 膜）、タンゲステン膜、窒化チタン膜、及びポリシリコン膜をパターンングすることで、シリコン窒化膜（S i N 膜）よりなるキャップ絶縁膜 3 6 と、ポリシリコン膜よりなり、第 2 の不純物拡散領域 2 9 の上面 2 9 a と接触するビット線コンタクトプラグ 3 3 と、ビット線コンタクトプラグ 3 3 上に配置され、ポリシリコン膜、窒化チタン膜、及びタンゲステン膜よりなるビット線 3 4 と、を一括形成する。

10

【 0 1 0 4 】

次いで、ビット線 3 4 の側面、及びキャップ絶縁膜 3 6 を覆うように、図示していないシリコン窒化膜（S i N 膜）及びシリコン酸化膜（S i O₂ 膜）を順次成膜し、その後、シリコン酸化膜（S i O₂ 膜）及びシリコン窒化膜（S i N 膜）を全面エッチバックすることにより、キャップ絶縁膜 3 6 の側面及びビット線 3 4 の側面を覆うサイドウォール膜 3 7 を形成する。

20

【 0 1 0 5 】

このように、シリコン窒化膜（S i N 膜）と、シリコン酸化膜（S i O₂ 膜）とを順次積層させることでサイドウォール膜 3 7 を形成することにより、層間絶縁膜 3 8 として S O G 法により形成された塗布系の絶縁膜（具体的には、シリコン酸化膜（S i O₂ 膜））を成膜した際、シリコン酸化膜（塗布系の絶縁膜）の濡れ性が改善されるため、シリコン酸化膜（塗布系の絶縁膜）中へのボイドの発生を抑制できる。

【 0 1 0 6 】

次いで、埋め込み絶縁膜 2 4 の上面 2 4 a、マスク絶縁膜 2 6 の上面 2 6 a、及び第 2 の素子分離用絶縁膜 5 5 の上面 5 5 a に、サイドウォール膜 3 7 を覆うと共に、キャップ絶縁膜 3 6 の上面 3 6 a に対して面一とされた上面 3 8 a を有した層間絶縁膜 3 8 を形成する。これにより、キャップ絶縁膜 3 6 の上面 3 6 a が、層間絶縁膜 3 8 から露出される。

30

【 0 1 0 7 】

具体的には、埋め込み絶縁膜 2 4 の上面 2 4 a、マスク絶縁膜 2 6 の上面 2 6 a、及び第 2 の素子分離用絶縁膜 5 5 の上面 5 5 a に、サイドウォール膜 3 7 を覆うように、S O G 法により塗布系の絶縁膜（シリコン酸化膜（S i O₂ 膜））を塗布し、次いで、熱処理を行なうことで、シリコン酸化膜（塗布系の絶縁膜）の膜質を緻密にする。

また、上記 S O G 法によりシリコン酸化膜（塗布系の絶縁膜）を形成する際には、ポリシラザンを含む塗布液を用いる。また、上記熱処理は、水蒸気雰囲気中に行なうとよい。

40

【 0 1 0 8 】

次いで、C M P 法により、キャップ絶縁膜 3 6 の上面 3 6 a が露出するまで、熱処理されたシリコン酸化膜（塗布系の絶縁膜）の研磨を行なう。これにより、キャップ絶縁膜 3 6 の上面 3 6 a に対して面一とされた上面 3 8 a を有した層間絶縁膜 3 8 が形成される。

なお、図 1 4 A 及び図 1 4 B に示す構造体には図示していないが、上記シリコン酸化膜（塗布系の絶縁膜）の研磨後に、C V D 法により、キャップ絶縁膜 3 6 の上面 3 6 a 及び層間絶縁膜 3 8 の上面 3 8 a を覆うシリコン酸化膜（S i O₂ 膜）を形成してもよい。

【 0 1 0 9 】

次いで、図 1 5 A 及び図 1 5 B に示す工程では、S A C（S e l f A l i g n e d

50

C o n t a c t) 法により、層間絶縁膜 3 8、マスク絶縁膜 2 6、埋め込み絶縁膜 2 4、及びゲート絶縁膜 2 1を異方性エッチング（具体的には、ドライエッチング）することで、第 1 の不純物拡散領域 2 8の上面 2 8 aの一部を露出するコンタクト孔 4 1を形成する。

この際のドライエッチングは、シリコン酸化膜（ SiO_2 膜）を選択的にエッチングするステップと、シリコン窒化膜（ SiN 膜）を選択的にエッチングするステップとに分けて行なう。

【 0 1 1 0 】

次いで、コンタクト孔 4 1内に、上面 4 2 a が層間絶縁膜 3 8の上面 3 8 a に対して面一とされ、かつ下端が第 1 の不純物拡散領域 2 8の上面 2 8 a と接触する容量コンタクトプラグ 4 2を形成する。

具体的には、コンタクト孔 4 1を埋め込むように、C V D 法により、窒化チタン膜（図示せず）と、タングステン膜（図示せず）とを順次積層させ、次いで、C M P 法を用いた研磨により、層間絶縁膜 3 8の上面 3 8 a に形成された不要な窒化チタン膜及びタングステン膜を除去することで、コンタクト孔 4 1内に、窒化チタン膜及びタングステン膜よりなる容量コンタクトプラグ 4 2を形成する。

【 0 1 1 1 】

次いで、層間絶縁膜 3 8の上面 3 8 a に、容量コンタクトプラグ 4 2の上面 4 2 a の一部と接触する容量コンタクトパッド 4 4を形成する。

具体的には、キャップ絶縁膜 3 6の上面 3 6 a、容量コンタクトプラグ 4 2の上面 4 2 a、及び層間絶縁膜 3 8の上面 3 8 a を覆うように、容量コンタクトパッド 4 4の母材となる金属膜（図示せず）を成膜する。

【 0 1 1 2 】

次いで、ホトリソグラフィ技術により、該金属膜の上面のうち、容量コンタクトパッド 4 4の形成領域に対応する面を覆うホトレジスト（図示せず）を形成し、次いで、該ホトレジストをマスクとするドライエッチングにより、ホトレジストから露出された不要な金属膜を除去することで、該金属膜よりなる容量コンタクトパッド 4 4を形成する。容量コンタクトパッド 4 4を形成後、ホトレジスト（図示せず）を除去する。

次いで、キャップ絶縁膜 3 6の上面 3 6 a、容量コンタクトプラグ 4 2の上面 4 2 a、及び層間絶縁膜 3 8の上面 3 8 a に、容量コンタクトパッド 4 4を覆うシリコン窒化膜 4 6を形成する。

【 0 1 1 3 】

次いで、図 1 6 A 及び図 1 6 B に示す工程では、シリコン窒化膜 4 6上に、図示していない厚さの厚いシリコン酸化膜（ SiO_2 膜）を成膜する。該シリコン酸化膜（ SiO_2 膜）の厚さは、例えば、厚さ 1 5 0 0 n m とすることができる。

次いで、ホトリソグラフィ技術により、シリコン酸化膜（ SiO_2 膜）上にパターニングされたホトレジスト（図示せず）を形成し、次いで、該ホトレジストをマスクとするドライエッチングにより、容量コンタクトパッド 4 4上に形成されたシリコン酸化膜（図示せず）及びシリコン窒化膜 4 6をエッチングすることで、容量コンタクトパッド 4 4を露出するシリンドーホール（図示せず）を形成する。その後、ホトレジスト（図示せず）を除去する。

【 0 1 1 4 】

次いで、シリンドーホール（図示せず）の内面、及び容量コンタクトパッド 4 4の上面に、導電膜（例えば、窒化チタン膜）を成膜することで、該導電膜よりなり、かつ王冠形状とされた下部電極 5 7を形成する。

次いで、ウェットエッチングにより、シリコン酸化膜（図示せず）を除去することで、シリコン窒化膜 4 6の上面を露出させる。次いで、シリコン窒化膜 4 6の上面、及び下部電極 5 7を覆う容量絶縁膜 5 8を形成する。

【 0 1 1 5 】

次いで、容量絶縁膜 5 8の表面を覆うように、上部電極 5 9を形成する。このとき、上

10

20

30

40

50

部電極 59 は、上部電極 59 の上面 59 a の位置が容量絶縁膜 58 よりも上方に配置されるように形成する。これにより、各容量コンタクトパッド 44 上に、下部電極 57、容量絶縁膜 58、及び上部電極 59 よりなるキャパシタ 48 が形成される。

これにより、第 1 の実施の形態の半導体装置 10 が製造される。なお、実際には、上部電極 59 の上面 59 a に、図示していない層間絶縁膜、ビア、及び配線等を形成する。

【0116】

第 1 の実施の形態の半導体装置の製造方法によれば、ゲート電極用溝 18 の底部 18 c にフィン部 15 を設けるとともに、第 1 の側面 18 a と第 2 の素子分離用溝 54 で挟まれた半導体基板 13 の上面 13 a を含み、かつ第 1 の側面 18 a に配置されたゲート絶縁膜 21 の上部 21 A を覆う第 1 の不純物拡散領域 28 と、半導体基板 13 のうち、2 つのゲート電極用溝 18 間に位置する部分に配置され、一对のゲート電極用溝 18 の第 2 の側面 18 b に配置されたゲート絶縁膜 21 の下端部以外の全てを覆う第 2 の不純物拡散領域 29 と、を設ける構成となっている。これにより、第 1 及び第 2 のトランジスタ 19 - 1, 19 - 2 を動作させた際、フィン部 15 に第 1 のチャネル領域を形成するとともに、第 1 の側面 18 a に配置されたゲート絶縁膜 21 の下部と接触する半導体基板 13、ゲート電極用溝 18 の底部 18 c と接触する半導体基板 13 及び第 2 の側面 18 b に配置された第 2 の不純物拡散領域 29 の底部よりも下方の半導体基板 13 に第 2 のチャネル領域を形成して、第 2 の側面 18 b と接する部分であって第 2 の不純物拡散領域 29 の底部よりも上方の半導体基板 13 にはチャネル領域を形成しないことが可能となる。

10

20

【0117】

つまり、第 1 及び第 2 のトランジスタ 19 - 1, 19 - 2 がオン状態になった時、フィン部 15 が完全に空乏化するので、従来のトランジスタよりも抵抗が低く、電流がながれやすくすることが可能となる。これにより、微細化されたメモリセルにおいても、チャネル抵抗を減少させてオン電流を増加させることが可能となる。

また、第 1 及び第 2 のトランジスタ 19 - 1, 19 - 2 の一方が動作した際に、他方のトランジスタが誤動作する悪影響を抑制することが可能となる。

よって、半導体装置 10 を微細化して、ゲート電極 22 を狭ピッチで配置した場合でも、第 1 及び第 2 のトランジスタ 19 - 1, 19 - 2 を独立して、安定して動作させることができる。

30

【0118】

また、隣り合うように配置された 2 つのゲート電極用溝 18 の底部 18 c にフィン部 15 が設けられ、かつフィン部 15 の深さ H が 40 nm 以下とされることにより、第 1 のトランジスタ 19 - 1 と電氣的に接続された下部電極 57 に「L」を蓄積させ、第 2 のトランジスタ 19 - 2 と電氣的に接続された下部電極 57 に「H」を蓄積させた状態を形成し、この状態で第 1 のトランジスタ 19 - 1 に対応するゲート電極 22 (ワード線) のオン/オフを繰り返した際、第 1 のトランジスタ 19 - 1 のチャネル領域となるフィン部 15 が p 型であるために電子 e^- (図示せず) が誘起されにくくなるため、第 1 のトランジスタ 19 - 1 のチャネルに誘起された電子 e^- が第 2 のトランジスタ 19 - 2 を構成する第 2 の不純物拡散領域 28 (ドレイン領域) に到達することを抑制可能となる。

40

【0119】

これにより、第 1 のトランジスタ 19 - 1 のチャネルに誘起された電子 e^- が、第 2 のトランジスタ 19 - 2 と電氣的に接続された下部電極 57 に蓄積されている H 情報を破壊して L 状態に変化させることがなくなるため、隣接する一方のセルの動作状態により他の一方のセルの蓄積状態が変化するディスタ urb 不良の発生を抑制できる。

また、隣り合うように配置された 2 つのゲート電極 22 間の間隔が 50 nm 以下とされた DRAM においても、上記ディスタ urb 不良の発生を抑制できる。

【0120】

また、ゲート絶縁膜 21 を介して、各々のゲート電極用溝 18 の下部を埋め込むようにゲート電極 22 を形成し、その後、各々のゲート電極用溝 18 を埋め込むように、ゲート電極 22 の上面 22 a を覆う埋め込み絶縁膜 24 を形成することにより、ゲート電極 22

50

が半導体基板 13 の表面 13 a よりも上方に突出することがなくなる。

これにより、本実施の形態のように、半導体装置 10 として DRAM を製造する場合、ゲート電極 22 を形成する工程よりも後の工程で形成されるビット線 34 やキャパシタ 48 を容易に形成することが可能となるので、半導体装置 10 を容易に製造できる。

【0121】

なお、本実施形態では、埋め込み絶縁膜 24 としてシリコン酸化膜 (SiO₂ 膜) を用いると共に、マスク絶縁膜 26 としてシリコン窒化膜 (SiN 膜) を用いた場合を例に挙げて説明したが、埋め込み絶縁膜 24 としてシリコン窒化膜 (SiN 膜) を用いると共に、マスク絶縁膜 26 としてシリコン酸化膜 (SiO₂ 膜) を用いてもよい。

これにより、図 15 A 及び図 15 B に示す工程において、コンタクト孔 41 を形成する際、埋め込み絶縁膜 24 となるシリコン窒化膜 (SiN 膜) がエッチングストッパーとして機能するため、コンタクト孔 41 がゲート電極 22 の上面 22 a を露出することがなくなるので、コンタクト孔 41 に形成される容量コンタクトプラグ 42 を介して、容量コンタクトパッド 44 とゲート電極 22 とが導通することを防止できる。

【0122】

以上、本発明の好ましい実施の形態について詳述したが、本発明はかかる特定の実施の形態に限定されるものではなく、特許請求の範囲内に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【0123】

図 17 は、本発明を適用した実施の形態に係る半導体装置に適用可能なメモリセルアレイのレイアウトの他の例を示す平面図である。図 17 において、図 1 に示す構造体と同一構成部分には、同一符号を付す。

上記説明した実施の形態の半導体装置 10 は、図 17 に示すような活性領域 16 及びビット線 34 がジグザグ形状とされたレイアウトにも適用可能である。

【産業上の利用可能性】

【0124】

本発明は、半導体装置及びその製造方法に適用可能である。

【符号の説明】

【0125】

- 10 ... 半導体装置
- 11 ... メモリセルアレイ
- 13 ... 半導体基板
- 13 a ... 主面
- 14 ... 第 1 の素子分離領域
- 15 ... フィン部
- 15 a ... 上部
- 15 b , 15 c ... 側面
- 16 ... 活性領域
- 17 ... 第 2 の素子分離領域
- 18 ... ゲート電極用溝
- 18 A ... 第 1 の溝部
- 18 B ... 第 2 の溝部
- 18 a ... 第 1 の側面
- 18 b ... 第 2 の側面
- 18 b ... 底部
- 19 - 1 ... 第 1 のトランジスタ
- 19 - 2 ... 第 2 のトランジスタ
- 21 ... ゲート絶縁膜
- 21 A ... 上部
- 22 ... ゲート電極

10

20

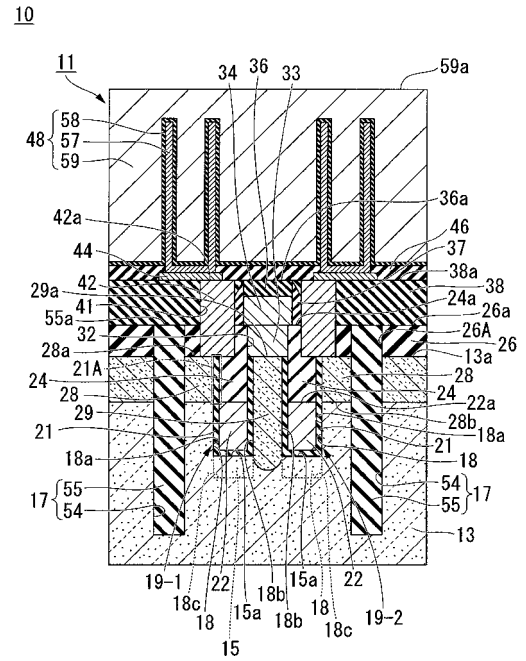
30

40

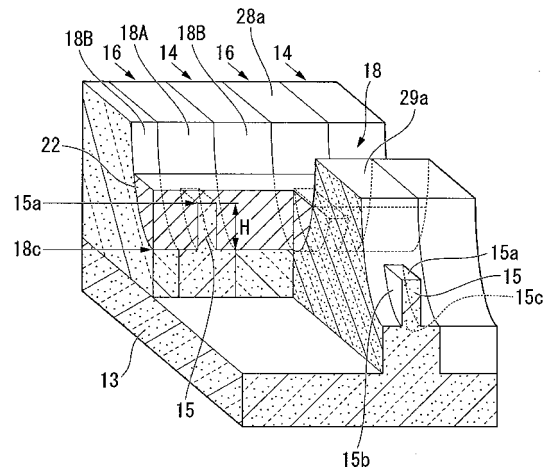
50

2 2 a , 2 4 a , 2 6 a , 2 8 a , 2 9 a , 3 6 a , 3 8 a , 4 2 a , 5 2 a , 5 5 a , 5 9 a , 8 6 a ... 上面	
2 4 ... 埋め込み絶縁膜	
2 6 ... マスク絶縁膜	
2 6 A , 2 6 B , 3 2 , 6 6 a , 7 3 a ... 開口部	
2 8 ... 第 1 の不純物拡散領域	
2 8 b ... 底面	
2 9 ... 第 2 の不純物拡散領域	
3 3 ... ビット線コンタクトプラグ	
3 4 ... ビット線	10
3 6 ... キャップ絶縁膜	
3 7 ... サイドウォール膜	
3 8 ... 層間絶縁膜	
4 1 ... コンタクト孔	
4 2 ... 容量コンタクトプラグ	
4 4 ... 容量コンタクトパッド	
4 6 , 6 6 ... シリコン窒化膜	
4 8 ... キャパシタ	
5 1 ... 第 1 の素子分離用溝	
5 2 ... 第 1 の素子分離用絶縁膜	20
5 4 , 9 8 ... 第 2 の素子分離用溝	
5 5 ... 第 2 の素子分離用絶縁膜	
5 7 ... 下部電極	
5 8 ... 容量絶縁膜	
5 9 ... 上部電極	
6 5 ... パッド酸化膜	
7 1 ... 不純物拡散領域	
7 3 ... ホトレジスト	
8 5 , 1 0 1 ... 第 1 の領域	
8 6 ... 第 2 の領域	30
9 1 ... 溝	
9 3 A ... 底部	
D ₁ , D ₂ , D ₃ , D ₄ ... 深さ	
H ... フィン部の高さ	
R ... 素子形成領域	
W ₁ ... 幅	

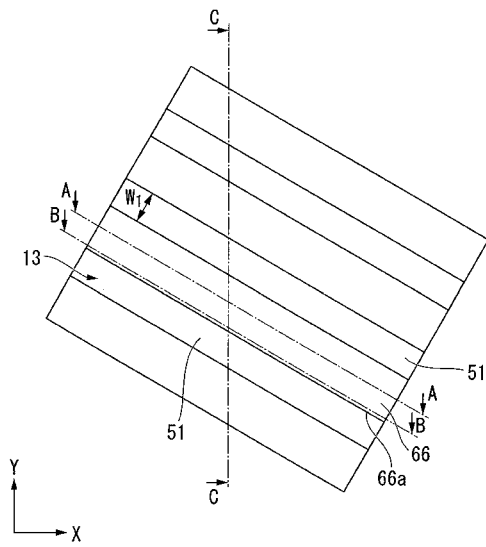
【 図 2 A 】



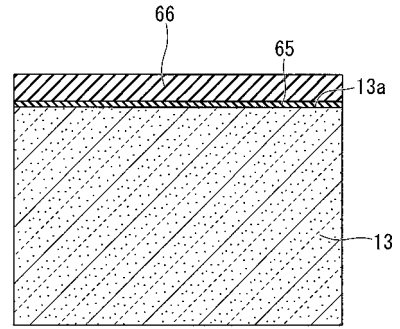
【 ㊦ 2 C 】



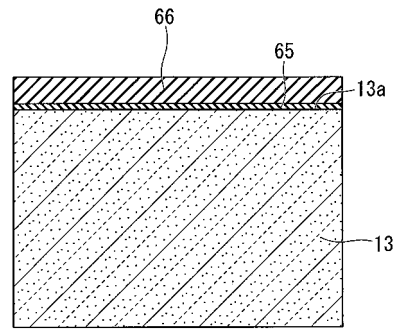
【図 3 A】



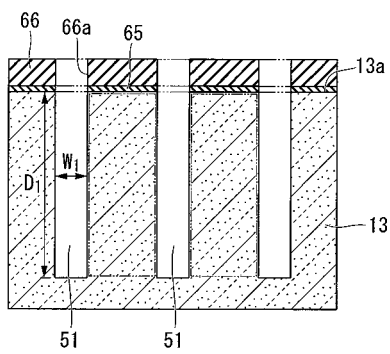
【図 3 B】



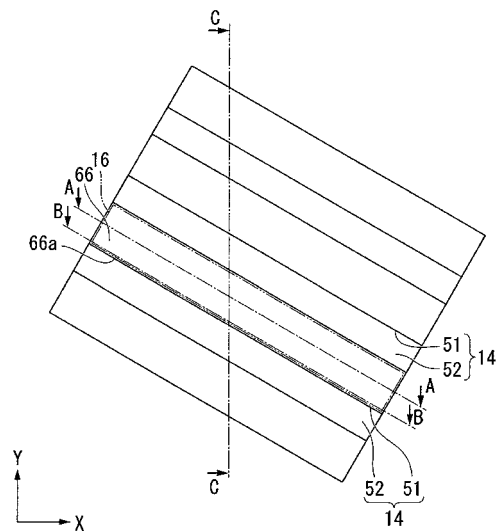
【図 3 C】



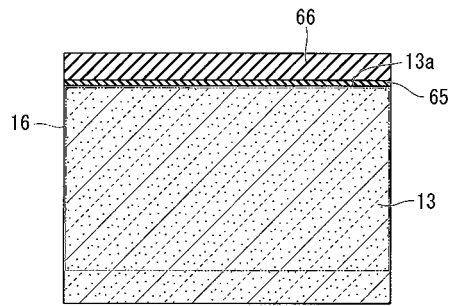
【図 3 D】



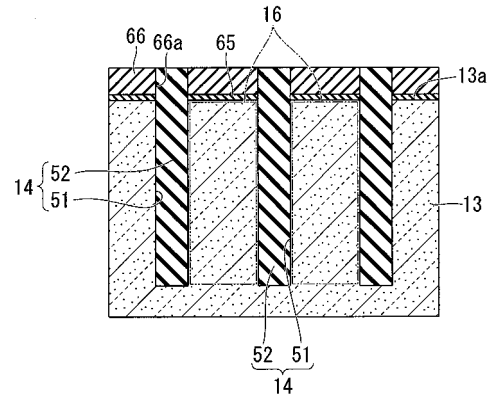
【図 4 A】



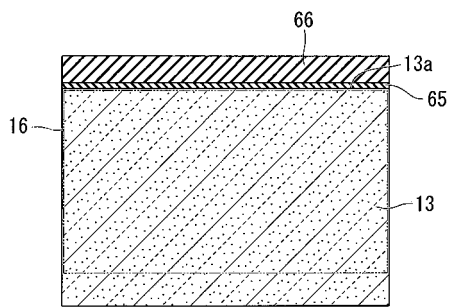
【図 4 B】



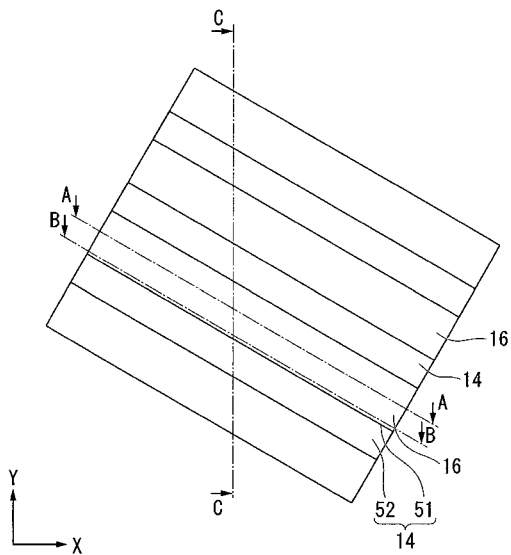
【図 4 D】



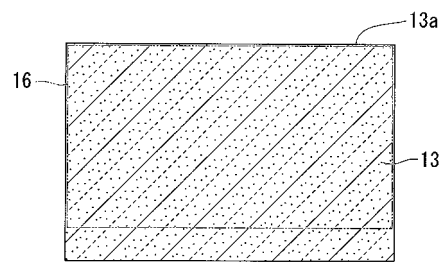
【図 4 C】



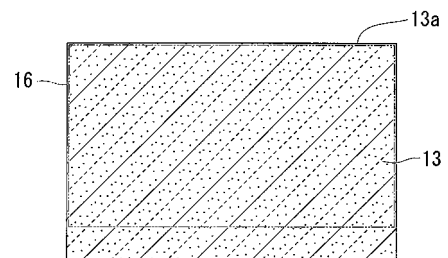
【図 5 A】



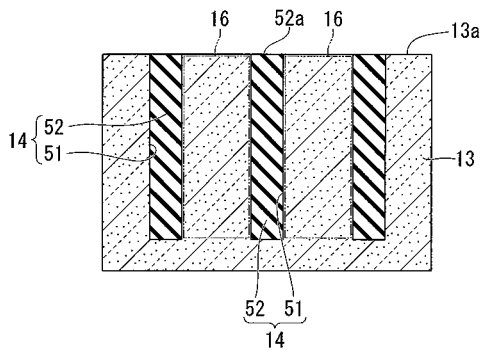
【図 5 B】



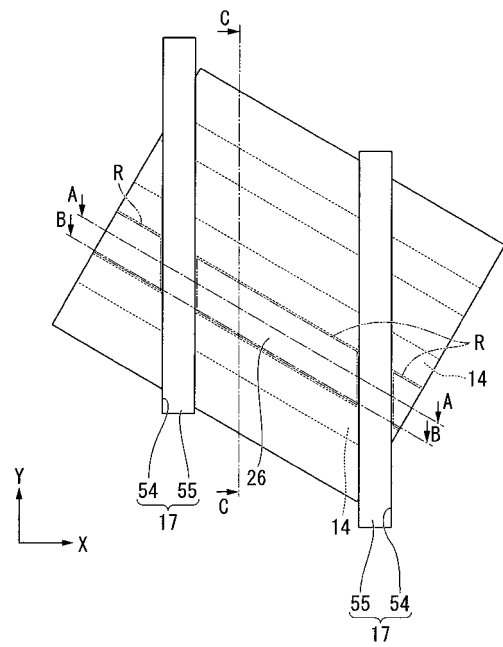
【図 5 C】



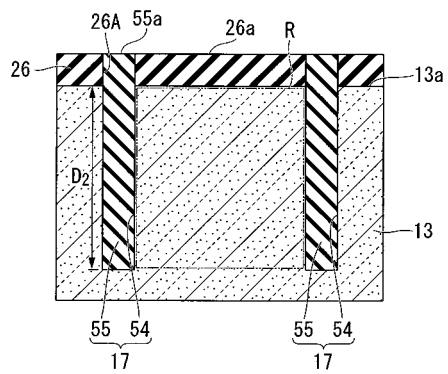
【図 5 D】



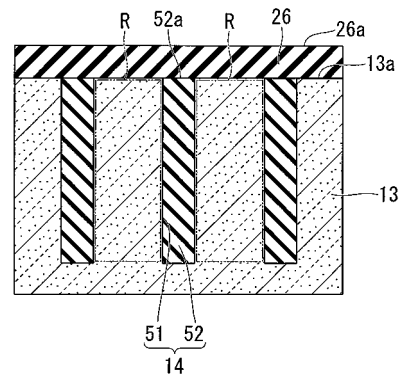
【図 6 A】



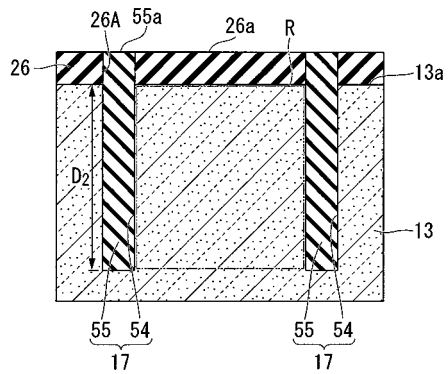
【図 6 B】



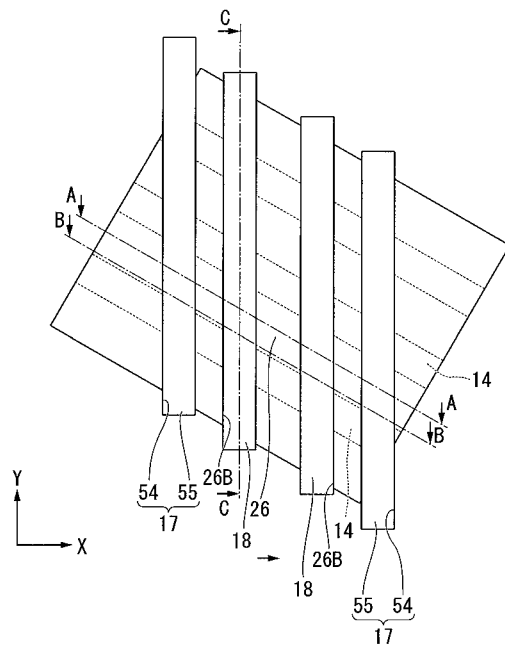
【図 6 D】



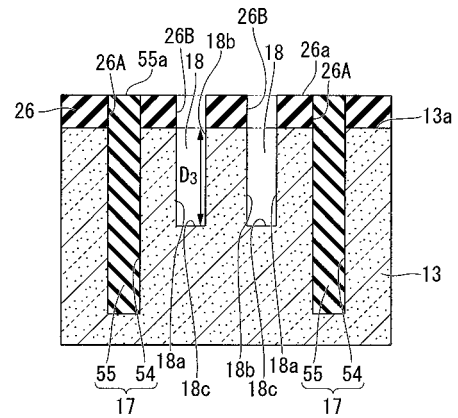
【図 6 C】



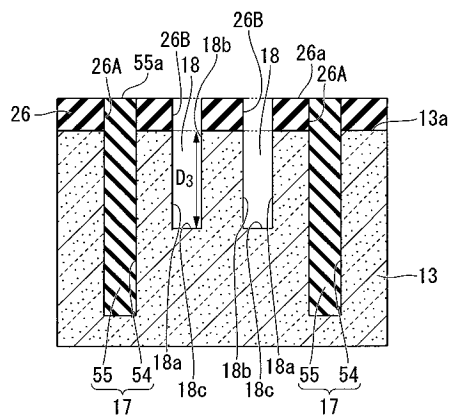
【図 7 A】



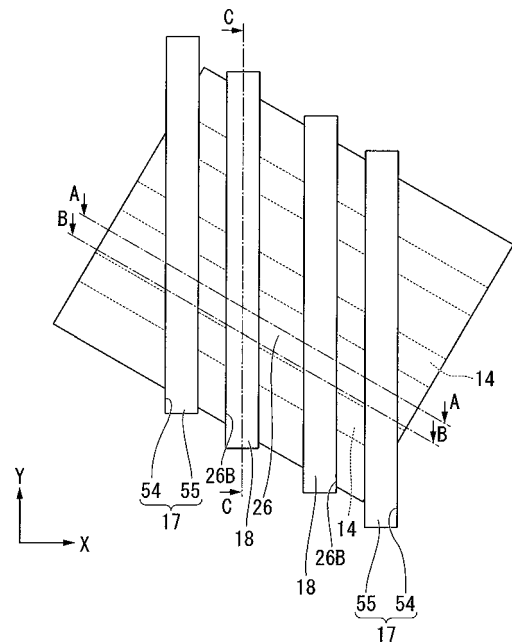
【図 7 B】



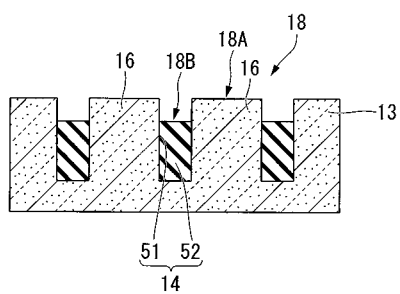
【図 7 C】



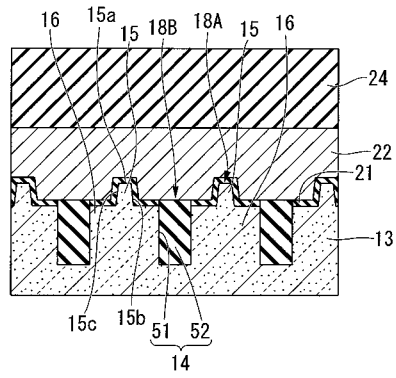
【図 8 A】



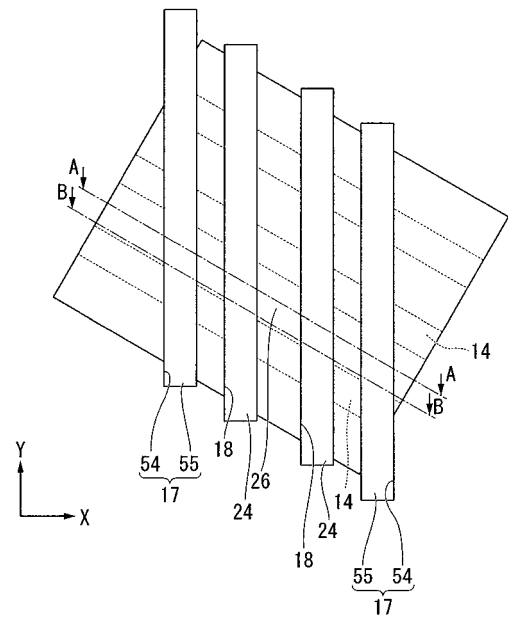
【図 7 D】



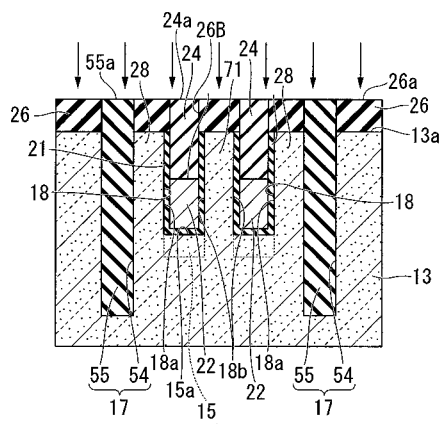
【図 9 D】



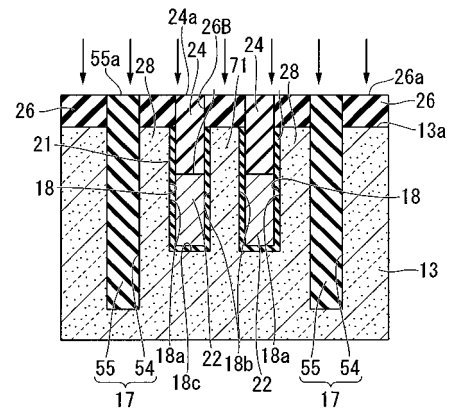
【図 10 A】



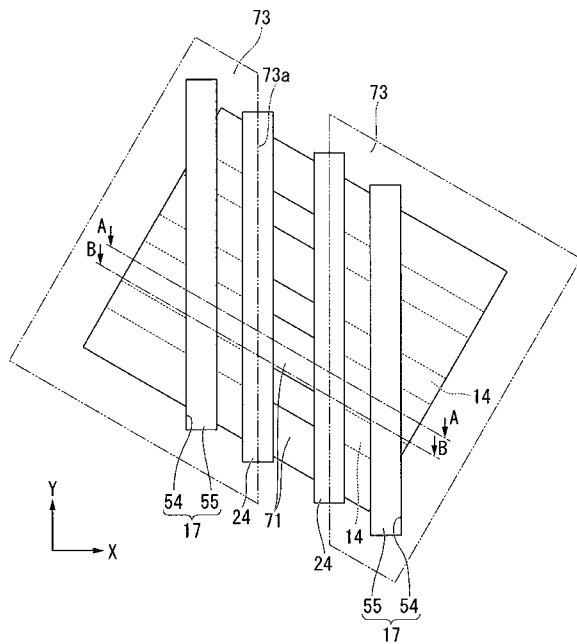
【図 10 B】



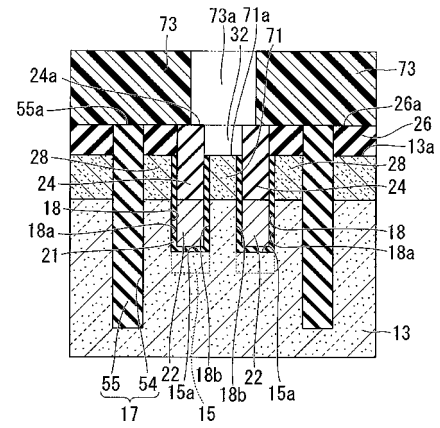
【図 10 C】



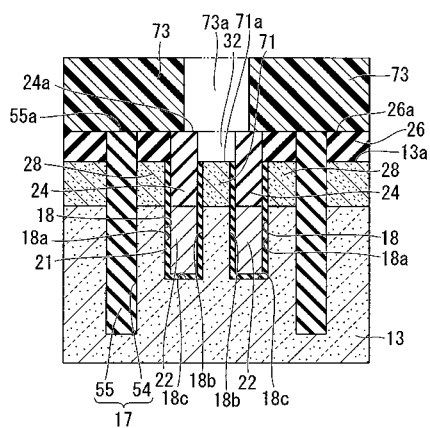
【図 1 1 A】



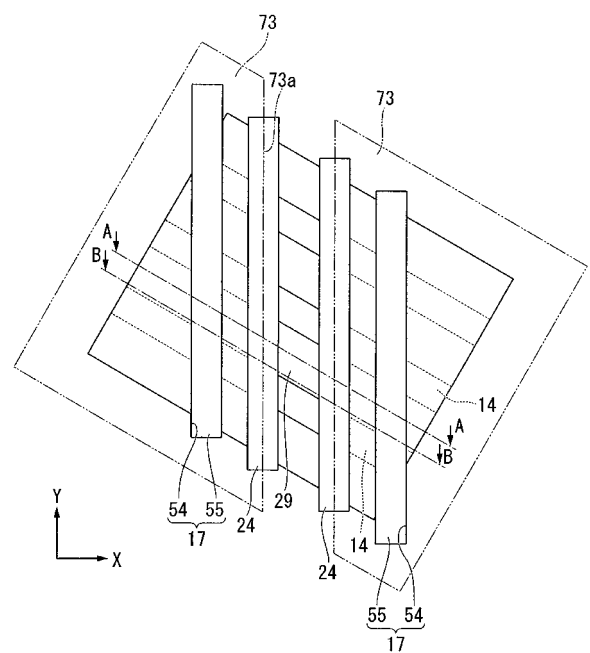
【図 1 1 B】



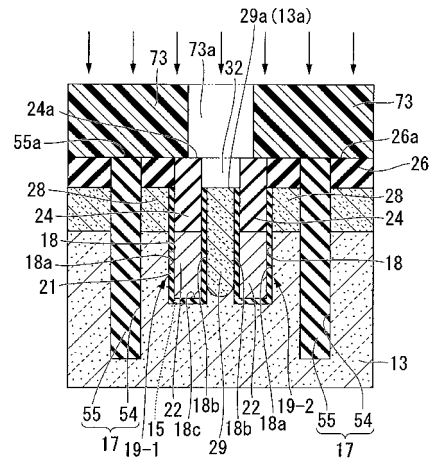
【図 1 1 C】



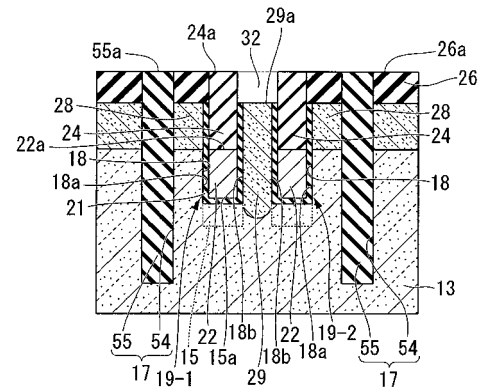
【図 1 2 A】



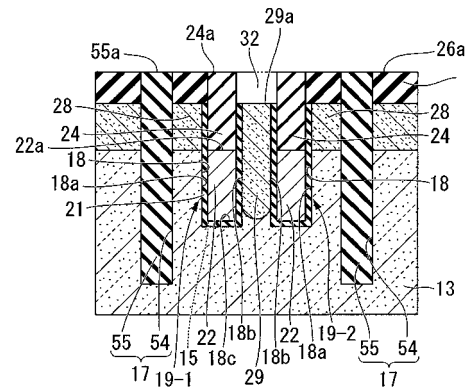
【 図 1 2 C 】



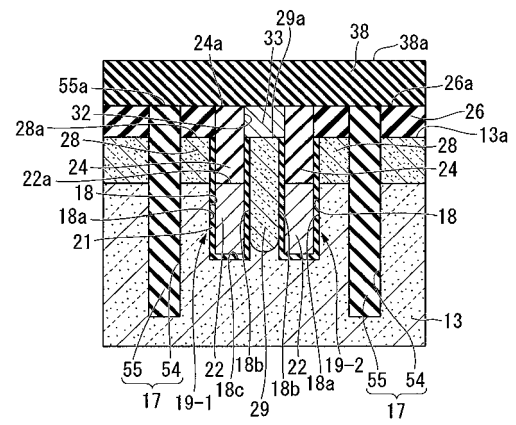
【 図 1 3 B 】



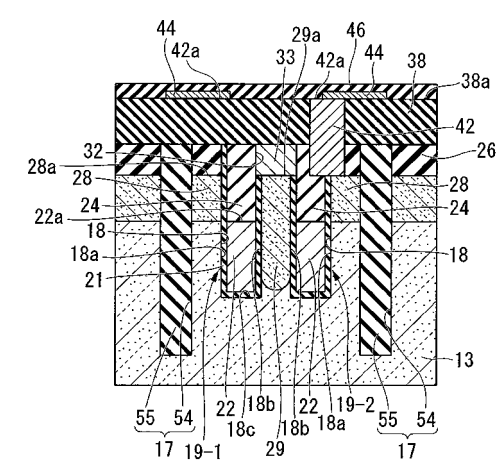
【 図 1 3 C 】



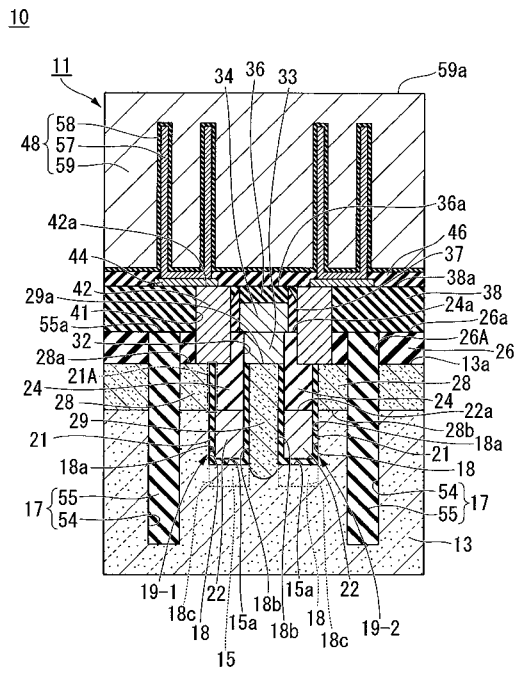
【 図 1 4 B 】



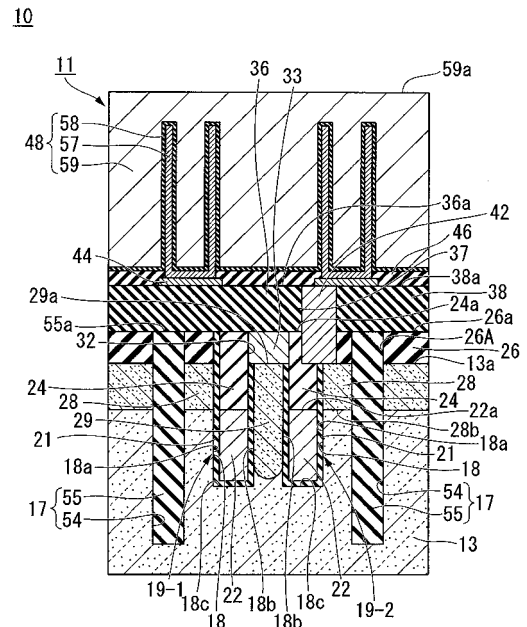
【 図 1 5 B 】



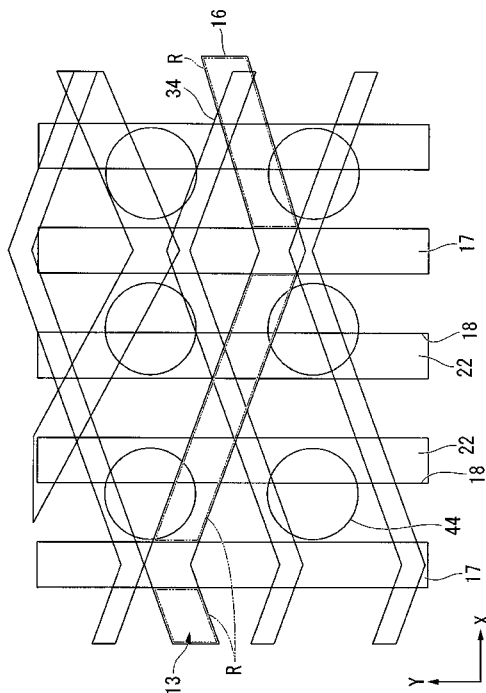
【図 16 A】



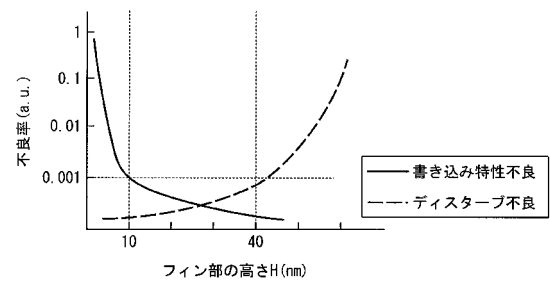
【図 16 B】



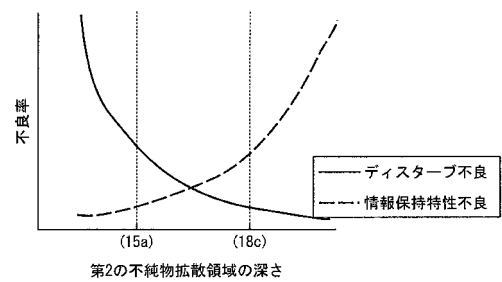
【図 17】



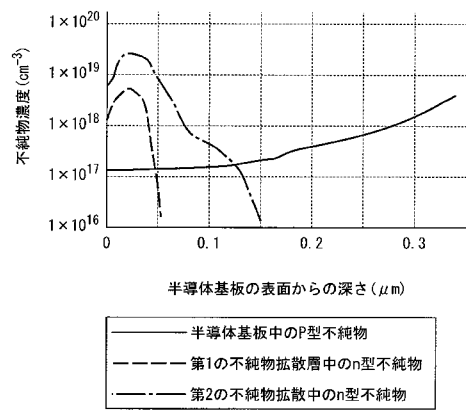
【図 18】



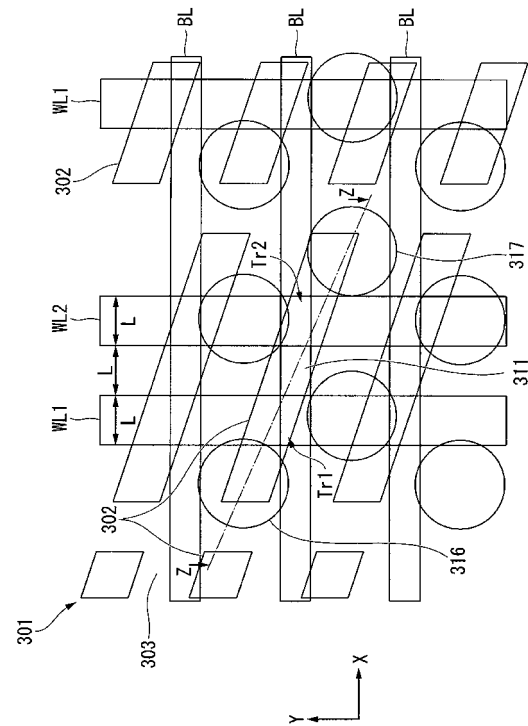
【図 19】



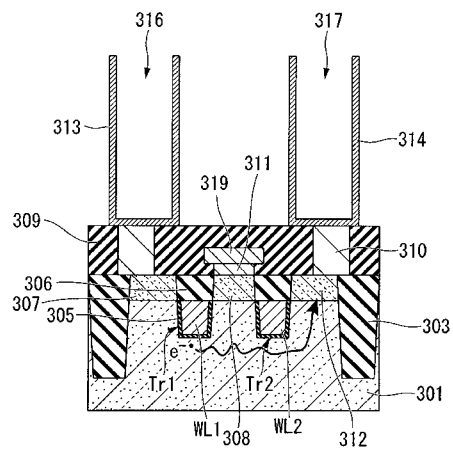
【図20】



【図21】



【図22】



フロントページの続き

(72)発明者 谷口 浩二

東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

(72)発明者 浜田 耕治

東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

(72)発明者 竹谷 博昭

東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

Fターム(参考) 5F083 AD04 AD24 AD48 AD49 AD56 GA02 GA09 GA11 GA12 GA15
JA02 JA04 JA05 JA39 JA40 LA01 LA02 LA21 MA02 MA05
MA06 MA17 MA20 NA01 PR33 PR40