

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 19 年 5 月 31 日 (2007.5.31)

【公開番号】特開 2005-294773 (P2005-294773A)
 【公開日】平成 17 年 10 月 20 日 (2005.10.20)
 【年通号数】公開・登録公報 2005-041
 【出願番号】特願 2004-111703 (P2004-111703)
 【国際特許分類】

H 0 1 L 21/66 (2006.01)
H 0 1 L 21/02 (2006.01)
H 0 1 L 29/78 (2006.01)
H 0 1 L 29/739 (2006.01)
H 0 1 L 27/088 (2006.01)
H 0 1 L 21/336 (2006.01)

【F I】

H 0 1 L 21/66 B
 H 0 1 L 21/02 Z
 H 0 1 L 29/78 6 5 3 A
 H 0 1 L 29/78 6 5 5 Z
 H 0 1 L 29/78 6 5 6 C
 H 0 1 L 29/78 6 5 8 L

【手続補正書】
 【提出日】平成 19 年 4 月 4 日 (2007.4.4)
 【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

(a) 複数のチップ形成領域の各々に半導体素子が形成されたウェハであって、前記半導体素子が表面電極と裏面電極とを有するウェハを準備する工程と、

(b) 前記ウェハの表面に開口部を有するテープによって、前記ウェハをフレームに固定する工程と、

(c) 前記工程 (b) の後、前記ウェハが前記フレームに固定された状態で、前記半導体素子の前記表面電極と前記裏面電極の両方に、測定端子を接続し、前記半導体素子の電気的特性を測定する工程と、

(d) 前記工程 (c) の後、前記ウェハをダイシングすることにより、各々が前記半導体素子を有する複数の半導体チップを形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 2】

請求項 1 において、前記テープの開口部は、前記ウェハの外形寸法より小さい寸法で形成され、前記テープは、前記ウェハの表面の外周部に貼り付けられることを特徴とする半導体装置の製造方法。

【請求項 3】

請求項 2 において、前記工程 (c) は、前記ウェハを測定装置のプローピングステージに搭載する工程を有し、

前記半導体素子の前記裏面電極に接続された前記測定端子は、前記プローピングステー

ジであり、前記ウェハの裏面の全面が前記測定装置のプロービングステージに接触した状態で、前記半導体素子の電気的特性が測定されることを特徴とする半導体装置の製造方法

。

【請求項 4】

請求項 3 において、前記半導体素子は、パワー MOSFET であり、前記表面電極は、ゲート電極及びソース電極であり、前記裏面電極は、ドレイン電極であることを特徴とする半導体装置の製造方法。

【請求項 5】

請求項 3 において、前記半導体素子は、IGBT であり、前記表面電極は、ゲート電極及びエミッタ電極であり、前記裏面電極は、コレクタ電極であることを特徴とする半導体装置の製造方法。

【請求項 6】

請求項 4 又は請求項 5 において、前記半導体素子の電気的特性の測定は、オン抵抗の測定であることを特徴とする半導体装置の製造方法。