[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
H04L 12/64

[12] 发明专利说明书

[21] ZL 专利号 99126714.1

[45] 授权公告日 2004 年 9 月 22 日

[11] 授权公告号 CN 1168266C

[22] 申请日 1999.12.13 [21] 申请号 99126714.1
[30] 优先权
[32] 1998.12.14 [33] US [31] 09/211，497
[71] 专利权人 朗迅科技公司
地址 美国新泽西州
[72] 发明人 纳林德拉·K·班萨尔
肯尼思·A·比克
詹姆斯·S·拉兰楚克
审查员 朱 琦

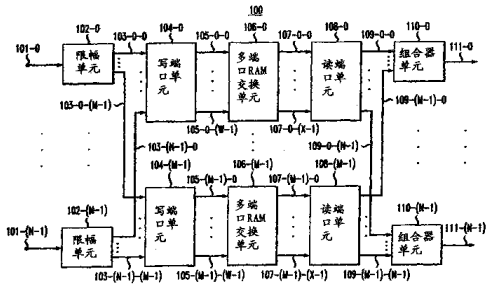
[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所
代理人 王以平

权利要求书 3 页 说明书 10 页 附图 4 页

[54] 发明名称 基于多端口 RAM 的交叉连接系统

[57] 摘要

一种大容量的数字式无阻塞的交叉连接的交换结构，它是通过使用具有多个写电路和多个读电路的基于多端口 RAM 的时空交换系统实现的，每个电路的定时速率都是基于多端口 RAM 的交叉连接的交换结构的输入/输出端口的输入/输出时钟速率的一个规定的比例。 至少一个多端口 RAM 交换单元具有多个写电路和多个读电路，每个电路的定时速率都是基于多端口 RAM 的交叉连接的交换结构的输入/输出端口的输入/输出时钟速率的一个规定的比例。



ISSN1008-4274

1、一种数字式交叉连接系统，具有多个输入端口，多个输出端口和输入/输出时钟速率，包括：

多个多端口随机存取存储器（RAM）交换单元，所述多个多端口RAM 交换单元中的每个包括一或多个独立的输入端口和一或多个独立的输出端口，并且有用于存储信号码元的多个存储位置；

相应的多个限幅单元，所述多个限幅单元中的每个包括一个输入和一或多个输出，并且适于产生具有输入/输出速率的相应输入信号的信号限幅电平，所述信号限幅电平中的每个包括预定数目的位；

相应的多个写端口单元，其一对一地与所述多个多端口 RAM 交换单元中的各个多端口 RAM 交换单元相关联，

所述多个写端口单元中的每个包括一或多个写输入端口和一或多个写输出端口，

从所述多个限幅单元的一或多个的所述输出，以规定格式和第三时钟速率向每个所述写端口单元的所述一或多个写输入端口的规定写输入端口，提供信号限幅电平，

所述多个写端口中的每个以第一时钟速率向所述相关多端口 RAM 交换单元的输入端口提供来自于其相应的一或多个写输入端口的信号限幅电平，并且用于以一个不同于所述输入／输出时钟速率的第一时钟速率向所述相关多端口 RAM 交换单元的规定的存储位置写入所述提供的限幅电平即信号码元；

相应的多个读端口单元，其一对一地与所述多个多端口 RAM 交换单元中的各个多端口 RAM 交换单元相关联，

所述多个读端口单元中的每个具有一或多个读端口输入和一或多个读端口输出，并且适于以一个不同于所述输入／输出时钟速率的第二时钟速率并按照一个规定的读地址映象图从所述相关多端口 RAM 交换单元可控地读出所述存储的信号码元中的一些特定的信号码元，

其中来自于所述多个读端口单元的所述信号码元输出是信号限幅

电平；和

相应的多个组合器，其中为所述组合器提供来自于所述多个读端口单元的所述一或多个读端口输出的所述信号限幅电平，用于以所述输入/输出时钟速率将它们组合成相应的输出信号，

其中所述第一时钟速率和所述第二时钟速率均慢于所述输入/输出时钟速率。

2、权利要求 1 的数字式交叉连接系统，其特征在于：所述第一时钟速率慢于所述第二时钟速率。

3、权利要求 1 的数字式交叉连接系统，其特征在于：所述第一时钟速率和所述第二时钟速率相同。

4、权利要求 1 的数字式交叉连接系统，其特征在于：所述多个写端口单元中的每个包含多个写端口，每个所述写端口包括至少一个写输入端口和至少一个相关的写电路，所述至少一个写输入端口以所述第三时钟速率接收所述信号限幅电平，并且以所述第一时钟速率向所述至少一个相关写电路提供所述限幅电平即信号码元，所述至少一个写电路以所述第一时钟速率向所述相关多端口 RAM 交换单元的相关输入端口提供所述信号码元，以便存储在规定的存储位置。

5、权利要求 4 的数字式交叉连接系统，其特征在于：所述多个多端口 RAM 交换单元中的每个包括多个输入端口，所述多个写端口中的每个包括多个写输入端口和相应数目的写电路，每个所述写电路都和所述多个多端口 RAM 交换单元的输入端口以一对一的方式相关联。

6、权利要求 4 的数字式交叉连接系统，其特征在于：所述多个多端口 RAM 交换单元中的每个包括多个输入端口，还包括多个写端口，每个所述写端口包括多个写输入端口，每个所述写输入端口以第一时钟速率提供信号码元作为输出，还包括一个写电路和一个可控元件，所述可控元件用于以一个时间交错的重复顺序从所述多个写输入端口向所述写电路提供所述信号码元输出，每个所述写电路都以一对一的方式与所述多个多端口 RAM 交换单元的输入端口相关联，其中所述第一时钟速率慢于所述输入／输出时钟速率。

7、权利要求 6 的数字式交叉连接系统，其特征在于：所述多个多端口 RAM 交换单元中的每个包括多个输出端口，还包括多个读端口，每个所述读端口包括一个读电路，用于按照一个规定的读地址映象图从所述多端口 RAM 交换单元中的存储位置任意地读取信号码元，还包括多个读输出端口和一个可控元件，所述可控元件用于按并行的和一对一的方式以第二时钟速率从所述读电路向所述多个读输出端口提供多个所述信号码元，每个所述读电路都以一对一的方式与所述多个多端口 RAM 交换单元的输出端口相关联，其中从所述读输出端口的输出是以所述第三时钟速率进行的，并且所述第二时钟速率慢于所述输入／输出时钟速率。

8、权利要求 4 的数字式交叉连接系统，其特征在于：来自于所述多个读端口中的每个的所述信号码元输出是信号限幅电平，并且进一步还包括至少一个组合器，组合器提供有来自于所述读输出端口的所述信号限幅电平，用于以所述第三时钟速率组合它们使之成为至少一个输出信号。

9、权利要求 7 的数字式交叉连接系统，其特征在于：来自于所述读输出端口的所述信号码元输出是信号限幅电平，并且进一步还包括至少一个组合器，组合器提供有来自于所述多个读输出端口的所述信号限幅电平，用于以所述第三时钟速率组合它们使之成为至少一个输出信号。

10、权利要求 7 的数字式交叉连接系统，其特征在于：还包括多个地址映象图，每个地址映象图都一对一地和所述多个读电路相关联。

11、权利要求 9 的数字式交叉连接系统，其特征在于：还包括多个地址映象图，每个地址映象图都一对一地和所述多个读电路相关联，并且每个所述地址映象图都包括指定给所述多个读电路中的所述相关的一个读电路的一个存储元件区段的非重叠地址。

基于多端口 RAM 的交叉连接系统

技术领域

本发明涉及交叉连接系统，具体来说涉及大型时间／空间交换结构。

背景技术

数字式交叉连接系统通常用于可控地改发或重新安排在数字式传输系统中交换的信号的内容。然而，由于对较大的传输容量的要求日益增加，需要有一种用在交叉连接的交换结构中的较大容量的无阻塞交换单元。

可用来实现交叉连接的交换结构的已知的处理方法有好几种。一种这样的处理方法是使用 n: 1 多路复用器，其中 n 是交叉连接的交换结构的容量。不幸的是，这样一种多路复用器阵列的规模随“n"按指数形式增长，并且阵列的每个输入端都要经受随“n“线性增长的负荷。

按另一种现有技术的公知方法，对输入进行分时复用，然后将其存储在一个存储元件的阵列中，一般是一个随机存取存储（RAM）单元。RAM 单元的大小是要交换的（即要交叉连接的）信号码元的数目的两倍，所以可由输出端口按任意的顺序读出输入信号码元的整个补码，同时存储一个新的补码。随着交换结构的容量的增加，每单位时间到达的不同的信号码元的数目也在增加，RAM 单元的大小和它的读、写端口的速度也必须增加。

况且，按照这样一种安排，信号码元的大小影响 RAM 单元的大小和存取循环时间。为了减小交换结构的通过延迟，必须减小信号码元的大小，但这又增加了为了维持交叉连接的信号所必须存取来自每个信号的信号码元的频率。的确，人们期望能够在写或读循环期间存取一个完整的信号。显然，按照这种安排，交叉连接写／读端口的容量就变为一个至关重要的问题，由此可限制这种基于 RAM 的交叉连

接系统的大小。

的确，可以利用的 RAM 单元的大小和它们的存取时间限制了已知的交叉连接的交换结构的大小规模。如以上所述，随着 RAM 单元的大小的增加，RAM 单元的存取时间也要增加。因此，对于使用 RAM 单元的现有技术已知的交叉连接的交换结构的容量存在一个根本性的限制。此外，RAM 单元的存取时间主要由对于整个 RAM 的存储内容进行不加限制的存取所需的写地址解码、读地址解码、或两者的地址解码占据。随着 RAM 的大小的增加，对于多个所谓的读出放大器中的每一个的地址解码级、选择行、和输入端的数目都要增加，这又减慢了交叉连接的交换结构的数据存取操作的每一个阶段。

发明内容

本发明提供了一种数字式交叉连接系统，具有多个输入端口，多个输出端口和输入/输出时钟速率，包括：多个多端口随机存取存储器（RAM）交换单元，所述多个多端口 RAM 交换单元中的每个包括一或多个独立的输入端口和一或多个独立的输出端口，并且有用于存储信号码元的多个存储位置；相应的多个限幅单元，所述多个限幅单元中的每个包括一个输入和一或多个输出，并且适于产生具有输入/输出速率的相应输入信号的信号限幅电平，所述信号限幅电平中的每个包括预定数目的位；相应的多个写端口单元，其一对一地与所述多个多端口 RAM 交换单元中的各个多端口 RAM 交换单元相关联，所述多个写端口单元中的每个包括一或多个写输入端口和一或多个写输出端口，从所述多个限幅单元的一或多个的所述输出，以规定格式和第三时钟速率向每个所述写端口单元的所述一或多个写输入端口的规定写输入端口，提供信号限幅电平，所述多个写端口中的每个以第一时钟速率向所述相关多端口 RAM 交换单元的输入端口提供来自于其相应的一或多个写输入端口的信号限幅电平，并且用于以一个不同于所述输入／输出时钟速率的第一时钟速率向所述相关多端口 RAM 交换单元的规定的存储位置写入所述提供的限幅电平即信号码元；相应的多个读端口单元，其一对一地与所述多个多端口 RAM 交换单元中的各

个多端口 RAM 交换单元相关联，所述多个读端口单元中的每个具有一或多个读端口输入和一或多个读端口输出，并且适于以一个不同于所述输入／输出时钟速率的第二时钟速率并按照一个规定的读地址映象图从所述相关多端口 RAM 交换单元可控地读出所述存储的信号码元中的一些特定的信号码元，其中来自于所述多个读端口单元的所述信号码元输出是信号限幅电平；和相应的多个组合器，其中为所述组合器提供来自于所述多个读端口单元的所述一或多个读端口输出的所述信号限幅电平，用于以所述输入/输出时钟速率将它们组合成相应的输出信号，其中所述第一时钟速率和所述第二时钟速率均慢于所述输入/输出时钟速率。

通过使用至少一个多端口 RAM 交换单元实现一个无阻塞的交叉连接的时空交换结构，就可克服现有技术的公知的数字式交叉连接的交换结构的这些问题和其它的一些问题以及限制。至少一个多端口 RAM 交换单元有多个写电路和多个读电路，每个电路操作的定时速率都是基于多端口 RAM 的交叉连接的交换结构的输入／输出端口的输入／输出时钟速率的一个规定的比值。此外，在一个实施例中，每个写电路只需要部分存取非重叠的存储位置，但每个读电路可以独立地和不加限制地存取在构成至少一个多端口 RAM 交换单元的多个存储单元中的每个存储单元中的所有的数据存储位置。因为写电路和每个读电路都在以多端口 RAM 交换单元的输入／输出时钟速率的一个规定的比值操作，具有可在一个合理的存取时间内存取存储容量明显大得多的基于多端口 RAM 的交叉连接的交换结构是可以实现的。

在本发明的一个实施例中，使用多个多端口 RAM 交换单元实现一个基于多端口 RAM 的无阻塞的交叉连接的时空交换结构。

在一个特殊的实施例中，利用分数的写速率使一个写电路可服务于多个输出端口。以此方式，把按空间排列的输入信号码元转换成按时间排列的信号码元。而且，通过利用多个写电路、并且每个写电路都访问一个共用的写地址空间，就可以进一步利用输入信号码元的空间发散性。具体来说，每个写电路都被指定只能访问写地址空间的一

个特定的区段，这个特定的区段不同于指定给任何其它写电路的写地址空间区段。把通过一个写电路提供的信号码元写入指定给特定写电路的多端口 RAM 交换单元的存储位置区段。当写地址空间全部占满时，按预定的顺序把输入端口全部容量收集在一个存储地址空间内。然后把这个写地址空间变为读地址空间，同时前一个读地址空间现在变为写地址空间，将在写入刚刚到达的输入信号码元时使用。

进而，由于读电路正在以输出端口的时钟速率的一个比值操作，所以通过以循环的方式从多端口 RAM 交换单元向输出端口传递读出的信号码元，就可使每个读电路都服务于多个输出端口。此外，按本发明的另一个实施例，每个读电路都专门被指定只访问读地址空间的一个特定的区段，这个区段不同于指定给任何其它的读电路的读地址空间区段。

因此。基于多端口 RAM 的交叉连接的交换结构的容量明显地增加了。使用分开的写输入端口和读输出端口使多端口 RAM 交换单元的交叉连接容量加倍。增加一个第二写输入端口和读输出端口对又使多端口 RAM 交换单元的交叉连接容量再次加倍。进一步增加写输入端口和读输出端口对将以线性方式按比例增加多端口 RAM 交换单元的交叉连接容量。

附图说明

图 1 以简化方块图的形式表示基于多端口 RAM 的交叉连接的交换结构的细节，其中包括本发明的一个实施例；

图 2 以简化方块图的形式表示在图 1 的实施例中可以使用的一个写端口单元的细节；

图 3 以简化方块图的形式表示在本发明的一个实施例中可以使用的另一个写端口单元的细节，它在图 1 的实施例中也可使用；

图 4 以简化方块图的形式表示包括本发明的一个实施例的一个读端口单元的细节，它在图 1 的实施例中也可使用。

具体实施方式

图 1 以简化方块图的形式表示基于多端口 RAM 的交叉连接的交换结构 100 的细节，其中包括本发明的一个实施例。应该说明，多端

口 RAM 交换单元中的每一个都是经过所谓加倍缓冲的，因此在一个存储循环中一个缓冲器在读，另一个缓冲器就在写，反之亦然。此外，为使说明简单而且清楚，只描述交叉连接的交换结构的相关服务部分。这里不描述保护部分，所说的保护部分大体上和所说的服务部分相同；但从以下对交叉连接的交换结构的服务部分的描述中，所说的保护部分对于本领域的普通技术人员来说将变成显而易见的。

具体来说，输入信号提供给无阻塞的交叉连接的交换结构 100 的输入端 101－0 到 101－（N－1）。在此例中，到每个输入端 101 的输入信号包括 8 个所谓的 TXI－12 链路。一个 TXI－12 信号（622．08 兆赫兹）包括 12 个所谓的 TXI－1 信号（51．84 兆赫兹），并且大体上类似于一个 SONET STS－12 信号（它是由一起多路复用的 12 个 STS－1 SONET 信号构成的）。于是，每个输入端 101 接收 96 个所谓的 TXI－1 信号，这些信号基本上类似于 96 个 STS－1 信号。在每个输入端 101－0 到 101－（N－1）上接收的 96 个 TXI－1 信号分别提供给限幅单元 102－0 到 102－（N－1）。在每个限幅单元 102 中，把接收的信号加到指针处理器（未示出）上，指针处理器在 SONET 领域中是众所周知的。指针处理器补偿通过交叉连接产生的传播延迟，并且重新校准接收的 TXI－12 信号的传输开销，以便补偿在限幅单元 102 和多端口 RAM 开关 106 之间的距离变化。把每个限幅单元 102 中的指针处理器输出提供给一个限幅电路（未示出）。每个限幅单元缓冲 96 个 TXT－1 信号，并且提供 32 个所谓的 SXI－3 信号（155．52 兆赫兹）作为输出，每个这样的信号有 96 个位的时隙。

STI－3 的格式如下：在第一时隙，提供 32 个字节的第一 TXI－1 信号作为一个输出；在第二时隙，提供 32 个字节的第二 TXI－1 信号作为一个输出；一直继续到提供 32 个字节的第 96 个 TXI－1 信号作为一个输出。然后启动该过程。在此例中，TXI－1 信号是经过交叉连接的交换结构 100 交叉连接的。

从限幅单元 102－0 的输出端经链路 103－0－0 到 103－0－（M－1）、一直到从限幅单元 102－（N－1）的输出端经链路 103－（N

－1）－0到103－（N－1）－（M－1）、向写端口单元104－0到104－（M－1）提供SXI－3格式的信号，其方式如下：向写端口单元104－0的输入端提供来自于限幅单元102－0到102－（N－1）的所有的限幅电平为“0“的SXI－3输出；向写端口单元104－1的输入端提供来自于限幅单元102－0到102－（N－1）的所有的限幅电平为“1“的SXI－3输出；如此等等，一直到向写端口单元104－（M－1）提供来自于限幅单元102－0到102－（N－1）的所有的限幅电平为“M－1“的SXI－3输出为止。（应该说明，在此例中，N＝48，M＝32）。在图2和3中以及在以下的描述中将说明在图1所示的本发明的实施例中可以使用的写端口单元104的细节。在此例中，在图2中的每个写端口单元104有W＝48个输出（8位的输出速率为19.44兆赫兹），在图3中的每个写端口单元104有W＝12个输出（8位的输出速率为77.76兆赫兹）。于是，当使用图2或图3的写端口单元作为写端口单元104时，写端口单元104－0的输出分别经链路105－0－0到105－0－（W－1）（其中W＝48或W＝12）提供给多端口RAM交换单元106－0的对应号码的输入端，一直到写端口单元104－（M－1）的输出分别经链路105－（M－1）－0到105－（M－1）－（W－1）提供给多端口RAM交换单元106－（M－1）的对应号码的输入端。要注意，在此例中，当W＝48时，至每个多端口RAM交换单元106的每个输入的第一时钟速率是19.44兆赫兹；当W＝12时，至每个多端口RAM交换单元106的每个输入的第一时钟速率是77.76兆赫兹。注意第一时钟速率低于多端口RAM交换单元106的输入/输出时钟速率。

每个写端口单元104的操作就是把96个限幅电平中的8位限幅电平依次地写入多端口RAM交换单元106中的相应的一个交换单元的存储位置。

多端口RAM交换单元106－0的输出经链路107－0－0到107－0－（X－1）提供给读端口单元108－0的相应号码的输入端，一直到多端口RAM交换单元106－（M－1）的输出经链路107－（M－

1）－0 到 107－（M－1）－（X－1）提供给读端口单元 108－（M－1）的相应号码的输入端。（在此例中，X＝12 和 M＝32，并且，多端口交换单元 106 的输出速率是 77．76 兆赫兹，这是读时钟速率，即第二时钟速率。第二时钟速率也比多路复用器 RAM 交换单元 106 的输入／输出时钟速率慢。）

应该注意的是，本申请人独一无二地采用多端口 RAM 交换单元 106 的重要意义就是在保持合理的交换存取时间的同时提高了交叉连接容量。为此，本申请人有益地利用了多端口 RAM 单元实现这一结果的特性，即，通过把一个典型的单个写／读 RAM 端口分成一个独立的写输入端口和一个独立地读输出端口，使 RAM 的交叉连接容量加倍，再增加一个第二写输入端口和读输出端口对将使 RAM 的交叉连接容量再次加倍，进一步再增加写输入端口和读输出端口对将按线性方式成比例地增加 RAM 的交叉连接容量。

在此例中，读端口单元 108 的操作应该是这样的：响应于输入限幅电平－输出限幅电平的映象可控地从 4608 个限幅电平中读出 8 位的限幅电平，所说的限幅电平的映象是从交叉连接的系统控制器提供的并且和每个读端口单元 108 存在一对一的关系。读出的 8 位限幅电平是作为读端口单元 108 的输出提供的。具体来说，读端口单元 108 的输出如下：读端口单元 108－0 分别经链路 109－0 到 109－0－（N－1）向组合器单元 110－0 到 110－（N－1）的限幅电平“0“输入端提供输出；读端口单元 108－1 分别经链路 109－0－1 到 109－（M－1）－（N－1）向组合器单元 110－0 到 110－（N－1）的限幅电平“1“输入端提供输出；如此等等；一直到读端口单元 108－（M－1）分别经链路 109－（M－1）－0 到 109－（M－1）－（N－1）向组合器单元 110－0 到 110－（N－1）的限幅电平“M－1“输入端提供输出。（再一次地，在此例中，N＝48 和 M－32，读端口单元 108 的输出速率是 155．52 兆赫兹。）在图 3 中表示出读端口单元 108 的细节，下面将描述。

每个组合器单元 110 进行操作以重新组合交叉连接的 TXI－1 信

号，并且以 12 个为一组来提供它们在 622. 08 兆赫兹输出，即 TXI－12 信号。在此例中，每个组合器单元 110－0 到 110－（N－1）经 8 个链路提供 TXI－12 信号，分别形成输出 111－0 到 111－（N－1），（在此例中，再一次地有 N＝48）。

每个多端口 RAM 交换单元 106 的操作再结合它的相应的写端口单元 104 和读端口单元 108 可实现时空交换，并且使得在任何一个输入端或其等效物上的 96 个限幅电平中的任何一个 8 位的输入限幅电平都可交叉连接到在任何一个输出端或其等效物上的 96 个限幅电平中的任何一个 8 位的限幅电平。因此，在此例中，在每个多端口 RAM 交换单元 106,这个交换单元结合它的相应的写端口单元 104 和读端口单元 108，产生 4608＊4608 个 8 位的多端口交换单元，并且 M＝32 的多端口 RAM 交换单元 106 的整个距阵形成了用于交叉连接 TXI－1 信号的基于 RAM 的交叉连接的交换结构。

图 2 以简化方块图的形式表示在图 1 的实施例中可以使用的一个写端口单元 104 的细节。具体来说，每个写端口单元 104 包括多个写端口 200－0 到 200－（N－1），为它们分别提供输入 103－0 到 103－（N－1）。每个写端口 200 包括一个写输入端口 201 和一个写电路 202。信号码元以预定的顺序写到多路端口 RAM 交换单元 106 的输入端 D（0）到 D（W－1），并且在写控制计数器 203 的控制下，分别从写电路 202－0 到 202－（N－1）写各个到存储位置。写控制计数器 203 提供适当的时钟脉冲给地址输入 A（0）到 A（W－1），地址输入 A（0）到 A（W－1）分别和输入端 D（0）到 D（W－1）一一对应。（在此例中，N＝48 和 W＝48，在 155. 52 兆赫下的输入速率是 1 比特，在 19. 44 兆赫下的写速率是 8 比特。）

图 3 以简化方块图的形式表示在本发明的一个实施例中可以使用的另一个写端口单元 104 的细节，它在图 1 的实施例中也可使用。具体来说，每个写端口单元 104 包括多个完全相同的写端口 301－0 到 301－（W－1）。在此例中，对写端口 301－0 进行描述，写端口 301－0 包括 4 个输入端口 302－0 到 302－3，以 1 比特的速率经输入端

103－0 到 103－3 向输入端口 302－0 到 302－3 提供 155. 52 兆赫的 8 位限幅电平。每个写输入端口 302－0 到 302－3 按照时间交错的重复顺序以 8 比特的速率向选择器 304 的输入端提供 19. 44 兆赫的输出。至此，经 303－0 向选择器 304 的一个输入端提供的写输入端口 302－0 的输出是没有经过任何延迟的。写输入端口 302－1 的输出经过一个延迟单元 303－1 提供给选择器 304。延迟单元 303－1 把提供的信号延迟一个延迟间隔单元。写输入端口 302－2 的输出经过一个延迟单元 303－2 提供给选择器 304。延迟单元 303－2 把提供的信号延迟 2 个延迟间隔单元。写输入端口 302－3 的输出经过一个延迟单元 303－3 提供给选择器 304。延迟单元 303－3 把提供的信号延迟 3 个延迟间隔单元。还有，可控的选择器 304 是一个在写控制计数器 306 的控制下的可控的元件，并且以一个重复的顺序从 303－0 及延迟单元 303－2 到 303－3 向写电路 305 提供信号码元。然后，按照众所周知的方式，在写控制计数器的控制下，以重复的顺序（即循环方式）把信号码元写入多端口 RAM 交换单元 106 内的一个对应的交换单元中的预定的存储位置。于是，在分别提供给多端口 RAM 交换单元 106 内的相应的交换单元的地址输入端 A（0）到 A（W－1）的地址信号的控制下，把来自写端口 301－0 到 301－（W－1）的信号码元分别写入输入端 D（0）到 D（W－1）。（在此例中，W＝12，在 155. 52 兆赫下的写端口的输入速率是 1 比特，在 77. 76 兆赫下的写速率是 8 比特。）通过减小写端口数目可减小多端口存储部件的大小。如以上所述，较小的存储部件可以维持较高的读／写速率；或者说，对于相同的读／写速率可使存储部件更小。

图 4 以简化方块图的形式表示包括本发明的一个实施例的一个读端口单元 108 的细节，它在图 1 的实施例中也可使用。具体来说，每个读端口单元 104 包括多个完全相同的读端口 401－0 到 401－（X－1），并且在分别加到地址输入端 A（0）到 A（X－1）的地址的控制下，从多端口 RAM 交换单元 106 中的一个相应的交换单元的存储位置经输出端 Q（0）到 Q（X－1）把信号码元读入所说的读端口 401

－0 到 401－（X－1）。在此例中，对读端口 401－0 进行描述，读端口 401－0 包括 读电路 402，读电路 402 访问由指定给读端口 401－0 的读地址空间的一个特定的区段识别的并且包含在查找表 403 中的存储位置。存储在查找表 403 中的地址是从一个系统控制器经交叉连接映象存取单元 407 提供的，并且在读控制计数器 408 的控制下把所说的地址提供到多端口交换单元 106 中的一个相应的交换单元的地址输入端 A（0）。在存储在查找表 403 中的地址的控制下，把信号码元从多端口 RAM 交换单元 106 中的一个相应的交换单元的输出端 Q（0）提供到读端口单元 108 中的一个相应的读端口 401－0，并且提供到这里的读电路 402。信号码元从读电路 402 按任意的顺序提供给可控的选择器 404，这由查找表 403 中的地址映射字段确定。可控的选择器 404 是一个在读控制计数器 108 的控制下的可控元件，并且按照众所周知的方式，以重复的顺序，即以循环的方式，遵循下述的路径提供读信号码元（即限幅电平）：经延迟单元 405－0 到读输出端口 406－0、经延迟单元 405－1 到读输出端口 406－1、经延迟单元 405－2 到读输出端口 406－2、经延迟单元 405－3 到读输出端口 406－3。延迟单元 405－0 提供 3 个延迟间隔单元、延迟单元 405－1 提供 2 个延迟间隔单元、延迟单元 405－2 提供 1 个延迟间隔单元。读输出端口 406－0 到 406－3 分别并行地向链路 109－0 到 109－3 提供信号码元。（在此例中，X＝12，在 77．76 兆赫下进入读端口 401－0 的速率是 8 比特，在 155．52 兆赫下离开每个输出端口 406 的速率是 1 比特。）再一次地，通过减小读端口数目可减小多端口存储部件的大小。如以上所述，较小的存储部件可以维持较高的读／写速率；或者说，对于相同的读／写速率可使存储部件更小。

以上描述了本发明原理的应用的实施例。本领域的普通技术人员显然可以明了在不偏离本发明的构思和范围的条件下如何把本发明的原理应用到其它的应用上。

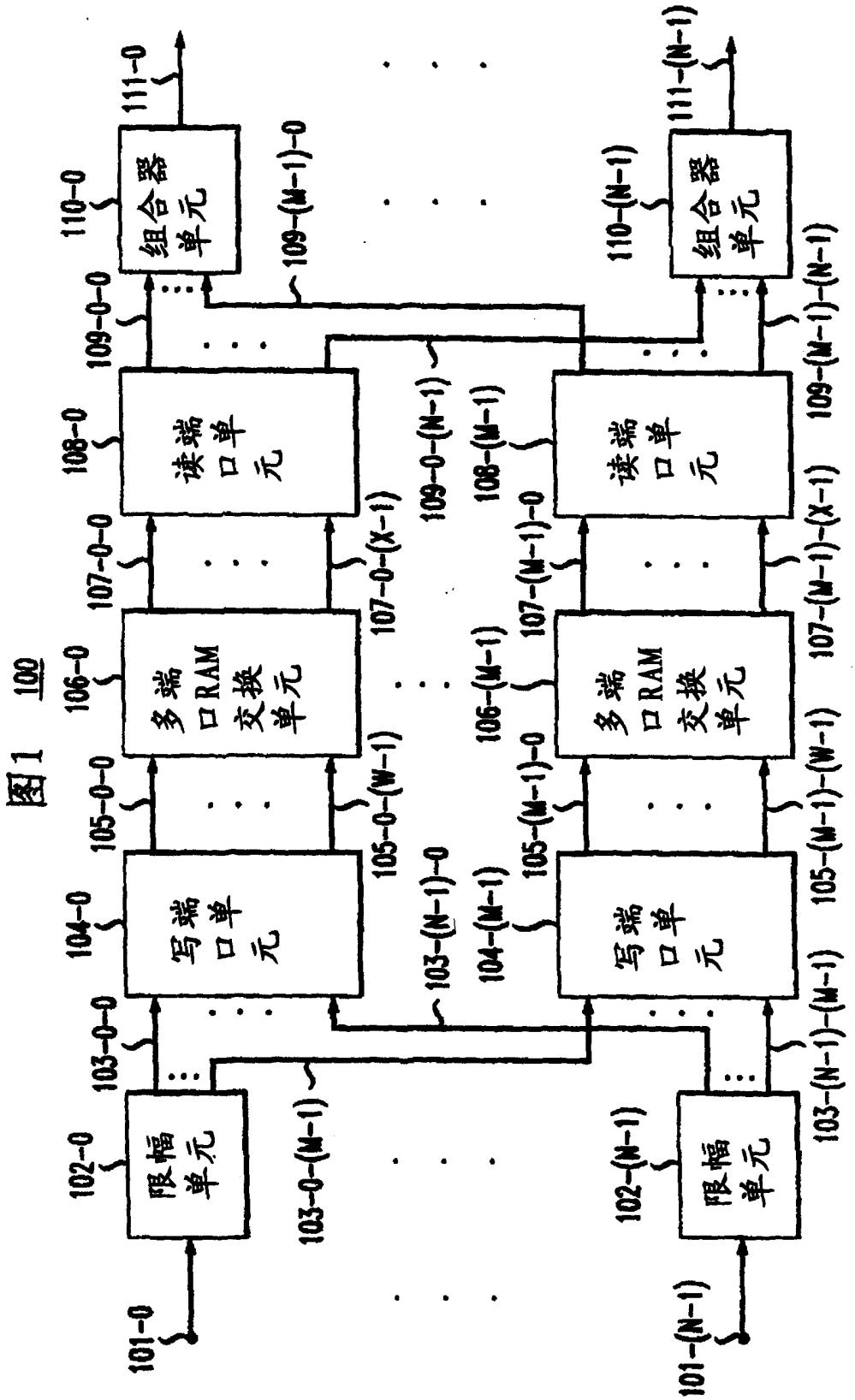

100
限幅单元
写端口单元
多端口RAM交换单元
读端口单元
组合器单元
101-0
101-(N-1)
102-0
102-(N-1)
103-0-0
103-0-(M-1)
103-(N-1)-0
103-(N-1)-(M-1)
104-0
104-(N-1)
105-0-0
105-0-(W-1)
105-(N-1)-0
105-(N-1)-(W-1)
106-0
106-(N-1)
107-0-0
107-0-(X-1)
107-(N-1)-0
107-(N-1)-(X-1)
108-0
108-(N-1)
109-0-0
109-0-(N-1)
109-(N-1)-0
109-(N-1)-(N-1)
110-0
110-(N-1)
111-0
111-(N-1)

图1

图2

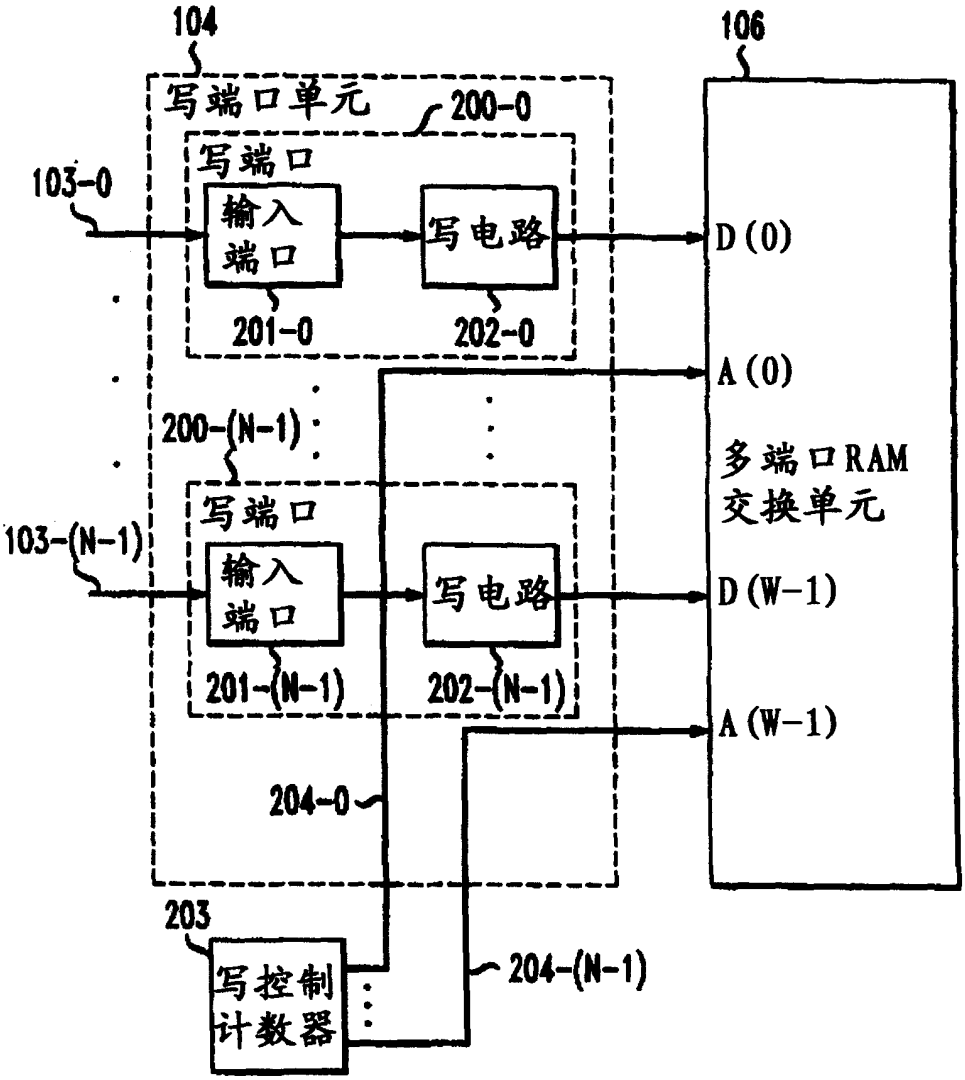
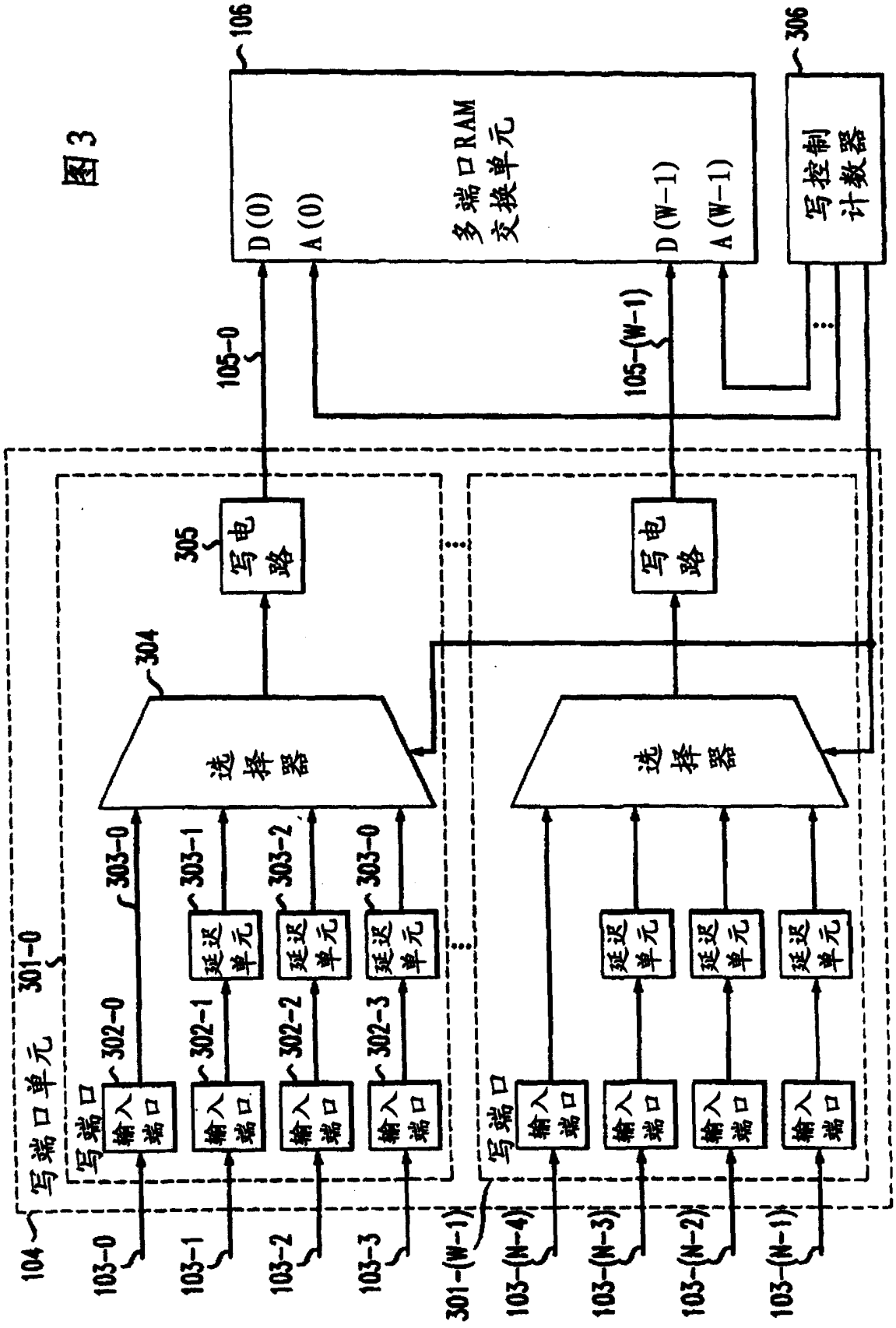

104
写端口单元
200-0
写端口
103-0
输入端口
写电路
201-0
202-0
200-(N-1)
写端口
103-(N-1)
输入端口
写电路
201-(N-1)
202-(N-1)
204-0
203
写控制计数器
204-(N-1)
106
D(0)
A(0)
多端口RAM交换单元
D(W-1)
A(W-1)

图 3


106
306
多端口RAM
交换单元
D(0)
A(0)
D(W-1)
A(W-1)
写控制
计数器
105-0
105-(W-1)
305
写电路
写电路
304
选择器
选择器
303-0
303-1
303-2
303-0
延迟单元
302-0
302-1
302-2
302-3
输入端口
写端口
301-0
写端口单元
104
103-0
103-1
103-2
103-3
301-(W-1)
103-(N-4)
103-(N-3)
103-(N-2)
103-(N-1)

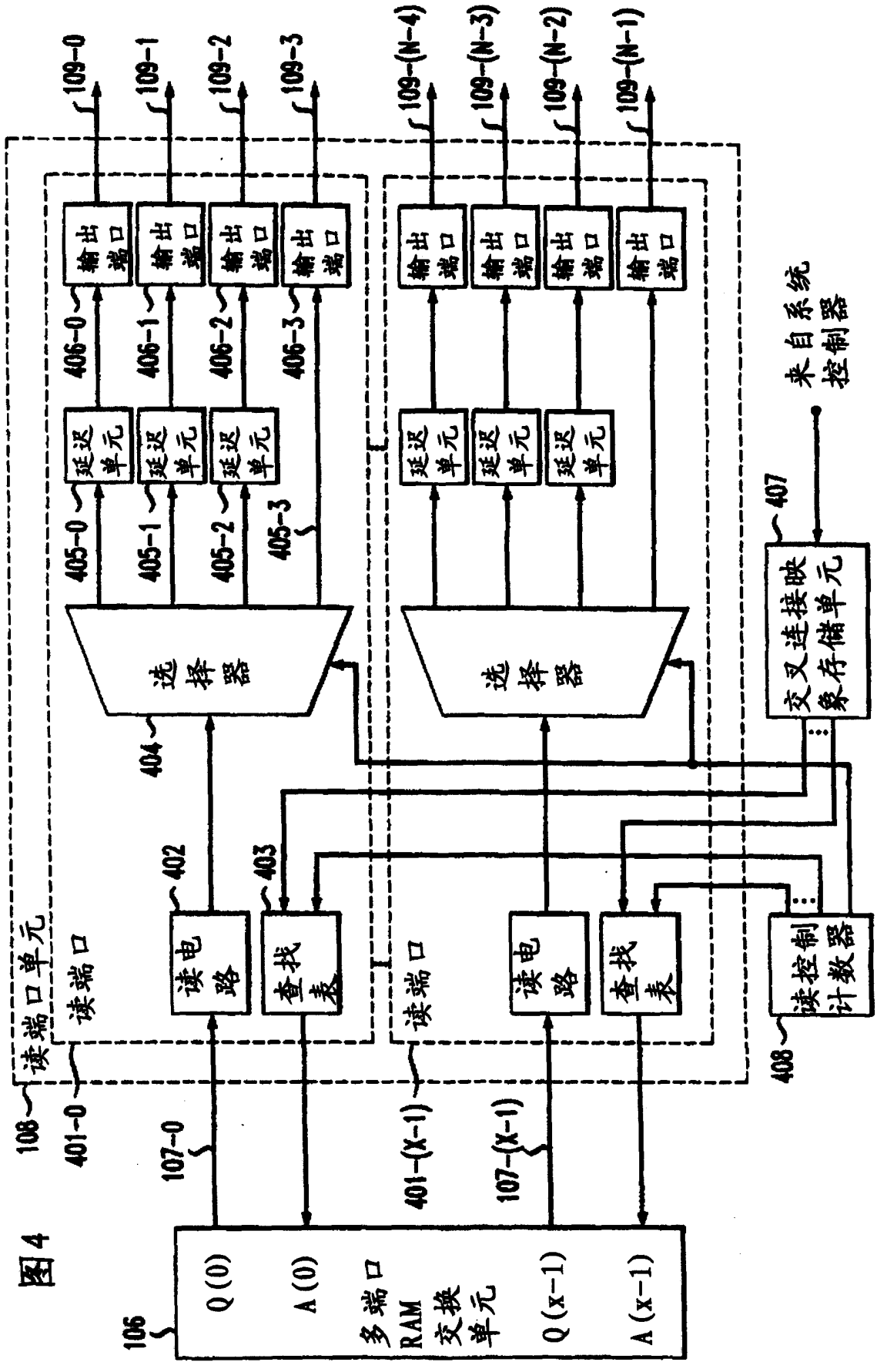

109-0
109-1
109-2
109-3
109-(N-4)
109-(N-3)
109-(N-2)
109-(N-1)
输出端口
406-0
406-1
406-2
406-3
延迟单元
405-0
405-1
405-2
405-3
选择器
404
来自系统控制器
407
交叉连接映象存储单元
读端口单元
108
读端口
401-0
401-(X-1)
402
403
读电路
查找表
107-0
107-(X-1)
读控制计数器
408
106
多端口RAM交换单元
Q(0)
A(0)
Q(x-1)
A(x-1)

图4