



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년09월07일
(11) 등록번호 10-0979737
(24) 등록일자 2010년08월27일

(51) Int. Cl.

H01L 21/304 (2006.01)

(21) 출원번호 10-2008-0059607

(22) 출원일자 2008년06월24일

심사청구일자 2008년06월24일

(65) 공개번호 10-2009-0012053

(43) 공개일자 2009년02월02일

(30) 우선권주장

102007035266.4 2007년07월27일 독일(DE)

(56) 선행기술조사문헌

KR1020070037409 A

KR1019990081877 A

JP2001135605 A

JP2001068441 A

전체 청구항 수 : 총 11 항

(73) 특허권자

실트로닉 아게

독일연방공화국 81737 문헨 한스-사이텔-플라츠 4

(72) 발명자

슈반드너 쥐르겐

독일 84518 가르힌크 투른스트라세 6

부쉬하르트 토마스

독일 84489 부르크하우젠 릴리엔베크 26

(뒷면에 계속)

(74) 대리인

김태홍, 신정건

심사관 : 이창용

(54) 반도체 재료 기판의 폴리싱 방법

(57) 요약

본 발명은, 연마재가 접촉되어 있는 폴리싱 패드에서 기판을 폴리싱하며, 폴리싱 단계 중에 기판과 폴리싱 패드 사이에 폴리싱제 용액이 주입되는 적어도 1회의 A형 폴리싱 단계; 및 연마재가 접촉되어 있는 폴리싱 패드에서 기판을 폴리싱하며, 폴리싱 단계 중에 기판과 폴리싱 패드 사이에 비접착 연마재를 함유하는 폴리싱제 슬러리가 주입되는 적어도 1회의 B형 폴리싱 단계를 포함하는, 반도체 재료 기판의 폴리싱 방법에 관한 것이다.

(72) 발명자

코페르트 롤란드

독일 84371 트리프테른 호호스트라세 17

피엣쉬 게오르크

독일 84489 부르크하우젠 도르프너베크 18아

특허청구의 범위

청구항 1

반도체 재료 기판의 폴리싱 방법으로서,

연마재가 접촉되어 있는 폴리싱 패드에서 기판을 폴리싱하며, 폴리싱 단계 중에 기판과 폴리싱 패드 사이에 폴리싱제 용액이 주입되는 적어도 1회의 A형 폴리싱 단계; 및

연마재가 접촉되어 있는 폴리싱 패드에서 기판을 폴리싱하며, 폴리싱 단계 중에 기판과 폴리싱 패드 사이에 연마재를 함유하는 폴리싱제 슬러리가 주입되는 적어도 1회의 B형 폴리싱 단계

를 포함하는 것인 반도체 재료 기판의 폴리싱 방법.

청구항 2

제1항에 있어서, 상기 B형 폴리싱 단계는 상기 A형 폴리싱 단계 이전 또는 이후에 실시되는 것인 반도체 재료 기판의 폴리싱 방법.

청구항 3

제1항 또는 제2항에 있어서, 상기 A형 폴리싱 단계 및 상기 B형 폴리싱 단계는 동일한 폴리싱 플레이트 상에서 실시되는 것인 반도체 재료 기판의 폴리싱 방법.

청구항 4

제1항 또는 제2항에 있어서, 상기 A형 폴리싱 단계 및 상기 B형 폴리싱 단계는 상이한 폴리싱 플레이트 상에서 실시되는 것인 반도체 재료 기판의 폴리싱 방법.

청구항 5

제1항에 있어서, 어떠한 연마재도 접촉되지 않은 폴리싱 패드에 의해서 기판을 폴리싱하며, 폴리싱 단계 중에 기판과 폴리싱 패드 사이에 연마재를 함유하는 폴리싱제 슬러리가 주입되는 것인 적어도 1회의 C형 폴리싱 단계를 포함하는 것인 반도체 재료 기판의 폴리싱 방법.

청구항 6

제1항 또는 제5항에 있어서, 상기 폴리싱제 슬러리는, 연마재로서 알루미늄, 세륨 또는 실리콘 원소의 하나 이상의 산화물을 함유하는 것인 반도체 재료 기판의 폴리싱 방법.

청구항 7

제6항에 있어서, 상기 폴리싱제 슬러리는 0.25 중량% 내지 20 중량%의 고체 비율을 갖는 것인 반도체 재료 기판의 폴리싱 방법.

청구항 8

제6항에 있어서, 상기 폴리싱제 슬러리는 산화제를 함유하고, 상기 기판은 게르마늄을 포함하거나 게르마늄을 함유하는 것인 반도체 재료 기판의 폴리싱 방법.

청구항 9

제1항에 있어서, 상기 폴리싱제 용액은 산화제를 함유하고, 상기 기판은 게르마늄을 포함하거나 게르마늄을 함유하는 것인 반도체 재료 기판의 폴리싱 방법.

청구항 10

제1항 또는 제2항에 있어서, 상기 폴리싱 패드는, 개방기공형 폼 바디(open-pored foam body)의 도움으로 상기 폴리싱 패드 상에 세척제를 분배함으로써 폴리싱 단계 중에 세척되는 것인 반도체 재료 기판의 폴리싱 방법.

청구항 11

제1항 또는 제2항에 있어서, 상기 기판은, A형 폴리싱 단계 또는 B형 폴리싱 단계 이후에, 또는 양 폴리싱 단계 이후에 에칭되거나 세척되는 것인 반도체 재료 기판의 폴리싱 방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은, 적어도 두 개의 상이한 단계를 포함하는, 반도체 재료 기판의 폴리싱 방법에 관한 것이다. 상기 방법의 적어도 1회의 단계는, 접촉된 연마재를 포함하고 있는 폴리싱 패드 상에서 기판을 폴리싱하는 폴리싱 단계이다.

배경 기술

[0002] WO 99/55491 A1은, 폴리싱 패드에 연마재가 접촉되어 있는 폴리싱 패드 상에서 기판을 폴리싱하는 제1 폴리싱 단계를 포함하는 2단계 폴리싱 방법을 설명하고 있다. "연마재 고정 패드(fixed-abrasive pad)"라고도 불리는 그러한 폴리싱 패드가 이용되는 폴리싱 단계는, 이하에서 간단히 FAP 단계라고 칭한다. 2단계 폴리싱 방법의 후속 제2 폴리싱 단계는, 어떠한 연마재도 접촉되어 있지 않는 폴리싱 패드 상에서 기판을 화학 기계적으로 폴리싱하는 단계이다. 이 경우, 연마재는 기판과 폴리싱 패드 사이에 슬러리의 형태로 주입된다. 상기 폴리싱 단계는, 이하에서 간단히 CMP 단계라고 칭한다. 이 단계는, WO 99/55491 A1에 따른 2단계 폴리싱 방법에서, 특히 기판의 폴리싱된 표면에서 FAP 단계에 의해 남겨진 스크래치를 제거하기 위해 이용된다.

[0003] EP 1 717 001 A1은, 그러한 FAP 단계가 어떠한 소자 구조도 표면상에 아직 형성되지 않은 반도체 웨이퍼를 폴리싱하는데도 사용되고 있다는 일례이다. 이와 같은 반도체 웨이퍼를 폴리싱하는 동안, 특히 평탄하고 최소의 미세거칠기와 나노토포그래피를 갖는 적어도 한쪽 표면을 생성하는 것이 가장 중요하다.

발명의 내용

해결 하고자하는 과제

[0004] 본 발명의 목적은, 특히 미세거칠기에 대하여 특히 작은 값을 제공하는, 반도체 재료 기판의 개선된 폴리싱 방법을 개시하는 것이다.

과제 해결수단

[0005] 상기 목적은, 연마재가 접촉되어 있는 폴리싱 패드에서 기판을 폴리싱하며, 폴리싱 단계 중에 기판과 폴리싱 패드 사이에 폴리싱제 용액이 주입되는 적어도 1회의 A형 폴리싱 단계; 및 연마재가 접촉되어 있는 폴리싱 패드에서 기판을 폴리싱하며, 폴리싱 단계 중에 기판과 폴리싱 패드 사이에 비접촉 연마재를 함유하는 폴리싱제 슬러리가 주입되는 적어도 1회의 B형 폴리싱 단계를 포함하는, 반도체 재료기판의 폴리싱 방법에 의해 달성된다.

[0006] A형 폴리싱 단계 및 B형 폴리싱 단계는, 각각 FAP 단계이다. 이들은, B형 폴리싱 단계에서는 고체로서 비접촉 연마재를 함유하는 폴리싱제 슬러리가 기판과 폴리싱 패드 사이에 주입되는 반면에, A형 폴리싱 단계에서는 폴리싱제 슬러리는 (이미 설명한 표현으로서) 고체가 없는 폴리싱제 용액으로 대체된다는 점에서 상이하다. 폴리싱제라는 표현은, 이하에서 폴리싱제 슬러리 및 폴리싱제 용액에 대한 포괄적인 용어로서 사용된다.

[0007] 폴리싱제 슬러리 내의 연마재의 비율은, 바람직하게는 0.25 중량% 내지 20 중량%이다. 연마재 입자의 크기 분포는 바람직하게는 사실상 단봉(單峰) 형태이다. 평균 입자 크기는 5 내지 300 nm이고, 특히 바람직하게는 5 내지 50 nm이다. 연마재는, 기판 재료를 기계적으로 제거하는 재료(바람직하게는 알루미늄, 세륨 및 실리콘 원소의 하나 이상의 산화물)를 포함한다. 콜로이드성 분산된 규산을 함유하는 폴리싱제 슬러리가 특히 바람직하다. 폴리싱제 슬러리의 pH는, 바람직하게는 9 내지 11.5의 범위 내에 있고, 탄산나트륨(Na_2CO_3), 탄산칼륨(K_2CO_3), 수산화나트륨(NaOH), 수산화칼륨(KOH), 수산화암모늄(NH_4OH), 수산화테트라메틸암모늄(TMAH) 또는 이들 화합물의 임의의 소망하는 혼합물과 같은 첨가제에 의해 설정된다. 또한, 폴리싱제 슬러리는 하나 이상의 추가적인 첨가제(예컨대 습윤제와 계면활성제와 같은 표면 활성 첨가제, 보호 콜로이드로서 작용하는 안정제, 방부제, 살생물제, 알코올 및 착화제)를 함유할 수 있다.

- [0008] 가장 단순한 경우로서, 폴리싱제 용액이 물이고, 바람직하게는 반도체 공정에서 이용하기 위한 통상적인 순도를 갖는 탈이온수(DIW; deionized water)이다. 그러나, 폴리싱제 용액은 탄산나트륨(Na_2CO_3), 탄산칼륨(K_2CO_3), 수산화나트륨(NaOH), 수산화칼륨(KOH), 수산화암모늄(NH_4OH), 수산화테트라메틸암모늄(TMAH) 또는 이들의 임의의 소량하는 혼합물과 같은 화합물을 함유할 수도 있다. 이 경우, 폴리싱제 용액의 pH는 바람직하게는 10 내지 12의 범위 내에 있고, 폴리싱제 용액에서 언급된 화합물의 비율은 바람직하게는 0.01 내지 10 중량%이다. 또한, 폴리싱제 용액은, 하나 이상의 추가적인 첨가제(예컨대 습윤제와 계면활성제와 같은 표면 활성 첨가제, 보호 콜로이드로서 작용하는 안정제, 방부제, 살생물제, 알코올 및 착화제)를 함유할 수 있다.
- [0009] 본 발명에 따라 폴리싱되는 적절한 기판은, 특히, 실리콘, 갈륨비소, $\text{Si}_x\text{Ge}_{1-x}$, 사파이어 및 실리콘카바이드와 같은 재료로 이루어진 반도체 웨이퍼를 포함한다. 특히, 적절한 기판은 실리콘으로 이루어진 반도체 웨이퍼 및 이들로부터 얻어진 기판이다. 실리콘으로 이루어진 반도체 웨이퍼의 폴리싱될 표면은, 결정으로부터 반도체 웨이퍼를 분리한 후, 반도체 웨이퍼의 랩핑(lapping) 후, 반도체 웨이퍼의 연삭 후, 반도체 웨이퍼의 에칭 후 또는 이미 반도체 웨이퍼의 폴리싱이 행해진 후에 발생한 것과 같은 상태로 존재할 수 있다. 실리콘으로 이루어진 반도체 웨이퍼로부터 얻어진 기판은, 특히, 층 구조를 갖는 기판, 예컨대 에피택시에 의해 증착된 층을 갖는 반도체 웨이퍼, SOI 기판(silicon on insulator) 및 sSOI 기판(strained silicon on insulator) 및 이들의 중간 제품을 의미하는 것으로 이해되어야 한다. 또한, 중간 제품은, 특히 SOI 기판을 제조하는 동안 다른 기판으로 층들을 전사시킨 도너 반도체 웨이퍼를 포함한다. 재사용할 수 있게 하기 위해서, 층의 전사에 의해 드러난 비교적 거칠고 에지 영역에서 특이한 단차를 갖는 도너 반도체 웨이퍼의 표면이 매끈해져야 한다. 기판의 폴리싱될 표면은 실리콘으로 이루어질 필요가 없을 수 있거나 실리콘으로만 이루어질 필요가 없을 수 있다. 예로서, 갈륨비소와 같은 III-V 화합물 반도체 또는 실리콘과 게르마늄으로 이루어진 합금($\text{Si}_x\text{Ge}_{1-x}$)으로 구성된 층이 포함될 수 있다. 다른 예는 인듐 인화물, 갈륨 질화물 및 알루미늄 갈륨 비화물로 이루어진 층이다. $\text{Si}_x\text{Ge}_{1-x}$ 층의 표면은 흔히 전위에 의해 야기된 "크로스 해치"로 알려진 패턴을 특징으로 하여, 일반적으로 하나 이상의 다른 층이 표면위에 증착될 수 있기 전에 매끈하게 되어야 한다.
- [0010] 게르마늄 또는 $\text{Si}_x\text{Ge}_{1-x}$ 의 층을 갖는 기판이 본 발명에 따라 폴리싱된다면, 폴리싱제 슬러리 또는 폴리싱제 용액 또는 이들 모두는 추가적인 첨가제로서 산화제를 함유할 수 있다. 적절한 산화제는 과산화수소(H_2O_2) 및 오존(O_3)이다. 이 첨가제는 게르마늄을 수용성 화합물로 변환시킨다. 그러한 첨가제가 없다면, 게르마늄 함유 입자가 폴리싱 도중에 발생되어, 폴리싱되는 표면에 스크래치를 생성할 수 있다.
- [0011] 본 발명에 따른 방법은, 원칙적으로 양면 폴리싱의 형태로 실시될 수 있다. 이 경우, 반도체 웨이퍼의 양면이 동시에 폴리싱된다. 그러나, 특히 적합한 적용 분야는 단면 폴리싱이다. 이 경우, 큰 직경을 갖는 기판, 예컨대 300 mm의 직경을 갖는 실리콘으로 이루어진 반도체 웨이퍼가 보통 단면 폴리싱된다. 폴리싱 헤드의 도움으로, 폴리싱 플레이트 상에 놓인 폴리싱 패드에 대하여 폴리싱될 쪽의 표면에 의해 기판이 압박된다. 폴리싱 헤드는 기판을 측방에서 에워싸고 폴리싱 중에 기판이 폴리싱 헤드에서 미끄러지는 것을 막는 리테이너 링도 포함한다. 종래의 폴리싱 헤드의 경우, 폴리싱 패드로부터 멀리 떨어진 쪽의 반도체 웨이퍼의 표면은 가해진 폴리싱 압력을 전달하는 탄성 막에 지탱된다. 막은 기체 또는 액체 쿠션을 형성하는 세분됐을 수 있는 챔버 시스템의 부분이다. 그러나, 폴리싱 헤드는 탄성 지지부("반침 패드")가 막 대신에 사용되는 것이 이용되기도 한다. 기판은, 기판과 폴리싱 패드 사이에 폴리싱제를 공급하고 폴리싱 헤드와 폴리싱 플레이트를 회전시키면서 폴리싱된다. 이 경우, 폴리싱 헤드는 폴리싱 패드 위에서 초기에 병진 운동시킬 수도 있어서, 폴리싱 패드 영역을 보다 광범위하게 이용할 수 있게 된다.
- [0012] 또한, 본 발명에 따른 방법이 단일 플레이트 폴리싱 장치 및 다중 플레이트 폴리싱 장치에서 동일하게 실시될 수 있다. 바람직하게는 두 개 또는 세 개의 폴리싱 플레이트 및 폴리싱 헤드를 갖는 다중 플레이트 폴리싱 장치를 이용하게 되면, 상응하는 수의 기판이 동시에 폴리싱될 수 있어 바람직하다. 다양한 폴리싱 패드 및 다양한 폴리싱제가 이 경우에도 사용될 수 있다.
- [0013] 본 발명에 따른 방법은 연마재가 접촉되어 있는 적어도 하나의 폴리싱 패드를 이용한다. 적절한 연마재는 예컨대 세륨, 알루미늄, 실리콘, 지르코늄 원소의 산화물 입자, 및 탄화규소, 질화붕소 및 다이아몬드와 같은 경질 재료 입자를 포함한다. 특히 적합한 폴리싱 패드는, 복제된 미세구조에 의해 형상화된 표면 토폰그래피를 갖는다. 이들 미세구조("포스트")는 예컨대 원통형 또는 다각형 단면을 갖는 칼럼의 형태 또는 피라미드 또는 절두 피라미드의 형태를 갖는다. 이러한 유형의 폴리싱 패드는 시중에서 입수가능하고 예컨대 미국 3M사에 의해 제공

된다. 상기 폴리싱 패드의 더 상세한 설명이 예컨대 WO 92/13680 A1 및 US 2005/227590 A1에 포함되어 있다.

[0014] 본 발명에 따른 방법은, 적어도 1회의 A형 폴리싱 단계 및 적어도 1회의 B형 폴리싱 단계를 포함한다. FAP 패드가 두 폴리싱 단계 모두에서 이용된다. 이는 동일한 폴리싱 패드를 수반할 수 있고, 상이한 폴리싱 패드를 이용하는 것도 가능하다. 본 발명의 특히 바람직한 실시예에 따라, 폴리싱은 적어도 세 개의 부분 단계 1, 2 및 3으로 시간적으로 세분되고, 폴리싱제, 폴리싱제 유량 및 폴리싱 단계의 지속 시간과 같은, 평균 재료 제거율(MR; material removal)을 제어하는 공정 변수는, 부분 단계 1의 평균 재료 제거율이 부분 단계 2의 것보다 크고, 부분 단계 2의 평균 재료 제거율이 부분 단계 3의 것보다 크거나 같은 결과를 낳는 방식으로 제어된다. 부분 단계 1, 2 및 3 중에서, 적어도 1회의 소단계가 A형 폴리싱 단계로 구성되고 적어도 1회의 소단계가 B형 폴리싱 단계로 구성된다. 바람직하게는, 제1 소단계가 A형 폴리싱 단계로 실시되고, 제2 소단계가 B형 폴리싱 단계로 실시되며, 제3 소단계는 A형 폴리싱 단계와 B형 폴리싱 단계 중 어느 하나로 실시된다.

[0015] 본 발명에 따른 방법은, 본 명세서에서 C형 폴리싱 단계로 불리는 추가의 폴리싱 단계, 예컨대 CMP 단계를 포함할 수 있다. 이 폴리싱 단계는 바람직하게는 A형 폴리싱 단계 또는 B형 폴리싱 단계 후에 실시된다. 또한, 기판은 A형 폴리싱 단계 또는 B형 폴리싱 단계 후에 예컨대 알칼리성 에칭액을 이용하여 및/또는 산성 pH를 갖는 에칭액을 이용하여 에칭되거나 세척될 수 있다.

[0016] 미세거칠기를 감소시키는 노력은 동반 수단에 의해 지지될 수 있다. 하나의 바람직한 조치는, 폴리싱의 종료 시기에, 바람직하게는 기판이 폴리싱 플레이트로부터 들어 올려지기 5 내지 300초 전에 적어도 10%까지 폴리싱 압력을 감소시키고, 폴리싱 플레이트로부터 들어 올려질 때까지 상기 감소한 폴리싱 압력에서 기판의 폴리싱을 계속하는 것으로 이루어진다. 다른 바람직한 조치는, 개방기공형 폼 바디(open-pored foam body)의 도움으로 폴리싱 패드 상에 세척제를 분배함으로써, 세척제를 이용하여 폴리싱 패드를 세척하는 것으로 이루어진다. 이는, 바람직하게는 인시튜(in-situ) 방식으로, 즉 기판을 폴리싱하는 동안 행해진다. 패드 세척은, 폼 바디는 접촉된 연마재를 전혀 포함하지 않는다는 점에서 패드 컨디셔닝(pad conditioning)과 상이하다. 원칙적으로, 개방형 셀 구조를 갖는 임의의 탄성 플라스틱 폼, 예컨대 폴리우레탄 폼, 폴리비닐 알코올 폼, 폴리스티렌 폼, 실리콘수지 폼, 에폭시 폼, 요소-포름알데히드 폼, 폴리이미드 폼, 폴리벤즈이미다졸 폼, 페놀 수지에 기초한 폼, 폴리에틸렌 폼, 폴리프로필렌 폼, 폴리아크릴 폼, 폴리에스테르 폼 및 비스코스 폼이 적합하다. 각 폴리싱 단계에서 사용된 폴리싱제는, 세척제로서 특히 적합하다.

[0017] 본 발명은 바람직한 대표 실시예의 예를 이용하여 이하에서 더 상세하게 설명되고, 미세거칠기의 감소에 관한 본 발명의 유리한 효과는 비교 실험예에 의해 정해진다.

효 과

[0018] 본 발명에 따른 반도체 재료로 이루어진 기판의 폴리싱 방법에 의하면, 최소의 미세거칠기 및 나노토포그래피를 갖는 적어도 한쪽 표면을 생성할 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0019] 기판은, $\text{Si}_{0.8}\text{Ge}_{0.2}$ 의 조성을 갖는 이완 실리콘-게르마늄 합금으로 이루어진 상부 층을 갖는, 직경 300 mm의 실리콘 반도체 웨이퍼였다. 기판은, Strasbaugh, Inc.의 nHance 6EG 형 단면 폴리싱 장치에서 폴리싱되었고 이어서 세척 건조시켜 폴리싱된 표면을 검사하는 단계로 보냈다. 특히 연구개발 업무를 위해 구성된 개별 웨이퍼식 폴리싱 장치는 하나의 폴리싱 헤드 및 하나의 폴리싱 플레이트를 갖추고 있다. 폴리싱 헤드는 카르단식으로(cardanically) 장착되고 받침 패드로 피복된 고정형 베이스플레이트 및 가동 리테이너 링을 포함한다. 베이스 플레이트 내의 구멍을 통해, 두 개의 동심 압력 구역, 즉 내부 구역 및 외부 구역에 쿠션이 형성될 수 있고, 이러한 에어 쿠션 상에서 기판은 폴리싱 중에 부양한다. 압축 공기 벨로우즈에 의해서 가동 리테이너 링에 압력을 가하여, 기판과 접촉시에 폴리싱 패드에 예장력(pretention)을 가하고 그 폴리싱 패드를 평탄하게 유지할 수 있다. 비교예 및 대표 실시예에 대해, 평균 입자 크기가 $0.55 \mu\text{m}$ 인 산화세륨(CeO_2) 연마 입자가 접촉되어 있는 미국 3M사의 FAP 패드가 이용되었다.

[0020] 제1 세트의 실험에서, 제1 비교예의 반도체 웨이퍼와 제1 대표 실시예의 반도체 웨이퍼 모두는 3단계의 폴리싱 방법, 즉 폴리싱 단계 1, 폴리싱 단계 2 및 폴리싱 단계 3을 거쳤다. 비교예의 경우, 폴리싱 단계 1, 폴리싱 단계 2 및 폴리싱 단계 3은 예외없이 A형 폴리싱 단계였다. 그에 대비하여, 대표 실시예의 반도체 웨이퍼는, 폴리싱 단계 2 및 폴리싱 단계 3이 B형 폴리싱 단계였던 대응하는 폴리싱을 거쳤다.

[0021] 다른 실험 변수가 아래 표에 요약되어 있다.

표 1

[0022]

제1 폴리싱 단계	대표 실시예	비교예
유형	A	A
폴리싱제	K ₂ CO ₃ 용액(0.2 중량%의 K ₂ CO ₃ 비율)	K ₂ CO ₃ 용액(0.2 중량%의 K ₂ CO ₃ 비율)
폴리싱제 유량	3000 ml/min	3000 ml/min
시간	60 내지 300초	60 내지 300초
폴리싱 압력	7 psi (48.26 kPa)	7 psi (48.26 kPa)
제2 폴리싱 단계		
유형	B	A
폴리싱제	Glanzox 3900 *) (1 중량%의 SiO ₂ 비율)	DIW
폴리싱제 유량	350 ml/min	350 ml/min
시간	120초	120초
폴리싱 압력	7 psi (48.26 kPa)	7 psi (48.26 kPa)
제3 폴리싱 단계		
유형	B	A
폴리싱제	Glanzox 3900 *) (1 중량%의 SiO ₂ 비율)	DIW
폴리싱제 유량	350 ml/min	350 ml/min
시간	10초	10초
폴리싱 압력	3.5 psi (24.13 kPa)	3.5 psi (24.13 kPa)

[0023]

*) Glanzox 3900은 농축물로서 일본 Fujimi Incorporated가 제공하고 폴리싱제 슬러리에 대한 제품명이다. 10.5 pH를 갖는 농축물은 30 내지 40 nm의 평균 입자 크기를 갖는 콜로이드성 SiO₂를 약 9 중량% 함유한다. 표에 표시한 SiO₂ 비율은 폴리싱제에 기초한다.

[0024]

폴리싱 후에, 반도체 웨이퍼를 세척 건조시키고, 잔류 미세거칠기에 대하여 검사하였다. 이 경우에 세 가지의 상이한 측정 방법이 채택되었다. RMS 거칠기["제곱 평균(RMS; root mean square)"]가, 거칠기 값에 영향을 주는 다양한 횡방향 상관 길이(lateral correlation length) (필터 길이, "공간 파장")를 고려하는, 미국 Chapman Instruments의 MP2000 형 위상차 프로파일리미터(phase contrast profilometer)를 이용하여 결정되었다. 또한, 암시야 산란광["헤이즈(haze)"]이, 미국 KLA-Tencor의 Surfscan SP-1을 사용하여 다양한 탐지기 설정(채널 모드: D = "암시야"; N = "좁은", W = "넓은"; O = "비스듬한", N = "직각")에 대해 측정되었다. 제3의 측정은, RMS 거칠기를 결정하는데도 이용되는, 반도체 웨이퍼의 중심부의 10 μm × 10 μm의 정사각형 측정 영역 및 반도체 웨이퍼의 에지로부터 1 mm 떨어진 지점의 10 μm × 10 μm의 정사각형 측정 영역의 AFM 측정["원자현미경(AFM; atomic force microscopy)"]이었다.

[0025]

측정 결과가 표 2, 표 3 및 표 4에 요약되어 있다.

표 2

[0026]

채프먼(chapman)	제1 폴리싱 단계 시간(s)	RMS 거칠기 [옹스트롬]				MR [nm]
필터 길이 [μm]		250	80	30	10	
대표 실시예 1	60	1.17	0.81	0.51	0.19	210
대표 실시예 1	150	1.13	0.79	0.49	0.18	280
대표 실시예 1	270	0.92	0.61	0.38	0.15	450
대표 실시예 2	270	0.72	0.45	0.27	0.11	420
비교예 1	60	11.59	8.92	5.47	1.78	190
비교예 1	160	7.69	5.62	3.28	1.07	270
비교예 1	300	5.79	4.24	2.47	0.80	460
비교예 2	300	3.97	3.05	1.92	0.66	520

표 3

[0027]

SP-1	제1 폴리싱 단계 시간(s)	"헤이즈" [ppm]			
채널 모드		DWN	DNN	DWO	DNO
대표 실시예 1	60	0.588	0.836	0.369	0.047
대표 실시예 1	150	0.508	0.704	0.329	0.039
대표 실시예 1	270	0.384	0.487	0.275	0.032
대표 실시예 2	270	0.326	0.264	0.225	0.020
비교예 1	60	1.497	4.712	1.405	0.134
비교예 1	160	1.346	4.391	1.061	0.117
비교예 1	300	1.127	3.947	0.800	0.099
비교예 2	300	1.005	3.582	0.706	0.094

표 4

[0028]

AFM	제1 폴리싱 단계 시간(s)	RMS 거칠기 [옹스트롬]	
위치		중심	에지로부터 1mm
대표 실시예 1	60	1.25	1.11
대표 실시예 1	150	1.24	1.08
대표 실시예 1	270	1.05	0.93
대표 실시예 2	270	0.98	0.77
비교예 1	60	3.72	2.23
비교예 1	160	2.06	1.69
비교예 1	300	2.22	1.50
비교예 2	300	1.81	1.35

[0029]

표는, 본 발명에 따라 폴리싱이 행해진 경우의 현저히 낮은 "헤이즈" 및 RMS 거칠기 값을 나타낸다.

[0030]

제1 세트의 실험(대표 실시예 1 및 비교예 1)에서는 전술한 실험이 폴리싱 패드의 인시튜 세척없이 실시되었다. 제2 세트의 실험예(대표 실시예 2 및 비교예 2)에서, 세척제로서 폴리싱제가 함침된 폴리에스테르제 개방기공형 스폰지를 이용하여 폴리싱 패드의 인시튜 세척이 추가 실시되었다는 점을 제외하고, 동일한 유형의 다른 반도체 웨이퍼가 동일한 방식으로 폴리싱되었다.

[0031]

상기 실험예를 나타내는 표 2, 표 3 및 표 4의 열은, 상기 추가 조치에 의해서 미세거칠기가 더 감소될 수 있다는 것을 명백하게 한다.