

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5233165号
(P5233165)

(45) 発行日 平成25年7月10日 (2013. 7. 10)

(24) 登録日 平成25年4月5日 (2013. 4. 5)

(51) Int. Cl.		F I	
H O 4 L	1/00	(2006. 01)	H O 4 L 1/00 B
H O 4 L	7/08	(2006. 01)	H O 4 L 7/08 Z
H O 4 L	29/02	(2006. 01)	H O 4 L 13/00 3 O 1 B

請求項の数 2 (全 18 頁)

(21) 出願番号	特願2007-138255 (P2007-138255)	(73) 特許権者	000005496
(22) 出願日	平成19年5月24日 (2007. 5. 24)		富士ゼロックス株式会社
(65) 公開番号	特開2008-294757 (P2008-294757A)		東京都港区赤坂九丁目7番3号
(43) 公開日	平成20年12月4日 (2008. 12. 4)	(74) 代理人	100071526
審査請求日	平成22年4月23日 (2010. 4. 23)		弁理士 平田 忠雄
		(74) 代理人	100124246
			弁理士 遠藤 和光
		(72) 発明者	黒石 範彦
			神奈川県足柄上郡中井町境430 グリー
			ンテクなかい 富士ゼロックス株式会社内
		(72) 発明者	上村 健
			神奈川県足柄上郡中井町境430 グリー
			ンテクなかい 富士ゼロックス株式会社内

最終頁に続く

(54) 【発明の名称】 データ伝送装置

(57) 【特許請求の範囲】

【請求項1】

要求に応じたパケットを生成するパケット生成部と、

生成された前記パケットを分割またはダミーデータの付加により所定の長さのフレームを形成し、これに誤り訂正符号を付加して誤り訂正符号付きフレームを生成するフレームエンコード部と、

生成された前記誤り訂正符号付きフレームを伝送路を介して送信する送信部と、

前記伝送路を介して前記誤り訂正符号付きフレームを受信する受信部と、

受信された前記誤り訂正符号付きフレームについて誤り検出および訂正を行うフレームデコード部と、

誤り検出および訂正された前記誤り訂正符号付きフレームから前記誤り訂正符号を除去して前記パケットを抽出するパケット抽出部とを備えたデータ伝送装置であって、

前記フレームエンコード部は、前記所定の長さのフレームを形成するフレーム形成部と、形成された前記フレームについてDCバランス変換を施すDCバランス変換部と、DCバランス変換されたフレームに誤り訂正符号を付加して前記送信部に出力する誤り訂正符号付加部とを備えるとともに、前記誤り訂正符号にクロック補償用の制御シンボルと区別するための情報を追加し、かつ

前記フレームデコード部は、前記誤り訂正符号付きフレームについて誤り検出および訂正を行う誤り検出・訂正部と、誤り検出および訂正された前記誤り訂正符号付きフレームから前記誤り訂正符号を除去する誤り訂正符号除去部と、前記誤り訂正符号が除去された

フレームについて D C 逆バランス変換を施して前記パケット抽出部に出力する D C 逆バランス変換部とを備えたデータ伝送装置であって、

前記フレームエンコード部は、前記誤り訂正符号付きフレーム間にクロック補償用の制御シンボルを含むシーケンスを挿入して受信タイミングを補正するための前記クロック補償シーケンス時に 2 以上の所定数の前記クロック補償用の制御シンボルが 1 組となったデータを生成して前記送信部により送信し、かつ

前記フレームデコード部は、前記クロック補償シーケンス時に受信した前記所定数のシンボルが一部が前記クロック補償用の制御シンボルに一致し、かつ前記所定数のシンボルのうち前記クロック補償用の制御シンボルでないシンボルと前記クロック補償用の制御シンボルとの違いが 1 ビット以下のとき、受信タイミングの補正を行うことを特徴とするデータ伝送装置。

10

【請求項 2】

前記フレームエンコード部は、前記誤り訂正符号付きフレーム間に所定のシンボルを含むシーケンスを挿入して受信タイミングを補正するためのクロック補償シーケンス後の最初に前記誤り訂正符号付きフレームを生成するとき、前記最初の誤り訂正符号付きフレームの先頭に、クロック補償用の制御シンボルとハミング距離が 2 以上離れた制御シンボルを設けることを特徴とする請求項 1 に記載のデータ伝送装置。

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は、データ伝送装置に関する。

【背景技術】

【0002】

一般的に、伝送帯域を上げるには、伝送路のビット幅を増やすか、伝送周波数を上げる方法が考えられる。また、近年、半導体技術の向上と共に、C P U や主記憶メモリの動作周波数が高くなっている。このような事情から、ホスト装置と記憶装置をつなぐ伝送路では、ビット幅を増やして伝送帯域を上げる S C S I 等のパラレルバスに代わって、ビット数を少なくして伝送周波数を上げる P C I E x p r e s s 等のシリアルバスが主流になってきている。

【0003】

30

このシリアルバス等の伝送周波数が高いデータ伝送においては、伝送エラーを防いで信頼性を向上することが重要である。例えば、ノイズに弱い直流成分を除去し、シンボル間干渉等の伝送品質の劣化要因を除くために、伝送データが適度に 0 と 1 が含まれるように D C バランス調整を行う。8 B 1 0 B として知れる方式では、8 ビットごとのデータの塊をあらかじめ決められた 0 と 1 の割合が 5 0 % に近い 1 0 ビットのデータに変換することによって D C バランスを調整している。しかしながら、システムによってそれ以上の伝送品質を要求される場合には、エラー訂正機能は不可欠になる。例えば、ハミング符号のように元のデータにエラー検出用の冗長ビットを付加し、伝送後にエラーの有無を検出し、エラーがあった場合は訂正を行うといった方法が知られている（例えば、特許文献 1 参照。）。

40

【0004】

ところで、データ転送方式には、主に 3 つの方式がある。

(1) 固定長パケットを用いて、エラー検出／訂正を行い、エラー発生時でもデータ再送を行わない方式（固定長パケット方式）。この方式（1）は、構成が単純で 1 ビット誤りまでのエラー訂正が可能であるが、コマンド毎にフレーム（伝送単位）長を変更して伝送帯域を有効に使用することができない。

【0005】

(2) 可変長パケットを用いて、パケットに含まれるエラー検出符号によりエラー検出を行い、エラー発生時は再送を行う方式（可変長パケット方式）。この方式（2）は、コマンド毎にフレーム長を変更して伝送帯域を有効に使用することができるが、再送処理が非

50

常に複雑となる。また、パケットの先頭を示すデータがビット誤りにより解釈できなかった場合は、パケット全体を見落とすことになる。

【0006】

(3) 上記(1)および上記(2)を組み合わせ、再送せずにエラー訂正を行う方式。この方式(3)は、(1)、(2)の短所を補う方法である。

【0007】

上記方式(1)に属するデータ伝送システムとして、固定長(100バイト)のパケットにパケットECC(Error Correcting Code)を付加し、パケットECCが付加された複数のパケットからなるブロックにブロックECCを付加して送信するパケットベース通信システムが提案されている(例えば、特許文献2参照。)

10

【0008】

この構成によれば、一部のパケットが消失した場合でも、消失していない他のパケットとブロックECCによって消失したパケットの誤り検出および訂正を行うことができる。

【特許文献1】特開2003-318865号公報

【特許文献2】特表2005-512352号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明の目的は、可変長パケット方式と比べて伝送帯域を有効利用することができ、パケット全体をエラー訂正することができるデータ伝送装置を提供することにある。

20

【課題を解決するための手段】

【0010】

本発明は、上記目的を達成するため、以下のデータ伝送装置を提供する。

【0011】

[1] 要求に応じたパケットを生成するパケット生成部と、生成された前記パケットを分割またはダミーデータの付加により所定の長さのフレームを形成し、これに誤り訂正符号を付加して誤り訂正符号付きフレームを生成するフレームエンコード部と、生成された前記誤り訂正符号付きフレームを送信路を介して送信する送信部と、前記送信路を介して前記誤り訂正符号付きフレームを受信する受信部と、受信された前記誤り訂正符号付きフレームについて誤り検出および訂正を行うフレームデコード部と、誤り検出および訂正された前記誤り訂正符号付きフレームから前記誤り訂正符号を除去して前記パケットを抽出するパケット抽出部とを備えたデータ伝送装置であって、前記フレームエンコード部は、前記所定の長さのフレームを形成するフレーム形成部と、形成された前記フレームについてDCバランス変換を施すDCバランス変換部と、DCバランス変換されたフレームに誤り訂正符号を付加して前記送信部へ出力する誤り訂正符号付加部とを備えるとともに、前記誤り訂正符号にクロック補償用の制御シンボルと区別するための情報を追加し、かつ前記フレームデコード部は、前記誤り訂正符号付きフレームについて誤り検出および訂正を行う誤り検出・訂正部と、誤り検出および訂正された前記誤り訂正符号付きフレームから前記誤り訂正符号を除去する誤り訂正符号除去部と、前記誤り訂正符号が除去されたフレームについてDC逆バランス変換を施して前記パケット抽出部へ出力するDC逆バランス変換部とを備えたデータ伝送装置であって、前記フレームエンコード部は、前記誤り訂正符号付きフレーム間にクロック補償用の制御シンボルを含むシーケンスを挿入して受信タイミングを補正するための前記クロック補償シーケンス時に2以上の所定数の前記クロック補償用の制御シンボルが1組となったデータを生成して前記送信部により送信し、かつ前記フレームデコード部は、前記クロック補償シーケンス時に受信した前記所定数のシンボルが一部が前記クロック補償用の制御シンボルに一致し、かつ前記所定数のシンボルのうち前記クロック補償用の制御シンボルでないシンボルと前記クロック補償用の制御シンボルとの違いが1ビット以下のとき、受信タイミングの補正を行うことを特徴とするデータ伝送装置。

30

40

【0013】

50

[2] 前記フレームエンコード部は、前記誤り訂正符号付きフレーム間に所定のシンボルを含むシーケンスを挿入して受信タイミングを補正するためのクロック補償シーケンス後の最初に前記誤り訂正符号付きフレームを生成するとき、前記最初の誤り訂正符号付きフレームの先頭に、クロック補償用の制御シンボルとハミング距離が2以上離れた制御シンボルを設けることを特徴とする前記[1]に記載のデータ伝送装置。

【発明の効果】

【0020】

請求項1に係るデータ伝送装置によれば、可変長パケット方式と比べて伝送帯域を有効利用することができ、パケット全体をエラー訂正することができる。また、伝送路で発生したビット誤りがDC逆バランス変換で拡大されることがない。また、誤り訂正符号と他の制御シンボルとの混同が生じない。さらに、クロック補償フレームに1ビットの誤りがあっても、クロックを補償することができる。

10

【0022】

請求項2に係るデータ伝送装置によれば、誤り訂正符号付きフレームの先頭部分に1ビットのビット誤りがあっても、クロック補償シーケンスと判断されることがない。

【発明を実施するための最良の形態】

【0029】

本発明のデータ伝送装置を適用したストレージシステムについて説明する。

【0030】

(ストレージシステムの構成)

20

図1は、本発明の実施の形態に係るストレージシステムを示す。このストレージシステム100は、ホストコンピュータ101と、半導体ディスク装置102とから構成される。

【0031】

半導体ディスク装置102は、ホストコンピュータ101に接続されたホストバスインタフェース(I/F)2と、ホストバスI/F2にPCI Express等のシリアル伝送路3によって接続されたメモリコントローラ4と、データが格納される半導体メモリ5とを備える。

【0032】

ホストバスI/F2およびメモリコントローラ4は、それぞれに設けられた高速シリアル伝送技術を応用したデータ伝送装置1により接続されている。データ伝送装置1は、データ送信装置とデータ受信装置とから構成され、ホストバスI/F2およびメモリコントローラ4の一方のデータ送信装置と、シリアル伝送路3と、一方のデータ受信装置とからデータ伝送システム10を構成している。

30

【0033】

ホストバスI/F2は、ホストコンピュータ101から発行されたコマンドを解釈して、データ伝送装置1を介してメモリコントローラ4に半導体メモリ5をアクセスするよう指示をする。また、ホストバスI/F2は、メモリコントローラ4からアクセス結果が返されると、ホストコンピュータ101に処理が終了したことを通知する。

【0034】

メモリコントローラ4は、指示を受けると半導体メモリ5をアクセスし、その結果を再びデータ伝送装置1を介してホストバスI/F2に返す。

40

【0035】

(データ伝送装置の構成)

図2は、ホストバスI/F2に設けられたデータ伝送装置1の構成を示す。メモリコントローラ4に設けられたデータ伝送装置1も、図2と同様に構成されているので、その説明を省略する。データ伝送装置1は、前述したようにデータ送信装置1aと、データ受信装置1bとから構成されている。

【0036】

データ伝送装置1aは、ホストバスI/F2を制御する制御部20からの要求に応じた

50

パケットを生成するパケットエンコーダ（パケット生成部）１１と、生成されたパケットからＥＣＣ（Error Correcting Code）フレーム（誤り訂正符号付きフレーム）を生成するＥＣＣフレームエンコーダ（フレームエンコード部）１２と、ＥＣＣフレームをパラレルデータからシリアルデータに変換して送出するトランスミッタ（送信部）１３とを備える。

【００３７】

データ受信装置１ｂは、受信したＥＣＣフレームをシリアルデータからパラレルデータに変換するレシーバ（受信部）１４と、ＥＣＣに基づいてエラー検出および訂正を行うＥＣＣフレームデコーダ（フレームデコード部）１５と、ＥＣＣフレームからパケットを抽出するパケットデコーダ（パケット抽出部）１６とを備える。

10

【００３８】

（ＥＣＣフレームエンコーダ）

ＥＣＣフレームエンコーダ１２は、ＥＣＣエンコード部１２０と、ＩＤＬＥシンボル付加部１２１とを備える。

【００３９】

ＥＣＣエンコード部１２０は、固定長フレーム形成部１２０ａ、８Ｂ１０Ｂ符号化部１２０ｂ、およびＥＣＣ付加部１２０ｃを備える。

【００４０】

固定長フレーム形成部１２０ａは、パケットエンコーダ１１によって生成されたパケットを分割またはダミーデータの付加により所定の長さ（例えば８バイト）のフレーム（固定長フレームという。）を形成する。

20

【００４１】

８Ｂ１０Ｂ符号化部１２０ｂは、固定長フレーム形成部１２０ａによって形成された固定長フレームを８Ｂ１０Ｂエンコード（ＤＣバランス変換）して８０ビットのフレームを形成する。なお、８Ｂ１０Ｂエンコードの他に、４Ｂ５Ｂ、６４Ｂ６６Ｂ等のＤＣバランス変換を用いてもよい。

【００４２】

ＥＣＣ付加部１２０ｃは、８Ｂ１０ＢエンコードされたフレームにＥＣＣを付加して１００ビットのＥＣＣフレームを作成する。ＥＣＣとしては、例えば、ハミング符号、マンチェスタ符号、リードソロモン符号等の公知の訂正符号を用いることができる。

30

【００４３】

ＩＤＬＥシンボル付加部１２１は、クロック補償シーケンスの際にＩＤＬＥシンボル（ＩＤＬＥ符号）を出力するものである。ここで、クロック補償シーケンスとは、ＥＣＣフレーム間に所定のシンボル（例えばアイドルシンボル）を含むシーケンスを挿入して受信タイミングを補正するためのものである。

【００４４】

（ＥＣＣフレームデコーダ）

ＥＣＣフレームデコーダ１５は、ＩＤＬＥシンボルを検出するＩＤＬＥシンボル検出部１５０と、ＥＣＣデコード部１５１と、エラスティックバッファ・クロック補償処理部１５２と、ＩＤＬＥシンボル削除部１５３とを備える。

40

【００４５】

ＥＣＣデコード部１５１は、レシーバ１４からのパラレルデータに含まれるＥＣＣを用いて、ＥＣＣエラー検出／訂正を行うＥＣＣエラー検出／訂正部１５１ａと、ＥＣＣエラー検出／訂正後にＥＣＣを除去するＥＣＣ除去部１５１ｂと、ＥＣＣが除去された８０ビットのデータを６４ビットのデータに１０Ｂ８Ｂデコード処理を行う１０Ｂ８Ｂ復号化部１５１ｃとを備える。

【００４６】

（パケットの構成）

次に、パケットエンコーダ１１が生成するパケットについて図３、図４を参照して説明する。

50

【0047】

図3は、パケットエンコーダ11が生成するパケットの構成例を示す。パケット200は全て「パケット構成」に示すように、1バイトのSOP (Start of Packet) で始まり、それにパケット本体が続き、1バイトのEOP (End of Packet) で終わる構成をとる。SOP及びEOPは、送信前に8B10Bエンコードされ、特定のKキャラクタに変換されるため、受信側で容易にパケットを抽出できるようになる。

【0048】

パケット本体は、処理及び送信者に応じて、メモリライトリクエスト、メモリライトコンプリーション、メモリリードリクエスト、メモリリードコンプリーションのいずれかの形式をとる。

10

【0049】

メモリライトリクエストは、ホストバスI/F2が、ホストコンピュータ101から書き込み要求を受け取った際に、ホストバスI/F2から発行されるパケットである。

【0050】

メモリライトコンプリーションは、メモリコントローラ4が、ホストバスI/F2からメモリライトリクエストを受け取った場合に、メモリライトリクエストのアドレスフィールドで指定されたアドレスへ、データフィールドに格納されたデータを書き込んだ後、処理の完了を通知するために、メモリコントローラ4から発行されるパケットである。

【0051】

メモリリードリクエストは、ホストバスI/F2が、ホストコンピュータ101から読み出し要求を受け取った際に、ホストバスI/F2から発行されるパケットである。

20

【0052】

メモリリードコンプリーションは、メモリコントローラ4が、ホストバスI/F2からメモリライトリクエストを受け取った場合に、半導体メモリ5から、メモリリードリクエストのアドレスフィールドで指定されたアドレスのデータを読み出した後、処理が完了したことを通知すると共に、読み出したデータをデータフィールドに格納して、メモリコントローラ4から発行されるパケットである。

【0053】

ヘッダは、4ビットのタイプと、4ビットのコンプリーションステータスとを合わせた1バイトで構成される。なお、コンプリーションステータスは、メモリライトコンプリーション及びメモリリードコンプリーションのヘッダの場合のみ有効であり、データ送受が正常に行われたかどうかを判定するために用いられる。

30

【0054】

コンプリーションステータスは、予約フィールド、CフィールドおよびUフィールドからなる。Uフィールドは、致命的なエラーを示し、ホストコンピュータ101にこのままでは処理が継続できないことを通知する。Cフィールドは、訂正可能なエラーを示し、ホストコンピュータ101に通知することで、例えば、訂正可能なメモリエラーを検出後に訂正データで書き込みすることにより、訂正不可能なエラーに発展することを防ぐ。

【0055】

図4は、タイプの意味と2進符号の割り当てを示す。メモリライトリクエスト、メモリライトコンプリーション、メモリリードリクエスト、メモリリードコンプリーションには、それぞれ2進符号の(1000)、(1100)、(0000)、(0100)が割り当てられる。

40

【0056】

(ストレージシステムの全体の動作)

次に、ストレージシステム100の全体の動作を説明する。ホストコンピュータ101が、半導体ディスク装置102に対してアクセスコマンドを発行すると、ホストバスI/F2は、ホストコンピュータ101からのコマンドを解釈し、データ伝送装置1を介してメモリコントローラ4に半導体メモリ5をアクセスするよう指示をする。

【0057】

メモリコントローラ4は、指示を受けると、半導体メモリ5をアクセスし、その結果を

50

再びデータ伝送装置 1 を介してホストバス I / F 2 に返す。ホストバス I / F 2 は、メモリコントローラ 4 からアクセス結果が返されると、ホストコンピュータ 101 に処理が終了したことを通知する。

【0058】

(データ伝送装置の全体の動作)

(1) 送信側の処理動作

次に、データ伝送装置 1 の送信側 (データ送信装置 1 a) の処理動作を図 5 ～ 図 9 を参照して説明する。図 5 (a) ～ (d) は、シリアル伝送前の ECC フレームエンコーダ 12 における符号化の流れの一例を示す。

【0059】

データ伝送装置 1 のパケットエンコーダ 11 は、ホストバス I / F 2 を制御する制御部 20 からの要求に応じたパケットを生成する。

【0060】

ECC エンコード部 120 の固定長フレーム形成部 120 a は、パケットエンコーダ 11 によって生成されたパケットを分割またはダミーデータの付加により、図 5 (a) に示すように、8 バイトの固定長フレーム 201 を形成する。8 バイトの固定長フレーム 201 は、転送したいパケットがある／なしに関わらず、一定の周期で構成され、送出される。このとき、送りたいパケットがない場合は、NOP2 シンボル (受信側で無視されるシンボル) を詰めて 8 バイトを構成する。送りたいパケットがある場合は、これを含んだ 8 バイトを構成する。パケットが 8 バイトを超える場合は、最初の 8 バイトまでをまとめて処理し、次のタイミングで残りをやはり 8 バイトにまとめて処理する。

【0061】

8 B10 B符号化部 120 b は、固定長フレームを 8 B10 Bエンコードし、図 5 (b) に示すように、80 ビットの固定長フレーム 202 を形成する。ここでは、シリアル伝送に CDR 技術を用いるため、この 8 バイトをそれぞれ 8 B10 Bエンコードし、80 ビットに変換する。この時、SOP、EOP、NOP2 などの特殊なシンボルは、それぞれ対応する K キャラクタに変換される。その特殊シンボルと K キャラクタの対応関係を、図 6 に示す。

【0062】

ECC 付加部 120 c は、8 B10 Bエンコードされた 80 ビットのフレームに ECC を追加し、図 5 (c) に示すように、ECC フレーム 203 を形成し、伝送時に 1 ビット誤りが発生しても受信側で訂正できるようにする。

【0063】

図 7 は、ECC 付加部 120 c により追加される ECC の一例を示す。80 ビットに対する ECC は 8 ビットで十分であるが、これは 8 B10 Bエンコードの対象とはならないため、DC バランスを考慮して反転した 8 ビットを合わせて追加する。この時、それぞれの 8 ビットに、図 7 に示すような 2 ビットを追加し、クロック補償シーケンスに用いる K28.5 シンボルと区別できるようにする。これを全て合わせた 100 ビットを、以下「ECC フレーム」という。

【0064】

図 8 は、ECC 付加部 120 c によって形成される ECC フレームの一例を示す。同図中、A1 ～ A4 は、それぞれ 1 バイトのアドレスを示す。D1 ～ D256 は、それぞれ 1 バイトのデータを示す。時間 t の ECC フレーム (t) は、時間 t に形成されたものを示す。ECC フレームには、ECC フレーム (t) から ECC フレーム (t+1) のように、1 つのパケットの内容が 2 つの ECC フレームに渡る場合もあり、ECC フレーム (t+1) のように、1 つの ECC フレームに複数のパケットの一部が含まれる場合もある。また、ECC フレーム (t+3)、ECC フレーム (t+k)、および ECC フレーム (t+k+35) のように、パケットが含まれない場合もある。ECC フレーム (t+k+1)、ECC フレーム (t+k+2)、ECC フレーム (t+k+33) および ECC フレーム (t+k+34) のように、1 つのパケットが複数の ECC フレームに渡る場合も

10

20

30

40

50

ある。

【0065】

続いてECC付加部120cは、ECCフレーム203を、図5(d)に示すように、20ビットずつ5回に分けてクロック毎にトランスミッタ13に出力する。

【0066】

図9は、図8のECCフレームを20ビットずつ出力する様子を示す。トランスミッタ13は、この20ビットをパラレル／シリアル変換し、順次伝送路に出力する。

【0067】

(2) 受信側の処理動作

シリアル伝送後のデータ伝送装置1の受信側(データ受信装置1b)における復号処理は、以上の逆の処理を行う。レシーバ14は、伝送路から入力されたシリアルデータを、シリアル／パラレル変換し、20ビットのパラレルデータとしてクロック毎にECCフレームデコーダ15に出力する。

10

【0068】

ECCフレームデコーダ15のECCエラー検出／訂正部151aでは、IDLEシンボル検出部150を介して20ビットのパラレルデータを受け取ると、それを5サイクル分まとめて100ビットとし、これに含まれるECCを用いて、ECCエラー検出／訂正処理される。

【0069】

その後、ECC除去部151bでECCが除かれた80ビットは、10B8B復号化部151cにて8B10Bデコード処理が施され、64ビットが復元される。ECCフレームデコーダ15は、復元された64ビットの各8ビットから、NOP1、NOP2を削除し、残りをエラスティックバッファ・クロック補償処理部152およびIDLEシンボル削除部153を介してパケットデコーダ16に送る。

20

【0070】

(3) クロック補償シーケンス

データ伝送装置1の送信側と受信側にそれぞれに図示しないクロック発振器を設け、クロック発振器をリファレンスクロックとして用いている。しかし、同じ周波数のクロック発信器を用いたとしても発振器間にわずかな周波数偏差があるために、レシーバ14のエラスティックバッファがオーバーフローまたはアンダーフローを起こす可能性がある。このため、レシーバ14で認識可能な特別なKキャラクタを割り当てたクロック補償シーケンスというデータ列を用いて、バッファ調整を行う。このシーケンスは、レシーバ14内で認識され、バッファ調整のためにデータが増減されるため、ECCフレーム内に含めることはできない。そのため、必要に応じてECCフレーム間に埋め込む。つまり、このシーケンスは、ECCによるエラー訂正を適用することができない。

30

【0071】

図10は、クロック補償シーケンス挿入時のフレームの一例を示す。ECCフレームエンコーダ12のIDLE付加部121は、クロック補償シーケンス210を4000サイクル毎に出力するよう制御される。1つのクロック補償シーケンス210は、2つのIDLEシンボル211を1サイクルとして連続する2サイクルから構成される。1サイクルの周期は、使用するトランシーバと、使用するリファレンス用のクロック発振器の周波数ばらつきにより規定される。クロック補償シーケンスを2サイクルで構成したのは、1サイクルに例え1ビット誤りが発生しても、ビット誤りが発生していないサイクルが少なくとも1つは残るようにするためである。これにより、1ビット誤りにより、致命的なエラスティックバッファのオーバーフローやアンダーフローが発生することはなくなる。

40

【0072】

また、ECCエンコード部120は、IDLEシンボル211を出力した後の最初のECCフレーム203'の先頭に、必ずNOP1シンボルを含めるようにする。これは、IDLEシンボル211直後のデータにIDLEシンボル211とハミング距離が近いデータが配置されることを防ぐためである。

50

【0073】

(3-1) クロック補償シーケンスの通常の動作

レシーバ14に入力されたシリアルデータは、レシーバ14内のシリアル／パラレル変換部でパラレルデータに変換され、ECCフレームデコーダ15のECCデコード部151に入力される。ECCデコード部151でエラー訂正された後、8B10Bデコードされたデータは、エラスティックバッファ・クロック補償処理部152に入力される。

【0074】

エラスティックバッファ・クロック補償処理部152では、バッファ(FIFO)のハーフフル状態が維持されるよう、定期的にトランスミッタ13から出力されるクロック補償シーケンス用シンボル(IDLEシンボル)の削除または複製が行われる。

10

【0075】

レシーバ14、ECCデコード部151、及びエラスティックバッファの書き込み処理部はレシーバ14で入力シリアルデータから抽出されたリカバリクロック(つまりトランスミッタ13側のクロック)に同期させ、エラスティックバッファの読み出し処理部以降はローカルクロックに同期させる。これにより、送信側と受信側のクロック周波数偏差を吸収することができる。

【0076】

エラスティックバッファ・クロック補償処理部152から出力されたデータは、IDLEシンボル削除部153で、パケットに無関係なIDLEシンボルが削除された後、パケットデコーダ16に入力される。

20

【0077】

以上により、クロック補償シーケンス(IDLEシンボル)のエラー訂正のための特別な処理は不要になり、通常のデータと同様に一括してECCデコード部151でエラー訂正することができる。

【0078】

(3-2) クロック補償シーケンスにビット誤りが発生した場合の動作

図11は、クロック補償シーケンスにビット誤りが発生した場合の対処フローの一例を示す。クロック補償シーケンスに1ビット誤りが発生すると、該当シーケンスは、レシーバ14内ではクロック補償シーケンスとしては認識されず、そのままECCフレームデコーダ15に渡される。

30

【0079】

ECCフレームデコーダ15は、レシーバ14から20ビットを受け取ると(S1)、IDLEシンボル検出部150は、受信した20ビットのうち、下位10ビットまたは上位10ビットがIDLEシンボルか否かを判断し(S2)、下位10ビットまたは上位10ビットがIDLEシンボルのとき(S2:Yes)、下位10ビットおよび上位10ビットの両方がIDLEシンボルか否かを判断し(S3)、下位10ビットまたは上位10ビットの両方がIDLEシンボルであるとき(S3:Yes)、受信した20ビットはクロック補償シーケンスであると判断し、ECCデコード部151のタイミングを次の受信データがフレームの先頭になるように補正し(S4)、受信した20ビットをECCデコード部151へ出力する(S5)。両方のIDLEシンボルは、IDLEシンボル削除部153で削除される。

40

【0080】

また、IDLEシンボル検出部150は、受信した20ビットのうち、上位10ビットおよび下位10ビットのいずれもがIDLEシンボルでないとき(S2:No)、ECCデコード部151のタイミングを補正せずに受信した20ビットをECCデコード部151へ出力する(S5)。

【0081】

また、IDLEシンボル検出部150は、上位10ビットおよび下位10ビットのいずれかがIDLEシンボルであるが(S2:Yes)、両方がIDLEシンボルでないとき(S3:No)、(1)もう一方の10ビットとIDLEシンボルとのハミング距離が1

50

以下、すなわち両者の違いが1ビット以下であり、(2) IDLEシンボルが受信されるべきタイミングであった場合に(S6: Yes)、この20ビットはクロック補償シーケンスであると判断し、1ビットエラーを訂正し(S7)、ECCデコード部151のタイミングを次の受信データがフレームの先頭になるように補正して(S4)、ECCデコード部151へ出力する(S5)。

【0082】

なお、上記条件のうち(2)の条件は、更に以下のいずれかの条件が成立するとき、成立したと判断してもよい。

(a) <リンク初期化中>

リンク初期化中は、まだ同期が取れていない可能性があるため、強制的に条件(2)を成立させる。

(b) <IDLE受信タイミング一致>

4000サイクル毎に一致するタイミングかどうかを判定する。すなわち、送信側と受信側で同期をとった後、一定のサイクルまでは、一致していると判断して、強制的に条件(2)を成立させる。

(c) <直前のクロックサイクルでIDLEシンボルを受信した場合>

クロック補償シーケンスは、通常2つのサイクルが連続して送信され、またレシーバ14で認識されると、エラスティックバッファの状態により更に複製されてECCフレームデコーダ15に出力される可能性があるため、直前のクロックサイクルがクロック補償シーケンスであった場合は、次のサイクルもクロック補償シーケンスである可能性が高いため、強制的に条件(2)を成立させる。

【0083】

以上の処理により、クロック補償シーケンスに1ビット誤りが発生しても問題なく訂正することができる。また、IDLEシンボルの後には必ずNOP1シンボルが配置されるため、これが1ビット誤りにより変化してもクロック補償シーケンスと誤認識されることはない。なお、上述した図11のステップS6の条件判断に代えて、IDLEシンボルでない方の10ビットとIDLEシンボルとのハミング距離が1以下、すなわち両者の違いが1ビット以下の場合に、S6: Yesとし、S7の処理に進む対処フローとしてもよい。

【0084】

図12は、図11のフローを実現するためのIDLEシンボル検出部150の構成の一例を示す。IDLEシンボル検出部150は、第1乃至第4の比較器50A~50Dと、第1乃至第5のAND回路51A~51Eと、第1および第2のOR回路52A、52Bと、クロックコレクションタイミング検出器53と、第1および第2のマルチプレクサ(MUX)54A、54Bと、ECCフレームタイミング生成器55とを有して構成されている。

【0085】

第1の比較器50Aで上位10ビットがIDLEシンボルか否かが判断され、第2の比較器50Bで上位10ビットとハミング距離が1ビット以下か否かが判断される。第3の比較器50Cで下位10ビットがIDLEシンボルか否かが判断され、第4の比較器50Dで下位10ビットとハミング距離が1ビット以下か否かが判断される。上位10ビットおよび下位10ビットが共にIDLEシンボルのとき、およびIDLEシンボルでない方の10ビットとハミング距離が1ビット以下のときは、ECCフレームタイミング生成器55からIDLEシンボルに基づくタイミング信号が出力される。1ビットエラー訂正の通知は、第4のAND回路51Dから出力される。

【0086】

(クロック補償シーケンスの他の例)

図13は、クロック補償シーケンスの他の例を示す図である。上記実施の形態では、ECCフレーム間にクロック補償シーケンスを挿入したが、図13に示すように、ECCフレーム203に通常のデータと同様にIDLEシンボル211からなるクロック補償シー

ケンスを組み込んでもよい。これによっても、前述したのと同様に、エラー訂正が可能になる。エラー訂正後にエラスティックバッファに挿入されるため、I D L Eシンボル2 1 1は、上位1 0ビットと下位1 0ビットの1組でもよい。この構成によれば、エラー訂正前にI D L Eシンボル2 1 1の検出をする必要がないため、直後にI D L Eシンボル2 1 1とハミング距離が離れたデータを置く必要がない。

【0 0 8 7】

なお、上述のクロック補償シーケンスでは、2つのI D L Eシンボルによってビット誤りに対応しているが、I D L Eシンボルの数は2つに限らず、3つ以上のI D L Eシンボルを利用してビット誤りに対応してもよい。例えば、I D L E付加部1 2 1は4つのI D L Eシンボル（各5ビット）を送信し、E C Cフレームデコーダ1 5では受信したシンボルの全てがI D L Eシンボルであるか、少なくとも一部がI D L Eシンボルに一致し且つI D L Eシンボルに一致しない5ビットのI D L Eシンボルとのハミング距離が1以下である場合に、受信した2 0ビットはクロック保証シーケンスであると判断してE C Cでコードタイミング処理を実施する構成でもよい。

10

【0 0 8 8】

図1 4は、1対多の通信を行う例を示す。例えば、システムを1つの無線通信放送装置3 0 0と複数の無線通信受信端末3 0 1 A～3 0 1 Cとから構成する。

【0 0 8 9】

無線通信放送装置3 0 0は、図2のデータ伝送装置1のうち送信側の機能のみを有するデータ伝送装置1 aを備える。無線通信受信端末3 0 1 A～3 0 1 Cは、図2のデータ伝送装置1のうち受信側の機能のみを有するデータ伝送装置1 bを備える。同図に示すトランスミッタ1 3およびレシーバ1 4は、無線通信機能を有する。

20

【0 0 9 0】

このシステムによれば、エラー発生時に、受信側から送信側に再送要求をする必要がないので、一方的にデータを送受する応用例が考えられる。例えば、1つの無線通信放送装置3 0 0から、複数の無線通信受信端末3 0 1 A～3 0 1 Cに同じ情報をブロードキャストするような応用例（デジタル音声データや動画データなどの送受）が考えられる。

【0 0 9 1】

図1 5は、多対多の通信を行う例を示す。1対多通信を拡張し、互いに送信部と受信部を設け、相互通信をする応用例が考えられる。例えば、システムを無線により相互に接続された複数の無線通信端末3 0 2 A～3 0 2 Dから構成する。

30

【0 0 9 2】

無線通信端末3 0 2 A～3 0 2 Dは、図2のデータ伝送装置1と同様に送信側および受信側の両方の機能を有するデータ伝送装置1を備える。

【0 0 9 3】

このシステムでは、無線通信端末3 0 2 A～3 0 2 Dが送信したパケットは、他の全ての無線通信端末3 0 2 A～3 0 2 Dで受信されるが、必要に応じて無線受信端末3 0 2 A～3 0 2 D内で取捨すればよい。このようにすれば、全ての端末同士が相互通信できる。例えば、無線L A Nなどに応用することができる。

【図面の簡単な説明】

40

【0 0 9 4】

【図1】図1は、本発明の実施の形態に係るストレージシステムのブロック図である。

【図2】図2は、ホストバスI / Fに設けられたデータ伝送装置のブロック図である。

【図3】図3は、パケットエンコーダが生成するパケットの構成例を示す図である。

【図4】図4は、パケットのヘッダに含まれるタイプの意味と2進符号の割り当てを示す図である。

【図5】図5（a）～（d）は、シリアル伝送前のE C Cフレームエンコーダにおける符号化の流れの一例を示す図である。

【図6】図6は、特殊シンボルとKキャラクタの対応を示す図である。

【図7】図7は、E C C付加部により追加されるE C Cの一例を示す図である。

50

【図 8】図 8 は、E C C フレームの一例を示す図である。

【図 9】図 9 は、図 8 の E C C フレームを 2 0 ビットずつ出力する様子を示す図である。

【図 1 0】図 1 0 は、クロック補償シーケンス挿入時のフレームの一例を示す図である。

【図 1 1】図 1 1 は、クロック補償シーケンスにビット誤りが発生した場合の対処フローの一例を示す図である。

【図 1 2】図 1 2 は、I D L E シンボル検出部の構成の一例を示す図である。

【図 1 3】図 1 3 は、クロック補償シーケンスの他の例を示す図である。

【図 1 4】図 1 4 は、1 対多の通信を行う例を示す図である。

【図 1 5】図 1 5 は、多対多の通信を行う例を示す図である。

【符号の説明】

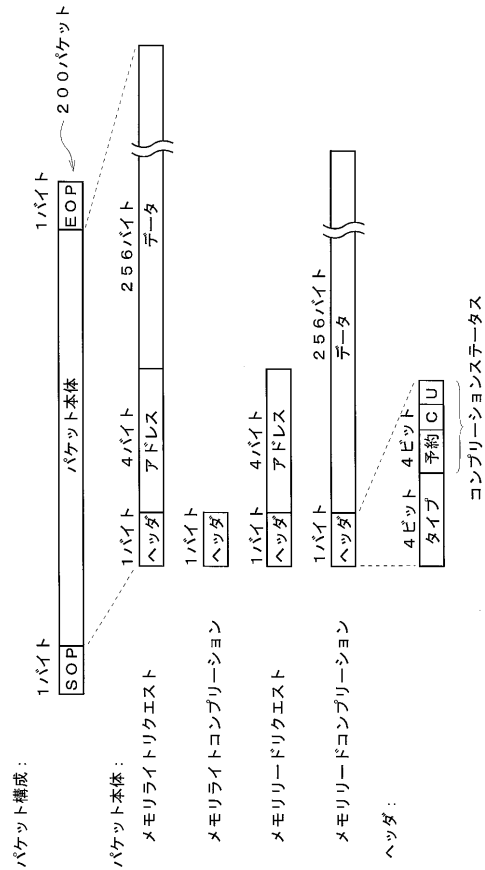
10

【0 0 9 5】

1	データ伝送装置	
1 a	データ送信装置	
1 b	データ受信装置	
2	ホストバス I / F	
3	シリアル伝送路	
4	メモリコントローラ	
5	半導体メモリ	
1 0	データ伝送システム	
1 1	パケットエンコーダ	20
1 2	E C C フレームエンコーダ	
1 3	トランスミッタ	
1 4	レシーバ	
1 5	E C C フレームデコーダ	
1 6	パケットデコーダ	
2 0	制御部	
5 0 A ~ 5 0 D	比較器	
5 1 A ~ 5 1 E	A N D 回路	
5 2 A, 5 2 B	O R 回路	
5 3	クロックコレクションタイミング検出器	30
5 4 A, 5 4 B	M U X	
5 5	フレームタイミング生成器	
1 0 0	ストレージシステム	
1 0 1	ホストコンピュータ	
1 0 2	半導体ディスク装置	
1 2 0	エンコード部	
1 2 0 a	固定長フレーム形成部	
1 2 0 b	8 B 1 0 B 符号化部	
1 2 0 c	E C C 付加部	
1 2 1	I D L E シンボル付加部	40
1 5 0	I D L E シンボル検出部	
1 5 1	E C C デコード部	
1 5 1 a	E C C エラー / 訂正部	
1 5 1 b	E C C 除去部	
1 5 1 c	1 0 B 8 B 復号化部	
1 5 2	エラスティックバッファ・クロック補償処理部	
1 5 3	I D L E シンボル削除部	
2 0 0	パケット	
2 0 1	固定長フレーム	
2 0 2	固定長フレーム	50

【図 3】

図 3



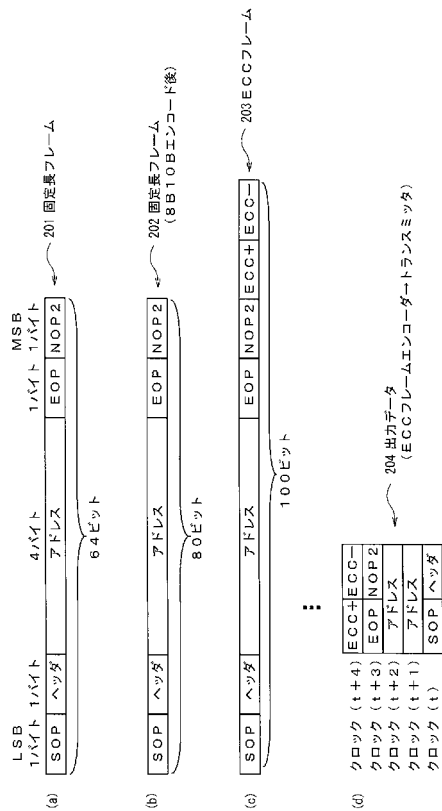
【図 4】

図 4

ホストからの要求	タイプ	符号 (2進数)
書き込み	メモリライトリクエスト	1000
	メモリライトコンプリーション	1100
読み出し	メモリリードリクエスト	0000
	メモリリードコンプリーション	0100

【図 5】

図 5

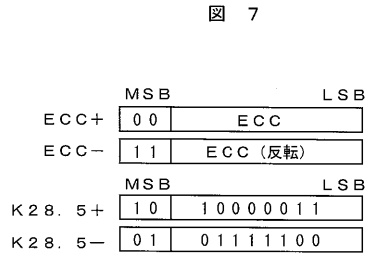


【図 6】

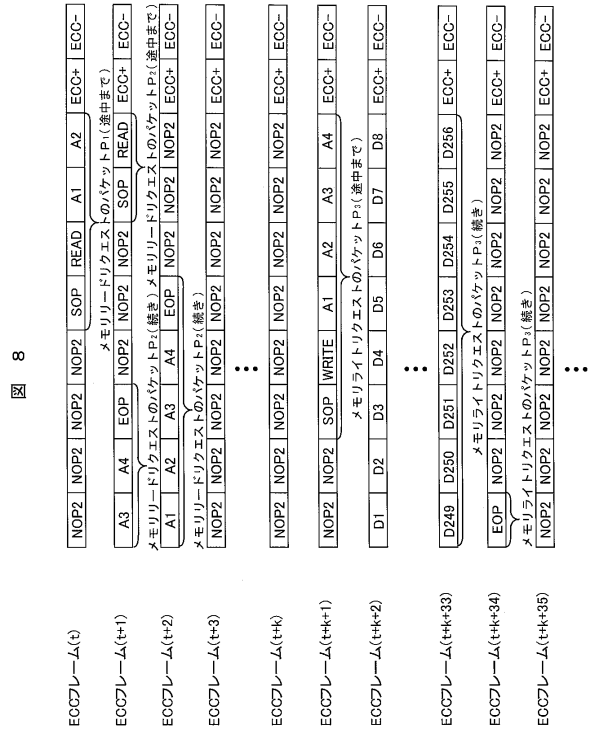
図 6

制御シンボル	対応Kキャラクタ	意味
SOP	K28. 1	パケットの始まり
EOP	K28. 0	パケットの終わり
IDLE	K28. 5	クロック補償用
NOP1	K28. 3	No Operation, 同期用カムマシナリクタク
NOP2	K28. 6	No Operation, タイムスロットパディング用

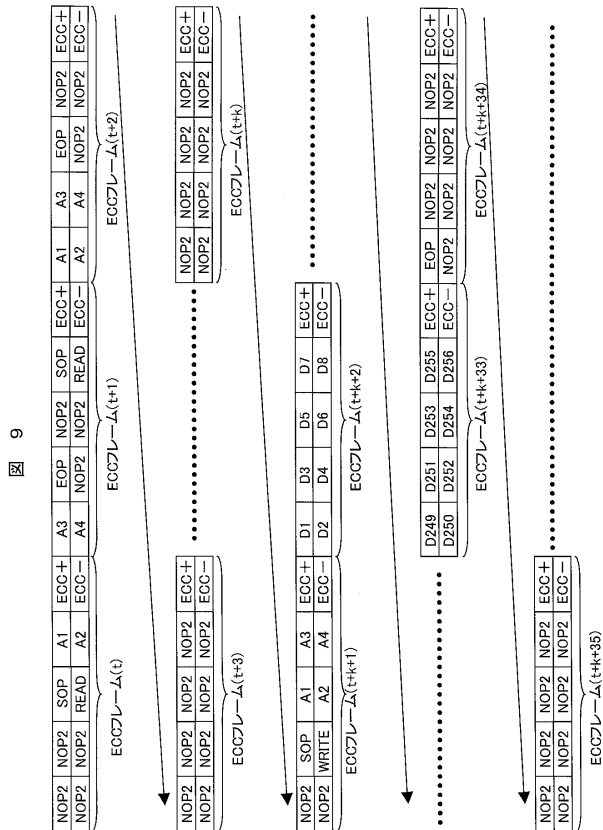
【図 7】



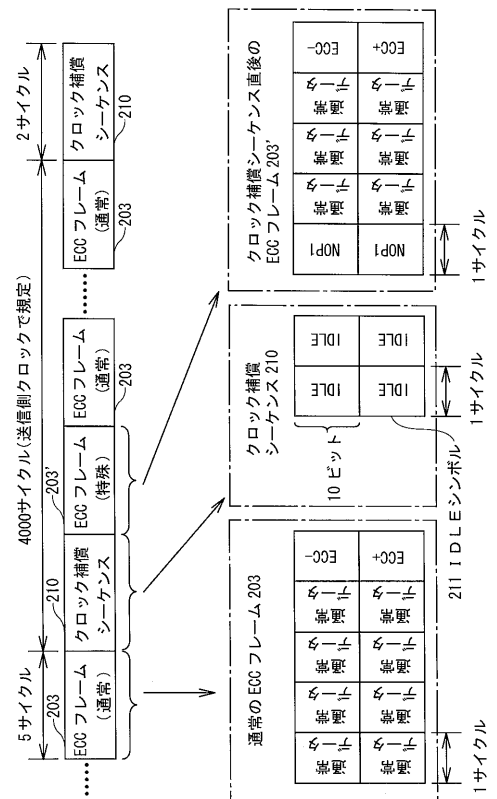
【図 8】



【図 9】

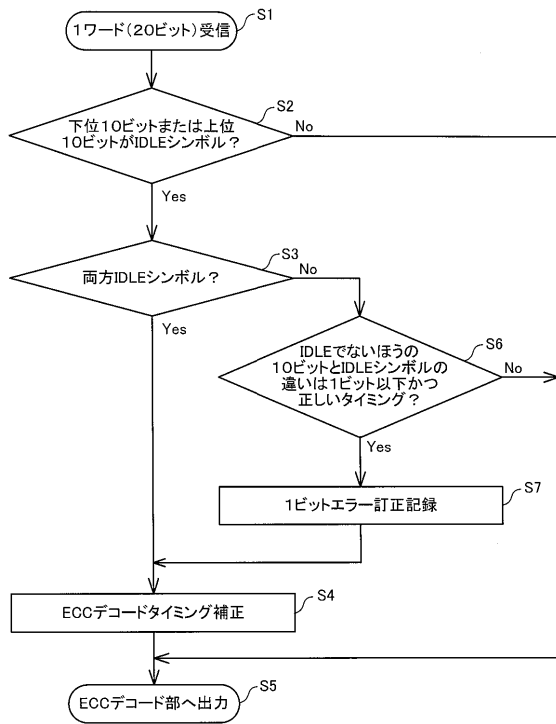


【図 10】

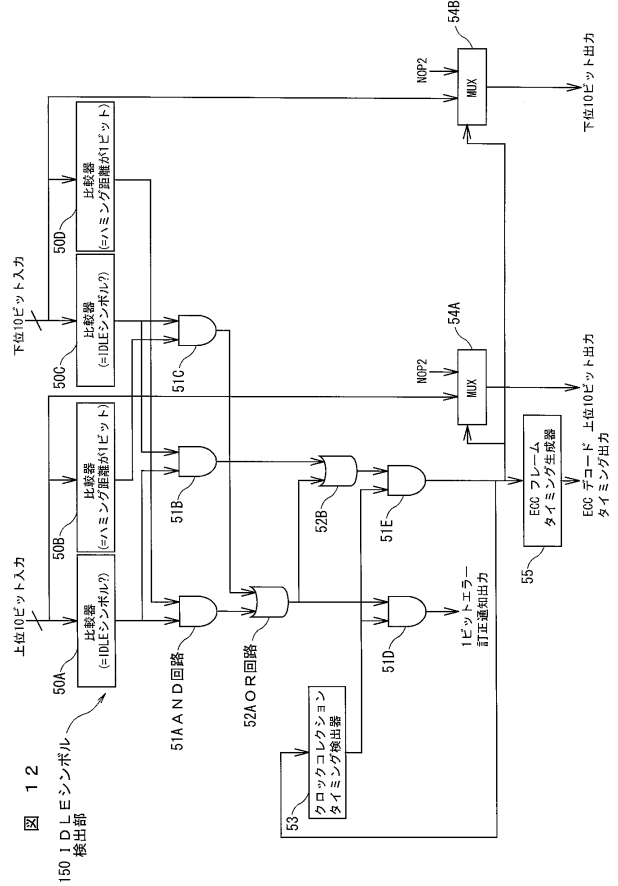


【図 1 1】

図 1 1

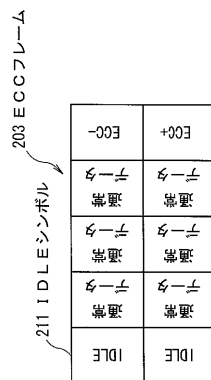


【図 1 2】

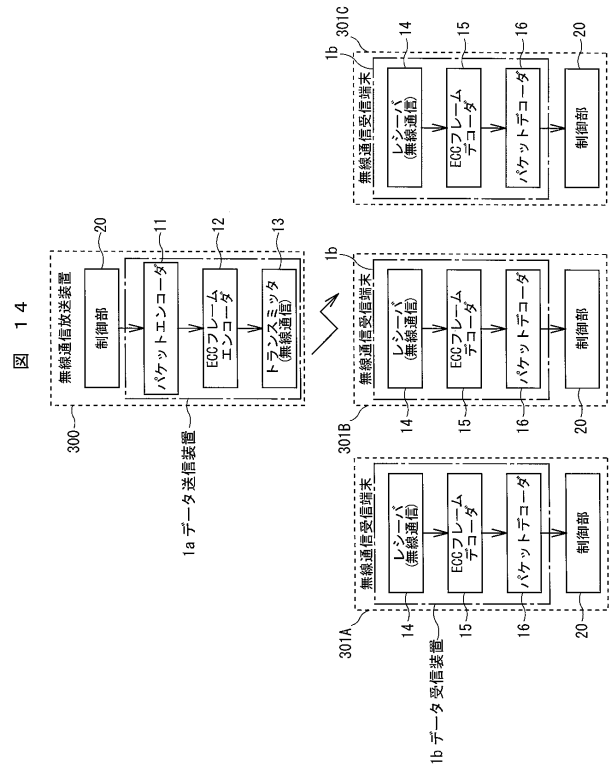


【図 1 3】

図 1 3

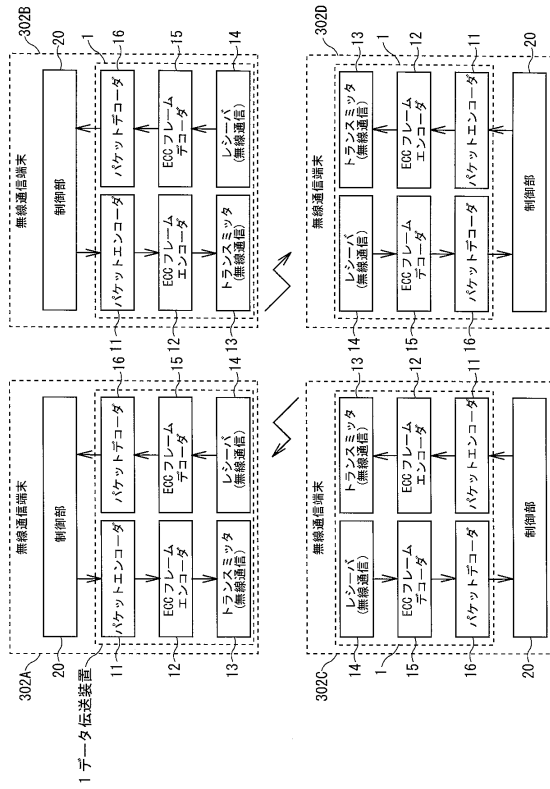


【図 1 4】



【図 15】

図 15



フロントページの続き

- (72)発明者 鈴木 星児
神奈川県足柄上郡中井町境430 グリーンテクなかい 富士ゼロックス株式会社内
- (72)発明者 北村 淳
神奈川県足柄上郡中井町境430 グリーンテクなかい 富士ゼロックス株式会社内
- (72)発明者 森 信男
神奈川県足柄上郡中井町境430 グリーンテクなかい 富士ゼロックス株式会社内
- (72)発明者 赤松 学
神奈川県足柄上郡中井町境430 グリーンテクなかい 富士ゼロックス株式会社内
- (72)発明者 瀬野 訓啓
神奈川県足柄上郡中井町境430 グリーンテクなかい 富士ゼロックス株式会社内

審査官 谷岡 佳彦

- (56)参考文献 特開2006-019819 (JP, A)
特開平02-189663 (JP, A)
Frank Effenberger, et al., FEC Synchronization and Framing, 2007年 1月, URL,
http://www.ieee802.org/3/av/public/2007_01/3av_0701_effenberger_1.pdf
Jeff Mandin, Framing for Forward Error Correction in 10G EPON, 2006年 7月, UR
L, http://www.ieee802.org/3/10GEPON_study/public/july06/mandin_1_0706.pdf

- (58)調査した分野(Int.Cl., DB名)
H04L 1/00
H04L 7/08
H04L 29/02