

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200810144944.0

[51] Int. Cl.

H01L 27/115 (2006.01)

H01L 21/8247 (2006.01)

G11C 16/10 (2006.01)

G11C 16/26 (2006.01)

[43] 公开日 2009 年 4 月 15 日

[11] 公开号 CN 101409290A

[22] 申请日 2008.8.13

[21] 申请号 200810144944.0

[30] 优先权

[32] 2007.10.12 [33] KR [31] 10-2007-0103164

[71] 申请人 三星电子株式会社

地址 韩国京畿道水原市

[72] 发明人 金锡必 朴允童 金德起 金元柱

陈暎究 李承勋

[74] 专利代理机构 北京铭硕知识产权代理有限公司

代理人 郭鸿禧 罗延红

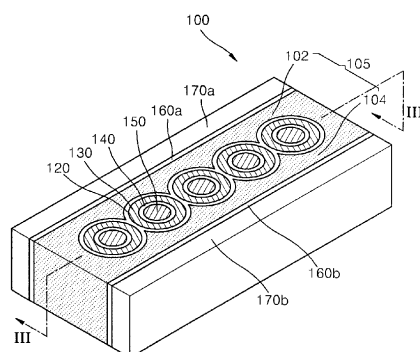
权利要求书 4 页 说明书 14 页 附图 8 页

[54] 发明名称

非易失性存储装置及其操作方法和制造方法

[57] 摘要

本发明提供一种非易失性存储装置及其操作方法和制造方法。所述非易失性存储装置可以包括至少一个半导体层、多个控制栅电极、多个电荷存储层、至少一个第一辅助电极和/或至少一个第二辅助电极。多个控制栅电极可以凹陷到半导体层中。多个电荷存储层可以在多个控制栅电极和半导体层之间。第一和第二辅助电极可以布置成彼此面对。多个控制栅电极可以在第一和第二辅助电极之间，第一和第二辅助电极可以与半导体层电容式结合。



1、一种非易失性存储装置，包括：

至少一个半导体层；

多个控制栅电极，凹陷到半导体层中；

多个电荷存储层，在多个控制栅电极和半导体层之间；

至少一个第一辅助电极和至少一个第二辅助电极，第一辅助电极和第二辅助电极布置成彼此面对，

其中，多个控制栅电极在第一辅助电极和第二辅助电极之间，第一辅助电极和第二辅助电极与半导体层电容式结合。

2、如权利要求1所述的非易失性存储装置，其中，多个电荷存储层围绕多个控制栅电极的侧壁。

3、如权利要求1所述的非易失性存储装置，还包括：

多个隧穿绝缘层，在多个电荷存储层和半导体层之间，

其中，多个隧穿绝缘层彼此连接。

4、如权利要求3所述的非易失性存储装置，还包括：

多个阻挡绝缘层，在多个控制栅电极和多个电荷存储层之间。

5、如权利要求4所述的非易失性存储装置，其中，多个隧穿绝缘层和多个阻挡绝缘层围绕控制栅电极的侧壁。

6、如权利要求3所述的非易失性存储装置，其中，多个隧穿绝缘层关于多个控制栅电极将半导体层分为第一区域和第二区域。

7、如权利要求6所述的非易失性存储装置，其中，所述至少一个第一辅助电极凹陷到第一区域中，所述至少一个第二辅助电极凹陷到第二区域中。

8、如权利要求7所述的非易失性存储装置，还包括：

第一介电层，在所述至少一个第一辅助电极和半导体层之间；

第二介电层，在所述至少一个第二辅助电极和半导体层之间。

9、如权利要求1所述的非易失性存储装置，其中，所述至少一个第一辅助电极以线形位于多个控制栅电极的侧部上。

10、如权利要求1所述的非易失性存储装置，其中，所述至少一个第二辅助电极以线形位于多个控制栅电极的侧部上。

11、如权利要求1所述的非易失性存储装置，其中，所述至少一个第一

辅助电极和所述至少一个第二辅助电极布置成关于多个控制栅电极彼此对称。

12、如权利要求 1 所述的非易失性存储装置，其中，

至少一个半导体层是多个半导体层；

多个控制栅电极延伸以穿透多个半导体层；

多个电荷存储层在多个控制栅电极和多个半导体层之间；

至少一个第一辅助电极是位于多个控制栅电极的第一侧并与多个半导体层电容式结合的多个第一辅助电极；

至少一个第二辅助电极是位于多个控制栅电极的第二侧并与多个半导体层电容式结合的多个第二辅助电极。

13、如权利要求 12 所述的非易失性存储装置，其中，多个第一辅助电极凹陷到多个半导体层中。

14、如权利要求 12 所述的非易失性存储装置，其中，多个第二辅助电极凹陷到多个半导体层中。

15、如权利要求 12 所述的非易失性存储装置，还包括：

多个位线塞，位于多个控制栅电极的端部，所述多个位线塞延伸以穿透多个半导体层。

16、如权利要求 12 所述的非易失性存储装置，还包括：

多个共源线塞，位于多个控制栅电极的另一端部，所述多个共源线塞延伸以穿透多个半导体层。

17、如权利要求 12 所述的非易失性存储装置，还包括：

多个隧穿绝缘层，在多个电荷存储层和多个半导体层之间，多个隧穿绝缘层彼此连接。

18、如权利要求 12 所述的非易失性存储装置，还包括：

多个阻挡绝缘层，在多个控制栅电极和多个电荷存储层之间。

19、一种操作非易失性存储装置的方法，所述方法包括如下步骤：

执行编程操作，所述编程操作包括将数据存储到在位线和共源线之间按 NAND 串彼此连接的多个存储单元中的至少一个存储单元中，

其中，NAND 串包括第一页和第二页，其中，编程操作包括执行第一页编程操作，所述第一页编程操作包括将地电压施加到与半导体层的第一页电容式结合的第一辅助线，并将编程禁止电压施加到与半导体层的第二页电容

式结合的第二辅助线。

20、如权利要求 19 所述的方法，其中，编程操作还包括执行第二页编程操作，所述第二页编程操作包括将编程禁止电压施加到与半导体层的第一页电容式结合的第一辅助线，并将地电压施加到与半导体层的第二页电容式结合的第二辅助线。

21、如权利要求 19 所述的方法，其中，编程禁止电压为正值。

22、如权利要求 19 所述的方法，其中，编程禁止电压为负值。

23、如权利要求 19 所述的方法，还包括：

执行读取操作，所述读取操作包括从至少一个存储单元读取数据，

其中，读取操作包括将地电压施加到与半导体层的第一页电容式结合的第一辅助线，并将读取禁止电压施加到与半导体层的第二页电容式结合的第二辅助线的第一页读取操作。

24、如权利要求 23 所述的方法，其中，读取操作还包括第二页读取操作，所述第二页读取操作包括将读取禁止电压施加到与半导体层的第一页电容式结合的第一辅助线，并将地电压施加到与半导体层的第二页电容式结合的第二辅助线。

25、如权利要求 23 所述的方法，其中，读取禁止电压为负值。

26、一种制造非易失性存储装置的方法，所述方法包括如下步骤：

在半导体基底中形成多个电荷存储层；

在多个电荷存储层上形成多个控制栅电极；

在多个控制栅电极的第一侧上形成至少一个第一辅助电极，所述至少一个第一辅助电极与半导体基底电容式结合；

在多个控制栅电极的第二侧上形成至少一个第二辅助电极，所述至少一个第二辅助电极与半导体基底电容式结合。

27、如权利要求 26 所述的方法，还包括：

通过蚀刻半导体基底来形成多个槽，其中，在多个槽中形成所述多个电荷存储层，在所述多个槽中的所述多个电荷存储层上形成所述多个控制栅电极。

28、如权利要求 27 所述的方法，还包括：

在形成所述多个电荷存储层之前，在所述多个槽上形成彼此连接的多个隧穿绝缘层。

29、如权利要求 27 所述的方法，还包括：

在形成所述多个控制栅电极之前，在所述多个槽中的所述多个电荷存储层上形成多个阻挡绝缘层。

30、如权利要求 27 所述的方法，还包括：

在半导体基底中形成一对沟槽，将多个控制栅电极置于沟槽之间；

在形成所述至少一个第一辅助电极之前，在沟槽上形成介电层。

31、如权利要求 30 所述的方法，其中，至少一个第一辅助电极包括多个第一辅助电极，至少一个第二辅助电极包括多个第二辅助电极。

32、如权利要求 31 所述的方法，还包括：

在沟槽中的介电层上交替堆叠多个第一导电层和多个第二导电层；

在形成介电层之后，通过选择性地去除多个第二导电层将多个第一导电层限定成多个第一辅助电极和多个第二辅助电极。

33、如权利要求 32 所述的方法，其中，多个第一导电层包含硅，多个第二导电层包含硅-锗。

34、如权利要求 32 所述的方法，还包括：

在选择性地去除多个第二导电层之后，蚀刻介电层暴露在多个第一辅助电极之间和多个第二辅助电极之间的一部分，

其中，介电层的剩余部分在多个第一辅助电极和半导体基底之间限定多个第一介电层，并在多个第二辅助电极和半导体基底之间限定多个第二介电层。

35、如权利要求 34 所述的方法，其中，用湿蚀刻方法来蚀刻介电层的所述一部分。

36、如权利要求 35 所述的方法，还包括：

在蚀刻介电层的一部分之后，通过选择性地蚀刻半导体基底暴露在多个第一辅助电极之间和多个第二辅助电极之间的一部分，将半导体基底分为多个半导体层。

37、如权利要求 36 所述的方法，其中，用湿蚀刻方法来蚀刻半导体基底的所述一部分。

38、如权利要求 36 所述的方法，还包括：

在形成多个半导体层之后，在多个半导体层上形成多个钝化层。

非易失性存储装置及其操作方法和制造方法

技术领域

示例实施例涉及一种半导体装置，例如，涉及一种可以通过使用电荷存储层来记录或擦除数据的非易失性存储装置、一种操作该非易失性存储装置的方法和/或一种制造该非易失性存储装置的方法。

背景技术

半导体产品正在变得越来越小型化，并且需要以更高的速度来操作。因此，需要更高度集成的具有更好性能的非易失性存储装置用作半导体产品。然而，由于受平面型非易失性存储装置的集成技术的限制，因此平面型非易失性存储装置支持增加的容量和速度的能力受到限制。

为了改善非易失性存储装置的性能，可以使用传统的三维非易失性存储装置。例如，可以使用绝缘体上硅(SOI)基底来制造传统的三维非易失性存储装置。传统的三维非易失性存储装置的沟道面积可以大于平面型非易失性存储装置的沟道面积，因此，传统的三维非易失性存储装置可以以更高的速度来操作。

为了改善传统的非易失性存储装置的集成度，可以采用多层堆叠结构。如果将存储单元堆叠成多层，则可以在同一平面上制造更高容量的非易失性存储装置。

然而，源区和漏区置于传统的三维非易失性存储装置的宽的区域上。例如，源区和漏区置于传统的具有 NOT AND(NAND)结构的非易失性存储装置的宽的区域上，这限制了传统的非易失性存储装置的集成度的改善。此外，堆叠多层的传统的三维非易失性存储装置导致了更高的成本，并且会不易保证单晶层的质量。

发明内容

示例实施例提供了一种可以具有更高性能和可以更高度地集成的非易失性存储装置。

示例实施例提供了一种操作非易失性存储装置的方法。

示例实施例提供一种制造非易失性存储装置的方法。

根据示例实施例，一种非易失性存储装置可以包括至少一个半导体层、多个控制栅电极、多个电荷存储层、至少一个第一辅助电极和/或至少一个第二辅助电极。多个控制栅电极可以凹陷到半导体层中。多个电荷存储层可以在多个控制栅电极和半导体层之间。第一和第二辅助电极可以布置成彼此面对。多个控制栅电极可以在第一和第二辅助电极之间，第一和第二辅助电极与半导体层电容式结合。

根据示例实施例，非易失性存储装置还可以包括在多个电荷存储层和半导体层之间的多个隧穿绝缘层。多个隧穿绝缘层可以彼此连接。

根据示例实施例，多个隧穿绝缘层可以关于多个控制栅电极将半导体层分为第一区域和第二区域。第一辅助电极可以凹陷到第一区域中，第二辅助电极可以凹陷到第二区域中。非易失性存储装置还可以包括：第一介电层，在第一辅助电极和半导体层之间；第二介电层，在第二辅助电极和半导体层之间。

根据示例实施例，非易失性存储装置还可以包括在多个控制栅电极和多个电荷存储层之间的多个阻挡绝缘层。

根据另一示例实施例，至少一个半导体层可以是多个半导体层。多个控制栅电极可以延伸以穿过多个半导体层。多个电荷存储层可以在多个控制栅电极和多个半导体层之间。至少一个第一辅助电极可以是位于多个控制栅电极的第一侧并与多个半导体层电容式结合的多个第一辅助电极。至少一个第二辅助电极可以是位于多个控制栅电极的第二侧并与多个半导体层电容式结合的多个第二辅助电极。

根据示例实施例，非易失性存储装置还可以包括位于多个控制栅电极的端部的多个位线塞。多个位线塞可以延伸以穿透多个半导体层。

根据示例实施例，非易失性存储装置还可以包括位于多个控制栅电极的另一端部的多个共源线塞。多个共源线塞可以延伸以穿透多个半导体层。

根据又一示例实施例，一种操作非易失性存储装置的方法可以包括如下步骤：执行编程操作，所述编程操作包括将数据存储到在位线和共源线之间按 NAND(NOT AND)串彼此连接的多个存储单元中的至少一个存储单元中。NAND 串可以包括第一页和第二页，编程操作可以包括第一页编程操作，所

述第一页编程操作包括将地电压施加到与半导体层的第一页电容式结合的第一辅助线，并将编程禁止电压施加到与半导体层的第二页电容式结合的第二辅助线。

根据示例实施例，编程操作还可以包括第二页编程操作，所述第二页编程操作包括将编程禁止电压施加到与半导体层的第一页电容式结合的第一辅助线，并将地电压施加到与半导体层的第二页电容式结合的第二辅助线。

根据示例实施例，所述方法还可以包括：执行读取操作，所述读取操作包括从至少一个存储单元读取数据。读取操作可以包括第一页读取操作，所述第一页读取操作包括将地电压施加到与半导体层的第一页电容式结合的第一辅助线，并将读取禁止电压施加到与半导体层的第二页电容式结合的第二辅助线。

根据示例实施例，读取操作还可以包括第二页读取操作，所述第二页读取操作包括将读取禁止电压施加到与半导体层的第一页电容式结合的第一辅助线，并将地电压施加到与半导体层的第二页电容式结合的第二辅助线。

根据另一示例实施例，一种制造非易失性存储装置的方法可以包括在半导体基底中形成多个电荷存储层。可以在多个电荷存储层上形成多个控制栅电极。可以在多个控制栅电极的第一侧上形成至少一个第一辅助电极，所述至少一个第一辅助电极与半导体基底电容式结合。可以在多个控制栅电极的第二侧上形成至少一个第二辅助电极，所述至少一个第二辅助电极与半导体基底电容式结合。

附图说明

通过下面结合附图来详细地描述示例实施例，上面的和/或其它方面及优点将变得更明显并且更容易理解，附图中：

图 1 是根据示例实施例的非易失性存储装置的透视图。

图 2 是图 1 中示出的非易失性存储装置的平面图。

图 3 是图 1 中示出的非易失性存储装置的沿线 III-III' 截取的剖视图。

图 4 是根据另一示例实施例的非易失性存储装置的透视图。

图 5 是根据示例实施例的图 4 中示出的非易失性存储装置的示例等效电路图。

图 6 是根据另一示例实施例的非易失性存储装置的透视图。

图 7 是示出根据示例实施例的非易失性存储装置的示例操作特性的示例曲线图。

图 8 至图 16 是用于描述根据示例实施例的制造非易失性存储装置的方法的透视图。

具体实施方式

现在，将在下文中参照附图来更充分地描述示例实施例。然而，实施例可以以许多不同的形式实施，并不应被解释为限于这里阐述的示例实施例。相反，提供这些示例实施例使得本公开将是彻底和完整的，并会将范围充分地传达给本领域技术人员。在附图中，为了清晰起见，可夸大层和区域的厚度。

应该理解的是，当组件被称为“在”另一组件“上”、“连接到”另一组件或者“结合到”另一组件时，它可以直接在其它组件上、直接连接到其它组件或者直接结合到其它组件，或者可以存在中间组件。相反，当组件被称为“直接在”另一组件“上”、“直接连接到”另一组件或者“直接结合到”另一组件时，不存在中间组件。如这里所使用的，术语“和/或”包括一个或多个相关所列项的任意和所有组合。

应该理解的是，虽然在这里可以使用术语第一、第二、第三等来描述各种元件、组件、区域、层和/或部分，但是这些元件、组件、区域、层和/或部分不应该受这些术语限制。这些术语仅是用来将一个元件、组件、区域、层或部分与另一元件、组件、区域、层或部分区分开。因此，在不脱离示例实施例的教导的情况下，下面讨论的第一元件、组件、区域、层或部分可以被称为第二元件、组件、区域、层或部分。

为了方便描述，在这里可以使用空间相对术语，诸如“在……以下”“在……之下”、“下面的”、“在……之上”、“上面的”等来描述如附图中示出的一个组件或特征与其它组件或特征的关系。应该理解的是，空间相对术语意在包括除附图中描述的方位之外的装置在使用或操作中的不同方位。

这里使用的术语只是出于描述具体示例实施例的目的，而不意在限制示例实施例。如这里所使用的，除非上下文另外清楚地指出，否则单数形式也意在包括复数形式。还应该理解的是，当术语“包括”和/或“包含”在此说明书中使用，其表明存在所述特征、整体、步骤、操作、元件和/或组件，

但不排除存在或添加一个或多个其它特征、整体、步骤、操作、元件和/或组件。

除非另外限定，否则这里使用的所有术语(包括技术术语和科学术语)的含义与示例实施例所属领域的普通技术人员通常理解的含义相同。还应该理解的是，除非在这里被特定地定义，否则术语(比如在通用字典里定义的术语)应该被理解为其含义与相关领域的环境中它们的含义一致，并且不应该被理想化或过度正式地理解。

现在，将对在附图中示出的示例实施例进行说明，其中，相同的标号始终表示相同的组件。

图 1 是根据示例实施例的非易失性存储装置 100 的透视图。图 2 是图 1 中示出的非易失性存储装置 100 的平面图。图 3 是图 1 中示出的非易失性存储装置 100 的沿线 III-III' 截取的剖面图。

参照图 1 至图 3，半导体层 105 可以被设置为体半导体晶片的一部分。例如，体半导体晶片可以包括硅晶片、锗晶片和/或硅-锗晶片。作为另一示例，半导体层 105 可以被设置为在体半导体晶片上的半导体外延层。半导体层 105 可以包括第一区域 102 和第二区域 104(将在后面描述)。

多个控制栅电极 150 可以布置为凹陷到半导体层 105 中。例如，控制栅电极 150 可以形成在半导体层 105 的凹陷或沟槽中。控制栅电极 150 可以布置为穿透半导体层 105。

例如，控制栅电极 150 可以具有圆柱形状并可以在半导体层 105 中产生径向电场。作为另一示例，控制栅电极 150 可以具有椭圆柱(oval column)或棱柱形状。

多个电荷存储层 130 可以布置在控制栅电极 150 和半导体层 105 之间。电荷存储层 130 可以用作数据编程的电荷存储介质。例如，电荷存储层 130 可以允许非易失性存储装置 100 作为浮置栅极型装置或电荷捕获型装置来操作。

例如，对于浮置栅极型装置，电荷存储层 130 可以包含导电材料，例如，多晶硅层，和/或对于电荷捕获型装置，电荷存储层 130 可以包括氮化硅层、量子点或纳米晶。量子点或纳米晶可以包含导电材料，例如，小颗粒的金属或硅。用在电荷捕获型装置中的电荷存储层 130 可以局部地存储电荷和/或可以用于多位操作。

多个隧穿绝缘层 120 可以置于半导体层 105 和电荷存储层 130 之间。隧穿绝缘层 120 可以用作电荷的隧穿通道，隧穿绝缘层 120 可以具有期望的厚度，或可选择地，隧穿绝缘层 120 可以具有预定的厚度，例如，隧穿绝缘层 120 可以具有根据操作电压的厚度。多个阻挡绝缘层 140 可以置于电荷存储层 130 和控制栅电极 150 之间。例如，隧穿绝缘层 120 和阻挡绝缘层 140 可以包括氧化物层、氮化物层和/或高 k 介电层。高 k 介电层可以为介电常数大于氧化物或氮化物的介电常数的绝缘层。

阻挡绝缘层 140、电荷存储层 130 和/或隧穿绝缘层 120 可以顺序围绕控制栅电极 150 的侧壁形成。例如，阻挡绝缘层 140 可以围绕控制栅电极 150，电荷存储层 130 可以围绕阻挡绝缘层 140，和/或隧穿绝缘层 120 可以围绕电荷存储层 130。因此，隧穿绝缘层 120、电荷存储层 130 和/或阻挡绝缘层 140 可以具有管形状。然而，示例实施例不限于此，隧穿绝缘层 120、电荷存储层 130 可以具有其它形状。

一对隧穿绝缘层 120 可以彼此接触。因此，半导体层 105 可以被隧穿绝缘层 120 分为第一区域 102 和第二区域 104。在存储单元中，隧穿绝缘层 120 可以连续地彼此连接，第一区域 102 和第二区域 104 可以被用作分开沟道区。因此，如果沟道形成在第一区域 102 中，则可以产生(induce)第一电流 I_1 ，和/或如果沟道形成在第二区域 104 中，则可以产生第二电流 I_2 。

如果存储单元布置为 NAND 串，则在 NAND 串的共源线可以连接到的端部处，第一区域 102 和第二区域 104 可以不分开。因此，邻近共源线的半导体层 105 可以被用于施加基底偏置电压。

第一辅助电极 170a 和第二辅助电极 170b 可以置于控制栅电极 150 的彼此面对的两侧上，和/或可以与半导体层 105 电容式结合。第一辅助电极 170a 和第二辅助电极 170b 可以用于控制第一区域 102 和第二区域 104 的电势(将在后面描述)。

例如，第一辅助电极 170a 可以布置为凹陷到第一区域 102 中和/或第二辅助电极 170b 可以布置为凹陷到第二区域 104 中。第一辅助电极 170a 和第二辅助电极 170b 可以以线形沿控制栅电极 150 的侧面布置或可以彼此对称地布置。

第一介电层 160a 可以置于第一辅助电极 170a 和半导体层 105 之间和/或第二介电层 160b 可以置于第二辅助电极 170b 和半导体层 105 之间。例如，

第一介电层 160a 和第二介电层 160b 可以包括期望的绝缘层, 或可选择地, 第一介电层 160a 和第二介电层 160b 可以包括预定的绝缘层, 例如, 氧化物层、氮化物层和/或高 k 介电层。

虽然第一区域 102 和第二区域 104 共享控制栅电极 150, 但是可以通过使用第一辅助电极 170a 和第二辅助电极 170b 来分开地控制第一区域 102 的电势和第二区域 104 的电势。因此, 可以独立地控制第一电流 I_1 和第二电流 I_2 。

因此, 非易失性存储装置 100 可以表示这样的情况, 即, NAND 串包括两个页和/或可以处理至少两位的数据。然而, 为了处理两位的数据, 可以选择电荷存储层 130, 以形成电荷捕获型装置。

在非易失性存储装置 100 中, 在没有源区和漏区的情况下, 例如, 通过利用径向电场, 可以在存储单元之间产生第一电流 I_1 和第二电流 I_2 。在没有源区和漏区的情况下, 产生第一电流 I_1 的第一沟道可以连续地形成在第一区域 102 中。在没有源区和漏区的情况下, 产生第二电流 I_2 的第二沟道可以连续地形成在第二区域 104 中。因此, 可以省略源区和漏区, 非易失性存储装置 100 可以更高度地集成。

图 4 是根据另一示例实施例的非易失性存储装置 100a 的透视图。

参照图 4, 非易失性存储装置 100a 可以与以阵列结构布置的多个图 1 至图 3 中示出的非易失性存储装置 100 对应。例如, 图 1 至图 3 中示出的非易失性存储装置 100 可以表示具有两个页的 NAND 串, 同时, 非易失性存储装置 100a 可以表示多个 NAND 串的阵列布置。例如, 相邻的 NAND 串可以共享第一辅助电极 170a 和第二辅助电极 170b。

第一辅助电极 170a 可以共同地连接到第一辅助线 177a。第二辅助电极 170b 可以共同地连接到第二辅助线 177b。因此, 可以通过使用第一辅助线 177a 和第二辅助线 177b 将 NAND 串分为第一页和第二页。

图 5 是根据示例实施例的图 4 中示出的非易失性存储装置 100a 的示例等效电路图。

参照图 5, 多个存储单元 MC 可以以 NAND 单元阵列结构布置在多条位线 BL1、BL2、BL3 和 BL4 以及共源线 CSL 之间。然而, 位线 BL1、BL2、BL3 和 BL4 中的每条可以共同地连接到一对页。多个第一页 BL1L、BL2R、BL3L 和 BL4R 可以与图 4 中示出的第一区域 102 对应和/或多个第二页 BL1R、

BL2L、BL3R 和 BL4L 可以与图 4 中示出的第二区域 104 对应。

多条字线 WL00 至 WL31 可以与图 4 中示出的控制栅电极 150 对应。串选择线 SSL 可以与位线 BL1、BL2、BL3 和 BL4 以及存储单元 MC 之间的多个串选择晶体管 ST 结合。图 5 中示出的字线 WL00 至 WL31 的数量以及位线 BL1、BL2、BL3 和 BL4 的数量是示例性的，并且示例实施例的范围不限于此。

地选择线 GSL 可以与存储单元 MC 和共源线 CSL 之间的多个地选择晶体管 GT 结合。虽然在图 4 中省略了，但是串选择晶体管 ST 和地选择晶体管 GT 的结构对于本领域普通技术人员来说是显而易见的。

第一辅助线 AL1 可以与存储单元 MC 的在第一页 BL1L、BL2R、BL3L 和 BL4R(即，图 1 和图 2 中示出的半导体层 105 的第一区域 102)中的沟道区电容式结合。第二辅助线 AL2 可以与存储单元 MC 的在第二页 BL1R、BL2L、BL3R 和 BL4L(即，图 1 和图 2 中示出的半导体层 105 的第二区域 104)中的沟道区电容式结合。

图 6 是根据另一示例实施例的非易失性存储装置 200 的透视图。

参照图 6、非易失性存储装置 200 可以通过堆叠多个图 4 中示出的非易失性存储装置 100a 来产生。多个控制栅电极 150 可以通过穿透多个半导体层 105 来垂直地延伸。图 6 中示出的非易失性存储装置 100a 的数量是示例性的，并且示例实施例的范围不限于此。

多个位线塞 180 可以置于控制栅电极 150 的端部，并可以垂直地延伸以穿透半导体层 105。例如，位线塞 180 可以连接到图 5 中示出的位线 BL1、BL2、BL3 和 BL4。

多个共源线塞 190 可以置于控制栅电极 150 的另一端部，并可以垂直地延伸以穿透半导体层 105。例如，共源线塞 190 可以连接到图 5 中示出的共源线 CSL。

通过采用上述堆叠结构，非易失性存储装置 200 可以具有较高的存储容量，例如，可以具有更高的集成度。

现在，将在下文中详细描述图 4 中示出的操作非易失性存储装置 100a 的方法。将结合图 1 至图 6 来描述该方法。

表 1 示出了非易失性存储装置 100a 的示例编程操作的条件。

[表 1]

编程	第一页	第二页
AL1	0V	V_{PI}
AL2	V_{PI}	0V
SEL_B/L	V_{cc}	V_{cc}
NOS_B/L	0V	0V
SEL_W/L	V_{pgm}	V_{pgm}
NOS_W/L	V_{pass}	V_{pass}
SSL	V_{cc}	V_{cc}
GSL	0V	0V
CSL	0V	0V
Bulk	0V	0V

在表 1 中, 选择的位线 SEL_B/L 表示位线 BL1、BL2、BL3 和 BL4 中的被选择用于编程的一条位线, 未选的位线 NOS_B/L 表示位线 BL1、BL2、BL3 和 BL4 中的除了选择的那条位线之外的其它位线。选择的字线 SEL_W/L 表示字线 WL00 至 WL31 中被选择用于编程的一条字线, 未选的字线 NOS_W/L 表示字线 WL00 至 WL31 中除了选择的那条字线之外的其它字线。

参照图 5 和表 1, 可以通过第一页编程来编程第一页 BL1L、BL2R、BL3L 和 BL4R, 可以通过第二页编程来编程第二页 BL1R、BL2L、BL3R 和 BL4L。可以通过将 0V 施加到第一辅助线 AL1 并将编程禁止电压 V_{PI} 施加到第二辅助线 AL2 来执行第一页编程, 和/或可以通过将编程禁止电压 V_{PI} 施加到第一辅助线 AL1 并将 0V 施加到第二辅助线 AL2 来执行第二页编程。0V 可以被称为地电压。

第一页编程和第二页编程的其它条件可以相同。可以将操作电压 V_{cc} 施加到选择的位线 SEL_B/L 和串选择线 SSL, 并可以将 0V 施加到未选的位线 NOS_B/L 和地选择线 GSL。可以将编程电压 V_{pgm} 施加到选择的字线 SEL_W/L, 并可以将通过电压 V_{pass} 施加到未选的字线 NOS_W/L。可以将 0V 施加到共源线 CSL 和半导体层 105(即, Bulk)。

可以选择编程电压 V_{pgm} 以使得电荷能够从半导体层 105 隧穿到电荷存储层 130 和/或可以选择通过电压 V_{pass} 以导通存储单元 MC。

例如, 编程禁止电压 V_{PI} 可以具有大于零的正值。在这种情况下, 施加

有正的编程禁止电压 V_{PI} 的第一区域 102 或第二区域 104 的沟道电势可以具有正值。正的编程禁止电压 V_{PI} 的施加可以与将沟道升压电压施加到位线 BL1、BL2、BL3 和 BL4 的情况对应。然而，正的编程禁止电压 V_{PI} 的施加可以是更有利的，这是在于正的编程禁止电压 V_{PI} 可以被选择性地施加到第一区域 102 或第二区域 104。

在第一页编程中，存储单元 MC 的第二区域 104 的沟道电势可以增加，其中，第二区域 104 与施加有正的编程禁止电压 V_{PI} 的第二辅助线 AL2 结合。因此，可以禁止第二页 BL1R、BL2L、BL3R 和 BL4L 的第二页编程。例如，如果编程电压 V_{pgm} 为大约 15V 至大约 20V，则正的编程禁止电压 V_{PI} 可以为大约 7V 至大约 15V。另一方面，因为将 0V 施加到第一辅助线 AL1，所以第一页 BL1L、BL2R、BL3L 和 BL4R 的第一页编程可以是可用的。

在第二页编程中，存储单元 MC 的第一区域 102 的沟道电势可以增加，其中，第一区域 102 与施加有正的编程禁止电压 V_{PI} 的第一辅助线 AL1 电容式结合。因此，可以禁止第一页 BL1L、BL2R、BL3L 和 BL4R 的第一页编程。另一方面，因为将 0V 施加到第二辅助线 AL2，所以第二页 BL1R、BL2L、BL3R 和 BL4L 的第二页编程可以为可用的。

作为其它的示例，编程禁止电压 V_{PI} 可以具有小于零的负值。例如，施加有负的编程禁止电压 V_{PI} 的第一区域 102 或第二区域 104 的沟道电势可以具有负值。负的编程禁止电压 V_{PI} 的施加可以与将负偏置电压施加到半导体层 105 的情况对应。然而，负的编程禁止电压 V_{PI} 的施加可以是更有利的，这是在于负的编程禁止电压 V_{PI} 可以被选择性地施加到第一区域 102 或第二区域 104。

图 7 是示出根据示例实施例的非易失性存储装置的示例操作特性的示例曲线图。

如图 7 中所示，随着施加到第一辅助线 AL1 或第二辅助线 AL2 的偏置电压 V_{AL} 的绝对值增加，串选择晶体管 ST 的阈值电压增加。例如，如果偏置电压 V_{AL} 的值从大约 0.0V 变化至大约 -3.0V，则施加到栅极以产生 $1.0e^{-7}$ 的电流 I_D 的电压 V_G 从大约 1.5V 增加到大约 7.5V。因此，可以通过使用负的编程禁止电压 V_{PI} 来截止串选择晶体管 ST。例如，编程禁止电压 V_{PI} 可以具有范围为大约 -5V 至大约 -20V 的值以有效地截止串选择晶体管 ST。

在第一页编程中，第二区域 104 的电势可以负增加，其中，第二区域 104

与施加有负的编程禁止电压 V_{PI} 的第二辅助线 AL2 电容式结合。因此，第二页 BL1R、BL2L、BL3R 和 BL4L 的串选择晶体管 ST 可被截止，并且可以耗尽存储单元 MC 的沟道电荷。在增量阶跃脉冲编程(ISPP)方法中，可以按相对非常短的脉冲来提供编程电压 V_{pgm} 使得如果没有对沟道提供电荷则可以禁止编程。因此，可以禁止第二页 BL1R、BL2L、BL3R 和 BL4L 的第二页编程。另一方面，因为将 0V 施加到第一辅助线 AL1，所以第一页 BL1L、BL2R、BL3L 和 BL4R 的第一页编程可以是可用的。

在第二页编程中，第一区域 102 的电势可以负增加，其中，第一区域 102 与施加有负的编程禁止电压 V_{PI} 的第一辅助线 AL1 电容式结合。因此，可以禁止第一页 BL1L、BL2R、BL3L 和 BL4R 的第一页编程。另一方面，因为将 0V 施加到第二辅助线 AL2，所以第二页 BL1R、BL2L、BL3R 和 BL4L 的第二页编程可以是可用的。

表 2 示出了非易失性存储装置 100a 的示例读取操作的条件。

[表 2]

读取	第一页	第二页
AL1	0V	V_{RI}
AL2	V_{RI}	0V
SEL_B/L	V_{cc}	V_{cc}
NOS_B/L	0V	0V
SEL_W/L	V_{read}	V_{read}
NOS_W/L	V_{pass}	V_{pass}
SSL	V_{cc}	V_{cc}
GSL	V_{cc}	V_{cc}
CSL	0V	0V
Bulk	0V	0V

参照图 5 和表 2，可以通过第一页读取操作来读取第一页 BL1L、BL2R、BL3L 和 BL4R，并且可以通过第二页读取操作来读取第二页 BL1R、BL2L、BL3R 和 BL4L。可以通过将 0V 施加到第一辅助线 AL1 并将读取禁止电压 V_{RI} 施加到第二辅助线 AL2 来执行第一页读取操作，和/或可以通过将 0V 施加到第二辅助线 AL2 并将读取禁止电压 V_{RI} 施加到第一辅助线 AL1 来执行第

二页读取操作。

第一页读取操作和第二页读取操作的其它条件可以相同。可以将操作电压 V_{cc} 施加到选择的位线 SEL_B/L、串选择线 SSL 和地选择线 GSL，并可以将 0V 施加到未选的位线 NOS_B/L。可以将读取操作电压 V_{read} 施加到选择的字线 SEL_W/L，并可以将通过电压 V_{pass} 施加到未选的字线 NOS_W/L。可以将 0V 施加到共源线 CSL 和半导体层 105(即, Bulk)。可以选择读取操作电压 V_{read} 以读取存储单元 MC 的数据状态。

读取禁止电压 V_{RI} 可以具有例如小于零的负值。与负的编程禁止电压 V_{PI} 类似，负的读取禁止电压 V_{RI} 可以截止串选择晶体管 ST。

例如，通过将擦除电压施加到半导体层 105(即, Bulk)，并将 0V 施加到字线 WL00 至 WL31，可以以块为单位来执行擦除操作。作为另一示例，可以将擦除电压施加到第一辅助线 AL1 和第二辅助线 AL2，而不是将擦除电压施加到半导体层 105(即, Bulk)。作为另一示例，可以将擦除电压同时施加到半导体层 105(即, Bulk)以及第一辅助线 AL1 和第二辅助线 AL2。例如，擦除电压可以为大约 20V。

可以容易地将上述方法应用到图 6 中示出的非易失性存储装置 200。例如，可以通过将编程禁止电压 V_{PI} 或读取禁止电压 V_{RI} 施加在未选的半导体层 105 上来对选择的半导体层 105 执行编程或执行读取操作。

图 8 至图 16 是用于描述根据示例实施例的制造非易失性存储装置的方法的透视图。

参照图 8，可以在半导体基底 105a 中形成多个槽 107。在图 8 中示出的半导体基底 105a 可以为体半导体晶片的一部分。可以调节槽 107 之间的距离使得将在后面形成的多个隧穿绝缘层 120(例如，如图 9 中示出的)可以彼此连接。如果槽之间的距离太大，则隧穿绝缘层 120 不会容易地彼此连接。

参照图 9，可以在槽 107 的表面上形成隧穿绝缘层 120。例如，可以通过将半导体基底 105a 热氧化来形成隧穿绝缘层 120。因此，可以将隧穿绝缘层 120 形成得彼此相对靠近并最终可以彼此接触。因此，半导体基底 105a 可以包括由隧穿绝缘层 120 分开的第一区域 102 和第二区域 104。

可以在槽 107 中的隧穿绝缘层 120 上形成多个电荷存储层 130。可以在槽 107 中的电荷存储层 130 上形成多个阻挡绝缘层 140。可以在阻挡绝缘层 140 上形成多个控制栅电极 150 以填充槽 107。

参照图 10, 可以在半导体基底 105a 的控制栅电极 150 的两侧上形成一对沟槽 152。因此, 可以降低第一区域 102 和第二区域 104 的宽度。

参照图 11, 介电层 160 可以形成在半导体基底 105a 的由沟槽 152 暴露的表面上。例如, 可以通过使用热氧化方法或化学气相沉积(CVD)方法来形成介电层 160。

参照图 12, 可以在沟槽 152 中的介电层 160 上沿控制栅电极 150 交替地堆叠第一导电层 170 和第二导电层 175。第一导电层 170 和第二导电层 175 可以具有不同的蚀刻选择性。例如, 第一导电层 170 可以包含硅, 第二导电层 175 可以包含硅-锗。

参照图 13, 可以在堆叠结构中通过选择性地去除第二导电层 175 来限定由第一导电层 170 形成的多个第一辅助电极 170a 和第二辅助电极 170b。可以在第一区域 102 中限定第一辅助电极 170a 和/或在第二区域 104 中限定第二辅助电极 170b。因此, 可以在第一辅助电极 170a 之间和第二辅助电极 170b 之间部分地暴露介电层 160。例如, 可以通过使用湿蚀刻方法来选择性地去除第二导电层 175。

参照图 14, 可以在堆叠结构中通过选择性地去除介电层 160 的暴露的部分来限定多个第一介电层 160a 和第二介电层 160b。第一介电层 160a 可以置于半导体基底 105a 和第一辅助电极 170a 之间, 和/或第二介电层 160b 可以置于半导体基底 105a 和第二辅助电极 170b 之间。因此, 可以在第一介电层 160a 之间和第二介电层 160b 之间暴露半导体基底 105a 的一部分。例如, 可以通过使用湿蚀刻方法来去除介电层 160 的暴露的部分。

参照图 15, 可以通过选择性地去除半导体基底 105a 的暴露的部分来限定堆叠结构中的多个半导体层 105。例如, 可以通过使用湿蚀刻方法来选择性地去除半导体基底 105a 的暴露的部分。因此, 可以在不使用绝缘体上硅(SOI)基底的情况下形成堆叠结构中的半导体层 105。

参照图 16, 可以在半导体层 105 的表面上形成多个钝化层 190。例如, 可以通过使用热氧化方法或 CVD 方法来形成钝化层 190。可以在半导体层 105 之间形成多个层间绝缘层(未示出)。

根据上述方法, 可以通过使用体半导体晶片代替 SOI 基底来更经济地制造非易失性存储装置。

如上所述, 根据示例实施例的非易失性存储装置可以具有凹陷结构或沟

槽结构，和/或可以以更高的速度来操作。

根据示例实施例的非易失性存储装置可以在 NAND 串中具有两个页以处理至少两位数据。因此，非易失性存储装置可以具有更高的容量和/或可以更有效地处理量更大的数据。

此外，根据示例实施例的非易失性存储装置可以省略源区和/漏区，从而被更高度地集成。通过使用体半导体晶片，非易失性存储装置可以更容易地延伸到堆叠结构。因此，非易失性存储装置可以更加容易及高度集成和/或可以具有更高的可靠性。

虽然已经在本说明书和附图中示出和描述了的示例实施例，但是本领域技术人员应该理解的是，在不脱离示例实施例的原理和精神的情况下，可以对示出和/或描述的示例实施例进行改变。

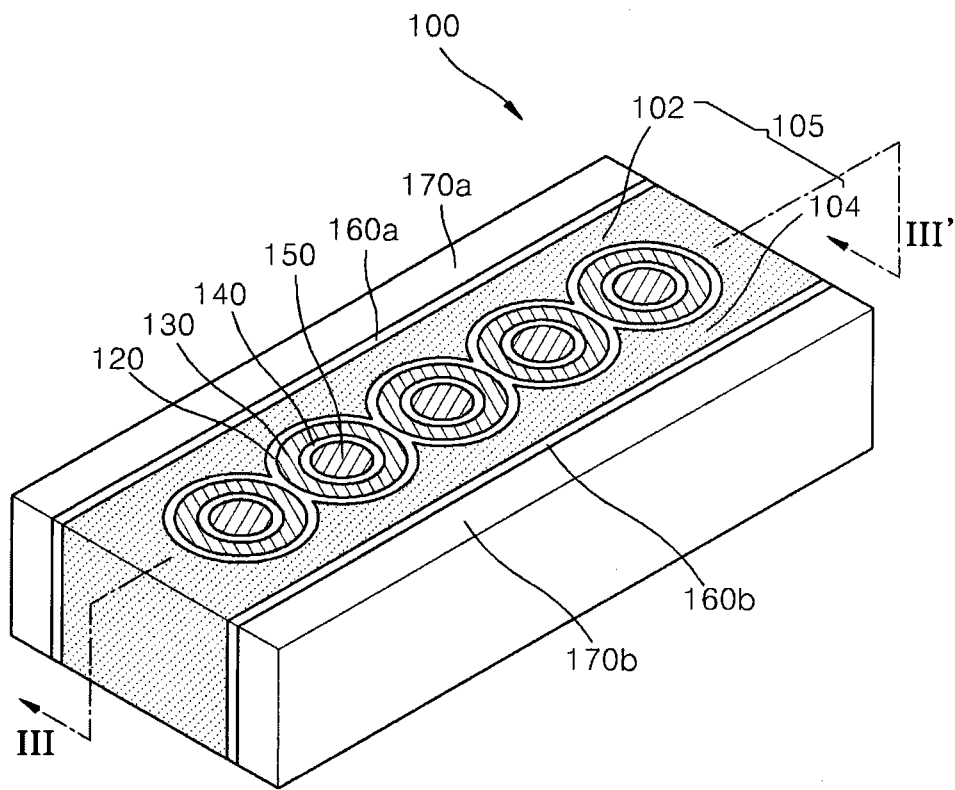


图 1

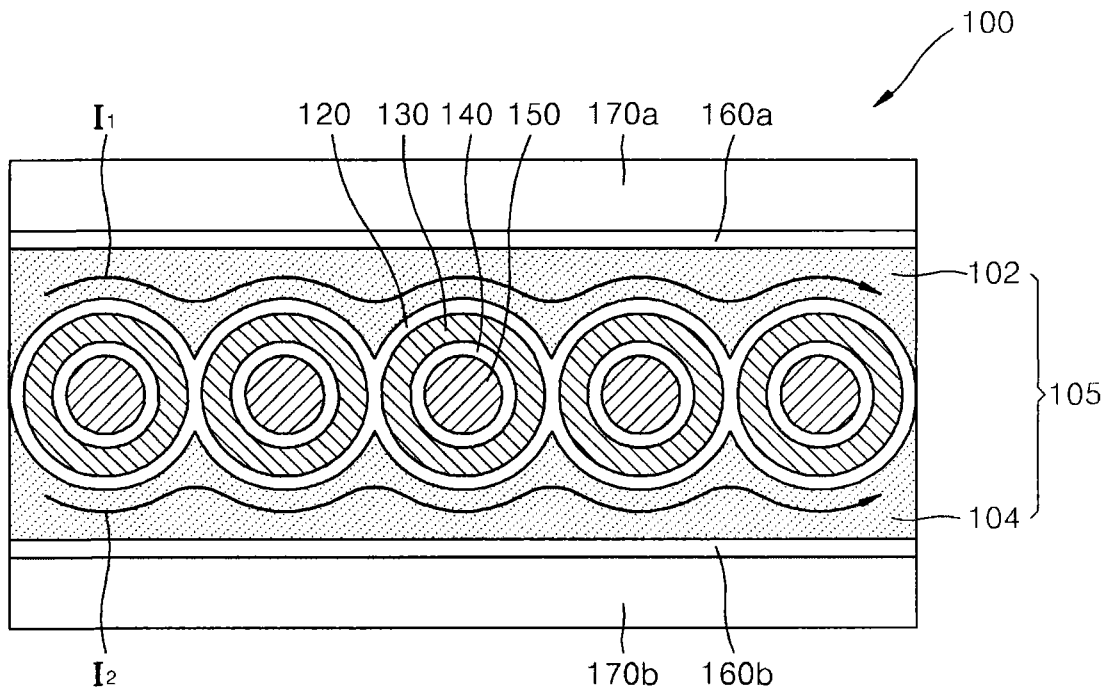


图 2

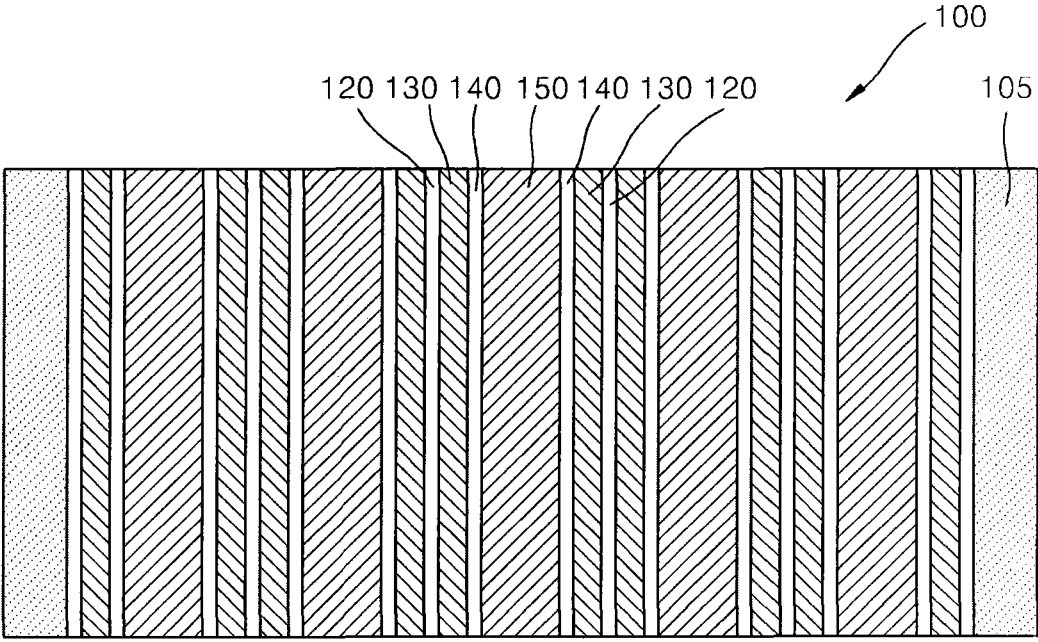


图 3

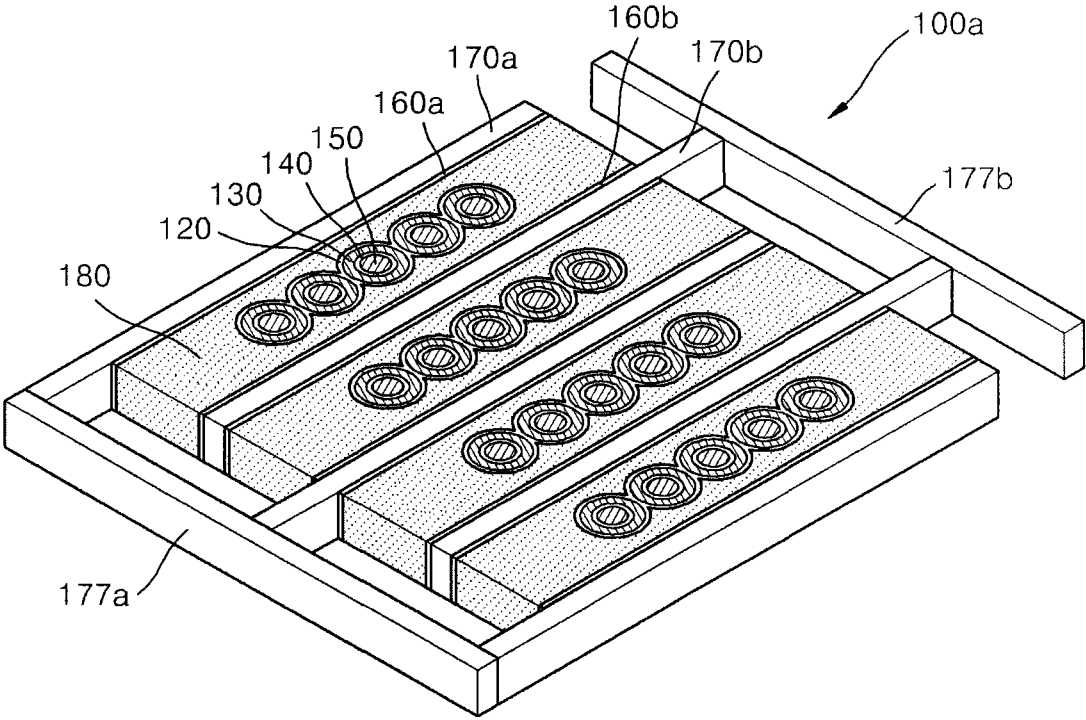


图 4

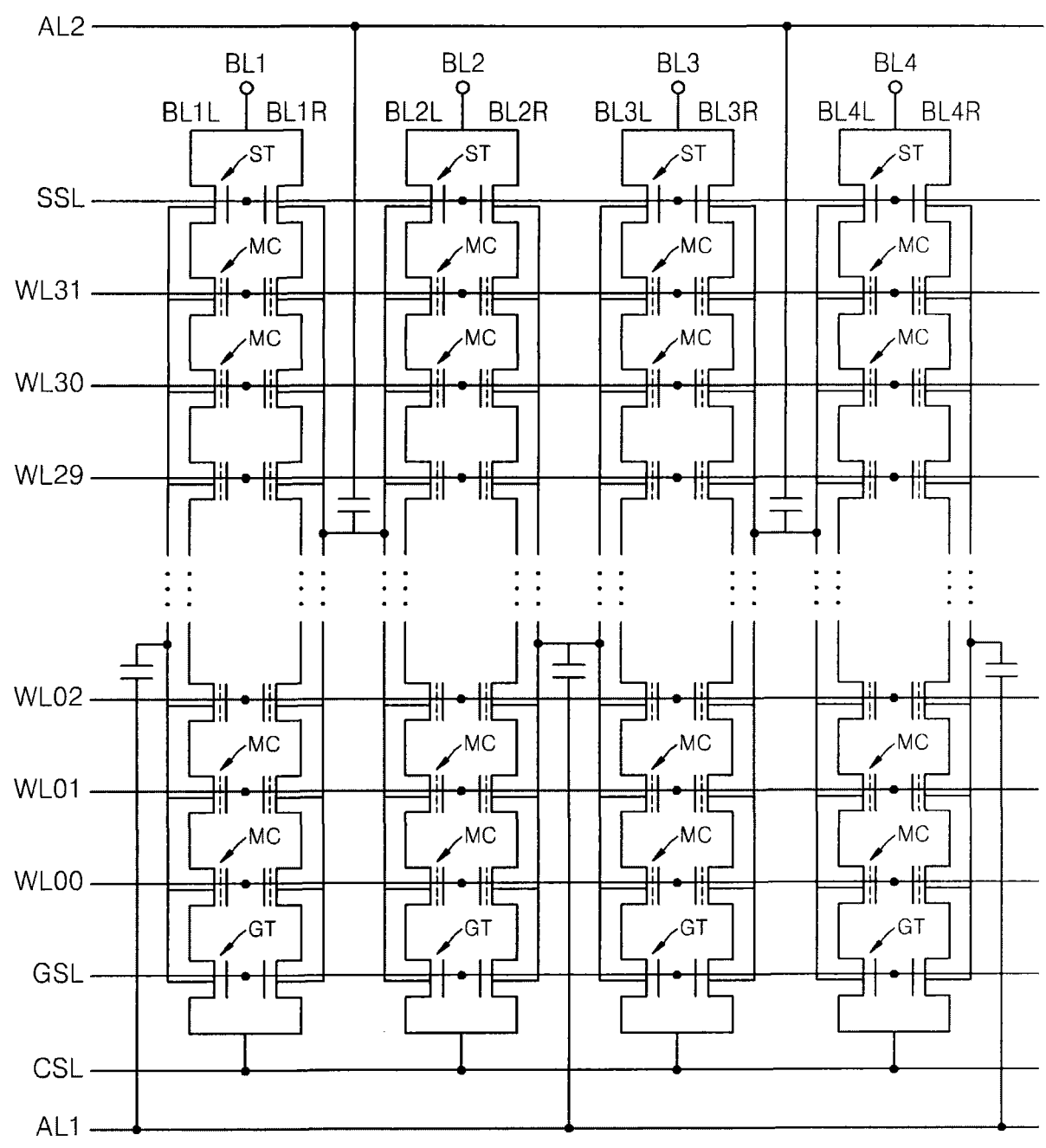


图 5

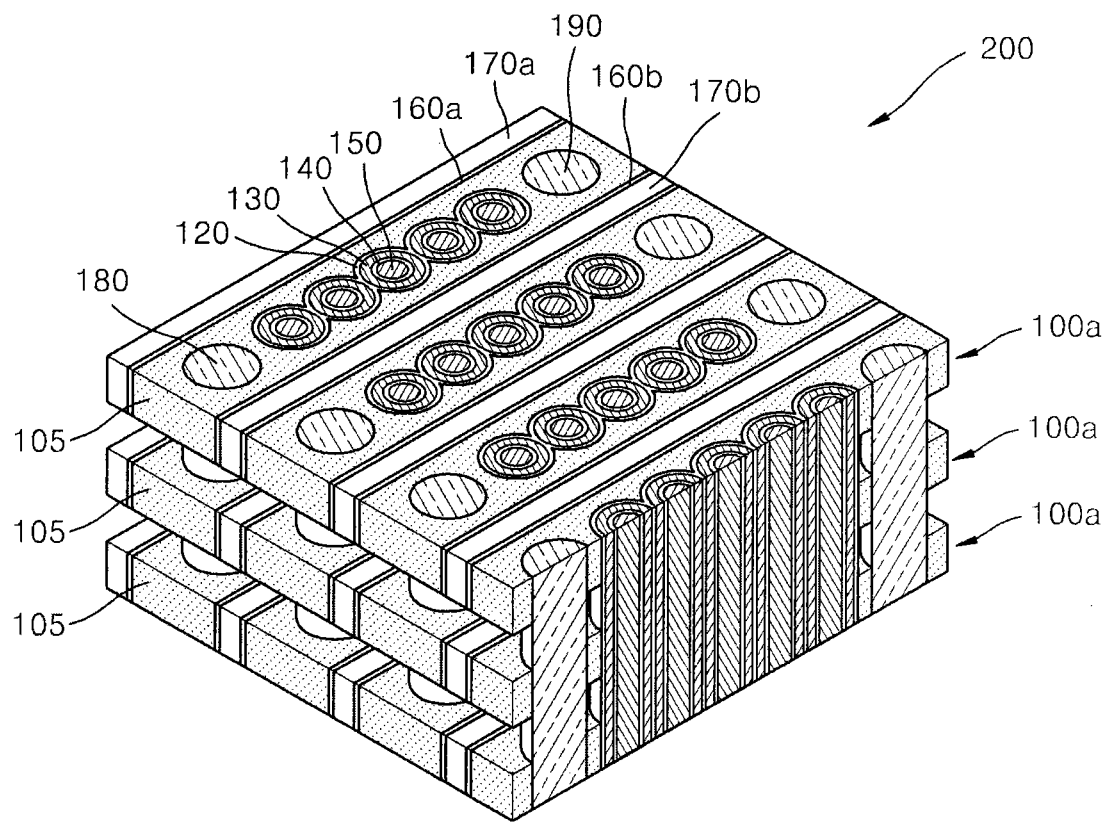


图 6

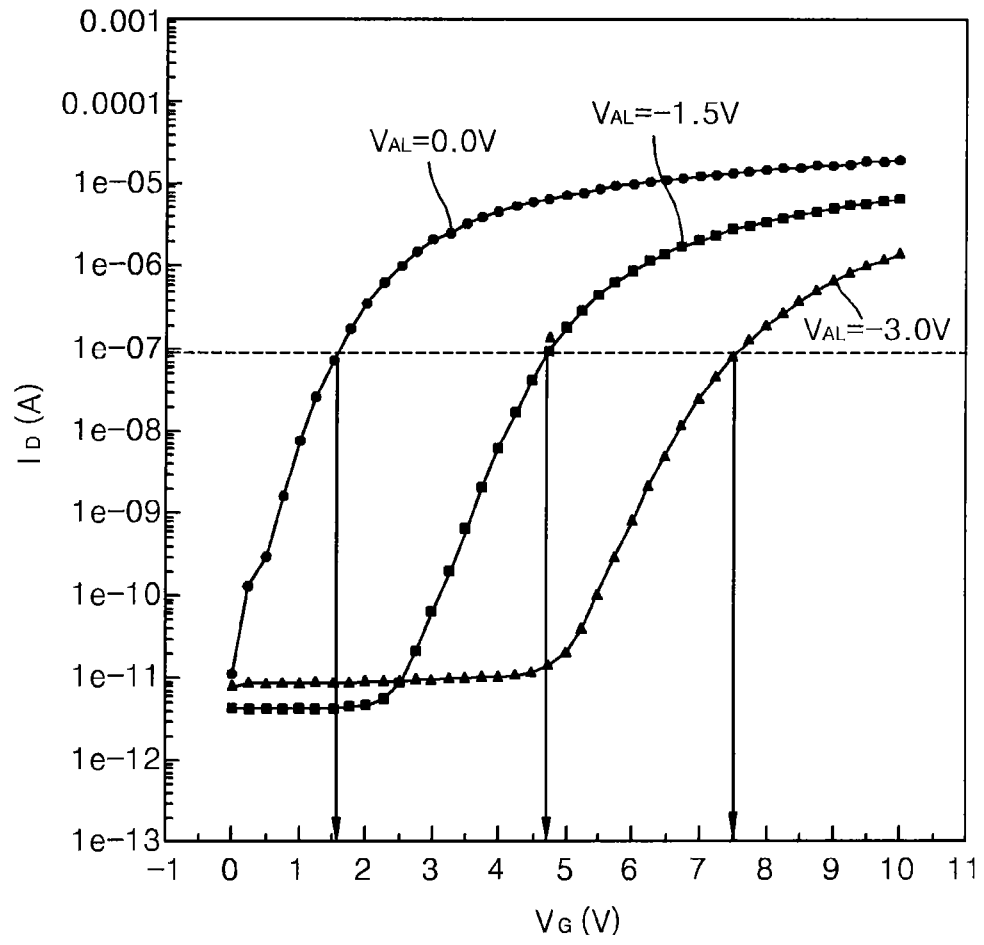


图 7

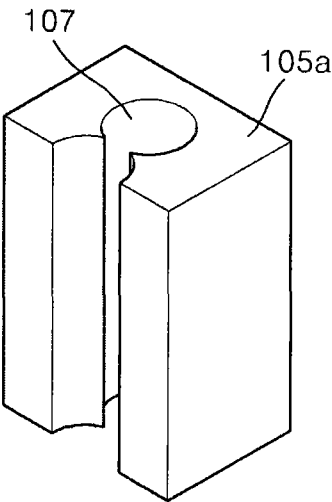


图 8

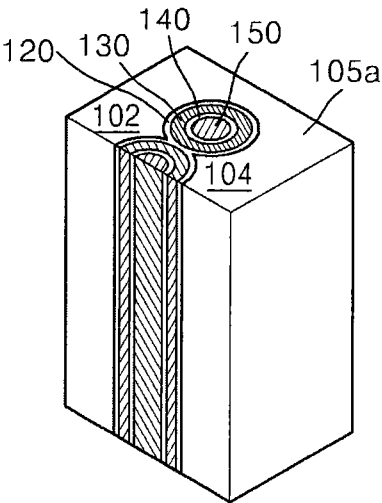


图 9

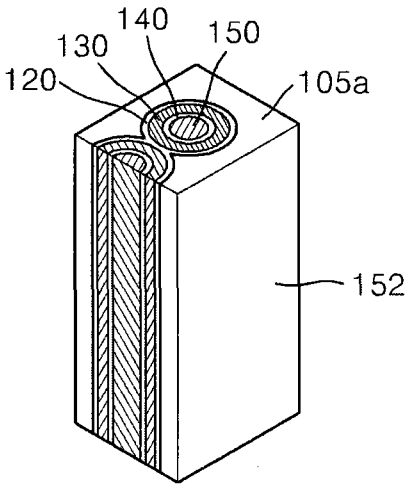


图 10

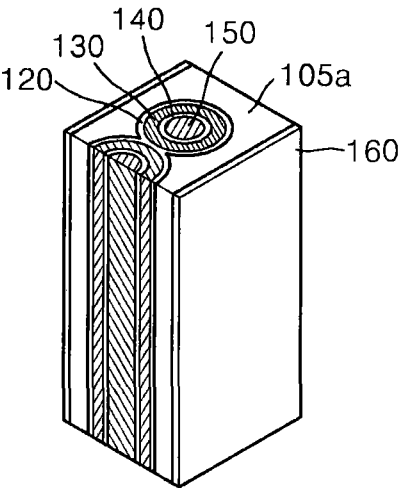


图 11

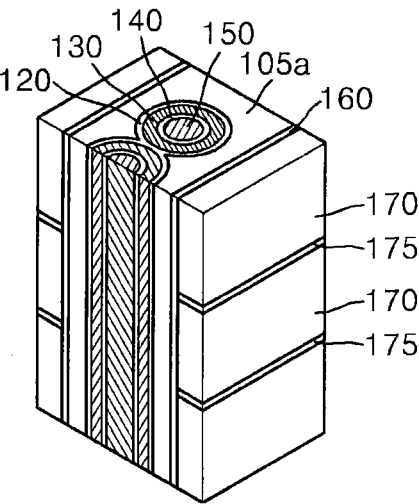


图 12

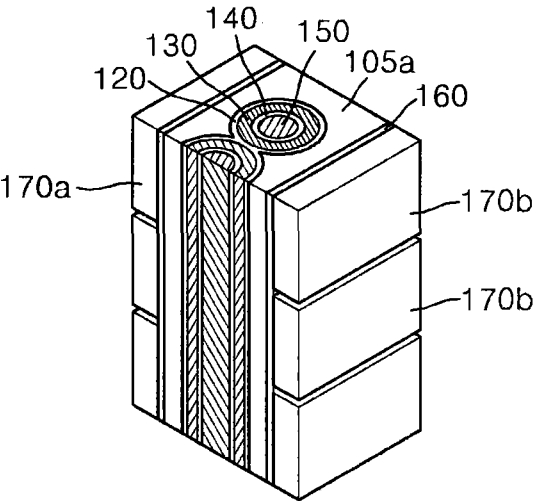


图 13

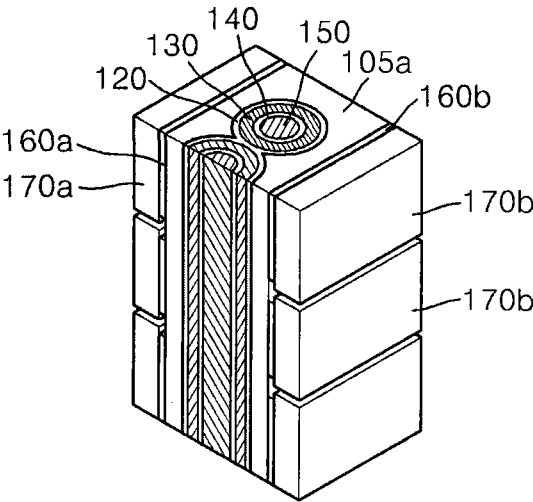


图 14

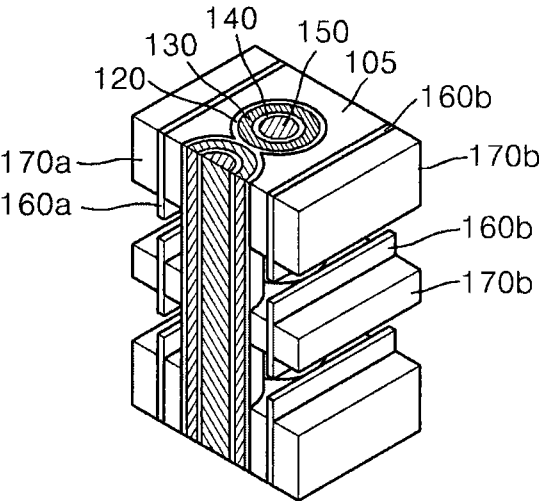


图 15

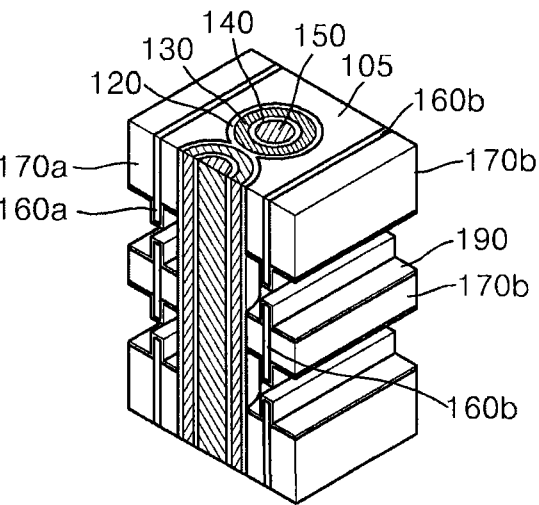


图 16