

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

| | | |
|---|---|---------------------------------|
| (51) Int. Cl. ⁵ G06F 9/46 | (11) 공개번호 (43) 공개일자 | 특 1994-0022257 1994년 10월 20일 |
| (21) 출원번호 | 특 1994-0006182 | |
| (22) 출원일자 | 1994년 03월 28일 | |
| (30) 우선권주장 | 040,779 1993년 03월 31일 미국(US) | |
| (71) 출원인 | 모토로라 인코포레이티드 모리스(제이) 존 미국, 일리노이 60196. 샤움버그, 이스트 엘공켄 로드 1303 | |
| (72) 발명자 | 마이클 지, 갤럽 미국, 텍사스 78745, 오스틴, 랜덤 서클 1102 엘, 로드니 고크 미국, 텍사스 78749, 오스틴, 더스티 트레일 코브 5105 로버트 더블유, 시튼 2세 미국, 텍사스 78735, 오스틴, 트레일 크레스트 서클 4836 테리 지, 로웰 미국, 텍사스 78759, 오스틴, 히쓰로우 11522 스티븐 지, 오스본 미국, 텍사스 78704, 오스틴, #2412, 사우스 라마 3816 토마스 제이, 토머진 미국, 텍사스 78759, 오스틴, 쿡스톤 드라이브 3703 | |
| (74) 대리인 | 이병호, 최달용 | |

심사청구 : 없음

(54) 데이터 처리 시스템 및 방법

요약

데이터 처리 시스템(55) 및 그 방법은 하나 이상의 데이터 프로세서(10)를 포함한다. 데이터 프로세서(10)는 벡터연산과 스칼라연산을 둘 다 수행할 수 있다. 마이크로 순서기(22) 하나를 사용하면, 데이터 프로세서(10)는 벡터연산과 스칼라연산을 둘 다 수행할 수 있다. 데이터 프로세서(10)는 또한 벡터연산과 스칼라연산을 둘 다 저장할 수 있는 메모리 회로(14)도 가지고 있다.

대표도

도 2

명세서

[발명의 명칭]

데이터 처리 시스템 및 방법

[도면의 간단한 설명]

제2-10도는 연산엔진의 핀 할당 설명도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음.

(57) 청구의 범위

청구항 1

제1포트 ; 제2포트 ; 복수의 제어값을 저장하기 위한 제1저장회로 ; 제2저장회로 ; 상기 복수의 제어값 중에서 제1제어값에 따라 전도상태로 되기도 하고 절연상태로 되기도 하는 제1스위치 회로로서, 상기 제1포트와 제2포트사이에 결합된 제1스위치 회로 ; 상기 복수의 제어값 중에서 제2제어값에 따라 전도상태로 되기도 하고 절연상태로 되기도하는 제1탭 회로로서, 상기 제1포트와 제2저장회로사이에 결합된

제1탭 회로 ; 를 구비하는 데이터 프로세서.

청구항 2

제1항에 있어서, 상기 제1스위치 회로는 전도상태가 되었을 때는 상기 제1포트와 상기 제2포트를 연결시키는 것을 특징으로 하는 데이터 프로세서.

청구항 3

제1항에 있어서, 상기 제1포트는 상기 제1스위치가 절연상태에 있을 때는 상기 제2포트와 연결되지 않는 것을 특징으로 하는 데이터 프로세서.

청구항 4

제1항에 있어서, 상기 복수의 제어값을 동적으로 조정할 수 있는 소프트웨어 프로그램의 결과에 따라 상기 복수의 제어값을 상기 제1저장회로에 전송하는 인터페이스 수단으로서, 상기 제1저장회로와 연결된 인터페이스 수단을 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 5

제4항에 있어서, 상기 인터페이스 수단과 연결되어 있으며, 소프트웨어 프로그램을 저장할 수 있는 데이터 프로세서 내부 명령저장회로를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 6

제4항에 있어서, 상기 인터페이스 수단과 연결되어 있으며, 소프트웨어 프로그램을 저장할 수 있는 데이터 프로세서 외부 명령저장회로를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 7

제1항에 있어서, 상기 복수의 제어값 각각의 논리값을 결정하며, 상기 제1저장회로와 연결되어서 상기 복수의 제어값 각각의 논리값을 제공하는 리셋 회로를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 8

제1항에 있어서, 상기 제1탭 회로는 전도상태에 있을 때 제1포트와 제2저장회로를 연결시키는 것을 특징으로 하는 데이터 프로세서.

청구항 9

제1항에 있어서, 상기 제1탭 회로는 절연상태에 있을 때 제1포트와 제2저장회로를 연결시키지 않는 것을 특징으로 하는 데이터 프로세서.

청구항 10

제1항에 있어서, 상기 복수의 제어값 중에서 제3제어값에 따라 전도상태로 되기도 하고 절연상태로 되기도 하는 제2탭 회로로서, 상기 제2포트와 제2저장회로 사이에 결합된 제2탭 회로를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 11

제10항에 있어서, 상기 제2탭 회로는 전도상태에 있을 때 제2포트와 제2저장회로를 연결시키는 것을 특징으로 하는 데이터 프로세서.

청구항 12

제10항에 있어서, 상기 제2탭 회로는 절연상태에 있을 때 제2포트와 제2저장회로를 연결시키지 않는 것을 특징으로 하는 데이터 프로세서.

청구항 13

제10항에 있어서, 제3포트 ; 제4포트 ; 상기 복수의 제어값 중에서 제4제어값에 따라 전도상태로 되기도 하고 절연상태로 되기도 하는 제2스위치 회로로서, 상기 제3포트와 제4포트 사이에 연결된 제2스위치 회로 ; 상기 복수의 제어값 중에서 제5제어값에 따라 전도상태로 되기도 하고 절연상태로 되기도 하는 제3탭 회로로서, 상기 제3포트와 제2저장회로 사이에 연결된 제3탭 회로 ; 상기 복수의 제어값 중에서 제6제어값에 따라 전도상태로 되기도 하고 절연상태로 되기도 하는 제4탭 회로로서, 상기 제4포트와 제2저장회로 사이에 연결된 제4탭 회로 ; 를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 14

제1항에 있어서, 상기 제1저장회로는 프로그램 가능한 제어 레지스터인 것을 특징으로 하는 데이터 프로세서.

청구항 15

디지털 데이터를 통신하기 위한 제1포트 ; 디지털 데이터를 통신하기 위한 제2포트 ; 제어값을 저장하기 위한 제1저장회로 ; 제2저장회로 ; 상기 제어값의 제1부분에 따라 전도상태와 절연상태 중 하나의 상태에 있는 제1스위치 회로로서, 상기 제1포트와 상기 제2포트 사이에 결합된 제1스위치 회로 ; 상기 제어값의 제2부분에 따라 전도상태와 절연상태 중 하나의 상태에 있는 제1탭 회로로서, 상기 제1포트와 상기

제2저장회로 사이에 결합된 제1탭 회로 ; 를 구비하는 데이터 프로세서.

청구항 16

제15항에 있어서, 상기 디지털 데이터는 제1스위치 회로가 전도상태에 있을 때 제1포트와 제2포트 사이에서 전송되는 것을 특징으로 하는 데이터 프로세서.

청구항 17

제15항에 있어서, 상기 제1스위치 회로가 절연상태에 있을 때는 제1포트와 제2포트 사이에 아무런 디지털 데이터도 전송되지 않는 것을 특징으로 하는 데이터 프로세서.

청구항 18

제15항에 있어서, 상기 디지털 데이터는 제1탭 회로가 전도상태에 있을 때 제1포트에서 제2저장 회로로 전송되어, 제2저장회로가 디지털 데이터를 저장하고 있는 것을 특징으로 하는 데이터 프로세서.

청구항 19

제15항에 있어서, 상기 제1탭 회로가 절연상태에 있을때는 제1포트에서 제2저장회로로 아무런 디지털 데이터도 전송되지 않는 것을 특징으로 하는 데이터 프로세서.

청구항 20

제15항에 있어서, 상기 제어값은 소프트웨어 프로그램의 결과에 따라 제1저장회로에 주어지는 것을 특징으로 하는 데이터 프로세서.

청구항 21

제20항에 있어서, 소프트웨어 프로그램을 저장할 수 있는 데이터 프로세서 내부 명령저장회로를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 22

제21항에 있어서, 초기화 프로그램을 저장할 수 있는 데이터 프로세서 외부 메모리를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 23

제15항에 있어서, 상기 제어값의 논리값을 결정하면 제1저장회로와 연결되어 상기 제어값의 논리값을 제공하는 리셋 회로를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 24

제15항에 있어서, 상기 제어값의 제3부분에 따라 전도상태와 절연상태 중 하나의 상태에 있는 제2탭 회로로서, 상기 제2포트와 상기 제2저장회로 사이에 결합된 제2탭 회로를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 25

제24항에 있어서, 디지털 데이터를 통신하기 위한 제3포트 ; 디지털 데이터를 통신하기 위한 제4포트 ; 상기 제어값의 제4부분에 따라 전도상태와 절연상태 중 하나의 상태에 있는 제2스위치 회로로서, 상기 제3포트와 상기 제4포트 사이에 결합된 제2스위치 회로 ; 상기 제어값의 제5부분에 따라 전도상태와 절연상태 중 하나의 상태에 있는 제3탭 회로로서, 상기 제3포트와 상기 제2저장회로 사이에 결합된 제3탭 회로 ; 상기 제어값의 제6부분에 따라 전도상태와 절연상태 중 하나의 상태에 있는 제4탭 회로로서, 상기 제4포트와 상기 제2저장회로 사이에 결합된 제4탭 회로 ; 를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 26

제15항에 있어서, 데이터 프로세서가 제1동작모드와 제2동작모드 중 한 모드에서 통신하도록 데이터 프로세서를 인에이블시키는 모드선택 수단으로서, 데이터 프로세서가 제1동작모드에 있을 때는, 외부 프로세서가 제1포트와 제2포트를 함께 사용하여 복수의 제어값을 사용하지 않고 제1저장회로에 액세스하도록 하며, 데이터 프로세서가 제2동작모드에 있을 때는, 제1포트와 제2포트가 독립적으로 디지털 데이터를 통신하도록 제1포트와 제2포트를 선택적으로 인에이블시키는 복수의 제어값으로서 제1저장회로에 저장된 상기 복수의 제어값에 따라, 데이터 프로세서가 디지털 정보를 통신하도록 데이터 프로세서를 선택적으로 인에이블하는 모드선택수단을 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 27

제15항에 있어서, 제1스위치 회로가 전도상태에 있을 때 제1포트와 제2포트 사이에서 전송된 디지털 데이터를 저장하는 유지 레지스터를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 28

데이터 프로세서내에서 디지털 데이터를 통신하는 방법에 있어서, 디지털 데이터를 통신하기 위해 제1포트를 제공하는 단계 ; 디지털 데이터를 통신하기 위해 제2포트를 제공하는 단계 ; 제어값을 저장하기 위해 제1저장회로를 제공하는 단계 ; 디지털 데이터를 저장할 수 있는 제2저장회로를 제공하는 단계 ; 제1

스위치 회로를 제1포트와 제2포트 사이에 연결하는 단계 ; 상기 제어값의 제1부분에 따라 제1스위치를 전도상태와 절연상태 중 하나로 선택하는 단계 ; 제1탭 회로를 제1포트와 제2저장회로 사이에 연결하는 단계 ; 상기 제어값의 제2부분에 따라 제1탭 회로를 전도상태와 절연상태 중 하나로 선택하는 단계 ; 로 이루어지는 것을 특징으로 하는 디지털 데이터 통신방법.

청구항 29

제28항에 있어서, 상기 제1스위치 회로를 전도상태와 절연상태 중 하나를 선택하는 상기 선택단계는, 상기 제어값의 제1 부분이 제1값을 가질 때 디지털 데이터를 제1포트와 제2포트 사이에 전송하는 단계와, 상기 제어값의 제1부분이 제2값을 가질 때 디지털 데이터를 제1포트와 제2포트 사이에 전송하는 것을 억제하는 단계로 이루어진 것을 특징으로 하는 데이터 프로세서.

청구항 30

제28항에 있어서, 상기 제1탭 회로를 전도상태와 절연상태 중 하나로 선택하는 상기 단계는, 상기 제어값의 제2부분이 제1값을 가질 때 디지털 데이터를 제1포트에서 제2저장회로로 전송하는 단계와, 상기 제어값의 제2부분이 제2값을 가질 때 디지털 데이터를 제1포트와 제2저장회로 사이에서 전송하는 것을 억제하는 단계로 이루어진 것을 특징으로 하는 디지털 데이터 통신방법.

청구항 31

제28항에 있어서, 상기 제어값을 제1저장회로에 공급하기 위해 소프트웨어 프로그램을 인에이블시키는 단계를 포함하는 것을 특징으로 하는 디지털 데이터 통신방법.

청구항 32

제31항에 있어서, 데이터 프로세서가 명령을 실행하고 있는 동안에 제어값을 동적으로 수정하기 위해 소프트웨어 프로그램을 인에이블시키는 단계를 포함하는 것을 특징으로 하는 디지털 데이터 통신방법.

청구항 33

제28항에 있어서, 데이터 프로세서 내부 명령저장회로에 소프트웨어 프로그램을 선택적으로 저장하는 단계를 포함하는 것을 특징으로 하는 디지털 데이터 통신방법.

청구항 34

제33항에 있어서, 데이터 프로세서 외부 메모리에 소프트웨어 프로그램을 선택적으로 저장하는 단계를 포함하는 것을 특징으로 하는 디지털 데이터 통신방법.

청구항 35

제28항에 있어서, 상기 제어값을 제1저장회로에 공급하기 위하여 리셋 회로를 인에이블시키는 단계를 포함하는 것을 특징으로 하는 디지털 데이터 통신방법.

청구항 36

제28항에 있어서, 제2탭 회로를 제2포트와 제2저장회로 사이에 연결하는 단계와, 상기 제어값의 제3부분에 따라 제2탭 회로의 전도상태와 절연상태 중 하나를 선택하는 단계를 포함하는 것을 특징으로 하는 디지털 데이터 통신방법.

청구항 37

제36항에 있어서, 상기 제2탭 회로의 상태를 결정하는 상기 단계는 상기 제어값의 제3부분이 제1값을 가질 때 디지털 데이터를 제2포트에서 제2저장회로로 전송하는 단계와, 상기 제어값의 제3부분이 제2값을 가질 때 디지털 데이터를 제2포트에서 제2저장회로로 전송하는 것을 억제하는 단계로 이루어진 것을 특징으로 하는 디지털 데이터 통신방법.

청구항 38

제37항에 있어서, 디지털 데이터를 통신하기 위해 제3포트를 제공하는 단계 ; 디지털 데이터를 통신하기 위해 제4포트를 제공하는 단계 ; 제2스위치 회로를 제3포트와 제4포트 사이에 연결하는 단계 ; 상기 제어값의 제4부분에 따라 제2스위치를 전도상태와 절연상태 중 하나로 선택하는 단계 ; 제3탭 회로를 제3포트와 제2저장회로 사이에 연결하는 단계 ; 상기 제어값의 제5부분에 따라 제3탭 회로를 전도상태와 절연상태 중 하나로 선택하는 단계 ; 제 4탭 회로를 제4포트와 제2저장회로 사이에 연결하는 단계 ; 상기 제어값의 제6부분에 따라 제4탭 회로를 전도상태와 절연상태 중 하나로 선택하는 단계 ; 를 포함하는 것을 특징으로 하는 디지털 데이터 통신방법.

청구항 39

복수의 데이터 프로세서와 제1도선을 구비하는 데이터 처리 시스템으로서, 상기 복수의 데이터 프로세서 각각은, 디지털 데이터를 통신하기 위한 복수의 포트 ; 제어값을 저장하는 제1저장회로 ; 제2저장 회로 ; 각각의 상기 제어값의 제1부분에 따라 전도상태와 절연상태 중 한 상태에 있으며 복수의 포트들 중 두 포트들 사이에 결합된 복수의 스위치 회로 ; 각각이 상기 제어값의 제2부분에 따라 전도상태와 절연상태 중 한 상태에 있으며 복수의 포트들 중 소정의 포트와 제2저장회로 사이에 결합된 복수의 탭 회로 ; 를 구비하는 데이터 프로세서이며, 상기 제1도선은, 복수의 데이터 프로세서 중에서 제1데이터 프로세서의 복수의 포트 가운데 한 포트와, 복수의 데이터 프로세서 중에서 제2데이터 프로세서의 복수의 포트 가운데 한 포트사이에서 디지털 데이터를 선택적으로 통신하기 위하여, 복수의 데이터 프로세서 중에서 제1

데이터 프로세서의 복수의 포트 가운데 한 포트와, 복수의 데이터 프로세서 중에서 제2데이터 프로세서의 복수의 포트 가운데 한 포트를 연결시키는 제1도선인 데이터 처리시스템.

청구항 40

제39항에 있어서, 상기 복수의 스위치회로 가운데 소정의 스위치가 전도상태일 때, 디지털 데이터는 복수의 데이터 프로세서 중에서 제1데이터 프로세서의 복수의 포트 가운데 한 포트로부터 복수의 데이터 프로세서 중에서 제2데이터 프로세서의 복수의 포트 가운데 한 포트로 전송되는 것을 특징으로 하는 데이터 처리 시스템.

청구항 41

제39항에 있어서, 상기 복수의 탭 회로 가운데 임의의 하나로 전도상태에 있을 때, 디지털 데이터는 복수의 데이터 프로세서 가운데 한 데이터 프로세서의 제2저장회로로 전송되며, 디지털 데이터는 복수의 포트 가운데 소정의 해당 포트에서 수신되는 것을 특징으로 하는 데이터 처리 시스템.

청구항 42

제39항에 있어서, 상기 복수의 스위치회로는 복수의 포트 가운데 제1포트와 제2포트 사이에 연결되어 있으며, 제어값의 제1부분에 따라 전도상태와 절연상태 중 하나의 상태에 있는 제1스위치 회로와, 복수의 포트 가운데 제3포트와 제4포트 사이에 연결되어 있으며, 제어값의 제2부분에 따라 전도상태와 절연상태 중 하나의 상태에 있는 제2스위치 회로를 구비하는 것을 특징으로 하는 데이터 처리 시스템.

청구항 43

제42항에 있어서, 상기 복수의 탭 회로는 복수의 포트 가운데 제1포트와 제2저장회로 사이에 연결되어 있으며, 제어값의 제3부분에 따라 전도상태와 절연상태중 하나의 상태에 있는 제1탭 회로 ; 복수의 포트 가운데 제2포트와 제2저장회로 사이에 연결되어 있으며, 제어값의 제4부분에 따라 전도상태와 절연 상태 중 하나의 상태에 있는 제2탭 회로 ; 복수의 포트 가운데 제3포트와 제2저장회로 사이에 연결되어 있으며, 제어값의 제5부분에 따라 전도상태와 절연상태중 하나의 상태에 있는 제3탭 회로 ; 복수의 포트 가운데 제4포트와 제2저장회로 사이에 연결되어 있으며, 제어값의 제6부분에 따라 전도상태와 절연상태중 하나의 상태에 있는 제4탭 회로 ; 를 구비하는 것을 특징으로 하는 데이터 처리 시스템.

청구항 44

제39항에 있어서, 상기 복수의 데이터 프로세서는 복수의 행과 복수의 열로 배열되어 있는 것을 특징으로 하는 데이터 처리 시스템.

청구항 45

제39항에 있어서, 상기 복수의 데이터 프로세서는 최소한 하나의 행으로 배열되어 있는 것을 특징으로 하는 데이터 처리 시스템.

청구항 46

제39항에 있어서, 상기 복수의 데이터 프로세서는 최소한 하나의 열로 배열되어 있는 것을 특징으로 하는 데이터 처리 시스템.

청구항 47

제1포트 ; 제2포트 ; 복수의 제어값을 저장하기 위한 제1저장회로 ; 제2저장회로 ; 제1포트와 제2포트 사이에 연결되어 있으며, 복수의 제어값 중 제1제어값에 따라 전도상태와 절연상태 중 하나의 상태에 있는 제1스위치 회로 ; 를 구비하는 데이터 프로세서.

청구항 48

디지털 정보를 통신하기 위한 제1포트 ; 디지털 정보를 통신하기 위한 제2포트 ; 제1포트와 제2포트 사이에 연결되어 디지털 정보의 통신을 가능하게 하며, 데이터 프로세서가 디지털 정보를 통신하도록 데이터 프로세서를 인에이블시키는 인에이블수단 ; 복수의 데이터 값 각각이 그에 해당하는 번지의 위치를 가지고 있을 때 상기 복수의 데이터 값을 저장하는 내부 메모리 저장회로로서, 제1포트와 제2포트 둘 다에 연결되어 있는 내부 메모리 저장회로 ; 데이터 프로세서가 제1동작모드에 있을 때는, 외부 프로세서가 제1포트와 제2포트를 함께 사용하여 내부 메모리 저장회로에 있는 복수의 데이터 값 중 하나에 액세스하며, 데이터 프로세서가 제2작동모드에 있을 때는, 디지털 정보가 제1포트와 제2포트와는 독립적으로 통신되는 경우에는, 데이터 프로세서가 제1동작모드와 제2동작모드 중 한 모드에서 통신하도록 데이터 프로세서를 인에이블시키는 모드 선택수단 ; 을 구비하는 데이터 프로세서.

청구항 49

제48항에 있어서, 제1동작모드는 데이터 프로세서가 정보를 호스트 집적회로와만 통신하도록 인에이블시키며, 제2동작모드는 데이터 프로세서가 호스트 집적회로와 호스트가 아닌 집적회로 중 하나와 선택적으로 통신하도록 인에이블시키는 모드인 것을 특징으로 하는 데이터 프로세서.

청구항 50

제48항에 있어서, 상기 모드선택수단은 외부에서 액세스할 수 있는 제1집적회로 핀을 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 51

제48항에 있어서, 상기 인에이블 수단은, 제1포트와 제2포트 둘 다에 연결되어있고 복수의 제어값을 저장하는 제어 저장회로를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 52

제51항에 있어서, 상기 복수의 제어값은 데이터 프로세서가 제2동작모드에 있을 때는, 데이터 프로세서가 디지털 정보를 선택적으로 내부 메모리 저장회로에 저장하도록, 그리고 데이터 프로세서가 제1포트와 제2포트 사이에서 디지털 정보를 선택적으로 통신하도록 데이터 프로세서를 인에이블시키는 것을 특징으로 하는 데이터 프로세서.

청구항 53

제48항에 있어서, 상기 인에이블 수단은 외부에서 액세스할 수 있는 제2집적회로 핀을 구비하고 있는 것을 특징으로 하는 데이터 프로세서.

청구항 54

제48항에 있어서, 제1액세스 모드는 제1포트에 공급된 제1번지값에 따라 데이터 프로세서가 내부메모리 저장회로에 액세스하도록 데이터 프로세서를 인에이블시키는 모드이며 제2액세스 모드는 제3메모리 저장회로에 저장된 오프셋 값을 사용하여 생성된 제2번지값에 따라 데이터 프로세서가 내부 메모리 저장회로에 액세스하도록 데이터 프로세서를 인에이블시키는 모드일 때, 제1동작모드 동안에 선택적으로 사용되는 제1액세스 모드와 제2액세스 모드 중 한 모드를 선택하는 액세스 모드선택수단을 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 55

제54항에 있어서, 상기 액세스 모드 선택수단은 외부에서 액세스할 수 있는 제3집적회로 핀을 구비하고 있는 것을 특징으로 하는 데이터 프로세서.

청구항 56

제54항에 있어서, 상기 제2번지값은 복수의 오름차순 번지의 제1번지를 나타낼 때, 상기 제2액세스 모드는 데이터 프로세서가 내부 메모리 저장회로에 있는 복수의 오름차순 번지에 액세스하도록 데이터 프로세서를 인에이블시키는 것을 특징으로 하는 데이터 프로세서.

청구항 57

제56항에 있어서, 번지위치의 개수를 나타내는 카운트값을 저장하는 제4메모리 저장회로를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 58

제54항에 있어서, 제2액세스 모드 동안에 내부 메모리 저장회로가 액세스되는 순간을 나타내는 지연값을 저장하는 제5메모리 저장회로를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 59

제48항에 있어서, 디지털 정보를 통신하기 위한 제3포트와, 디지털 정보를 통신하기 위한 제4포트 및 데이터 프로세서가 제2동작모드에서 디지털 정보를 통신하도록 데이터 프로세서를 선택적으로 인에이블시키는 복수의 제어값을 저장하는 제어 레지스터를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 60

제59항에 있어서, 제1포트, 제2포트, 제3포트, 제4포트 각각과 통신하는 디지털 정보가 유효한지 결정하기 위하여 제1포트, 제2포트, 제3포트, 제4포트에 연결된 유효성 검출 수단을 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 61

제59항에 있어서, 내부 메모리 저장회로에 액세스하는 외부 번지값은 데이터 프로세서가 제1동작모드에 있을 때 제1포트 및 제3포트에 의해 수신되는 것을 특징으로 하는 데이터 프로세서.

청구항 62

제61항에 있어서, 외부 번지위치의 최하위 부분은 제1포트에 제공되며, 외부 번지위치의 최상위 부분은 제3포트에 제공되는 것을 특징으로 하는 데이터 프로세서.

청구항 63

제61항에 있어서, 내부 메모리 저장회로는 이 회로에 저장된 복수의 데이터 값중 하나를, 제1포트와 제3포트 모두에 의해 수신된 외부 번지값에 따라 제2포트로부터 출력되도록 제공하는 것을 특징으로 하는 데이터 프로세서.

청구항 64

제61항에 있어서, 복수의 데이터값 중 하나는 제1포트와 제3포트 모두에 의해 수신된 외부 번지값에 따

라 제2포트에 입력되는 것을 특징으로 하는 데이터 프로세서.

청구항 65

제61항에 있어서, 데이터 프로세서가 제1동작모드에 있을 때에는 호스트 데이터 프로세서에 의해 외부 번지값이 공급되는 것을 특징으로 하는 데이터 프로세서.

청구항 66

제59항에 있어서, 디지털 정보는, 데이터 프로세서가 제2동작모드에 있을 때에는 복수의 제어값 중 제1 제어값에 따라 제1포트와 제2포트 사이에서 선택적으로 통신되는 것을 특징으로 하는 데이터 프로세서.

청구항 67

제59항에 있어서, 디지털 정보는, 데이터 프로세서가 제2동작모드에 있을 때에는 복수의 제어값 중 제2 제어값에 따라 제3포트와 제4포트 사이에서 선택적으로 통신하는 것을 특징으로 하는 데이터 프로세서.

청구항 68

제48항에 있어서, 제1, 제2, 제3, 제4 포트로부터 수신된 디지털 정보는, 데이터 프로세서가 제2동작모드에 있을 때에는 복수의 제어값 중 제4제어값에 따라 내부 메모리 저장회로에 선택적으로 저장되는 것을 특징으로 하는 데이터 프로세서.

청구항 69

제48항에 있어서, 디지털 정보는, 데이터 프로세서가 제1동작모드에 있고 디지털 정보를 통신하지 못할 때에는 수정되지 않고 제1포트와 제2포트 사이에서 통신되는 것을 특징으로 하는 데이터 프로세서.

청구항 70

제48항에 있어서, 상기 제1포트에 주어진 디지털 정보는 데이터 프로세서가 디지털 정보를 통신하도록 인에이블되고, 제1동작모드에 있을 때에는 복수의 디지털 데이터 값 중 하나에 액세스하는 데 사용되는 것을 특징으로 하는 데이터 프로세서.

청구항 71

데이터 프로세서에 디지털 데이터를 통신하는 방법에 있어서, 디지털 데이터를 통신하도록 데이터 프로세서를 선택적으로 인에이블시키는 단계 ; 디지털 데이터를 통신하기 위해 제1포트를 제공하는 단계 ; 디지털 데이터를 통신하기 위해 제2포트를 제공하는 단계 ; 제1동작모드란 제1포트와 제2포트를 모두 인에이블시켜 디지털 데이터를 다만 호스트 집적회로와만 통신하는 모드이고, 제2동작모드란 제1포트와 제2포트를 모두 인에이블시켜 디지털 데이터를 호스트 집적회로 및 호스트가 아닌 집적회로와 통신하는 모드일 때, 제1포트와 제2포트의 동작모드를 선택적으로 결정하는 단계 ; 로 이루어진 것을 특징으로 하는 디지털 데이터 통신방법.

청구항 72

제71항에 있어서, 상기 동작모드는 데이터 프로세서 외부에서 액세스 가능한 모드선택 집적회로 핀의 논리값에 따라 결정되는 것을 특징으로 하는 데이터 통신방법.

청구항 73

제71항에 있어서, 데이터 프로세서를 선택적으로 인에이블시키는 상기 단계는, 데이터 프로세서가 제1동작모드에 있을 때에는 디지털 데이터가 호스트 집적회로와 통신하도록 데이터 프로세서를 인에이블시키는 인에이블신호를 외부적으로 공급하는 단계와, 데이터 프로세서가 제2동작모드에 있을 때에는 디지털 데이터가 호스트 집적회로 호스트가 아닌 집적회로와 통신하도록 데이터 프로세서를 인에이블시키는 내부 인에이블 회로를 제공하는 단계로 이루어지는 것을 특징으로 하는 디지털 데이터 통신방법.

청구항 74

제73항에 있어서, 상기 인에이블신호는 데이터 프로세서의 칩 인에이블 집적회로 핀을 구비하는 것을 특징으로 하는 디지털 데이터 통신방법.

청구항 75

제73항에 있어서, 상기 내부 인에이블 회로는, 데이터 프로세서가 제2동작모드에 있을 때, 디지털 데이터를 통신하기 위해 데이터 프로세서의 제1포트와 제2포트를 인에이블시킬 수 있는 일부분을 갖는 복수의 제어값을 저장하는 데이터 프로세서 내부 제1저장회로를 구비하는 내부 인에이블 회로인 것을 특징으로 하는 디지털 데이터 통신방법.

청구항 76

제75항에 있어서, 소프트웨어 프로그램에 따라 복수의 제어값을 제1저장회로로 전송하는 인터페이스 회로를 제1저장회로와 연결시키는 단계를 포함하는 것을 특징으로 하는 디지털 데이터 통신방법.

청구항 77

제71항에 있어서, 복수의 데이터값 각각이 해당하는 번지의 위치를 가질때의 복수의 데이터값을 저장하는 제2저장회로를 제1포트, 제2포트와 연결시키는 단계를 포함하는 것을 특징으로 하는 디지털 데이터

통신방법.

청구항 78

제77항에 있어서, 디지털 데이터를 통신하기 위해 제3포트를 제공하는 단계와, 데이터 프로세서가 제1동작모드의 제1액세스 모드에 있을 때, 호스트 프로세서가 외부 번지값을 데이터 프로세서의 제1포트 및 제3포트에 공급하도록 호스트 프로세서를 인에이블시키는 단계를 포함하는 것을 특징으로 하는 디지털 데이터 통신방법.

청구항 79

제77항에 있어서, 상기 외부 번지값에 따라 제2저장회로에 있는 복수의 데이터 값 중에서 해당하는 데이터 값을 액세스하는 단계와, 데이터 프로세서가 디지털 정보를 통신하도록 인에이블 되었을 때 복수의 데이터 값 중 해당하는 하나의 데이터 값을 제공하도록 데이터 프로세서의 제2포트를 인에이블하는 단계와, 데이터 프로세서가 디지털 정보를 통신하도록 인에이블되지 않았을 때 데이터 프로세서의 제2포트가 디지털 정보를 제공하도록 인에이블시키는 단계를 포함하는 것을 특징으로 하는 디지털 데이터 통신방법.

청구항 80

제71항에 있어서, 상기 제1동작모드의 제2액세스 모드 동안에 액세스할 데이터 프로세서의 어떤 부분을 나타내기 위해 제3저장회로를 제공하는 단계를 포함하는 것을 특징으로 하는 디지털 데이터 통신방법.

청구항 81

호스트 데이터 프로세서와 복수의 데이터 프로세서를 구비하는 데이터 처리 시스템으로서, 상기 데이터 프로세서 각각은, 데이터 프로세서가 디지털 정보를 통신하도록 인에이블시키는 인에이블 수단 ; 디지털 정보를 통신하기 위한 제1포트 ; 디지털 정보를 통신하기 위한 제2포트 ; 디지털 정보를 통신하기 위한 제3포트 ; 디지털 정보를 통신하기 위한 제4포트 ; 데이터 값은 해당 번지 위치를 가지고, 내부 메모리 저장회로는 제1포트, 제2포트, 제3포트, 제4포트에 각각 연결되어 있을 때, 복수의 상기 데이터 값을 저장하는 내부 메모리 저장회로 ; 데이터 프로세서가 제1동작모드와 제2동작모드 중 한 모드에서 통신하도록 데이터 프로세서를 인에이블시키는 모드 선택수단으로서, 데이터 프로세서가 제1동작모드에 있을 때는 호스트 데이터 프로세서가 제1포트와 제2포트를 함께 사용하여 내부 메모리 저장회로의 데이터 값 중 하나에 액세스하도록 하며, 데이터 프로세서가 제2동작모드에 있을 때는 인에이블 수단에 의해 제공된 복수의 제어값에 따라 디지털 정보를 통신하는 제1포트, 제2포트, 제3포트, 제4포트 각각과 독립적으로 디지털 정보가 통신하도록 하는 모드 선택수단 ; 을 구비하는 데이터 프로세서인 데이터 처리 시스템.

청구항 82

제81항에 있어서, 상기 복수의 데이터 프로세서 각각의 상기 모드선택 수단은 외부에서 액세스할 수 있는 제1집적회로 핀을 구비하는 것을 특징으로 하는 데이터 처리 시스템.

청구항 83

제81항에 있어서, 상기 복수의 데이터 프로세서는 한 행과 한 열로 배열된 것을 특징으로 하는 데이터 처리 시스템.

청구항 84

제81항에 있어서, 상기 복수의 데이터 프로세서는 복수의 행과 복수의 열로 배열된 것을 특징으로 하는 데이터 처리 시스템.

청구항 85

제81항에 있어서, 상기 복수의 데이터 프로세서 각각의 상기 인에이블 수단은 외부에서 액세스 가능한 최소한 하나의 행 선택 집적회로 핀과 열 선택 집적회로 핀을 구비하는 것을 특징으로 하는 데이터 처리 시스템.

청구항 86

제81항에 있어서, 상기 인에이블 수단은 제1, 제2, 제3, 제4 포트와 각각 연결되어 있고 복수의 제어값을 저장하는 제어 저장회로를 구비하는 것을 특징으로 하는 데이터 처리 시스템.

청구항 87

제86항에 있어서, 상기 복수의 제어값을 데이터 프로세서가 제2동작모드에 있을 때는, 데이터 프로세서가 디지털 정보를 각각의 내부 메모리 저장회로에 선택적으로 저장하며 디지털 정보를 이웃 데이터 프로세서 및 호스트 프로세서와 통신하도록 데이터 프로세서 각각을 인에이블하는 제어값인 것을 특징으로 하는 데이터 처리 시스템.

청구항 88

제81항에 있어서, 상기 데이터 프로세서 각각은, 제1액세스 모드가 데이터 프로세서를 제1포트에 주어진 제1번지값에 따라 내부 메모리 저장회로에 액세스하도록 인에이블하는 모드이고, 제2액세스 모드는 제3 메모리 저장위치에 저장된 오프셋 값을 사용해서 생성된 제2번지값에 따라 데이터 프로세서가 내부 메모리에 액세스하도록 인에이블하는 모드일 때, 그리고, 제1액세스 모드와 제2액세스 모드는 제1동작모드 동안에 선택적으로 사용되는 것일 때, 제1액세스 모드와 제2액세스 모드중 하나를 선택하는 액세스 모드

선택 수단을 구비하는 것을 특징으로 하는 데이터 처리 시스템.

청구항 89

제88항에 있어서, 상기 제2번지값이 복수의 오름차순의 버지 중 제1번지를 나타낼 때, 제2액세스 모드는 데이터 프로세서가 내부 메모리 저장회로에 있는 복수의 오름차순 번지에 액세스하도록 데이터 프로세서를 인에이블시키는 모드인 것을 특징으로 하는 데이터 처리 시스템.

청구항 90

제88항에 있어서, 번지 위치의 개수를 나타내는 카운트 값을 저장하는 제4 메모리 저장회로를 구비하는 것을 특징으로 하는 데이터 처리 시스템.

청구항 91

제88항에 있어서, 상기 제2액세스 모드 동안에 내부 메모리 저장회로가 액세스되는 시간을 나타내는 지연값을 저장하는 제5메모리 저장회로를 구비하는 것을 특징으로 하는 데이터 처리 시스템.

청구항 92

제91항에 있어서, 상기 내부 메모리 저장회로에 액세스하는 외부 번지값은 데이터 프로세서가 제1동작모드가 있을 때 제1포트와 제3포트에 의해 수신되는 번지값인 것을 특징으로 하는 데이터 처리 시스템.

청구항 93

제91항에 있어서, 상기 외부 번지값은 데이터 프로세서가 제1동작모드에 있을 때 호스트 프로세서에 의해 공급되는 번지인 것을 특징으로 하는 데이터 처리 시스템.

청구항 94

벡터명령을 실행할 수 있는 벡터엔진 ; 스칼라명령을 실행할 수 있는 스칼라엔진 ; 벡터 제어 정보를 통신하기 위해 스칼라엔진과 연결된 순서기로서 벡터엔진에서의 벡터명령의 실행과 스칼라엔진에서의 스칼라명령의 실행을 제어하는 순서기 ; 벡터 오퍼랜드를 통신하기 위해 벡터엔진과 연결되며 스칼라 오퍼랜드를 통신하기 위해 스칼라엔진과 연결된 공유 메모리 회로로서, 벡터 오퍼랜드와 스칼라 오퍼랜드를 저장하는 공유 메모리 회로 ; 를 구비하는 집적회로.

청구항 95

제94항에 있어서, 상기 순서기는 벡터명령과 스칼라명령을 동시에 일어나지 않게 실행하는 순서기인 것을 특징으로 하는 집적회로.

청구항 96

제94항에 있어서, 상기 스칼라엔진은 스칼라 포인터 번지값과 제1스칼라 데이터 값 중에서 하나를 저장하는 스칼라 포인터 레지스터 복수개와 제2스칼라 데이터 값을 저장하는 스칼라 데이터 레지스터 복수개를 구비하는 스칼라엔진인 것을 특징으로 하는 집적회로.

청구항 97

제96항에 있어서, 상기 복수의 스칼라 포인터 레지스터 각각에 저장된 상기 스칼라 포인터 번지값은 상기 공유 메모리에 벡터 오퍼랜드 번지와 입력 데이터 레지스터에 저장된 스칼라 값의 번지 중 하나를 나타내는 번지값인 것을 특징으로 하는 집적회로.

청구항 98

제97항에 있어서, 상기 공유 메모리에 있는 벡터 오퍼랜드의 번지는 공유 메모리에 있는 메모리 저장위치의 열을 나타내는 번지인 것을 특징으로 하는 집적회로.

청구항 99

제96항에 있어서, 상기 복수의 스칼라 포인터 레지스터 중 하나에 저장된 스칼라 포인터 번지값은 벡터엔진내의 복수의 처리요소 중 하나를 나타내는 것을 특징으로 하는 집적회로.

청구항 100

제96항에 있어서, 상기 스칼라엔진은, 복수의 스칼라 데이터 레지스터 각각과 복수의 스칼라 포인터 레지스터 각각 및 공유 메모리 회로와 연결되는, 그리고 산술 논리연산을 수행하는 산술 논리 장치를 구비하는 스칼라엔진을 것을 특징으로 하는 집적회로.

청구항 101

제94항에 있어서, 상기 벡터엔진은, 복수의 처리요소 각각이 벡터명령의 실행 동안에 선택적으로 사용되는 복수의 데이터 값 각각을 저장하는 복수의 벡터 레지스터와, 복수의 벡터 레지스터 각각 및 공유 메모리 회로와 연결되어 있으며 산술 논리 연산을 실행하는 산술 논리 장치를 구비하는 복수의 처리요소로서, 벡터명령을 실행하는 처리요소일 때, 복수의 처리요소를 구비하는 벡터엔진인 것을 특징으로 하는 집적회로.

청구항 102

제101항에 있어서, 상기 복수의 처리요소 각각은 공유 메모리 회로의 일브와 대응하는 것을 특징으로 하는 집적회로.

청구항 103

제101항에 있어서, 상기 벡터엔진과 연결되며 상기 복수의 데이터 값을 저장하는 입력 데이터 레지스터를 구비하는 것을 특징으로 하는 집적회로.

청구항 104

제103항에 있어서, 상기 입력 데이터 레지스터는 벡터명령이 제1엑세스 모드와 제2엑세스 모드 중 하나인 경우에 입력 데이터 레지스터에 저장된 복수의 데이터 값 중에서 최소한 하나를 벡터엔진에 공급하는 레지스터인 것을 특징으로 하는 집적회로.

청구항 105

제104항에 있어서, 상기 제1엑세스 모드는 입력 데이터 레지스터가 벡터엔진내의 복수의 처리요소에 공급되는 복수의 데이터 값 중 하나를 벡터엔진에 공급하도록 입력 데이터 레지스터를 인에이블하는 모드인 것을 특징으로 하는 집적회로.

청구항 106

제104항에 있어서, 상기 제2엑세스 모드는 입력 데이터 레지스터가 벡터엔진내의 복수의 처리요소에 공급되는 복수의 데이터 값을 벡터엔진에 공급하도록 입력 데이터 레지스터를 인에이블하는 모드인 것을 특징으로 하는 집적회로.

청구항 107

제94항에 있어서, 집적회로의 내부 상태정보를 나타내는 복수의 집적회로 핀을 구비하는 것을 특징으로 하는 집적회로.

청구항 108

제107항에 있어서, 상기 복수의 집적회로 핀은, 집적회로의 명령상태가 기능정지 명령이 현재 실행되고 있음 ; 기록명령이 현재 실행되고 있음 ; 벡터명령이 현재 실행되고 있음 ; 스칼라명령이 현재 실행되고 있음 ; 조건부명령이 현재 실행되고 있음 ; 벡터명령 중 하나가 실행되고 있는 동안에 예외가 발생하였음 ; 분기명령에 의해 분기연산이 실행됨 ; 분기명령에 의해 분기연산이 실행되지 않음 ; 중 하나를 나타낼 때, 집적회로의 명령상태를 집합적으로 나타내는 복수의 상태신호를 제공하는 집적회로 핀인 것을 특징으로 하는 집적회로.

청구항 109

제94항에 있어서, 입력 직접회로 핀이나 출력 집적회로 핀으로 프로그램되는 프로그램 가능한 집적회로 핀을 구비하는 것을 특징으로 하는 집적회로.

청구항 110

각각이 명령이 벡터명령이거나 스칼라명령인 복수의 명령을 저장하는 명령 메모리 ; 벡터명령인 경우에는 벡터 연산을 실행할 수 있는 벡터엔진 ; 스칼라명령인 경우에는 스칼라 연산을 실행할 수 있는 스칼라엔진 ; 벡터 제어 정보를 통신하기 위해서 벡터엔진과 연결되며, 스칼라 제어 정보를 통신하기 위해서 스칼라엔진과 연결되고, 복수의 명령 중 제1명령을 수신하기 위해서 명령 메모리와 연결된 순서기로서, 벡터엔진에서의 벡터연산과 스칼라엔진에서의 스칼라연산의 실행을 제어하는 순서기 ; 벡터연산이나 스칼라연산의 실행 동안에 사용되는 오퍼랜드 복수개를 저장하는 공유 메모리 회로로서, 복수의 오퍼랜드 중 제1오퍼랜드를 통신하기 위해 벡터엔진과 연결되며 복수의 오퍼랜드 중 제2오퍼랜드를 통신하기 위해 스칼라엔진과 연결된 공유 메모리 회로 ; 벡터엔진과 연결되며 복수의 데이터 값을 저장하는 입력 데이터 레지스터 ; 를 구비하는 집적회로.

청구항 111

제110항에 있어서, 디지털 데이터를 통신하기 위한 제1포트 ; 디지털 데이터를 통신하기 위한 제2포트 ; 디지털 데이터를 통신하기 위한 제4포트 ; 디지털 데이터를 통신하기 위한 제4포트 ; 제어값을 저장하는 제어 레지스터 ; 제1포트와 제2포트 사이에 연결되며 제어값의 제1부분에 따라 전도상태와 절연 상태 중 한 상태에 있는 제1스위치 회로로서, 제1스위치가 전도상태에 있을 때는 디지털 데이터가 제1포트와 제2포트 사이에서 전송되며, 제1스위치가 절연상태에 있을 때는 제1포트와 제2포트 사이에 어떠한 데이터도 전송되지 않은 제1스위치 회로 ; 제3포트와 제4포트 사이에 연결되며 제어값의 제2부분에 따라 전도상태와 절연상태 중 한 상태에 있는 제2스위치 회로로서, 제2스위치가 전도상태에 있을 때는 디지털 데이터가 제3포트와 제4포트 사이에서 전송되며, 제2스위치가 절연상태에 있을 때는 제3포트와 제4포트 사이에 어떠한 데이터도 전송되지 않은 제2스위치 회로 ; 제1포트와 입력 데이터 레지스터 사이에 연결되며 제어값의 제3부분에 따라 전도상태와 절연상태 중 한 상태에 있는 제1탭 회로로서, 제1탭이 전도상태에 있을 때는 디지털 데이터가 제1포트에서 입력 데이터 레지스터로 전송되며, 제1탭이 절연상태에 있을 때는 제1포트에서 입력 데이터 레지스터로 전송되는 디지털 데이터가 전혀 없는 제1탭 회로 ; 제2포트와 입력 데이터 레지스터 사이에 연결되며 제어값의 제4부분에 따라 전도상태와 절연상태 중 한 상태에 있는 제2탭 회로로서, 제2탭이 전도상태에 있을 때는 제2포트에서 입력 데이터 레지스터로 전송되는 디지털 데이터가 전혀 없는 제2탭 회로 ; 제3포트와 입력 데이터 레지스터 사이에 연결되며 제어값의 제5부분에 따라 전도상태와 절연상태 중 한 상태에 있는 제3탭 회로로서, 제3탭이 전도상태에 있을 때는 디지털 데이터가 제3포트에서 입력 데이터 레지스터로 전송되며, 제3탭이 절연상태에 있을 때는 제3포트에서 입력

데이터 레지스터로 전송되는 디지털 데이터가 전혀 없는 제3탭 회로 ; 제4포트와 입력 데이터 레지스터 사이에 연결되며 제어값의 제6부분에 따라 전도상태와 절연상태 중 한 상태에 있는 제4탭 회로로서, 제4탭이 전도상태에 있을 때에 디지털 데이터가 제4포트에서 입력 데이터 레지스터로 전송되며, 제4탭이 절연상태에 있을 때는 제4포트에서 입력 데이터 레지스터로 전송되는 디지털 데이터가 전혀 없는 제4탭 회로 ; 를 구비하는 것을 특징으로 하는 집적회로.

청구항 112

제110항에 있어서, 상기 순서기는 벡터명령과 스칼라명령을 동시에 일어나지 않게 해독하는 순서기인 것을 특징으로 하는 집적회로.

청구항 113

제110항에 있어서, 상기 스칼라엔진은, 스칼라 포인터 번지값과 제1스칼라 데이터 값 중 하나를 저장하는 스칼라 포인터 레지스터를 복수개 구비하며, 제2스칼라 데이터 값을 저장하는 스칼라 데이터 레지스터를 복수개 구비하는 스칼라엔진인 것을 특징으로 하는 집적회로.

청구항 114

제113항에 있어서, 상기 복수의 포인터 레지스터 각각에 저장된 스칼라 포인터 번지값을 공유 메모리에 있는 벡터 오퍼랜드의 번지와 입력 데이터 레지스터에 저장된 스칼라 값의 번지 중 하나를 나타내는 스칼라 포인터 번지값인 것을 특징으로 하는 집적회로.

청구항 115

제113항에 있어서, 상기 스칼라엔진은, 복수개의 스칼라 데이터 레지스터 각각과 복수개의 스칼라 포인터 레지스터 각각 및 공유 메모리 회로와 연결되는 산술 논리 장치로서, 산술 논리 연산을 실행하는 산술 논리 장치를 구비하는 스칼라엔진인 것을 특징으로 하는 집적회로.

청구항 116

제110항에 있어서, 상기 벡터엔진은, 벡터명령의 실행 동안에 선택적으로 사용되는 데이터값을 복수개 저장하는 복수개의 벡터 레지스터와 복수개의 벡터 레지스터 각각 및 공유 메모리 회로와 연결되며, 산술 논리 연산을 실행하는 산술 논리 장치를 구비하는 처리요소로서, 벡터명령을 실행하는 처리요소를 복수개 구비하는 벡터엔진인 것을 특징으로 하는 집적회로.

청구항 117

제116항에 있어서, 상기 복수의 처리요소 각각은 공유 메모리 회로의 복수의 메모리 저장 요소의 행과 대응하는 처리요소인 것을 특징으로 하는 집적회로.

청구항 118

제110항에 있어서, 상기 입력 데이터 레지스터는 벡터명령의 제1액세스 모드와 제2액세스 모드에 따라 입력 데이터 레지스터에 저장되어 있는 복수의 데이터 중 최소한 하나의 데이터를 벡터엔진에 공급하는 입력 데이터 레지스터인 것을 특징으로 하는 집적회로.

청구항 119

제118항에 있어서, 상기 제1액세스 모드는 입력 데이터 레지스터가 벡터엔진내의 복수의 처리요소 각각에 주어진 복수의 데이터 값 중 하나를 벡터엔진에 제공하도록 입력 데이터 레지스터 인에이블시키는 모드인 것을 특징으로 하는 집적회로.

청구항 120

제119항에 있어서, 상기 제2액세스 모드는 입력 데이터 레지스터가 벡터엔진내의 복수의 처리요소 각각에 주어진 복수의 데이터 값 복수개를 벡터엔진에 제공하도록 입력 데이터 레지스터를 인에이블시키는 모드인 것을 특징으로 하는 집적회로.

청구항 121

제110항에 있어서, 집적회로의 내부 상태정보를 나타내는 복수의 집적회로 핀을 구비하는 것을 특징으로 하는 집적회로.

청구항 122

제121항에 있어서, 상기 복수의 집적회로 핀은 집적회로의 명령상태가 기능정지 연산이 현재 실행되고 있음 ; 기록 명령이 현재 실행되고 있음 ; 벡터명령이 현재 실행되고 있음 ; 스칼라명령이 현재 실행되고 있음 ; 조건부명령이 현재 실행되고 있음 ; 벡터명령과 스칼라명령중 하나가 실행되고 있는 동안에 예외가 발생하였음 ; 분기명령에 의해 분기연산이 실행됨 ; 분기명령에 의해 분기연산이 실행되지 않음 ; 중 하나를 나타낼 때, 집적회로의 명령상태를 집합적으로 나타내는 복수의 상태신호를 제공하는 집적회로 핀인 것을 특징으로 하는 집적회로.

청구항 123

제110항에 있어서, 상기 입력 집적회로 핀이나 출력 집적회로 핀으로 프로그램할 수 있는 프로그램 가능한 집적회로 핀을 구비하는 것을 특징으로 하는 집적회로.

청구항 124

제1디지털 데이터 값을 수신하는 입력수단 ; 복수의 메모리 저장위치 각각은 해당 번지를 가지고 복수의 디지털 데이터 값 중 하나를 선택적으로 저장하는 메모리 저장위치이고, 제1메모리 저장위치는 제1번지 값을 가지며 제1디지털 데이터 값을 저장하는 메모리 저장위치일 때, 제1디지털 데이터 값을 수신하기 위해 입력수단과 연결수단과 연결되며 복수의 메모리 저장위치를 갖는 메모리 저장회로 ; 제1번지에 해당하는 제1포인터 값을 저장하며 메모리 저장회로와 연결된 포인터 레지스터 ; 제1디지털 데이터 값을 수신하고 저장하는 메모리 저장위치의 개수를 나타내는 마스크 값을 저장하며, 메모리 저장회로와 연결된 마스크 레지스터 ; 를 구비하는 데이터 프로세서.

청구항 125

제124항에 있어서, 상기 마스크 값을 제1디지털 데이터 값을 수신하고 저장하는 상기 개수의 메모리 저장위치 중 하나에 해당하는 번지를 복수개 나타내는 마스크 값인 것을 특징으로 하는 데이터 프로세서.

청구항 126

제125항에 있어서, 복수의 마스크된 비트는 복수의 번지 중에서 제1디지털 데이터 값을 수신하고 저장하는 상기 개수의 메모리 저장위치 중 하나에 해당하는 번지를 선택적으로 결정하는 데 사용되는 비트일 때, 상기 마스크 값은 복수의 마스크 비트로 나타내는 것을 특징으로 하는 데이터 프로세서.

청구항 127

제124항에 있어서, 상기 제1포인터 값을 소정의 값만큼 증가시켜 제2번지에 해당하는 증가된 포인터 값을 제공하는 증가회로로서, 제1포인터 값을 수신하기 위해 포인터 레지스터와 연결된 증가회로를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 128

제127항에 있어서, 상기 소정의 값이란 상기 마스크 값을 사용하여 생성되는 값인 것을 특징으로 하는 데이터 프로세서.

청구항 129

제127항에 있어서, 상기 마스크 값이 제1디지털 데이터 값을 수신하고 저장하는 메모리 저장위치의 개수가 1보다 더 크다는 것을 나타내는 경우에, 제1디지털 데이터 값은 제2번지에 해당하는 제2메모리 저장위치에 저장된 값인 것을 특징으로 하는 데이터 프로세서.

청구항 130

제124항에 있어서, 상기 제1디지털 데이터 값은 복수의 디지털 데이터 값중에 제일 처음에 있는 값인 것을 특징으로 하는 데이터 프로세서.

청구항 131

제130항에 있어서, 상기 복수의 디지털 데이터 값을 수신하고 저장하는 메모리 저장위치의 개수를 나타내는 카운트 값을 저장하는 카운트 레지스터로서, 상기 개수의 메모리 저장위치 각각은 복수의 디지털 데이터 값중 하나를 저장하는 위치일 때, 메모리 저장회로와 연결된 카운트 레지스터를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 132

제131항에 있어서, 상기 카운트 값을 감소값 만큼 감소시켜, 감소된 카운트 값을 제공하는 감소회로를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 133

제132항에 있어서, 상기 감소값은 상기 마스크 값에 따라 정해지는 감소값인 것을 특징으로 하는 데이터 프로세서.

청구항 134

제130항에 있어서, 복수의 타이밍 값 각각은 시간축상의 복수의 점 각각에 대응할 때, 그리고 외부 데이터 소스는 이 시간축상의 각 점에서 복수의 디지털 데이터 값을 입력수단에 제공할 때, 복수의 타이밍 값을 저장하기 위한 타이밍 저장회로로서 입력수단과 연결된 타이밍 저장회로를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 135

제134항에 있어서, 상기 복수의 타이밍 값 각각은 외부 데이터 소스가 복수의 디지털 데이터 값 각각을 입력수단에 제공하는 시점을 나타내는 값인 것을 특징으로 하는 데이터 프로세서.

청구항 136

제130항에 있어서, 제1타이밍 값이란 외부 데이터 소스가 제1디지털 데이터 값을 입력수단에 제공하는 제1시간점을 나타내는 값일 때, 제1타이밍 값을 저장하며 입력수단과 연결된 입력 타이밍 레지스터를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 137

제136항에 있어서, 복수의 디지털 데이터 값 중에서 그 다음 값은 제1시간점에 대해 연속인 제2시간점에서 제공되는 값일 때, 외부 데이터 소스가 복수의 디지털 데이터 값 중에서 그 다음 값을 입력수단에 제공하는 것을 특징으로 하는 데이터 프로세서.

청구항 138

제124항에 있어서, 복수의 충전모드 중 하나를 선택하기 위한 제어값을 저장하며, 메모리 저장회로와 연결된 제어 저장회로를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 139

데이터 프로세서에서 디지털 데이터를 저장하는 방법으로서, 제1디지털 데이터 값을 수신하는 단계 ; 제1포인트 값이 메모리 저장회로에 있는 제1메모리 저장위치의 제1번지에 해당할 때, 포인트 레지스터로부터 포인트 값을 액세스하는 단계 ; 마스크 값이 메모리 저장회로에 있는 메모리 저장위치의 개수를 나타낼 때, 마스크 레지스터로부터 마스크 값을 액세스하는 단계 ; 제1디지털 데이터 값을 메모리 저장회로의 제1메모리 저장위치에 저장하는 단계 ; 제1복수의 메모리 저장위치는 마스크 값이 나타내는 개수만큼의 메모리 저장위치에 해당할 때, 제1디지털 데이터 값을 메모리 저장회로에 있는 제1복수의 메모리 저장위치에 저장하는 단계 ; 로 이루어진 디지털 데이터 저장방법.

청구항 140

제139항에 있어서, 상기 제1디지털 데이터 값을 메모리 저장회로에 저장하는 상기 단계는, 1) 포인트 값을 숨은 포인트 값으로 하여 숨은 레지스터(shadow register)에 저장하는 단계 ; 2) 제1디지털 데이터 값을 숨은 포인트 값이 나타내는 복수의 메모리 저장위치 중 한 저장위치에 저장하는 단계 ; 3) 증가한 숨은 포인트 값이 메모리 저장회로에 있는 복수의 메모리 저장위치 중 그 다음 저장위치를 나타낼 때, 증가한 숨은 포인트 값을 제공하기 위해 숨은 포인트 값을 증가시키는 단계 ; 4) 증가한 숨은 포인트 값을 숨은 포인트 값으로 하여 숨은 레지스터에 저장하는 단계 ; 5) 마스크 값이 나타내는 개수만큼의 메모리 저장위치 각각에 액세스하기 위해, 단계 2) 내지 4)를 반복하는 단계 ; 로 이루어진 단계인 것을 특징으로 하는 디지털 데이터 저장방법.

청구항 141

제140항에 있어서, 제2디지털 데이터 값을 수신하는 단계 ; 숨은 포인트 값이 메모리 저장회로의 복수의 메모리 저장위치 중에서 연속한 그 다음 저장위치를 나타낼 때, 숨은 레지스터로부터 숨은 포인트 값을 액세스하는 단계 ; 마스크 레지스터로부터 마스크 값을 액세스하는 단계 ; 제2디지털 데이터 값을 복수의 메모리 저장위치의 연속한 그 다음 메모리 저장위치에 저장하는 단계 ; 숨은 포인트 값을 증가시키는 단계 ; 제2디지털 데이터 값을 복수의 메모리 저장위치 중 숨은 포인트 값이 나타내는 저장위치에 저장하는 단계 ; 제2복수의 메모리 저장위치는 마스크 값이 나타내는 개수만큼의 메모리 저장위치에 해당할 때, 제2디지털 데이터 값을 메모리 저장회로에 있는 제2복수의 메모리 저장위치에 저장하는 단계 ; 를 포함하는 것을 특징으로 하는 디지털 데이터 저장방법.

청구항 142

제139항에 있어서, 복수의 디지털 데이터 값 중에서 제일 처음 값이 제1디지털 데이터 값일 때 복수의 디지털 데이터 값을 수신하는 단계를 포함하는 것을 특징으로 하는 디지털 데이터 저장방법.

청구항 143

제142항에 있어서, 카운트 값은 복수의 디지털 데이터 값을 수신하고 저장하는 메모리 저장위치의 개수를 나타낼 때, 카운트 레지스터로부터 카운트 값을 액세스하는 단계와, 카운트 값에 해당하는 복수의 디지털 데이터 값을 수신하는 단계를 포함하는 것을 특징으로 하는 디지털 데이터 저장방법.

청구항 144

제142항에 있어서, 복수의 타이밍 값의 제1타이밍 값은 시간축상의 복수의 오름차순의 점들 중에서 제1시간점에 해당할 때, 타이밍 저장회로로부터 복수의 타이밍 값중에서 제1타이밍 값을 액세스하는 단계와, 시간축상의 복수의 오름차순의 점들 중에서 제1시간점에서 외부 집적회로로부터 제1디지털 데이터 값을 수신하는 단계를 포함하는 것을 특징으로 하는 데이터 저장방법.

청구항 145

제144항에 있어서, 제2타이밍 값은 시간축상의 복수의 오름차순의 점들 중에서 제2시간점에 해당할 때, 타이밍 저장회로로부터 복수의 타이밍 값중에서 제2타이밍 값을 액세스하는 단계와, 시간축상의 복수의 오름차순의 점들 중에서 제2시간점에서 외부 집적회로로부터 제2디지털 데이터 값을 수신하는 단계를 포함하는 것을 특징으로 하는 디지털 데이터 저장방법.

청구항 146

제142항에 있어서, 시간축상의 제1시간점에 해당하는 제1타이밍 값을 입력타이밍 레지스터로부터 액세스하는 단계와, 제1시간점에서 외부 집적회로로부터 복수의 디지털 데이터 값 중에서 제1데이터 값을 수신하는 단계를 포함하는 것을 특징으로 하는 디지털 데이터 저장방법.

청구항 147

제146항에 있어서, 상기 제2시간점은 상기 제1시간점과 연속한 점일 때, 제2시간점에서 복수의 디지털 데이터 값 중에서 제2데이터 값을 수신하는 단계를 포함하는 것을 특징으로 하는 디지털 데이터 저장방법.

청구항 148

데이터 프로세서에서 명령의 실행을 정지시키는 방법으로서, 백터명령을 수신하는 단계 ; 제1복수의 제어신호를 제공하기 위해 백터명령을 해독하는 단계 ; 제1인에이블 값은 백터명령의 실행 동안에 제2저장회로의 참여를 선택적으로 인에이블시키는 값일 때, 제1복수의 제어신호의 제2부분에 따라 제1저장회로에 있는, 제1인에이블 값을 액세스하는 단계 ; 제1유�효값은 언제 제1백터값이 무효인지를 선택적으로 나타내는 값일 때, 제1복수의 제어신호의 제2부분에 따라 제3저장회로에 있는 제1유�효값을 액세스하는 단계 ; 제1인에이블 값이 제2저장회로의 참여를 가능하게 하는 때, 그리고 제1유�효값이 제1백터값은 무효라는 것을 나타내는 때에는 기능정지 신호를 액티브로 하는 단계 ; 기능정지 신호가 액티브인 때에는 데이터 프로세서에서의 백터명령 실행을 지연시키는 단계 ; 기능정지신호가 인액티브인 때에는 데이터 프로세서에서의 백터명령 실행을 완료시키는 단계 ; 로 이루어진 명령실행 정지 방법.

청구항 149

제148항에 있어서, 제1인에이블 값이 제2저장회로의 참여를 가능하게 하며, 제1유�효값이 제1백터값이 유효함을 나타낼 때에는 제1복수의 제어값의 제3부분에 따라 제2저장회로로부터의 제1백터값을 액세스하는 단계를 포함하는 것을 특징으로 하는 명령실행 정지 방법.

청구항 150

제148항에 있어서, 외부 데이터 소스는 기능정지 신호와는 무관하게 유효 데이터 값을 제2저장회로에 공급하는 데이터 소스인 것을 특징으로 하는 명령실행 정지 방법.

청구항 151

제150항에 있어서, 유효 데이터 값을 제2저장회로에 기록하는 단계 ; 유효 백터값이 기록됨을 나타내기 위해 제1유�효값을 수정하는 단계 ; 유효 백터값이 기록되었음을 제1유�효값이 나타내는 때와, 제2저장회로가 백터명령의 실행 도중에 참여할 수 있도록 인에이블 값이 제2저장회로를 인에이블시키는 때에는 백터명령을 계속 실행하는 단계 ; 백터명령의 결과를 목적 레지스터에 저장하는 단계 ; 를 포함하는 것을 특징으로 하는 명령실행 정지 방법.

청구항 152

제150항에 있어서, 백터값에 대응하는 제1유�효값은 수정되어, 외부 데이터 소스가 유효 백터값을 제2저장회로에 공급하는 경우에는 백터값이 유효하다는 것을 나타내는 제1유�효값인 것을 특징으로 하는 명령실행 정지 방법.

청구항 153

제148항에 있어서, 상기 제1인에이블 값이 제2저장회로로 하여금 백터명령의 실행에 참여하도록 하는 경우에, 유효 백터값을 제2저장회로에 공급하는 것은 제4메모리 저장회로인 것을 특징으로 하는 명령실행 정지 방법.

청구항 154

제153항에 있어서, 상기 제1인에이블 값이 제2저장회로로 하여금 백터명령의 실행에 참여하도록 하는 경우에, 제1유�효값은 현재 기록되고 있는 유효 백터값의 제1부분에 따라 수정되는 유효값인 것을 특징으로 하는 명령실행 정지 방법.

청구항 155

제149항에 있어서, 상기 제1백터값은 제2저장회로에 저장된 백터값들의 복수의 부분 중 한 부분이며, 복수의 백터값 각각은 제2저장회로에 해당 메모리 위치를 가지고, 제1인에이블 값은 제1저장회로에 저장된 복수의 인에이블 값 중에서 제1인에이블 값이며, 제1유�효값은 제3저장회로에 저장된 복수의 유효값 중 제1유�효값인 것을 특징으로 하는 명령실행 정지 방법.

청구항 156

제155항에 있어서, 복수의 인에이블 값 각각은 복수의 백터값 각각에 해당할 때, 제1저장회로로부터 복수의 인에이블 값 일부분을 액세스하는 단계 ; 복수의 유효값 각각은 복수의 백터값 각각에 해당할 때, 제3저장회로로부터 복수의 유효값 일부분을 액세스하는 단계 ; 제1복수의 제어값의 제3부분에 따라 제2저장회로로부터 복수의 백터값 일부분을 액세스하는 단계 ; 복수의 인에이블 값 중에서 최소한 한 부분이 제2저장회로의 해당 메모리 위치의 참여를 가능하게 하는 때와, 메모리 저장회로의 메모리 위치에 해당하는 유효값이 복수의 백터값 중 하나가 무효임을 나타내는 때에는, 기능정지 신호를 발생시키는 단계 ; 를 포함하는 것을 특징으로 하는 명령실행 정지 방법.

청구항 157

제148항에 있어서, 데이터 프로세서가 리셋될 때에는 제1유�효값을 인액티브시키는 단계를 포함하는 것을 특징으로 하는 명령실행 정지 방법.

청구항 158

제148항에 있어서, 레지스터 클리어 명령을 수신하는 단계 ; 제2복수의 제어신호를 제공하기 위하여 레지스터 클리어 명령을 해독하는 단계 ; 제2복수의 제어신호에 따라 제1유효값을 인액티브시키는 단계 ; 를 포함하는 것을 특징으로 하는 명령실행 정지 방법.

청구항 159

제148항에 있어서, 레지스터 판독 명령을 수신하는 단계 ; 제3제어신호를 제공하기 위하여 레지스터 판독 명령을 해독하는 단계 ; 제3복수의 제어신호의 제1부분에 따라 제1벡터값을 제2저장회로에서 판독하는 단계 ; 제1벡터값을 제1저장회로에서 읽은 다음에는 제1유효값을 인액티브시키는 단계 ; 를 포함하는 것을 특징으로 하는 명령실행 정지 방법.

청구항 160

제148항에 있어서, 명령을 수신하는 단계 ; 제4복수의 제어신호를 제공하기 위해 명령을 해독하는 단계 ; 제1유효값은 스칼라 값이 언제 무효인지를 선택적으로 나타낼 때, 제4복수의 제어신호의 제1부분에 따라 제3저장회로에 있는 제2유효값을 액세스하는 단계 ; 제1유효값은 스칼라 값이 유효하다는 것을 나타낼 때에는 제4복수의 제어신호의 제2부분에 따라 제2저장회로로부터의 제1스칼라 값을 액세스하는 단계 ; 제2유효값이 스칼라 값이 유효함을 나타낼 때에는 기능정지신호를 참값으로 만드는 단계 ; 기능정지신호가 참값인 경우에는 데이터 프로세서에서의 명령실행을 지연시키는 단계 ; 기능정지 신호가 참값이 아닌 경우에는 데이터 프로세서에서 명령실행을 완료하는 단계 ; 를 포함하는 것을 특징으로 하는 명령실행 정지 방법.

청구항 161

제160항에 있어서, 기능정지 신호와는 상관이 없이 제2저장회로에 유효 스칼라 값을 제공하는 것은 외부 데이터 소스인 것을 특징으로 하는 명령실행 정지 방법.

청구항 162

제161항에 있어서, 유효 스칼라 값을 제2저장회로에 기록하는 단계 ; 유효 스칼라 값이 기록되었음을 나타내기 위해 제2유효값을 수정하는 단계 ; 제2유효값이 스칼라 값이 기록되었음을 나타내는 때에는 명령의 실행을 계속하는 단계 ; 명령의 결과를 목적 레지스터에 저장하는 단계 ; 를 포함하는 것을 특징으로 하는 명령실행 정지 방법.

청구항 163

제161항에 있어서, 상기 스칼라 값에 대응하는 상기 제2유효값은 수정되어서, 외부 데이터 소스가 유효 스칼라 값을 제2저장회로에 공급하는 대에는 스칼라 값이 유효하다는 것을 나타내는 유효값인 것을 특징으로 하는 명령실행 정지 방법.

청구항 164

벡터명령을 수신하는 인터페이스 수단 ; 제1복수의 제어값을 제공하기 위해 벡터명령을 해독하는 명령해독수단으로서 벡터명령을 수신하기 위해 인터페이스 수단과 연결된 명령해독수단 ; 제1복수의 제어값의 제1부분에 따라 액세스되는 제1벡터값을 저장하는 제1메모리 저장회로로서, 복수의 제어값의 제1부분을 수신하는 명령해독수단과 연결된 제1메모리 저장회로 ; 제1복수의 제어값의 제2부분에 따라 액세스되는 제1인에이블 값을 저장하는 제2메모리 저장회로로서, 복수의 제어값을 제1부분을 수신하는 명령해독수단과 연결된 제2메모리 저장회로 ; 제1복수의 제어값의 제3부분에 따라 액세스되는 제1유효값을 저장하는 제3메모리 저장회로로서 복수의 제어값의 제3부분을 수신하는 명령해독수단과 연결된 제3메모리 저장회로 ; 제1인에이블 값과 제1유효값에 따라 제1논리상태와 제2논리상태 중 한 논리상태에 있는 기능정지신호를 발생하는 논리수단 ; 기능정지 신호의 논리상태에 따라 벡터명령의 실행을 선택적으로 정지시키는 실행수단 ; 을 구비하는 데이터 프로세서.

청구항 165

제164항에 있어서, 상기 제1인에이블 값은 제1메모리 저장회로가 벡터명령의 실행에 사용되도록 인에이블되는 때를 나타내는 값인 것을 특징으로 하는 데이터 프로세서.

청구항 166

164항에 있어서, 상기 제1유효값은 제1벡터값이 유효 데이터 값을 가지는 때를 나타내는 값인 것을 특징으로 하는 데이터 프로세서.

청구항 167

제164항에 있어서, 상기 논리수단은, 인에이블 값이 제1저장회로가 인에이블임을 나타내는 때와 제1유효값이 제1벡터값이 무효임을 나타내는 때에는 기능정지 신호를 참값이 되도록 하는 것을 특징으로 하는 데이터 프로세서.

청구항 168

제164항에 있어서, 기능정지 신호와는 상관없이 유효 벡터값을 제공하는 외부 데이터 소스로부터 유효 벡터값을 수신하는 입력회로를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 169

제168항에 있어서, 상기 유효 벡터값은 제1메모리 저장회로에 기록되는 값인 것을 특징으로 하는 데이터

프로세서.

청구항 170

제169항에 있어서, 상기 제1메모리 저장회로에 유효 벡터값이 기록되는 경우에는 상기 제1유효값을 수정하는 수정수단을 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 171

명령을 수신하는 인터페이스 수단 ; 복수의 제어신호의 제1부분은 상기 명령이 벡터명령과 스칼라 값을 사용하는 명령 중 하나인 것을 나타내는 것일 때, 명령을 해독하여 복수의 제어신호를 제공하는 명령해독수단으로서 명령을 수신하는 인터페이스 회로와 연결된 명령해독수단 ; 복수의 디지털 데이터 값 각각은 벡터값의 일부이거나 스칼라 값일 때, 복수의 디지털 데이터 값을 저장하기 위한 복수의 저장위치를 갖는 제1메모리 저장회로 ; 복수의 인에이블 값 각각은 제1메모리 저장위치에 있는 복수의 저장위치 중 소정의 위치에 해당하는 값이며 복수의 저장위치 중 해당 위치가 언제 인에이블되는지를 나타내는 값일 때, 복수의 인에이블 값을 저장하는 제2메모리 저장회로 ; 복수의 유효값 각각은 복수의 디지털 데이터 값 중 소정의 값에 해당하는 값이며 복수의 디지털 데이터 값 중 해당 값이 언제 유효인지를 나타내는 값일 때, 복수의 유효값을 저장하는 제3메모리 저장회로 ; 스칼라 기능정지 신호와 벡터 기능정지 신호 중 하나를 발생하는 논리수단으로서, 1) 복수의 제어신호의 제1부분이 명령이 스칼라값을 사용하고 있음을 나타내는 경우, 2) 스칼라값이 제1메모리 저장회로에 위치하고 있는 경우, 3) 스칼라값에 해당하는 유효값이 스칼라 값이 무효임을 나타내는 경우에는 스칼라 기능정지 신호를 참값으로 하며, 4) 복수의 제어신호의 제1부분이 명령이 벡터값을 사용하고 있음을 나타내는 경우, 5) 상기 벡터값의 일부분이 제1메모리 저장위치의 소정의 저장위치에 있는 경우, 6) 소정의 저장위치에 해당하는 인에이블 값이 소정의 저장위치가 인에이블임을 나타내는 경우, 7) 소정의 저장위치에 해당하는 유효값이 소정의 저장위치 저장된 벡터값의 상기 부분이 무효임을 나타내는 경우에는 벡터 기능정지 신호를 참값으로 하는 논리수단 ; 스칼라 기능정지 신호와 벡터 기능정지 신호 중 하나가 참값을 갖는 경우에는 명령실행을 정지시키는 기능정지수단 ; 스칼라 기능정지 신호와 벡터 기능정지 신호가 모두 거짓인 경우에는 명령을 실행하는 실행수단 ; 을 구비하는 데이터 프로세서.

청구항 172

제171항에 있어서, 유효 디지털 데이터를 외부 데이터 소스로부터 받아들이는 입력회로로서, 유효 디지털 데이터 값을 제공하기 위해 제1메모리 저장회로와 연결된 입력회로를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 173

제172항에 있어서, 상기 유효 디지털 데이터값은 제1메모리 저장회로에 기록되는 것을 특징으로 하는 데이터 프로세서.

청구항 174

제173항에 있어서, 유효 디지털 데이터가 기록되는 경우에는 무효 디지털 데이터값에 대응하는 유효 값을 수정하는 수정수단을 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 175

제172항에 있어서, 상기 외부 데이터 소스는 스칼라 기능정지 신호와는 무관한 유효 스칼라값을 제공하며, 벡터 기능정지 신호와는 무관한 유효 벡터값을 제공하는 데이터 소스인 것을 특징으로 하는 데이터 프로세서.

청구항 176

비교명령을 저장하는 저장수단 ; 비교명령을 해독하여 복수의 제어신호를 제공하는 명령해독수단으로서 비교명령을 수신하기 위해 저장수단과 연결된 명령해독수단 ; 복수의 제어신호에 따라 비교명령의 실행을 제어하는 명령실행수단으로서 복수의 제어신호를 수신하기 위해 명령해독수단과 연결된 명령실행수단 ; 복수의 인에이블된 처리 요소로서, 복수의 인에이블된 처리요소 각각은 데이터 값을 저장하며 명령실행수단과 연결되고, 상기 명령실행수단은 복수의 인에이블된 처리요소 각각을 선택하여 비교명령의 실행동작에 상기 처리요소 각각에 저장된 데이터 값의 제1부분을 출력하는 명령실행수단일 때의 복수의 인에이블된 처리요소 ; 상기 처리요소에 저장된 데이터 값의 제1부분을 수신하기 위해 복수의 인에이블된 처리요소 중 하나에 연결된 비교도선으로서, 비교명령의 실행에 따라 비교연산을 수행하며, 복수의 인에이블된 처리요소 중 최소한 하나의 처리요소에 의해 제공된 데이터 값의 제1부분이 제1논리상태에 있는 경우에는 제1논리상태에 있고, 복수의 인에이블된 처리요소 각각에 의해 제공된 데이터 값의 제1부분이 제2논리상태에 있는 경우에는 제2논리상태에 있는 비교도선 ; 을 구비하는 데이터 프로세서.

청구항 177

제176항에 있어서, 상기 복수의 인에이블된 처리요소 각각에 저장된 데이터 값은 n 이 양의 정수일 때 소정의 비트 폭 n 을 갖는 데이터 값인 것을 특징으로 하는 데이터 프로세서.

청구항 178

제177항에 있어서, 상기 데이터 값의 제1부분은 데이터 값의 최상위 비트인 것을 특징으로 하는 데이터 프로세서.

청구항 179

제176항에 있어서, 상기 복수의 인에이블 값 각각은 복수의 인에이블된 처리요소 중 하나에 해당할 때, 복수의 인에이블 값을 저장하는 제1저장회로를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 180

제177항에 있어서, 상기 비교도선의 제1논리상태와 제2논리상태 중 하나에 따라서 복수의 인에이블 값의 어떤 부분을 선택적으로 수정하는 수정회로를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 181

제180항에 있어서, 상기 복수의 인에이블된 처리요소 중 하나는 복수의 인에이블 값 중 해당하는 값 하나나 참값을 가지는 경우에는 이 처리요소에 저장된 데이터 값을 비교도선에 공급하도록 인에이블되는 처리요소인 것을 특징으로 하는 데이터 프로세서.

청구항 182

제180항에 있어서, 상기 복수의 인에이블된 처리요소 중 하나는 복수의 인에이블 값 중 해당하는 값 하나나 거짓인 경우에는 비교명령의 실행에 참여하지 못하는 처리요소인 것을 특징으로 하는 데이터 프로세서.

청구항 183

제180항에 있어서, 상기 복수의 인에이블 값은 복수의 인에이블된 처리요소를 선택적으로 인에이블하여 제1디지털 데이터 값을 비교도선에 공급하는 것을 특징으로 하는 데이터 프로세서.

청구항 184

제183항에 있어서, 상기 수정회로는, 비교도선에 제1논리상태에 있으며, 복수의 인에이블 값 중 하나에 해당하는 복수의 인에이블된 처리요소 중 하나의 처리요소에 의해 제공된 데이터 값의 제1부분이 제1논리상태에 있는 경우에는 복수의 인에이블 값 중 하나를 수정하지 않고, 비교도선이 제2논리상태에 있으며, 복수의 인에이블 값 중 하나에 해당하는 복수의 인에이블된 처리요소 중 하나의 처리요소에 의해 제공된 데이터 값의 제1부분이 제2논리상태에 있는 경우에는 상기 복수의 인에이블 값 중 하나를 수정하지 않는 수정회로인 것을 특징으로 하는 데이터 프로세서.

청구항 185

제183항에 있어서, 상기 수정회로는, 비교도선이 제1논리상태에 있으며, 복수의 인에이블 값 중 하나에 해당하는 복수의 인에이블된 처리요소 중 하나의 처리요소에 의해 제공된 데이터 값의 제1부분이 제2논리상태에 있는 경우에는 복수의 인에이블 값 중 하나를 수정하는 수정회로인 것을 특징으로 하는 데이터 프로세서.

청구항 186

제176항에 있어서, 상기 비교명령은 복수의 처리요소 중에서 데이터 값의 제1부분에 최대값을 가지는 제1부분을 결정하는 명령인 것을 특징으로 하는 데이터 프로세서.

청구항 187

제176항에 있어서, 상기 복수의 인에이블된 처리요소 각각은, 데이터 값의 제1부분의 보수를 취하여 비교도선에 제1보수 데이터 값을 제공하는 논리회로를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 188

제187항에 있어서, 상기 비교명령은 복수의 인에이블된 처리요소 중에서 데이터 값의 제1부분에 최소값을 가지는 제1부분을 결정하는 명령인 것을 특징으로 하는 데이터 프로세서.

청구항 189

제187항에 있어서, 상기 데이터 값의 제1부분은 부호비트인 것을 특징으로 하는 데이터 프로세서.

청구항 190

제176항에 있어서, 상기 제어값은 비교명령이 부호달린 연산과 부호없는 연산 중 하나를 사용하고 있음을 나타내는 제어값일 때, 이 제어값을 저장하는 제어저장회로로서, 명령실행수단과 연결된 제어저장회로를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 191

제176항에 있어서, 상기 비교도선과 연결된 스위치 회로와, 스위치 회로가 제1집적회로 핀을 비교도선과 선택적으로 연결시킬 때, 스위치 회로와 연결된 제1집적회로 핀을 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 192

제191항에 있어서, 상기 스위치 회로는 비교명령에 따라 제1집적회로 핀을 비교도선과 선택적으로 연결시키는 스위치 회로인 것을 특징으로 하는 데이터 프로세서.

청구항 193

제192항에 있어서, 회부 데이터 프로세서의 제1외부집적회로 핀과 연결된 제1집적회로 핀으로서, 제1집적회로 핀은 스위치 회로가 제1집적회로 핀을 비교도선과 선택적으로 연결시키는 경우에는 비교도선을 제1외부집적회로 핀과 연결시키는 제1집적회로 핀인 것을 특징으로 하는 데이터 프로세서.

청구항 194

제193항에 있어서, 상기 제1집적회로 핀은 데이터 프로세서가 제1동작모드에 있는 경우에는 제어정보를 전송하고, 데이터 프로세서가 제2동작모드에 있는 경우에는 비교도선에 선택적으로 연결되는 제1집적회로 핀인 것을 특징으로 하는 데이터 프로세서.

청구항 195

제191항에 있어서, 상기 스위치 회로와 연결된 제2집적회로 핀을 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 196

데이터 프로세서에서 복수의 데이터 값을 비교하는 방법으로서, 비교명령을 수신하는 단계 ; 복수의 제어신호를 제공하기 위해 비교명령을 해독하는 단계 ; 복수의 처리요소 중 인에이블된 부분의 처리요소 각각은 그곳에 저장된 데이터 값의 제1부분을 비교라인에 제공할 때, 복수의 처리요소 중에서 어떤 처리요소가 인에이블되어 있는지를 결정하는 단계 ; 복수의 처리요소의 인에이블된 부분의 최소한 하나의 처리요소가 이 처리요소에 저장된 데이터 값의 제1논리상태에 있는 제1부분을 제공하는 경우에는, 제1논리상태에 있는 비교라인을 제공하는 단계 ; 복수의 처리요소의 인에이블된 부분의 최소한 하나의 처리요소가 이 처리요소에 저장된 데이터 값의 제2논리상태에 있는 제1부분을 제공하는 경우에는, 제2논리상태에 있는 비교라인을 제공하는 단계 ; 복수의 인에이블 비트 각각은 복수의 처리요소 중에서 하나의 인에이블된 부분에 해당할 때, 비교라인의 논리상태에 따라 복수의 인에이블 비트를 선택적으로 수정하는 단계 ; 로 이루어진 복수의 데이터 값 비교방법.

청구항 197

제196항에 있어서, 상기 복수의 인에이블 값 각각은 복수의 처리요소의 인에이블된 해당 부분을 선택적으로 인에이블하여 이 부분에 저장된 디지털 데이터 값을 제공하는 인에이블 값인 것을 특징으로 하는 복수의 데이터 값 비교방법.

청구항 198

제196항에 있어서, 상기 복수의 처리요소의 인에이블된 해당 부분에 의해 제공된 데이터 값의 제1부분이 비교라인과 다른 논리상태에 있는 경우에는 복수의 인에이블 비트 하나를 거짓값을 가지도록 하는 단계를 포함하는 것을 특징으로 하는 복수의 데이터 값 비교방법.

청구항 199

제198항에 있어서, 상기 복수의 처리요소의 인에이블된 해당 부분에 의해 제공된 데이터 값의 제1부분이 비교라인과 같은 논리상태에 있는 경우에는 복수의 인에이블 비트 하나가 참값을 유지하도록 하는 단계를 포함하는 것을 특징으로 하는 복수의 데이터 값 비교방법.

청구항 200

제198항에 있어서, 상기 복수의 처리요소의 인에이블된 부분 각각은 복수의 인에이블 값 중 해당하는 값이 참값을 가질 때, 복수의 처리요소의 인에이블된 부분 각각에 저장된 데이터 값의 제2부분을 액세스하는 단계 ; 상기 복수의 처리요소의 인에이블된 부분 각각에 의해 출력되는 데이터의 제2부분을 비교라인에 제공하는 단계 ; 상기 복수의 처리요소 중 최소한 하나 이상의 인에이블된 부분이 이 부분에 저장된 제1논리상태에 있는 데이터 값의 제2부분을 제공하는 경우에는, 제1논리상태에 있는 비교라인을 제공하는 단계 ; 상기 복수의 처리요소 중 최소한 하나 이상의 인에이블된 부분이 제1논리상태에 있는 데이터 값의 제2부분을 제공하는 경우에는, 제1논리상태에 있는 비교라인을 제공하는 단계 ; 상기 복수의 처리요소 중 인에이블된 부분 각각이 이 부분에 저장된 제2논리상태에 있는 데이터 값의 제2부분을 제공하는 경우에는, 제2논리상태에 있는 비교라인을 제공하는 단계 ; 데이터의 값의 제2부분이 비교라인과 서로 다른 논리상태에 있는 경우에는 복수의 인에이블 비트 하나를 인에이블시키는 단계 ; 를 포함하는 것을 특징으로 하는 복수의 데이터 값 비교방법.

청구항 201

제196항에 있어서, 상기 복수의 처리요소 각각에 저장된 복수의 데이터 값 각각은 n이 양의 정수값일 때 복수의 n비트를 갖는 값인 것을 특징으로 하는 복수의 데이터 값 비교방법.

청구항 202

제201항에 있어서, 상기 복수의 데이터 값 각각의 제1부분은 데이터 값의 최상위 비트인 것을 특징으로 하는 복수의 데이터 값 비교방법.

청구항 203

제202항에 있어서, 1) 상기 복수의 처리요소 중 인에이블된 부분 각각은 복수의 인에이블 값 중에서 참값을 갖는 해당 인에이블 값을 가지는 부분일 때 복수의 처리요소 중 인에이블된 부분 각각에 저장된 복수 비트의 데이터 값 중에서 그 다음 비트를 액세스하는 단계 ; 2) 상기 복수의 처리요소의 인에이블된 부분 각각에 의해 출력된 복수 비트의 데이터 값 중에서 그 다음 비트를 비교라인에 제공하는 단계 ; 3)

상기 복수의 처리요소의 인에이블된 부분 중에서 최소한 한 부분은 이 부분에 저장된 복수 비트의 데이터 값 중 제1논리상태에 있는 그 다음 비트를 제공하는 경우에, 제1논리상태에 있는 비교라인을 제공하는 단계 ; 4) 상기 복수의 처리요소의 인에이블된 부분 각각은 이 부분에 저장된 복수 비트의 데이터 값 중 제2논리상태에 있는 그 다음 비트를 제공하는 경우에, 제2논리상태에 있는 비교라인을 제공하는 단계 ; 5) 복수 비트의 데이터 값 중에서 그 다음 비트가 비교라인과 서로 다른 논리상태에 있는 경우에는, 복수의 인에이블 하나를 인액티브시키는 단계 ; 6) 단계 1) 내지 단계 5)를 소정의 반복횟수만큼 반복하는 단계 ; 을 포함하는 것을 특징으로 하는 복수의 데이터 값 비교방법.

청구항 204

제203항에 있어서, 상기 소정의 반복횟수는 (n-1)인 것을 특징으로 하는 복수의 데이터 값 비교방법.

청구항 205

제203항에 있어서, 상기 소정의 반복횟수는 (n-1)보다 작은 것을 특징으로 하는 복수의 데이터 값 비교방법.

청구항 206

제203항에 있어서, 상기 소정의 반복횟수는 비교명령에 명시되는 있는 것을 특징으로 하는 복수의 데이터 값 비교방법.

청구항 207

제203항에 있어서, 상기 비교명령은 최대값을 갖는 부호없는 데이터 값을 저장하는 복수의 처리요소의 제1부분을 결정하는 비교명령인 것을 특징으로 하는 복수의 데이터 값 비교방법.

청구항 208

제203항에 있어서, 상기 복수의 처리요소 각각에 의해 제공된 데이터 값의 최상위 비트를 비교라인에 제공하기 전에 인액티브로 하는 단계를 포함하는 것을 특징으로 하는 복수의 데이터 값 비교방법.

청구항 209

제208항에 있어서, 상기 비교명령은, 최대값을 갖는 2의 보수 부호있는 데이터 값을 저장하는 복수의 처리요소에 있는 처리요소의 제2부분을 결정하는 비교명령인 것을 특징으로 하는 복수의 데이터 값 비교방법.

청구항 210

제203항에 있어서, 상기 복수의 처리요소 각각에 의해 제공된 복수 비트의 데이터 값 각각은 복수 비트 각각을 비교라인에 제공하기 전에 인액티브시키는 단계를 포함하는 것을 특징으로 하는 복수의 데이터 값 비교방법.

청구항 211

제210항에 있어, 상기 비교명령은, 최소값을 갖는 부호없는 데이터 값을 저장하는 복수의 처리요소에 있는 처리요소의 제3부분을 결정하는 비교명령인 것을 특징으로 하는 복수의 데이터 값 비교방법.

청구항 212

제203항에 있어서, 복수의 처리요소 각각에 의해 제공된 복수 비트의 데이터 값의 부분은 데이터 값의 최상위 비트를 가지지 않을 때, 이 부분을 비교라인에 제공하기 전에 인액티브시키는 단계를 포함하는 것을 특징으로 하는 데이터 값 비교방법.

청구항 213

제212항에 있어서, 비교명령은, 최소값을 갖는 2의 보수 부호있는 데이터 값을 저장하는 복수의 처리요소에 있는 처리요소의 제4부분을 결정하는 비교명령인 것을 특징으로 하는 데이터 값 비교방법.

청구항 214

데이터 프로세서 복수개가 배열로 구성된 데이터 처리시스템으로서, 상기 복수의 데이터 프로세서 각각은, 비교명령을 저장하는 저장수단 ; 비교명령을 해독하여 복수의 제어신호를 제공하며, 비교명령을 수신하기 위해 저장수단과 연결된 명령해독회로 ; 복수의 제어신호에 따라 비교명령의 실행을 제어하며, 복수의 제어신호를 수신하기 위해 명령해독회로와 연결된 명령실행수단 ; 명령실행수단은 비교명령의 실행동안에 복수의 인에이블된 처리요소를 선택하여 이 처리요소에 저장된 데이터 값의 제1비트를 출력하는 수단일 때, 복수의 인에이블된 처리요소 각각은 명령실행수단과 연결되어 있으며 데이터 값을 저장하는 처리요소인 복수의 인에이블된 처리요소 ; 복수의 인에이블된 처리요소 각각에 저장된 데이터 값의 제1비트를 수신하기 위해 복수의 인에이블된 처리요소 각각과 연결된 비교도선으로서, 비교명령의 실행에 따라 비교연산을 수행하고, 복수의 인에이블된 처리요소 중 최소한 하나의 처리요소에 의해 제공된 데이터 값의 제1비트가 제1논리상태에 있는 경우에는 제1논리상태에 있으며, 복수의 인에이블된 처리요소 각각에 의해 제공된 데이터 값의 제1비트가 제2논리상태에 있는 비교도선 ; 을 구비하며, 상기 복수의 데이터 프로세서 각각은 정보를 통신하기 위해서 인접한 데이터 프로세서와 선택적으로 연결되며, 복수의 데이터 프로세서 중 제1데이터 프로세서의 비교도선은 복수의 데이터 프로세서 중 제2데이터 프로세서의 비교도선과 연결되어 있는 데이터 프로세서일 때, 데이터 프로세서 복수개가 배열로 구성된 데이터 처리시스템.

청구항 215

제214항에 있어서, 상기 배열은 최소한 하나의 행과 하나의 열로 구성된 배열인 것을 특징으로 하는 데이터 처리 시스템.

청구항 216

제215항에 있어서, 상기 복수의 데이터 프로세서 중 제1데이터 프로세서는 복수의 데이터 프로세서 중 제2데이터 프로세서와 배열의 같은 행에 있는 것을 특징으로 하는 데이터 처리 시스템.

청구항 217

제215항에 있어서, 상기 복수의 데이터 프로세서 중 제1데이터 프로세서는 복수의 데이터 프로세서 중 제2데이터 프로세서와 배열의 같은 열에 있는 것을 특징으로 하는 데이터 처리 시스템.

청구항 218

제214항에 있어서, 상기 복수의 인에이블 값 각각이 복수의 인에이블된 처리요소 중 하나와 상응할 때, 복수의 인에이블 값을 저장하는 제1저장회로를 구비하는 것을 특징으로 하는 데이터 처리 시스템.

청구항 219

제218항에 있어서, 상기 비교도선의 제1논리상태와 제2논리상태 중 하나에 따라 복수의 인에이블 값 각각을 선택적으로 수정하는 수정회로를 구비하는 것을 특징으로 하는 데이터 처리 시스템.

청구항 220

제219항에 있어서, 상기 복수의 인에이블된 처리요소 각각은 복수의 인에이블 값 중 해당하는 값 하나가 참값인 경우에는 비교명령의 실행에 참여하는 처리요소인 것을 특징으로 하는 데이터 처리 시스템.

청구항 221

제219항에 있어서, 상기 복수의 인에이블된 처리요소 각각은 복수의 인에이블 값 중 해당하는 값 하나가 거짓인 경우에는 비교명령의 실행에 참여하지 못하는 처리요소인 것을 특징으로 하는 데이터 처리 시스템.

청구항 222

제219항에 있어서, 상기 수정회로는, 비교도선이 제1논리상태에 있는 경우와 복수의 인에이블된 처리요소 중 복수의 인에이블 값 하나에 상응하는 처리요소에 의해 제공된 데이터 값의 제1비트가 제2논리 상태에 있는 경우에는, 복수의 인에이블 값 하나를 거짓으로 하는 수정회로인 것을 특징으로 하는 데이터 처리 시스템.

청구항 223

제219항에 있어서, 상기 비교명령은, 복수의 데이터 프로세서의 인에이블된 부분 각각에 있는 복수의 인에이블된 처리요소의 제1부분으로서, 데이터 값의 제1비트에 최대값을 가지는 제1부분을 결정하는 비교명령인 것을 특징으로 하는 데이터 처리 시스템.

청구항 224

제219항에 있어서, 상기 복수의 인에이블된 처리요소 각각은 데이터 값의 최소한 일부분을 선택적으로 보수로 하여 제1보수 데이터 값을 비교도선에 제공하는 논리회로를 구비하는 처리요소인 것을 특징으로 하는 데이터 처리 시스템.

청구항 225

제224항에 있어서, 데이터 값의 상기 일부분은 데이터 값의 최상위 비트인 것을 특징으로 하는 데이터 처리 시스템.

청구항 226

제214항에 있어서, 상기 데이터 프로세서 각각은, 비교도선과 연결된 스위치회로와, 스위치회로는 집적회로 핀을 도교도선과 선택적으로 연결할 때의 스위치회로와 연결된 집적회로 핀을 구비하는 데이터 프로세서인 것을 특징으로 하는 데이터 처리 시스템.

청구항 227

제226항에 있어서, 상기 스위치회로는 전역 비교명령(global comparison instruction)에 따라 집적회로 핀을 비교도선과 선택적으로 연결하는 스위치회로인 것을 특징으로 하는 데이터 처리 시스템.

청구항 228

제227항에 있어서, 상기 복수의 데이터 프로세서 중 제1데이터 프로세서의 제1집적회로 핀은 복수의 데이터 프로세서 중 제2데이터 프로세서의 제2집적회로 핀과 연결되며, 제1집적회로 핀은 스위치회로가 제1집적회로 핀을 비교도선과 선택적으로 연결하는 경우에는 비교도선을 제2집적회로 핀과 연결하는 집적회로 핀인 것을 특징으로 하는 데이터 처리 시스템.

청구항 229

제228항에 있어서, 상기 제1집적회로 핀은 복수의 데이터 프로세서 중 제1데이터 프로세서가 제1동작모드에 있는 경우에는 제어정보를 전송하며, 복수의 데이터 프로세서 중 제1데이터 프로세서가 제2동작모드에 있는 경우에는 비교도선과 선택적으로 연결되는 집적회로 핀인 것을 특징으로 하는 데이터 처리 시스템.

청구항 230

데이터 프로세서에서 명령을 실행하는 방법으로서, 명령을 수신하는 단계 ; 복수의 제어신호를 제공하기 위해 명령을 해독하는 단계 ; 제1저장위치로부터 제1디지털 데이터 값을 액세스하는 단계 ; 제2저장위치로부터 제2디지털 데이터 값을 액세스하는 단계 ; 더 큰 값과 작은 값을 결정하고 선택하기 위해서 제2 디지털 데이터 값과 제1디지털 데이터 값을 비교하는 단계 ; 더 큰 값과 더 작은 값 중 하나를 목적 저장회로에 저장하는 단계 ; 로 이루어진 데이터 프로세서내에서의 명령실행방법.

청구항 231

제230항에 있어서, 상기 비교하는 단계는, 뺄셈결과를 얻기 위해 제1디지털 데이터 값에서 제2디지털 데이터 값을 빼는 단계 ; 상기 뺄셈의 결과가 음의 값인 경우에는 빌림값을 참값으로 하는 단계 ; 상기 뺄셈의 결과가 양의 값인 경우에는 빌림값을 거짓값으로 하는 단계 ; 로 이루어진 것을 특징으로 하는 명령실행방법.

청구항 232

제231항에 있어서, 상기 제2디지털 데이터 값과 제1디지털 데이터 값은 명령의 실행에 따라 더 작은 값을 결정하고 선택하기 위해 비교되는 값인 것을 특징으로 하는 명령실행방법.

청구항 233

제232항에 있어서, 상기 빌림값이 거짓인 경우에는 제2디지털 데이터 값을 목적 저장회로에 저장하는 단계를 포함하는 것을 특징으로 하는 명령실행방법.

청구항 234

제233항에 있어서, 상기 목적 저장회로는 제1저장위치인 것을 특징으로 하는 명령실행방법.

청구항 235

제231항에 있어서, 상기 제2디지털 데이터 값과 제1디지털 데이터 값은 명령의 실행에 따라 더 큰 값을 결정하고 선택하기 위해 비교되는 값인 것을 특징으로 하는 명령실행방법.

청구항 236

제235항에 있어서, 상기 빌림값이 참인 경우에는 제2디지털 데이터 값을 목적 저장회로에 저장하는 단계를 포함하는 것을 특징으로 하는 명령실행방법.

청구항 237

제230항에 있어서, 제1디지털 데이터 값과 제2디지털 데이터 값은 부호없는 데이터 값, 부호있는 데이터 값 중 하나인 것을 특징으로 하는 명령실행방법.

청구항 238

제230항에 있어서, 상기 제1디지털 데이터 값은 제1스칼라값이고, 상기 제2디지털 데이터 값은 제2스칼라 데이터 값인 것을 특징으로 하는 명령실행방법.

청구항 239

제230항에 있어서, 상기 제1디지털 데이터 값은 제1벡터값의 일부분이고, 상기 제2디지털 데이터 값은 제2벡터값의 일부분인 것을 특징으로 하는 명령실행방법.

청구항 240

제231항에 있어서, 명령을 수신하기 전에 실행되었던 데이터 처리 연산의 결과를 나타내는 제1확장비트와 제2확장비트를 저장위치로부터 액세스하는 단계 ; 상기 비교수단이 비교단계를 실행하도록 비교수단을 선택적으로 인에이블시키기 위해 제1확장비트와 제2확장비트를 사용하는 단계 ; 상기 비교단계의 결과에 따라 제1확장비트와 제2확장비트를 사용하는 단계 ; 상기 비교단계의 결과에 따라 제1확장비트와 제2확장비트를 선택적으로 수정하는 단계 ; 를 포함하는 것을 특징으로 하는 명령실행방법.

청구항 241

제240항에 있어서, 상기 제1확장비트와 제2확장비트는 제1스태터스 상태(status state)에서는 내정상태에 있으며, 상기 제1확장비트와 제2확장비트는 제1확장비트와 제2확장비트가 제2스태터스 상태에 있는 경우에는 제2디지털 데이터 값이 제1디지털 데이터 값보다 작다는 것을 나타내며, 상기 제1확장비트와 제2확장비트는 제1확장비트와 제2확장비트가 제3스태터스 상태에 있는 경우에는 제2디지털 데이터 값이 제1디지털 데이터 값보다 크다는 것을 나타내며, 상기 제1확장비트와 제2확장비트는 제1확장비트와 제1확장비트가 제4스태터스 상태에 있는 경우에는 제2디지털 데이터 값과 제1디지털 데이터 값이 같다는 것을 나타낼 때, 상기 제1확장비트와 제2확장비트는 데이터 프로세서의 복수의 스태터스 상태를 나타내는

비트인 것을 특징으로 하는 명령실행방법.

청구항 242

제241항에 있어서, 상기 제1확장비트와 제2확장비트가 제1스태터스 상태와 제4스태터스 상태 중 한 상태에 있는 경우에는 상기 비교단계를 실행하도록 비교수단을 인에이블시키는 단계를 포함하는 것을 특징으로 하는 명령실행방법.

청구항 243

제241항에 있어서, 상기 제1확장비트와 제2확장비트는 제1확장비트와 제2확장비트가 제1스태터스 상태에 있는 경우에는, 제1디지털 데이터 값을 제1다중-바이트 데이터 값의 최상위 비트이고 제2디지털 데이터 값은 제2다중-바이트 데이터 값의 최상위 바이트임을 나타내는 비트인 것을 특징으로 하는 명령실행방법.

청구항 244

제241항에 있어서, 상기 제1확장비트와 제2확장비트는 제1확장비트와 제2확장비트가 제4스태터스 상태에 있는 경우에는, 두개의 똑같은 데이터 값을 비교하였던 이전 명령에 따라 데이터 처리 연산이 실행되었음을 나타내는 비트인 것을 특징으로 하는 명령실행방법.

청구항 245

제241항에 있어서, 상기 명령은 예비명령과 종료명령 중 하나로서, 예비명령은 제1확장비트와 제2확장비트를 수정하여 비교단계의 결과를 반영하는 명령이고, 종료명령은 제1확장비트와 제2확장비트를 내정상태에 있도록 수정하는 명령인 것을 특징으로 하는 명령실행방법.

청구항 246

제245항에 있어서, 상기 제1확장비트와 제2확장비트가 제2스태터스 상태(status state)에 있는 경우에는 제1확장비트를 거짓으로 하고 제2확장비트는 참으로 하는 단계 ; 상기 제1확장비트와 제2확장비트가 제3스태터스 상태에 있는 경우에는 제1확장비트를 참으로 하고 제2확장비트는 거짓으로 하는 단계 ; 상기 제1확장비트와 제2확장비트가 제4스태터스 상태에 있는 경우에는 제1확장비트와 제2확장비트를 참으로 하는 단계 ; 를 포함하는 것을 특징으로 하는 명령실행방법.

청구항 247

명령을 저장하는 명령저장회로 ; 복수의 제어신호를 제공하기 위해 명령을 해독하는 해독기로서 명령을 수신하기 위해 명령저장회로와 연결된 해독기 ; 제1디지털 데이터 값을 저장하는 제1저장회로 ; 제2디지털 데이터 값을 저장하는 제2저장회로 ; 제1디지털 데이터 값을 수신하기 위해 제1저장회로와 연결된 제1입력을 가지며, 제2디지털 데이터 값을 수신하기 위한 제2입력을 가지고, 제1디지털 데이터 값과 제2디지털 데이터 값중에서 어떤 값이 큰 값이고 어떤 값이 작은 값인지를 나타내는 결과를 제공하는 출력을 가지는 비교수단으로서, 제1디지털 데이터값과 제2디지털 데이터 값을 비교하는 비교수단 ; 제2디지털 데이터 값 이 더 큰 값과 작은 값 중 하나인 경우에는 제2디지털 데이터 값을 제1저장회로에 선택적으로 제공하는 선택수단으로서, 제1저장회로와, 제2저장회로에 연결된 선택수단 ; 을 구비하는 데이터 프로세서.

청구항 248

제247항에 있어서, 상기 비교수단은 제1디지털 데이터 값에서 제2디지털 데이터 값을 빼서 결과를 만들어 내는 비교수단인 것을 특징으로 하는 데이터 프로세서.

청구항 249

제247항에 있어서, 제1스태터스 상태(status state)는 데이터 프로세서가 내정상태(default state)에 있음을 나타내고, 제2스태터스 상태는 제2디지털 데이터 값이 제1디지털 데이터 값 보다 작음을 나타내며, 제3스태터스 상태는 제2디지털 데이터 값이 제1디지털 데이터 값보다 큼을 나타내고, 제4스태터스 상태는 제2디지털 데이터 값이 제1디지털 데이터 값과 같음을 나타낼 때, 데이터 프로세서는 상기 복수의 스테터스 상태 중 한 상태에 있는 것을 특징으로 하는 데이터 프로세서.

청구항 250

제247항에 있어서, 상기 명령이 제1디지털 데이터 값과 제2디지털 값중에서 어떤 값이 더 큰지를 결정하고, 데이터 프로세서가 제3스태터스 상태에 있는 경우에는, 상기 선택수단은 제2디지털 데이터 값을 제1저장회로에 공급하는 선택수단인 것을 특징으로 하는 데이터 프로세서.

청구항 251

제247항에 있어서, 상기 명령이 제1디지털 데이터 값과 제2디지털 데이터 값중에서 어떤 값이 더 작은지를 결정하고, 데이터 프로세서가 제2스태터스 상태에 있는 경우에는, 상기 선택수단은 제2디지털 데이터 값을 제1저장회로에 공급하는 선택수단인 것을 특징으로 하는 데이터 프로세서.

청구항 252

제247항에 있어서, 상기 명령의 실행 전에 데이터 프로세서의 스테터스 상태를 나타내는 데 사용되는 제1확장비트와 제2확장비트를 저장하는 제1제어 레지스터를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 253

제252항에 있어서, 상기 제1확장비트와 제2확장비트는, 데이터 프로세서가 제1스태터스 상태에 있는 경우에는 제1디지털 데이터 값이 제1다중-바이트 데이터 값의 최상위 바이트이며 제2디지털 데이터 값이 제2다중-바이트 데이터 값의 최상위 바이트임을 나타내는 비트인 것을 특징으로 하는 데이터 프로세서.

청구항 254

제252항에 있어서, 상기 제1확장비트와 제2확장비트는, 제1확장비트와 제2확장비트가 제4스태터스 상태에 있는 경우에는 데이터 처리 연산이 두 개의 같은 데이터 값을 비교한 이전의 명령에 따라 실행되었던 연산임을 나타내는 비트인 것을 특징으로 하는 데이터 프로세서.

청구항 255

제252항에 있어서, 상기 결과값 및 이 결과값에 대응하는 빌림값을 수신하기 위해 상기 비교수단과 연결되며, 제1확장비트와 제2확장비트를 수신하기 위해 제1제어회로와 연결된 수정회로로서, 제1확장비트와 제2확장비트를 선택적으로 수정하는 수정회로를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 256

제255항에 있어서, 상기 명령은 예비명령과 종료명령 중 하나로서, 예비명령은 제1확장비트와 제2확장비트를 수정하며 상기 비교단계의 결과를 반영하고, 종료명령은 제1확장비트와 제2확장비트를 내정상상태에 있도록 수정하는 것을 특징으로 하는 데이터 프로세서.

청구항 257

제256항에 있어서, 상기 종료명령의 실행 동안에 제1디지털 데이터 값은 제1다중-바이트 값의 최하위 바이트이고, 제2디지털 데이터 값은 제2다중-바이트 값의 최하위 바이트인 것을 특징으로 하는 데이터 프로세서.

청구항 258

제256항에 있어서, 데이터 프로세서가 제2스태터스 상태에 있는 경우에는 제1확장비트는 거짓이고 제2확장비트는 참인 것을 특징으로 하는 데이터 프로세서.

청구항 259

제256항에 있어서, 데이터 프로세서가 제3스태터스 상태에 있는 경우에는 제1확장비트는 참이고 제2확장비트는 거짓인 것을 특징으로 하는 데이터 프로세서.

청구항 260

제256항에 있어서, 데이터 프로세서가 제4스태터스 상태에 있는 경우에는 제1확장비트와 제2확장비트가 모두 참인 것을 특징으로 하는 데이터 프로세서.

청구항 261

제247항에 있어서, 상기 제1디지털 데이터 값과 제2디지털 데이터 값 각각이 부호있는 데이터 값인 경우에는 제1논리상태에 있으며, 제1디지털 데이터 값과 제2디지털 데이터 값 각각이 부호없는 데이터 값인 경우에는 제2논리상태에 있는 부호 제어값을 저장하기 위한 제어 레지스터를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 262

데이터 처리명령을 저장하는 명령저장회로 ; 데이터 처리명령에 따라 데이터 처리연산을 실행하며, 데이터 처리명령을 수신하기 위해 명령저장회로와 연결된 명령실행수단 ; 데이터 처리연산의 실행 동안에 사용되는 확장값 복수개를 저장하는 저장수단으로서, 복수의 확장값 각각을 통신하기 위해 명령저장수단과 연결된 저장수단 ; 데이터 처리명령의 실행 동안에 복수의 확장값 각각을 조건부로 수정하는 수정수단으로서, 데이터 처리명령에 따라 조건부로 수정되는 복수의 확장값 각각을 통신하기 위해 저장수단과 연결된 수정수단 ; 을 구비하는 데이터 프로세서.

청구항 263

제262항에 있어서, 상기 복수의 확장값은, 상태정보값을 나타내기 위한 제1확장비트와, 데이터 처리명령의 소스 오퍼랜드와 대응하는 부호값을 나타내기 위한 제2확장비트로 구성된 확장값인 것을 특징으로 하는 데이터 프로세서.

청구항 264

제263항에 있어서, 상기 데이터 처리명령은 예비명령과 종료명령 중 하나로서, 예비명령은 데이터 처리명령의 결과에 따라 복수의 확장값 각각을 수정하는 명령이며, 종료명령은 복수의 확장값 각각의 내정상상태에 있도록 복수의 확장값 각각을 수정하는 명령일 때의 데이터 처리명령인 것을 특징으로 하는 데이터 프로세서.

청구항 265

제264항에 있어서, 데이터 처리연산의 결과는, 결과에 대응하는 오버플로우 값이 참인 상태이고 데이터 처리명령이 종료명령인 경우에는 상한 경계값과 하한 경계값 중 하나로 대체되며, 데이터 처리연산의 결

과는, 결과에 대응하는 오버플로우 값이 참인 상태이고 데이터 처리명령이 예비명령인 경우에는 대체되지 않을 때, 상기 예비명령은 비포화명령이고 상기 종료명령은 포화명령인 것을 특징으로 하는 데이터 프로세서.

청구항 266

제263항에 있어서, 상기 제1확장비트와 제2확장비트는 데이터 처리명령이 종료명령인 경우에는 거짓인 것을 특징으로 하는 데이터 프로세서.

청구항 267

제263항에 있어서, 상기 제1확장비트와 제2확장비트는, 데이터 처리명령이 예비명령인 경우에는 데이터 처리명령의 실행에 따라 수정되는 것을 특징으로 하는 데이터 프로세서.

청구항 268

제263항에 있어서, 상기 데이터 처리연산은 덧셈연산과 뺄셈연산 중 하나인 것을 특징으로 하는 데이터 프로세서.

청구항 269

제268항에 있어서, 상기 제1확장비트는 상기 데이터 처리연산이 덧셈연산인 경우에는 캐리값이며, 상기 데이터 처리연산이 뺄셈연산인 경우에는 빌림값을 특징으로 하는 데이터 프로세서.

청구항 270

제263항에 있어서, 상기 데이터 처리명령은 소스 오퍼랜드를 생성하며, 소스 오퍼랜드는 제2확장비트에 기초하는 것을 특징으로 하는 데이터 프로세서.

청구항 271

제263항에 있어서, 상기 데이터 처리연산은 증가연산이나 감소연산인 것을 특징으로 하는 데이터 프로세서.

청구항 272

제271항에 있어서, 상기 제1확장비트는 상기 데이터 처리연산이 증가연산인 경우에는 캐리값이며, 상기 데이터 처리연산이 감소연산인 경우에는 빌림값인 것을 특징으로 하는 데이터 프로세서.

청구항 273

제271항에 있어서, 상기 제2확장비트는 증가연산 및 감소연산 동안에는 사용되지 않는 것을 특징으로 하는 데이터 프로세서.

청구항 274

제262항에 있어서, 상기 데이터 처리명령은 목적 오퍼랜드와 소스 오퍼랜드를 가지고 있으며, 상기 명령 실행수단은 데이터 처리명령을 따라 목적 오퍼랜드와 소스 오퍼랜드를 비교하는 수단인 것을 특징으로 하는 데이터 프로세서.

청구항 275

제274항에 있어서, 상기 복수의 확장값은 선택적으로 수정되어서, 상기 데이터 처리명령의 실행 동안에 사용되는 목적 오퍼랜드와 소스 오퍼랜드간의 상대적인 관계를 나타내는 값인 것을 특징으로 하는 데이터 프로세서.

청구항 276

제275항에 있어서, 상기 복수의 확장비트는, 1) 목적 오퍼랜드가 소스 오퍼랜드보다 큼, 2) 목적 오퍼랜드가 소스 오퍼랜드보다 작음, 3) 목적 오퍼랜드가 소스 오퍼랜드와 같음, 중에서 하나의 조건을 나타내는 비트인 것을 특징으로 하는 데이터 프로세서.

청구항 277

제276항에 있어서, 상기 복수의 확장비트는 상기 데이터 처리연산의 실행 동안에는 내정상태에 있는 것을 특징으로 하는 데이터 프로세서.

청구항 278

제262항에 있어서, 상기 데이터 처리명령은 상기 명령실행수단이 데이터 처리명령의 소스 오퍼랜드를 사용하여 왼쪽 시프트 연산을 실행하도록 명령실행수단을 인에이블시키는 데이터 처리명령인 것을 특징으로 하는 데이터 프로세서.

청구항 279

제278항에 있어서, 상기 복수의 확장값 중 제1확장값은 소스 오퍼랜드의 최하위 비트로 시프트되는 값인 것을 특징으로 하는 데이터 프로세서.

청구항 280

제262항에 있어서, 상기 데이터 처리명령은 명령실행수단이 데이터 처리명령의 소스 오퍼랜드를 사용하여 오른쪽 시프트 연산을 실행하도록 명령실행수단을 인에이블시키는 데이터 처리명령인 것을 특징으로 하는 데이터 프로세서.

청구항 281

제280항에 있어서, 상기 복수의 확장값은 시프트 데이터 값을 나타내기 위한 제1확장비트와, 소스 오퍼랜드의 제1비트를 나타내기 위한 제2확장비트를 포함하는 확장값인 것을 특징으로 하는 데이터 프로세서.

청구항 282

제281항에 있어서, 상기 제2확장비트가 참인 경우에는 소스 오퍼랜드의 이전 최상위 바이트의 최하위 비트는 시프트되어 제1확장비트에 시프트 데이터 값으로서 저장되는 비트인 것을 특징으로 하는 데이터 프로세서.

청구항 283

제281항에 있어서, 상기 제2확장비트가 거짓인 경우에는, 부호값이 시프트되어 소스 오퍼랜드의 제1비트의 최상위 비트로 되는 것을 특징으로 하는 데이터 프로세서.

청구항 284

제262항에 있어서, 상기 데이터 처리명령은 상기 명령실행수단이 부정연산(negation operation)을 실행하도록 상기 명령실행수단을 인에이블시키는 명령인 것을 특징으로 하는 데이터 프로세서.

청구항 285

제284항에 있어서, 상기 복수의 확장비트 중 제1확장비트는 상기 부정연산의 실행 도중에 빌림이 발생하였음을 나타내는 확장비트인 것을 특징으로 하는 데이터 프로세서.

청구항 286

제284항에 있어서, 상기 복수의 확장비트는 상기 부정연산의 실행중에는 내정상태에 있는 것을 특징으로 하는 데이터 프로세서.

청구항 287

데이터 프로세서내에서 산술명령을 실행하는 방법으로서, 소스 오퍼랜드와 목적 오퍼랜드를 가지는 산술명령을 수신하는 단계 ; 복수의 제어신호를 제공하기 위해 산술명령을 해독하는 단계 ; 상태정보값을 제공하는 제1확장비트를 제1저장위치로 부터 액세스하는 단계 ; 산술명령의 소스 오퍼랜드와 대응하는 부호값을 제공하는 제2확장비트를 제2저장위치로부터 액세스하는 단계 ; 제1확장비트와 제2확장비트는 결과를 제공하기 위해 산술연산의 실행 동안에 사용되는 확장비트일 때, 상기 복수의 제어신호에 따라 산술연산을 실행하는 단계 ; 상기 결과에 대응하는 수정된 상태정보값을 저장하기 위해 제1확장비트를 선택적으로 수정하는 단계 ; 상기 결과에 대응하는 수정된 부호값을 저장하기 위해 제2확장비트를 선택적으로 수정하는 단계 ; 로 이루어진 산술명령 실행방법.

청구항 288

제287항에 있어서, 상기 산술연산은 예비 덧셈연산과 종료 덧셈연산 중 하나로서, 상기 예비 덧셈연산은 제1확장비트와 제2확장비트를 모두 수정하여 상기 결과를 반영하며, 상기 종료 덧셈연산은 제2확장비트와 제2확장비트를 내정상태가 되도록 하는 연산인 것을 특징으로 하는 산술명령 실행방법.

청구항 289

제288항에 있어서, 상기 제1확장비트는 캐리값인 것을 특징으로 하는 산술명령 실행방법.

청구항 290

제288항에 있어서, 상기 예비 덧셈연산은 비포화 덧셈연산이고, 상기 종료 덧셈연산은 포화 덧셈연산으로서, 데이터 연산의 결과는, 결과에 상응하는 오버플로우 값이 참인 상태이고 상기 데이터 처리명령이 종료 덧셈연산인 경우에는 상한 경계값이 하한 경계값으로 대체되며, 데이터 연산의 결과는, 결과에 상응하는 오버플로우 값이 참인 상태이고 상기 데이터 처리명령이 예비 덧셈연산인 경우에는 대체되지 않는 것을 특징으로 하는 산술명령 실행방법.

청구항 291

제289항에 있어서, 상기 제2확장비트를 사용하여 소스 오퍼랜드를 생성하는 단계 ; 결과를 생성하기 위해 소스 오퍼랜드를 목적 오퍼랜드에 더하는 단계 ; 상기 산술연산이 예비 덧셈연산인 경우에는, 상기 결과가 캐리값을 수정하는지 수정하지 않는지를 나타내기 위해 상기 제1확장비트를 수정하는 단계 ; 상기 산술연산이 종료 덧셈연산인 경우에는, 상기 제1확장비트와 상기 제2확장비트를 내정상태로 하는 단계 ; 를 포함하는 것을 특징으로 하는 산술명령 실행방법.

청구항 292

제291항에 있어서, 상기 소스 오퍼랜드의 비트폭은 목적 오퍼랜드 일부의 비트폭보다 작은 비트폭을 갖는 제1데이터 값의 일부인 경우에는, 상기 제2확장비트를 사용하여 소스 오퍼랜드가 생성되는 것을 특징

으로 하는 산술명령 실행방법.

청구항 293

제287항에 있어서, 상기 산술연산은 예비 뺄셈연산과 종료 뺄셈연산 중 하나로서, 상기 예비 뺄셈연산은 상기 제1확장비트와 상기 제2확장비트를 모두 수정하여 상기 결과를 반영하며, 상기 종료 뺄셈연산은 상기 제1확장비트와 상기 제2확장비트를 내정상태가 되도록 하는 연산인 것을 특징으로 하는 산술명령 실행방법.

청구항 294

제293항에 있어서, 상기 제1확장비트는 빌림값인 것을 특징으로 하는 산술명령 실행방법.

청구항 295

제294항에 있어서, 상기 제2확장비트를 사용하여 소스 오퍼랜드를 생성하는 단계 ; 결과를 생성하기 위해 목적 오퍼랜드에서 소스 오퍼랜드를 빼는 단계 ; 상기 산술연산이 예비 뺄셈연산인 경우에는 상기 결과가 빌림값을 수정하는지 수정하지 않는지를 나타내기 위해 상기 제1확장비트를 수정하는 단계 ; 상기 산술연산이 종료 뺄셈연산인 경우에는 상기 제1확장비트와 상기 제2확장비트를 내정상태로 하는 단계 ; 를 포함하는 것을 특징으로 하는 산술명령 실행방법.

청구항 296

데이터 프로세서내에서 비교명령을 실행하는 방법으로서, 소스 오퍼랜드와 목적 오퍼랜드를 가지는 비교명령을 수신하는 단계 ; 제1복수의 제어신호를 제공하기 위해 비교명령을 해독하는 단계 ; 제1저장위치로부터 제1확장비트를 액세스하며, 제2저장위치로부터 제2확장비트를 액세스하는 단계 ; 제1확장비트와 제2확장비트를 모두 비교명령의 실행 중에 선택적일 때, 제1복수의 제어신호에 따라 목적 오퍼랜드를 소스 오퍼랜드와 비교하여 결과를 생성하기 위한 비교단계로 사용 ; 소스 오퍼랜드와 목적 오퍼랜드를 비교하는 상기 비교단계의 현재 결과를 나타내기 위해 제1확장비트와 제2확장비트를 선택적으로 수정하는 단계 ; 로 이루어진 비교명령 실행방법.

청구항 297

제296항에 있어서, 상기 제1확장비트와 상기 제2확장비트는, 비교명령의 실행 중에 사용되는 목적 오퍼랜드와 소스 오퍼랜드의 상대적인 관계를 나타내기 위해 선택적으로 수정되는 비트인 것을 특징으로 하는 비교명령 실행방법.

청구항 298

제297항에 있어서, 조건부명령을 수신하는 단계 ; 제2복수의 제어신호를 제공하기 위해 조건부명령을 해독하는 단계 ; 상기 비교연산은 제1확장비트와 제2확장비트를 사용하여 조건부 결과를 생성하는 연산일 때, 조건부명령에 따라 비교연산을 실행하는 단계 ; 를 포함하는 것을 특징으로 하는 비교명령 실행방법.

청구항 299

제297항에 있어서, 상기 비교명령은 예비 비교명령과 종료 비교명령 중 하나로서 상기 예비 비교명령은 결과를 반영하기 위해 제1확장비트와 제2확장비트를 선택적으로 수정하며, 상기 종료 비교명령은 제1확장비트와 제2확장비트를 내정상태로 하는 명령인 것을 특징으로 하는 비교명령 실행방법.

청구항 300

제297항에 있어서, 제1확장비트와 제2확장비트는, 1) 목적 오퍼랜드가 소스 오퍼랜드보다 큼, 2) 목적 오퍼랜드가 소스 오퍼랜드보다 작음, 3) 목적 오퍼랜드가 소스 오퍼랜드와 같음, 중 하나를 나타내기 위해 선택적으로 수정되는 비트인 것을 특징으로 하는 비교명령 실행방법.

청구항 301

제297항에 있어서, 상기 제1확장비트와 제2확장비트는 소스 오퍼랜드를 목적 오퍼랜드와 비교하는 상기 비교단계 다음에는 내정상태에 놓이는 비트인 것을 특징으로 하는 비교명령 실행방법.

청구항 302

데이터 프로세서내에서 시프트명령을 실행하는 방법으로서, 소스 오퍼랜드를 갖는 시프트명령을 수신하는 단계 ; 복수의 제어신호를 제공하기 위해 시프트명령을 해독하는 단계 ; 제1저장위치로부터 제1확장비트를 액세스하고, 제2저장위치로부터 제2확장비트를 액세스하는 단계 ; 시프트된 데이터 값을 발생하기 위해 제1확장비트와 제2확장비트에 따라 결정되는 시프트값을 소스 오퍼랜드의 제1비트로 시프트하는 단계 ; 수정된 제1확장비트를 제공하기 위해 시프트명령의 실행에 따라 제1확장비트를 선택적으로 수정하는 단계 ; 로 이루어진 시프트명령 실행방법.

청구항 303

제302항에 있어서, 상기 상기 시프트값은 상기 제1확장비트인 것을 특징으로 하는 시프트명령 실행방법.

청구항 304

제303항에 있어서, 상기 소스 오퍼랜드의 상기 제1비트는 소스 오퍼랜드의 최하위 비트인 것을 특징으로

하는 시프트명령 실행방법.

청구항 305

제304항에 있어서, 상기 제1확장비트와 상기 제2확장비트는 제1확장비트를 시프트하는 상기 단계 다음에는 내정상태에 놓이는 비트인 것을 특징으로 하는 시프트명령 실행방법.

청구항 306

제303항에 있어서, 상기 소스 오퍼랜드의 상기 제1확장비트는 소스 오퍼랜드의 최상위 비트인 것을 특징으로 하는 시프트명령 실행방법.

청구항 307

제306항에 있어서, 상기 제1확장비트와 제2확장비트는 제1확장비트를 시프트하는 상기 단계 다음에는 내정상태에 놓이는 비트인 것을 특징으로 하는 시프트명령 실행방법.

청구항 308

제302항에 있어서, 상기 시프트값은 제2확장비트가 거짓인 경우에는 부호비트이며, 제2확장비트가 참인 경우에는 제1확장비트인 것을 특징으로 하는 시프트명령 실행방법.

청구항 309

제302항에 있어서, 상기 제2확장비트는 왼쪽 시프트연산 동안에는 사용되지 않는 비트인 것을 특징으로 하는 시프트명령 실행방법.

청구항 310

데이터 처리명령을 실행하는 방법으로서, 데이터 처리명령을 수신하는 단계 ; 복수의 제어신호를 제공하기 위해 데이터 처리명령을 해독하는 단계 ; 결과가 데이터 값의 범위에 들지 않으면 참이고, 결과가 데이터 값의 범위에 들면 거짓인 오버플로우값을 제1저장위치로 부터 액세스하는 단계 ; 오버플로우값이 참인 경우에는 결과를 소정의 값과 같도록 수정하는 단계 ; 로 이루어진 데이터 처리명령 실행방법.

청구항 311

제310항에 있어서, 어떤 결과를 생성하는 데이터 처리연산을 상기 복수의 제어신호에 따라 실행하는 단계를 포함하는 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 312

제310항에 있어서, 제2저장위치에서 오버플로우 방향값을 액세스하는 단계로서, 상기 오버플로우 방향값이 참인 경우에는 결과가 최대값보다 크고, 상기 오버플로우 방향값이 거짓인 경우에는 결과가 최소값보다 작을 때, 제2저장위치로부터 오버플로우 방향값을 액세스하는 단계를 포함하는 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 313

제312항에 있어서, 상기 소정의 값은, 상기 오버플로우값이 참이고 상기 오버플로우 방향값도 참인 경우에도 가장 큰 양수인 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 314

제312항에 있어서, 상기 소정의 값은, 상기 오버플로우값이 참이고 상기 오버플로우 방향값은 거짓인 경우에는 가장 큰 음수이거나 영인 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 315

제312항에 있어서, 상기 결과는 2의 보수 부호있는 데이터값(two's complement signed data value)인 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 316

제315항에 있어서, 상기 소정의 값은 상기 오버플로우값이 참이고 상기 오버플로우 방향값도 참인 경우에는 16진수 \$7F와 같은 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 317

제315항에 있어서, 상기 소정의 값은 상기 오버플로우값이 참이고 상기 오버플로우 방향값은 거짓인 경우에는 16진수 \$80와 같은 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 318

제312항에 있어서, 상기 결과는 부호없는 데이터값인 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 319

제318항에 있어서, 상기 소정의 값은 상기 오버플로우값이 참이고 상기 오버플로우 방향값도 참인 경우에는 16진수 \$FF와 같은 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 320

제318항에 있어서, 상기 소정의 값은 상기 오버플로우값이 참이고 상기 오버플로우 방향값은 거짓인 경우에는 16진수 \$00와 같은 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 321

제310항에 있어서, 상기 데이터 처리명령의 오퍼랜드는 벡터 데이터값의 일부이거나 스칼라 데이터값인 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 322

제321항에 있어서, 상기 오퍼랜드가 스칼라 데이터 값인 경우에는 데이터 처리명령의 니모닉(mnemonic)이 "sat" 형태이며, 상기 오퍼랜드가 벡터 데이터 값인 경우에는 데이터 처리명령의 니모닉이 "vsat" 형태인 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 323

데이터 처리명령을 수신하는 인터페이스 수단 ; 복수의 제어신호를 제공하기 위해 데이터 처리명령을 해석하는 순서기로서, 데이터 처리명령을 수신하기 위해 인터페이스 수단과 연결된 순서기 ; 복수의 제어신호에 따라 데이터 처리연산을 실행하는 명령실행 수단으로서, 데이터 처리연산의 결과를 제공하며 복수의 제어신호를 수신하기 위해 순서기와 연결된 명령실행수단 ; 상기 결과가 데이터값의 범위내에 있지 않으면 참값을 가지고 결과가 데이터값의 범위 내에 있으면 거짓인 오버플로우값을 저장하는 제1저장회로 ; 오버플로우값을 수신하기 위해 제1저장회로와 연결되고 상기 결과를 수신하기 위해 명령실행수단과 연결되는 제1수정회로로서, 오버플로우값이 참인 경우에는 결과가 소정의 값과 같도록 수정하는 제1수정회로를 구비하는 데이터 프로세서.

청구항 324

제323항에 있어서, 상기 결과가 최대값보다 큰 경우에는 참값을 가지고 결과가 최소값보다 작은 경우에는 거짓인 오버플로우 방향값을 저장하는 제2저장회로를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 325

제324항에 있어서, 상기 소정의 값은 오버플로우값이 참이고 오버플로우 방향값이 참인 경우에는 가장 큰 양수인 것을 특징으로 하는 데이터 프로세서.

청구항 326

제324항에 있어서, 상기 소정의 값은 오버플로우값이 참이고 오버플로우 방향값이 거짓인 경우에는 가장 큰 음수이거나 영인 것을 특징으로 하는 데이터 프로세서.

청구항 327

제323항에 있어서, 상기 결과가 2의 보수 부호있는 데이터값인 경우에는 참이고, 상기 결과가 부호없는 데이터값인 경우에는 거짓인 부호제어값을 저장하는 제3저장회로를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 328

제327항에 있어서, 상기 소정의 값은 부호제어값이 참이고 오버플로우값도 참이며 오버플로우 방향값 또한 참인 경우에는 가장 큰 양수인 것을 특징으로 하는 데이터 프로세서.

청구항 329

제327항에 있어서, 상기 소정의 값은 부호제어값이 거짓이고 오버플로우값은 참이며 오버플로우 방향값은 거짓인 경우에는 가장 큰 음수이거나 영인 것을 특징으로 하는 데이터 프로세서.

청구항 330

제327항에 있어서, 상기 소정의 값은 부호제어값이 거짓이고 오버플로우값은 참이며 오버플로우 방향값이 참인 경우에는 부호없는 가장 큰 양수인 것을 특징으로 하는 데이터 프로세서.

청구항 331

제327항에 있어서, 상기 소정의 값은 부호제어값이 거짓이고 오버플로우값은 참이며 오버플로우 방향값은 거짓인 경우에는 영인 것을 특징으로 하는 데이터 프로세서.

청구항 332

제324항에 있어서, 상기 데이터 처리명령의 오퍼랜드는 벡터값의 일부이거나 스칼라값인 것을 특징으로 하는 데이터 프로세서.

청구항 333

데이터 프로세서내에서 데이터 처리명령을 실행하는 방법으로서, 데이터 처리명령을 수신하는 단계 ; 데이터 처리명령에 따라 아래쪽 시프트값을 액세스하는 단계 ; 아래쪽 시프트값에 따라 결정되는 복수의 처리요소 제1부분으로부터 제1데이터값을 선택적으로 액세스하는 단계 ; 제1데이터값을, 아래쪽 시프트

값에 따라 결정되지는 복수의 처리요소의 제2부분 각각으로 전송하는 단계 ; 복수의 처리요소의 제2부분 각각에 있는 제1데이터값을 사용하여 데이터 처리연산을 수행하는 단계 ; 데이터 처리연산의 결과를 복수의 처리요소의 제2부분 각각에 저장하는 단계로 이루어진 데이터 처리명령 실행방법.

청구항 334

제333항에 있어서, 복수의 제2데이터값 각각은 복수의 처리요소 중 해당하는 처리요소에 저장되어 있을 때, 상기 데이터 처리연산은 복수의 제2데이터값 중 하나와 제1데이터값을 사용하는 수학적인 계산을 특징으로 하는 데이터 처리명령 실행방법.

청구항 335

제333항에 있어서, 복수의 인에이블값 각각은 복수의 처리요소 각각과 대응할 때, 제1메모리 저장위치로부터 복수의 인에이블값을 액세스하는 단계와, 복수의 인에이블값 중에서 해당하는 인에이블값에 따라 데이터 처리연산의 결과를 저장하기 위해 복수의 처리요소의 제2부분 각각을 선택적으로 인에이블시키는 단계를 포함하는 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 336

제333항에 있어서, 상기 데이터 처리연산은 덧셈연산으로서, 제1데이터값은 복수의 제2데이터값 중 하나와 더해지고, 복수의 제2데이터값 각각은 복수의 처리요소 중에서 해당하는 처리요소에 저장되어 있는 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 337

제336항에 있어서, 상태정보값을 제공하는 제1확장비트를 제2메모리 저장회로부터 액세스하는 단계 ; 상기 덧셈연산의 실행 동안에 제1확장비트를 사용하는 단계 ; 상기 덧셈연산의 결과와 대응하는 수정된 상태정보값을 저장하기 위해 제1확장비트를 선택적으로 수정하는 단계를 포함하는 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 338

제337항에 있어서, 상기 상태정보값은 덧셈연산의 실행 도중에 캐리값이 언제 생성되는지를 나타내는 값인 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 339

제337항에 있어서, 상기 데이터 처리명령은 예비명령이거나 종료명령으로서, 상기 예비명령은 덧셈연산의 결과에 따라 제1확장비트를 수정하는 명령이고, 상기 종료명령은 제1확장비트를 내정상태가 되도록 수정하는 명령인 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 340

제339항에 있어서, 상기 종료명령은 포화명령이고 상기 예비명령은 비포화명령으로서, 상기 덧셈연산의 결과에 대응하는 오버플로우값이 참이고 상기 데이터 처리명령이 종료명령인 경우에는 덧셈연산의 결과가 상한 경계값이나 하한 경계값으로 대체되며, 상기 덧셈연산의 결과에 대응하는 오버플로우값이 참이고 상기 데이터 처리명령이 예비명령인 경우에는 덧셈연산의 결과가 대체되지 않는 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 341

제340항에 있어서, 상기 데이터 처리명령이 종료명령인 경우에는 제1확장비트를 거짓으로 하는 단계와, 상기 데이터 처리명령이 예비명령인 경우에는 데이터 처리명령의 실행에 따라 제1확장비트를 선택적으로 수정하는 단계를 포함하는 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 342

제339항에 있어서, 상기 데이터 처리명령은 데이터 처리명령이 종료명령인 경우에는 "dadd"형태의 니모닉(mnemonic)을 가지고, 데이터 처리명령이 예비명령인 경우에는 "daddp"형태의 니모닉을 가지는 명령인 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 343

제333항에 있어서, 상기 데이터 처리연산은, 복수의 제2데이터값 각각은 복수의 처리요소의 제2부분 중 해당 부분에 저장되어 있을 때, 복수의 제2데이터값 중 하나와 제1데이터값을 비교하기 위해 복수의 처리요소의 제2부분 각각을 인에이블시키는 단계와, 제1데이터값이 복수의 처리요소의 제2부분 중 해당하는 부분에 저장되도록 제1데이터값을 선택적으로 전송하는 단계로 이루어진 데이터 처리연산인 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 344

제343항에 있어서, 상기 데이터 처리연산의 결과는 가장 큰 값이거나 가장 작은 값인 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 345

제343항에 있어서, 상기 데이터 처리명령을 수신하기 전에 실행했던 데이터 처리연산의 결과를 나타내는 제1확장비트와 제2확장비트를 저장위치로부터 액세스하는 단계 ; 비교하기 위해 복수의 처리요소의 제2

부분 각각을 인에이블시키는 상기 단계의 실행동안에 제1확장비트와 제2확장비트를 사용하는 단계 ; 상기 데이터 처리연산에 따라 제1확장비트와 제2확장비트를 선택적으로 수행하는 단계를 포함하는 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 346

제345항에 있어서, 상기 제1확장비트와 제2확장비트는 복수의 스테터스 상태(status state)를 나타내는 확장비트로서, 상기 제1확장비트와 제2확장비트가 제1스테터스 상태인 경우에는 내정상태에 있고, 상기 제1확장비트와 제2확장비트는, 제1확장비트와 제2확장비트가 제2스테터스 상태인 경우에는 상기 제2복수의 데이터값 중 하나가 제1데이터값보다 작음을 나타내며, 상기 제1확장비트와 제2확장비트는, 제1확장비트와 제2확장비트가 제3스테터스 상태인 경우에는 상기 제2복수의 데이터값 중 하나가 제1데이터값보다 크음을 나타내고, 상기 제1확장비트와 제2확장비트는, 제1확장비트와 제2확장비트가 제4스테터스 상태인 경우에는 상기 제2복수의 데이터값 중 하나가 제1데이터값과 같음을 나타내는 확장비트인 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 347

제333항에 있어서, 상기 데이터 처리연산은, 제1데이터값을 복수의 처리요소의 제2부분 각각에 선택적으로 저장하는 단계로 이루어진 데이터 처리연산인 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 348

제347항에 있어서, 상기 데이터 처리명령은 "dsrot"형태의 니모닉(mnemonic)을 갖는 명령인 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 349

제347항에 있어서, 상기 복수의 처리요소의 제3부분으로부터 제3데이터값을 액세스하는 단계와, 제3데이터값을 복수의 처리요소의 제1부분 각각에 선택적으로 전송하는 단계를 포함하는 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 350

제349항에 있어서, 상기 복수의 처리요소의 제3부분 중에서 제3데이터값을 제공하는 것이 무엇인지를 나타내는 데에는 레지스터를 사용하는 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 351

제333항에 있어서, 상기 아래쪽 시프트값은 데이터 처리명령의 오퍼랜드인 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 352

제333항에 있어서, 처리요소번호는 복수의 비트를 사용하는 이진수로 표기하고, 상기 복수의 비트 중 최하위 비트는 비트위치 0일 때, 복수의 처리요소 각각은 처리요소번호와 대응하는 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 353

제352항에 있어서, 상기 아래쪽 시프트값은 복수의 처리요소 각각의 이진수로 표기한 처리요소번호의 비트위치를 나타내는 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 354

제353항에 있어서, 상기 복수의 처리요소의 제1부분은 상기 복수의 처리요소 중에서 제1복수의 처리요소번호와 대응하는 처리요소를 포함하는 부분으로서, 상기 아래쪽 시프트값이 나타내는 비트위치는 참이고 제2소정의 값은 복수의 상위 비트위치(more significant bit position)에 저장되어 있는 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 355

제354항에 있어서, 상기 복수의 처리요소의 제2부분은 상기 복수의 처리요소 중에서 제2복수의 처리요소번호와 대응하는 처리요소를 포함하는 부분으로서, 상기 아래쪽 시프트값이 나타내는 비트위치는 참이고 제2소정의 값은 복수의 상위 비트위치에 저장되어 있는 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 356

제353항에 있어서, 상기 복수의 처리요소의 제1부분은 상기 복수의 처리요소 중에서 제1복수의 처리요소번호와 대응하는 처리요소를 포함하는 부분으로서, 상기 아래쪽 시프트값이 나타내는 비트위치는 참이고 제1소정의 값은 복수의 상위 비트위치에 저장되어 있는 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 357

제356항에 있어서, 상기 복수의 처리요소의 제2부분은 상기 복수의 처리요소 중에서 제2복수의 처리요소번호와 대응하는 처리요소를 포함하는 부분으로서, 상기 아래쪽 시프트값이 나타내는 비트위치는 거짓이고 제2소정의 값은 복수의 사위 비트위치에 저장되어 있는 것을 특징으로 하는 데이터 처리명령 실행방법.

청구항 358

데이터 처리명령을 수신하는 인터페이스 회로 ; 데이터 처리명령에 따라 아래쪽 시프트값을 액세스하는 수단으로서, 데이터 처리명령을 수신하기 위해 인터페이스 회로와 연결된 액세스 수단 ; 복수의 데이터 값을 저장하는 복수의 처리요소 ; 아래쪽 시프트값에 의해 결정되는 복수의 처리요소의 제1부분으로부터 제1데이터값을 선택적으로 액세스하는 액세스 수단으로서, 상기 복수의 처리요소와 연결된 선택적 액세스 수단 ; 복수의 처리요소의 제2부분은 아래쪽 시프트값에 의해 결정될 때, 복수의 처리요소의 제2부분 각각에 제1데이터값을 전송하는 전송수단으로서, 상기 선택적 액세스 수단과 연결된 전송수단 ; 제1데이터값을 사용하여 데이터 처리연산을 실행하기 위해서 복수의 처리요소의 제2부분 각각을 인에이블하는 인에이블 수단으로서, 상기 복수의 처리요소와 연결된 인에이블 수단 ; 상기 데이터 처리연산의 결과를 복수의 처리요소의 제2부분 각각에 저장하는 제1저장회로를 구비하는 데이터 프로세서.

청구항 359

제358항에 있어서, 상기 데이터 처리연산은, 복수의 제2데이터값 각각이 복수의 처리요소의 제2부분 중 해당하는 부분에 저장되어 있을 때, 복수의 제2데이터값 하나와 제1데이터값을 사용하는 수학적 계산인 것을 특징으로 하는 데이터 프로세서.

청구항 360

제358항에 있어서, 복수의 인에이블값 각각은 복수의 처리요소 중 하나와 대응하며, 복수의 인에이블값 각각은 데이터 처리연산의 결과를 저장하기 위해 복수의 인에이블 값 중에서 해당하는 값에 따라 복수의 처리요소의 제2부분 각각을 선택적으로 인에이블하는 값일 때, 복수의 인에이블값을 저장하는 제2저장회로를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 361

제358항에 있어서, 상기 데이터 처리연산은, 복수의 제2데이터값 각각이 복수의 처리요소의 제2부분 중 해당하는 부분에 저장되어 있을 때, 제1데이터값을 복수의 제2데이터값 중 하나와 더하는 덧셈연산인 것을 특징으로 하는 데이터 프로세서.

청구항 362

제361항에 있어서, 상태 정보값을 제공하는 제1확장비트를 저장하는 제3메모리 저장회로와, 덧셈 연산의 결과에 대응하는 수정된 상태정보값을 저장하기 위해 제1확장비트를 선택적으로 수정하는 수정수단을 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 363

제362항에 있어서, 상기 수정된 상태 정보값은 덧셈연산의 실행 동안에 캐리값이 언제 발생하는지를 나타내는 값인 것을 특징으로 하는 데이터 프로세서.

청구항 364

제362항에 있어서, 상기 데이터 처리명령은 예비명령이거나 종료명령으로서, 상기 예비명령은 덧셈연산의 결과에 따라 제1확장비트를 수정하는 명령이며, 상기 종료명령은 제1확장비트를 수정하여 내정상태가 되도록 하는 명령인 것을 특징으로 하는 데이터 프로세서.

청구항 365

제358항에 있어서, 상기 데이터 처리연산의 결과는 가장 큰 값과 가장 작은 값 중 하나인 것을 특징으로 하는 데이터 프로세서.

청구항 366

제358항에 있어서, 제1확장비트와 제2확장비트는 데이터 처리명령을 받기 전에 실행했던 데이터 처리연산의 이전 결과를 나타내며, 제1확장비트와 제2확장비트는 데이터 처리연산의 실행 동안에 사용되는 비트일 때, 제1확장비트와 제2확장비트를 저장하기 위한 저장위치를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 367

제366항에 있어서, 상기 제1확장비트와 제2확장비트를 데이터 처리연산에 따라 선택적으로 수정하는 수정수단을 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 368

제358항에 있어서, 상기 제1데이터값은 데이터 처리연산의 실행 동안에 복수의 처리요소의 제2부분 각각으로 복사되는 것을 특징으로 하는 데이터 프로세서.

청구항 369

제368항에 있어서, 상기 데이터 처리명령은 "dsrot"형태의 니모닉(mnemonic)을 갖는 명령인 것을 특징으로 하는 데이터 프로세서.

청구항 370

제368항에 있어서, 상기 선택적 액세스 수단은 복수의 처리요소의 제3부분으로부터 제3데이터값을 액세스

스하며, 상기 전송수단은 제3데이터값을 복수의 처리요소의 제1부분 각각으로 전송하는 것을 특징으로 하는 데이터 프로세서.

청구항 371

제370항에 있어서, 상기 복수의 처리요소의 제3부분 중에서 제3데이터값을 제공하는 부분을 나타내는 레지스터를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 372

제358항에 있어서, 상기 아래쪽 시프트값은 데이터 처리명령의 오퍼랜드인 것을 특징으로 하는 데이터 프로세서.

청구항 373

데이터 프로세서내에서 명령을 실행하는 방법으로서, 제1명령을 수신하는 단계 ; 제1복수의 제어신호를 제공하기 위해 제1명령을 해독하는 단계 ; 인에이블값은 복수의 처리요소 중 하나를 선택적으로 인에이블하여 명령의 실행에 참여하도록 하는 값일 때, 복수의 제어신호의 제1부분에 따라 복수의 처리요소 중에서 인에이블된 처리요소로부터 인에이블값을 액세스하는 단계 ; 복수의 제어신호의 제2부분에 따라 복수의 처리요소 중에서 인에이블된 처리요소로부터 이력값(history value)을 액세스하는 단계 ; 이력값의 논리상태에 따라 인에이블값을 선택적으로 수정하는 단계로 이루어진 데이터 프로세서 내에서의 명령실행방법.

청구항 374

제373항에 있어서, 복수의 인에이블값 각각은 복수의 처리요소 중에서 해당하는 처리요소를 선택적으로 인에이블하여 명령의 실행에 참여하도록 하는 값일 때, 복수의 제어신호의 제1부분에 따라 복수의 처리요소 중에서 인에이블된 처리요소로부터 복수의 제어값을 액세스하는 단계 ; 복수의 이력값 각각은 복수의 처리요소의 인에이블된 부분 각각에 대응할 때, 복수의 제어신호의 제2부분에 따라 복수의 처리요소 중에서 인에이블된 처리요소로부터 복수의 이력값을 액세스하는 단계 ; 복수의 이력값 중에서 해당하는 이력값의 논리상태에 따라 복수의 인에이블값 각각을 선택적으로 수정하는 단계를 포함하는 것을 특징으로 하는 데이터 프로세서 내에서의 명령실행방법.

청구항 375

제373항에 있어서, 상기 제1명령은 "velse"형태의 니모닉을 갖는 명령인 것을 특징으로 하는 데이터 프로세서 내에서의 명령실행방법.

청구항 376

제373항에 있어서, 상기 선택적으로 수정하는 단계는, 상기 복수의 이력값 중에서 해당하는 이력값이 제1논리상태에 있는 경우에는 복수의 인에이블값 중에서 제1인에이블값을 보수화하는(to complement) 단계 ; 상기 복수의 이력값 중에서 해당하는 이력값이 제2논리상태에 있는 경우에는 복수의 인에이블값 중에서 제1인에이블값을 거짓으로 하는(to negate) 단계를 포함하는 것을 특징으로 하는 데이터 프로세서 내에서의 명령실행방법.

청구항 377

제373항에 있어서, 상기 복수의 인에이블값 중에서 해당하는 인에이블값의 논리상태가 참인 경우에는 상기 복수의 이력값 중에서 제1이력값을 참으로 하는(to assert) 단계를 포함하는 것을 특징으로 하는 데이터 프로세서 내에서의 명령실행방법.

청구항 378

제377항에 있어서, 상기 복수의 인에이블값 중에서 해당하는 인에이블값은 이전에 실행했던 명령의 조건이 만족되었음을 나타내는 참인 논리상태에 있는 값인 것을 특징으로 하는 데이터 프로세서내에서의 실행방법.

청구항 379

제377항에 있어서, 상기 복수의 인에이블값 중에서 해당하는 인에이블값은 이전에 실행했던 명령의 조건이 만족되지 않았음을 나타내는 거짓인 논리상태에 있는 값인 것을 특징으로 하는 데이터 프로세서 내에서의 명령실행방법.

청구항 380

제373항에 있어서, 상기 제1명령은 제2명령을 실행한 다음에 실행되며, 제2명령을 실행하는 방법은, 제2명령을 수신하는 단계 ; 제2복수의 제어신호를 제공하기 위해 제2명령을 해독하는 단계 ; 제2복수의 제어신호의 제1부분에 따라 처리요소로부터 인에이블값을 액세스하는 단계 ; 상기 인에이블값이 참인 상태에 있는 경우에는 처리요소가 제2명령의 실행에 참여하도록 처리요소를 선택적으로 인에이블하는 단계 ; 처리요소가 참여하도록 인에이블된 경우에는, 상기 처리요소가 비교연산의 실행 동안에 사용될 때, 상기 복수의 제어신호의 제2부분에 따라 비교연산을 실행하는 단계 ; 상기 인에이블값은 비교연산의 조건이 만족되지 않았던 경우에는 거짓으로 될 때, 처리요소가 참여하도록 인에이블된 경우에 이 처리요소에 대응하는 인에이블값을 선택적으로 거짓으로 하는 단계로 이루어진 제2명령 실행방법인 것을 특징으로 하는 데이터 프로세서 내에서의 명령실행방법

청구항 381

제380항에 있어서, 상기 제2복수의 제어신호의 제1부분에 따라 복수의 처리요소 각각으로부터 복수의 인에이블값을 액세스하는 단계 ; 복수의 처리요소의 부분 각각은 참 상태인 인에이블값을 가질 때, 복수의 처리요소의 부분이 제2명령의 실행에 참여하도록 상기 복수의 처리요소의 부분을 선택적으로 인에이블하는 단계 ; 상기 복수의 처리요소의 부분 각각은 비교연산의 실행 도안에 사용되는 부분일 때, 복수의 제어신호의 제2부분에 따라 비교연산을 실행하는 단계 ; 상기 비교연산의 조건이 만족되었을 경우에는 복수의 처리요소의 부분에 대응하는 복수의 인에이블값의 부분 각각을 선택적으로 거짓으로 하는 단계를 포함하는 것을 특징으로 하는 데이터 프로세서 내에서의 명령실행방법.

청구항 382

제373항에 있어서, 제3명령을 수신하는 단계 ; 제3복수의 제어신호를 제공하기 위해 제3명령을 해독하는 단계 ; 복수의 인에이블값 각각을 참값으로 하는 단계 ; 복수의 인에이블값 각각을 거짓으로 하는 단계를 포함하는 것을 특징으로 하는 데이터 프로세서 내에서의 명령실행방법.

청구항 383

제382항에 있어서, 상기 제3명령은 "vendif"형태의 니모닉을 가지는 명령인 것을 특징으로 하는 데이터 프로세서 내에서의 명령실행방법.

청구항 384

제382항에 있어서, 상기 제2명령은 "vif"형의 니모닉을 가지는 명령세트 중 하나인 것을 특징으로 하는 데이터 프로세서 내에서의 명령실행방법.

청구항 385

제1명령을 저장하는 저장수단 ; 제1복수의 제어값을 제공하기 위해 제1명령을 해독하는 명령해독 수단으로서, 제1명령을 수신하기 위해 저장수단과 연결된 명령해독수단 ; 디지털 데이터값을 저장하기 위한 처리요소 ; 인에이블값은 처리요소와 대응하며, 인에이블값은 처리요소가 명령의 실행에 참여하도록 선택적으로 인에이블시키는 값일 때, 인에이블값을 저장하는 제1저장회로 ; 처리요소와 대응하며 인에이블값을 선택적으로 수정하기 위해 사용되는 이력값을 저장하는 제2저장회로 ; 이력값의 논리상태에 따라 인에이블값을 선택적으로 수정하는 수정회로로서, 제1저장회로와 제2저장회로에 연결된 수정회로를 구비하는 데이터 프로세서.

청구항 386

제385항에 있어서, 복수의 디지털 데이터값을 저장하는 복수의 처리요소를 구비하는 것을 특징으로 하는 데이터 프로세서.

청구항 387

제386항에 있어서, 복수의 인에이블값 각각은 복수의 처리요소 중 하나와 대응하며, 상기 복수의 인에이블값 각각은 복수의 처리요소 중 해당하는 처리요소가 명령의 실행에 참여하도록 해당 처리요소를 인에이블시키는 값일 때, 상기 제1저장회로는 복수의 인에이블값을 저장하는 저장회로인 것을 특징으로 하는 데이터 프로세서.

청구항 388

제387항에 있어서, 복수의 이력값 각각은 복수의 처리요소 중 하나의 대응하고, 복수의 인에이블값 중 해당하는 인에이블값을 선택적으로 수정하는데 사용되는 값일 때, 제2저장회로는 복수의 이력값을 저장하는 저장회로인 것을 특징으로 하는 데이터 프로세서.

청구항 389

제388항에 있어서, 상기 수정회로는 복수의 이력값 중에서 해당하는 이력값의 논리상태에 따라 복수의 인에이블값 각각을 선택적으로 수정하는 수정회로인 것을 특징으로 하는 데이터 프로세서.

청구항 390

제389항에 있어서, 상기 제1명령은 IF, ELSE 프로그래밍 구문의 ELSE 부분을 실행하는데 사용되는 명령인 것을 특징으로 하는 데이터 프로세서.

청구항 391

제389항에 있어서, 상기 수정회로는 복수의 이력값 중에서 해당하는 이력값이 제1논리상태에 있는 경우에는 복수의 인에이블값 중에서 제1인에이블값을 보수화하고, 복수의 이력값 중 해당하는 이력값이 제2논리상태에 있는 경우에는 복수의 인에이블값 중에서 제1인에이블값의 부정을 취하는 수정회로인 것을 특징으로 하는 데이터 프로세서.

청구항 392

제389항에 있어서, 상기 복수의 이력값 중 제1이력값은 복수의 인에이블값 중 해당하는 인에이블값이 참인 논리상태에 있는 경우에는 참인 것을 특징으로 하는 데이터 프로세서.

청구항 393

제389항에 있어서, 제2명령은 상기 제1명령이 실행되기 전에 실행되는 명령으로서, 소정의 조건을 테스트하기 위해 복수의 디지털 데이터값 중에서 제1디지털 데이터값과 제2디지털 데이터값을 비교하는 명령인 것을 특징으로 하는 데이터 프로세서.

청구항 394

제389항에 있어서, 제2명령은 소정의 조건이 거짓인 경우에는 제1저장회로에 저장된 복수의 인에이블값 각각을 거짓으로 하는 명령인 것을 특징으로 하는 데이터 프로세서.

청구항 395

제385항에 있어서, 제3명령은 상기 제1명령이 실행된 다음에 실행되는 명령으로서, 복수의 인에이블값 각각을 참으로 하고 복수의 이력값 각각은 거짓으로 하는 명령인 것을 특징으로 하는 데이터 프로세서.

청구항 396

데이터 프로세서에서의 명령을 실행하는 방법으로서, 오퍼랜드를 가지는 명령을 수신하는 단계 ; 복수의 제어신호를 제공하기 위해 명령을 해독하는 단계 ; 명령의 오퍼랜드가 지정하는 저장위치에 저장된 데이터값을 복수의 제어신호에 따라 액세스하는 단계 ; 조정된 데이터값을 생성하기 위해 저장위치에 저장된 데이터값을 조정값만큼 조정하는 단계 ; 저장위치와 대응하는 인에이블값으로서 명령의 실행에 참여하도록 저장위치를 선택적으로 인에이블하는 인에이블값을 참값으로 하는 단계 ; 저장위치와 대응하는 이력값으로서 저장위치가 조건부 명령의 실행에서 이미 사용되었는지 사용되지 않았는지를 나타내는 이력값을 거짓으로 하는 단계 ; 조정된 데이터값과 소정의 값을 비교하기 위해 비교 테스트를 수행하는 단계 ; 비교 테스트의 결과가 거짓인 경우에는 그 다음 명령을 실행하는 단계 ; 비교 테스트의 결과가 참인 경우에는 그 다음 명령의 실행을 건너 뛰는 단계로 이루어진 데이터 프로세스 내에서의 명령실행방법.

청구항 397

제396항에 있어서, 상기 명령은 "dskipe"형의 니모닉을 갖는 명령인 것을 특징으로 하는 명령실행방법.

청구항 398

제396항에 있어서, 상기 조정값은 '1'의 값을 가지며, 상기 비교 테스트는 같은지를 조사하는 테스트인 것을 특징으로 하는 명령실행방법.

청구항 399

제396항에 있어서, 상기 소정의 값은 '-1'인 것을 특징으로 하는 명령실행방법.

청구항 400

제396항에 있어서, 상기 데이터값은 데이터 프로세서 내의 스칼라 레지스터에 저장되는 값인 것을 특징으로 하는 명령실행방법.

청구항 401

제396항에 있어서, 상기 비교 테스트는 조정된 데이터값이 상기 소정의 값과 작거나 같은지를 결정하는 테스트인 것을 특징으로 하는 명령실행방법.

청구항 402

제396항에 있어서, 상기 조정하는 단계는, 조정된 데이터값을 생성하기 위해 '1'을 데이터값에 더하는 단계를 포함하는 단계인 것을 특징으로 하는 명령실행방법.

청구항 403

데이터 프로세서에서 반복명령을 실행하는 방법으로서, 1) 제1오퍼랜드와 제2오퍼랜드를 가지며 프로그램의 제1번지에 있는 반복명령을 수신하는 단계 ; 2) 복수의 제어신호를 제공하기 위해 반복명령을 해독하는 단계 ; 3) 반복명령의 제2오퍼랜드가 나타내는 저장위치에 저장된 데이터값을 복수의 제어신호에 따라 액세스하는 단계 ; 4) 반복명령의 제2오퍼랜드에 의해 제공되는 횟수만큼 아래의 단계들을 실행하는 단계 ; 5) 복수의 명령 중 제1명령은 제2번지에 있고, 복수의 번지 중 마지막 명령은 제3번지에 있으며, 제2번지는 제1번지 다음에 있는 번지이고, 제3번지는 반복명령의 제1오퍼랜드에 의해 정해지는 번지일 때, 상기 복수의 명령을 순차적으로 실행하는 단계 ; 6) 상기 복수의 명령 중 마지막 명령의 실행 동안에 액세스되는 저장위치와 대응하는 인에이블값으로서, 저장위치가 복수의 명령 중 하나의 명령의 실행에 참여하도록 저장위치를 선택적으로 인에이블하는 인에이블값을 참값으로 하는 단계 ; 7) 상기 복수의 명령 중 마지막 명령의 실행 동안에 액세스되는 저장위치와 대응하는 이력값(history value)으로서, 저장위치가 어떤 명령의 실행에서 이미 사용되었는지 사용되지 않았는지를 나타내는 이력값을 거짓으로 하는 단계로 이루어진 데이터 프로세서 내에서의 반복명령 실행방법.

청구항 404

제403항에 있어서, 상기 반복명령은 "repeate"형의 니모닉을 가지는 명령인 것을 특징으로 하는 반복명령 실행방법.

청구항 405

제403항에 있어서, 데이터 프로세서는, 상기 복수의 명령 중 마지막 명령이 벡터명령인 경우에는 복수의

