



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I697121 B

(45) 公告日：中華民國 109 (2020) 年 06 月 21 日

(21) 申請案號：108102436 (22) 申請日：中華民國 108 (2019) 年 01 月 22 日

(51) Int. Cl. : *H01L29/06 (2006.01)* *H01L23/04 (2006.01)*
H01L29/66 (2006.01)

(30) 優先權：2018/01/23 美國 62/620,488

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
 新竹市大學路 1001 號

(72) 發明人：莊紹勳 CHUNG, STEVE S. (TW)；謝易叡 HSIEH, E RAY (TW)；林建里 LIN, JIAN LI (TW)

(74) 代理人：李世章；秦建譜

(56) 參考文獻：

TW	201216371A1	TW	201334045A1
TW	201336018A1		

審查人員：黃淑萍

申請專利範圍項數：9 項 圖式數：3 共 30 頁

(54) 名稱

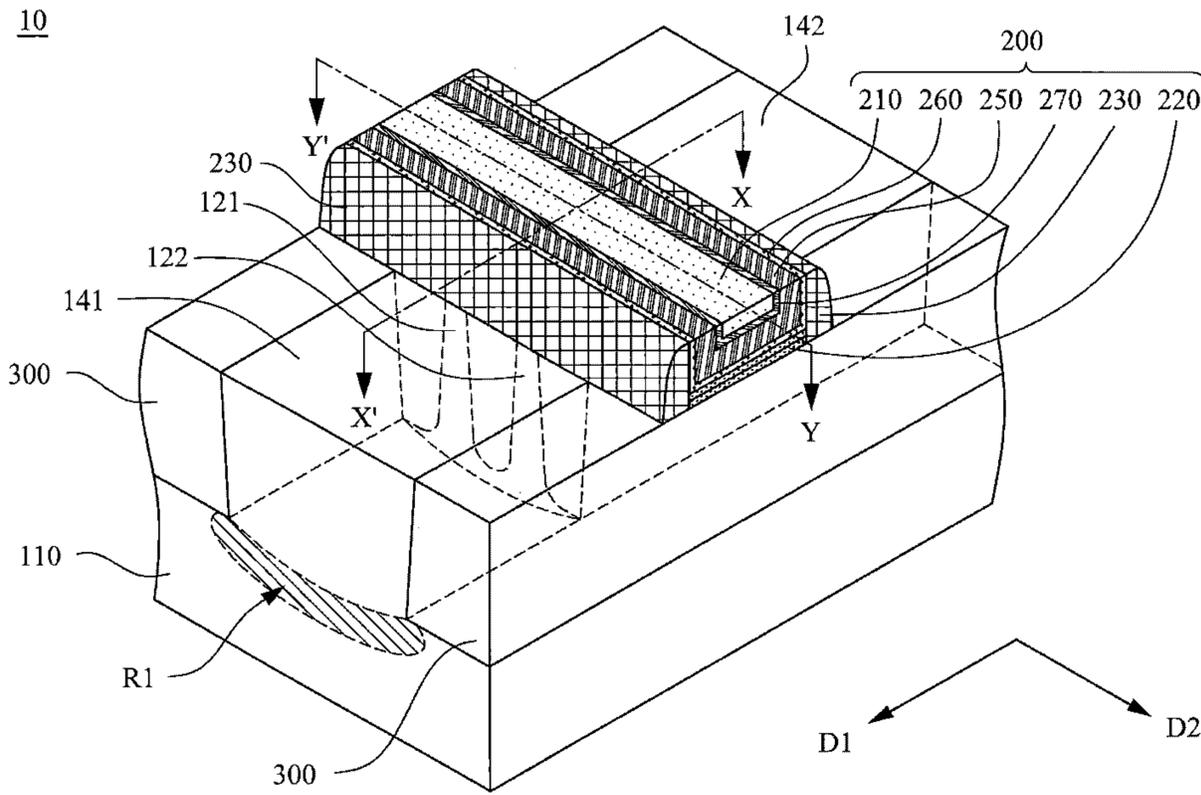
三閘極場效電晶體

(57) 摘要

一種三閘極場效電晶體，包括基板、淺溝槽結構的絕緣隔離、至少一鰭片結構、閘極特徵、源極區域、汲極區域、以及第一鰭片隔離氣隙。淺溝槽結構的絕緣隔離位於基板上，並界定出主動區域。鰭片結構設置於基板上，並位於主動區域內。閘極特徵跨越鰭片結構。源極區域和汲極區域位於主動區域內，並設置於閘極特徵的相對兩側。第一鰭片隔離氣隙位於鰭片結構與淺溝槽結構的絕緣隔離之間。當三閘極場效電晶體包括兩個以上鰭片結構時，三閘極場效電晶體還包括位於相鄰的兩個鰭片結構之間的隔離氣隙。

A tri-gate field effect transistor includes a substrate, a shallow trench isolation structure, at least one fin structure, a gate feature, a source region, a drain region, and a first fin isolation air gap. The shallow trench isolation structure is formed on the substrate and defines an active area. The fin structure is placed on the substrate, and located in the active area. The gate feature spans the fin structure. The source region and the drain region are located in the active area and positioned at opposite sides of the gate feature. The first fin isolation air gap is located between the fin structure and the shallow trench isolation structure. When the tri-gate field effect transistor includes more than two fin structures, the tri-gate field effect transistor further includes an air gap between two adjacent fin structures.

指定代表圖：



第2A圖

符號簡單說明：

10:三閘極場效電晶體

110:基板

121:第一鰭片結構

122:第二鰭片結構

141:源極半導體特徵

142:汲極半導體特徵

200:閘極特徵

210:閘極金屬層

220:閘極介電層

230:間隔物

250:功函數金屬層

260:閘極金屬底層

270:保護層

300:淺溝槽結構的絕緣
隔離

R1:穿通阻擋層

D1、D2:方向

I697121

公告本

【發明摘要】

【中文發明名稱】三閘極場效電晶體

【英文發明名稱】TRI-GATE FIELD EFFECT
TRANSISTOR

【中文】

一種三閘極場效電晶體，包括基板、淺溝槽結構的絕緣隔離、至少一鰭片結構、閘極特徵、源極區域、汲極區域、以及第一鰭片隔離氣隙。淺溝槽結構的絕緣隔離位於基板上，並界定出主動區域。鰭片結構設置於基板上，並位於主動區域內。閘極特徵跨越鰭片結構。源極區域和汲極區域位於主動區域內，並設置於閘極特徵的相對兩側。第一鰭片隔離氣隙位於鰭片結構與淺溝槽結構的絕緣隔離之間。當三閘極場效電晶體包括兩個以上鰭片結構時，三閘極場效電晶體還包括位於相鄰的兩個鰭片結構之間的隔離氣隙。

【英文】

A tri-gate field effect transistor includes a substrate, a shallow trench isolation structure, at least one fin structure, a gate feature, a source region, a drain region, and a first fin isolation air gap. The shallow trench isolation structure is formed on the substrate and defines an active area. The fin structure is placed on the substrate, and

located in the active area. The gate feature spans the fin structure. The source region and the drain region are located in the active area and positioned at opposite sides of the gate feature. The first fin isolation air gap is located between the fin structure and the shallow trench isolation structure. When the tri-gate field effect transistor includes more than two fin structures, the tri-gate field effect transistor further includes an air gap between two adjacent fin structures.

【指定代表圖】第2A圖

【代表圖之符號簡單說明】

10 三閘極場效電晶體

110 基板

121 第一鰭片結構

122 第二鰭片結構

141 源極半導體特徵

142 汲極半導體特徵

200 閘極特徵

210 閘極金屬層

220 閘極介電層

230 間隔物

250 功函數金屬層

260 閘極金屬底層

270 保護層

300 淺溝槽結構的絕緣隔離

R1 穿通阻擋層

D1、D2 方向

【特徵化學式】無

【發明說明書】

【中文發明名稱】三閘極場效電晶體

【英文發明名稱】TRI-GATE FIELD EFFECT
TRANSISTOR

【技術領域】

【0001】 本揭示內容係關於一種三閘極場效電晶體。

【先前技術】

【0002】 半導體結構及製造製程存在兩方面之改良可有效減小積體電路之大小並增加積體電路之效能。在半導體結構方面之一個發展係引入被稱為「鰭式場效電晶體」(Fin-field-effect transistor, FinFET)的電晶體結構。FinFET具有優於其他類型電晶體(例如, 平面式場效電晶體)的優點, 例如, 較好的通道控制、短通道效應之抑制、較高的元件密度及較低的亞閾值漏電流。

【0003】 FinFET包括閘極特徵(其跨越突出的鰭片)和一對源極/汲極特徵(其沿著鰭片方向而橫向設置在閘極特徵的兩側)。雖然, FinFET具有上述優點, 但通常在FinFET的閘極特徵和源極特徵之間, 或閘極特徵和汲極特徵之間具有較高的寄生電容(parasitic capacitance)。較高的寄生電容將降低FinFET的各種性能(例如截止頻率、訊號延遲等), 這可能限制了FinFET的應用。

【0004】 此外, 為了進一步減小FinFET之大小,

FinFET結構的鰭片高度越來越高，而鰭片與鰭片之間的距離（以下稱為鰭片間距）越來越窄。請參照第1A圖、第1B圖、以及第1C圖，在22奈米製程技術中（如第1A圖所示），鰭片間距約為60奈米，在14奈米製程技術中（如第1B圖所示），鰭片間距約為42奈米，而在10奈米製程技術中（如第1C圖所示），鰭片間距約為34奈米。

【0005】 隨著鰭片間距的減小，填充於兩鰭片之間的淺溝槽隔離（shallow trench isolation, STI）結構300的寬度占鰭片間距的百分比從約58%（22奈米製程技術）提升至約64%（10奈米製程技術）。由此可知，填充於兩鰭片之間的STI結構300將影響整個FinFET的大小及密度。

【發明內容】

【0006】 本揭示內容的一態樣係提供一種三閘極場效電晶體，包括基板、淺溝槽結構的絕緣隔離、至少一鰭片結構、閘極特徵、源極半導體特徵、汲極半導體特徵、以及第一鰭片隔離氣隙。淺溝槽結構的絕緣隔離位於基板上，並界定出主動區域。鰭片結構設置於基板上，並位於主動區域中，其中鰭片結構沿著第一方向延伸。閘極特徵跨越鰭片結構，並沿著第二方向延伸，其中第二方向與第一方向垂直。源極半導體特徵和汲極半導體特徵位於主動區域中，並在第一方向上，設置於閘極特徵的相對兩側。第一鰭片隔離氣隙沿著第一方向延伸，並位於鰭片結構與淺溝槽結構的絕緣隔離之間。

【0007】 在本揭示內容的一實施方式中，三閘極場效電晶體包括至少兩個鰭片結構，且三閘極場效電晶體更包括至少一第一鰭片隔離氣隙。第二鰭片隔離氣隙沿著第一方向延伸，並位於相鄰的兩個鰭片結構之間，以及位於源極半導體特徵與汲極半導體特徵之間。

【0008】 在本揭示內容的一實施方式中，所述鰭片結構的上部未摻雜有雜質離子或摻雜有第一濃度以下的雜質離子，而所述鰭片結構的下部摻雜有高於第一濃度的第二濃度的雜質離子。

【0009】 在本揭示內容的一實施方式中，摻雜離子包含 P^+ 、 As^+ 、 B_2F^+ 、 BF^{2+} 或 B^+ 。

【0010】 在本揭示內容的一實施方式中，閘極特徵包括閘極介電層和設置在閘極介電層上方的閘極金屬底層、功函數金屬層及閘極金屬層。

【0011】 在本揭示內容的一實施方式中，閘極介電層包括高k介電層，且閘極金屬層包括至少一金屬層。

【0012】 在本揭示內容的一實施方式中，第二鰭片隔離氣隙位於閘極介電層與閘極金屬底層之間。

【0013】 在本揭示內容的一實施方式中，閘極特徵包括間隔物，設置於閘極金屬底層與源極半導體特徵之間，以及閘極金屬底層與汲極半導體特徵之間。

【0014】 在本揭示內容的一實施方式中，閘極特徵包括間隔氣隙，設置於閘極金屬底層與源極半導體特徵之間，以及閘極金屬底層與汲極半導體特徵之間。

【0015】 在本揭示內容的一實施方式中，三閘極場效電晶體進一步包括源極接觸插塞和汲極接觸插塞，設置於閘極特徵的相對兩側。源極接觸插塞的底部接觸源極半導體特徵，且汲極接觸插塞的底部接觸汲極半導體特徵。

【0016】 以下將以實施方式對上述之說明作詳細的描述，並對本揭示內容的技術方案提供更進一步的解釋。

【圖式簡單說明】

【0017】 當結合附圖閱讀時，從以下詳細描述中可以更好地理解本揭露之各個方面。應注意，依據工業中之標準實務，多個特徵並未按比例繪製。實際上，多個特徵之尺寸可任意增大或縮小，以便使論述明晰。

第1A圖～第1C圖繪示採用習知的製程技術所製造的三閘極場效電晶體的剖面示意圖。

第2A圖繪示根據本揭示內容的一些實施方式的三閘極場效電晶體的立體示意圖。

第2B圖繪示根據本揭示內容的一些實施方式的三閘極場效電晶體的剖面示意圖。

第2C圖繪示根據本揭示內容的一些實施方式的三閘極場效電晶體的剖面示意圖。

第2D圖繪示根據本揭示內容的一些實施方式的三閘極場效電晶體的俯視示意圖。

第3圖繪示根據本揭示內容的一些實施方式的三閘極場效電晶體的剖面示意圖。

【實施方式】

【0018】 以下揭示內容提供許多不同實施例或實例以用於實現所提供標的物之不同的特徵。下文描述組件及排列之特定實例以簡化本揭露。當然，此等僅僅為實例，並不旨在限制本揭露。舉例而言，在隨後描述中的在第二特徵之上或在第二特徵上形成第一特徵可包括形成直接接觸的第一特徵和第二特徵之實施例，還可以包括在第一特徵和第二特徵之間形成額外特徵，從而使第一特徵和第二特徵不直接接觸之實施例。另外，本揭露在各實例中可重複元件符號及/或字母。此重複係出於簡化及清楚之目的，且本身不指示所論述各實施例及/或構造之間的關係。

【0019】 另外，空間相對用語，諸如「下方」、「以下」、「下部」、「上方」、「上部」及類似者，在此用於簡化描述附圖所示的一個元件或特徵與另一元件（或多個元件）或特徵（或多個特徵）之關係。除附圖中描繪之方向外，空間相對用語旨在包含於使用或操作中之裝置的不同方向。裝置可為不同之方向（旋轉90度或在其他的方向），並且在此使用之空間相關描述詞也可相應地被解釋。

【0020】 請參照第2A圖、第2B圖、第2C圖、以及第2D圖。第2A圖繪示根據本揭示內容的一些實施方式的三閘極場效電晶體10的立體示意圖，第2B圖及第2C圖分別繪示沿著第2A圖的線X-X'及線Y-Y'截取的三閘極場效電晶體10的剖面示意圖，而第2D圖繪示三閘極場效電晶體10的俯視

示意圖。須說明的是，在第2A圖中省略了源極接觸插塞501、汲極接觸插塞502、閘極接觸插塞503、以及介電層610（如第2C圖及第2D圖所示）以便更清楚地理解各元件之間的關係。三閘極場效電晶體10包括基板110、第一鰭片結構121及第二鰭片結構122、閘極特徵200、源極半導體特徵141和汲極半導體特徵142、以及淺溝槽結構的絕緣隔離300。

【0021】淺溝槽結構的絕緣隔離300位於基板110上，且第一鰭片結構121、第二鰭片結構122、源極半導體特徵141、以及汲極半導體特徵142位於淺溝槽結構的絕緣隔離300的外部。具體而言，淺溝槽結構的絕緣隔離300具有一溝槽300a（如第2B圖所示）。溝槽300a定義出一主動區域（active area），且第一鰭片結構121、第二鰭片結構122、源極半導體特徵141、以及汲極半導體特徵142位於此主動區域中。在一些實施例中，淺溝槽結構的絕緣隔離300的絕緣材料可包含氧化矽（SiO）、氮化矽（SiN）、氮氧化矽（SiON）或碳氮氧化矽（SiOCN）。

【0022】在一些實施方式中，基板110可為矽基板。在一些其他實施方式中，基板110可以由一些其他合適的元素半導體所製成，例如鍺；或由一些合適的化合物半導體所製成，如砷化鎵、碳化矽、砷化銮或磷化銮；或由一些或合適的合金半導體所製成，例如碳化矽鍺、磷化鎵砷或磷化鎵銮。在一些實施例中，基板110可為絕緣層覆矽（silicon-on insulator，SOI）基板。此外，基板110可包含摻雜雜質（例

如P型或N型)的各種區域。

【0023】 如第2A圖及第2B圖所示，第一鰭片結構121及第二鰭片結構122設置於基板110上，並位於溝槽300a中。第一鰭片結構121及第二鰭片結構122可由與基板110相同的材料製成。在一些實施方式中，第一鰭片結構121及第二鰭片結構122由矽製成。在一些實施例中，第一鰭片結構121及第二鰭片結構122可適當地摻雜P型或N型雜質。

【0024】 應理解的是，雖然在第2A圖及第2B圖中繪示兩個鰭片結構(即第一鰭片結構121及第二鰭片結構122)，然而，鰭片結構的數量並不限於兩個。其數量可為一個、三個、四個或更多個。

【0025】 在一些實施方式中，第一鰭片結構121及第二鰭片結構122可通過以下製程來形成。在形成淺溝槽結構的絕緣隔離300之後，形成一蝕刻遮罩於塊狀基板的該主動區域的一部分上。使用該蝕刻遮罩來蝕刻(例如使用乾式蝕刻製程)塊狀基板。據此，由於塊狀基板的一部分被蝕刻遮罩所覆蓋，因此在蝕刻製程之後被保留下來，從而形成了第一鰭片結構121及第二鰭片結構122。

【0026】 如第2A圖及第2B圖所示，第一鰭片結構121及第二鰭片結構122沿著第一方向D1延伸。具體地，第一鰭片結構121及第二鰭片結構122從源極半導體特徵141的一側壁延伸至汲極半導體特徵142的一側壁。

【0027】 閘極特徵200沿著第二方向D2延伸，並跨越第一鰭片結構121及第二鰭片結構122。在一些實施例中，第

二方向D2大致垂直於第一方向D1。閘極特徵200可為任何適合的已知閘極結構，舉例而言，閘極特徵200可包括閘極介電層220和設置在閘極介電層220上方的閘極金屬底層260、功函數金屬層250、保護層270、以及閘極金屬層210，但本發明不限於此。在一些實施例中，閘極介電層220、閘極金屬底層260、功函數金屬層250、保護層270、以及閘極金屬層210可包含單層或多層結構。

【0028】 如第2B圖所示，閘極介電層220的一部分及閘極金屬底層260的一部分填充於溝槽300a中。詳細而言，閘極介電層220共形地形成於第一鰭片結構121及第二鰭片結構122的上表面及側壁上、基板110的上表面上、以及淺溝槽結構的絕緣隔離300的上表面及側壁上。而閘極金屬底層260則覆蓋淺溝槽結構的絕緣隔離300的上表面，並覆蓋第一鰭片結構121及第二鰭片結構122的上部121a、122a。應注意的是，閘極金屬底層260並未完全覆蓋淺溝槽結構的絕緣隔離300的側壁，且亦未填入第一鰭片結構121的下部121b與第二鰭片結構122的下部122b之間，從而產生第一鰭片隔離氣隙132及第二鰭片隔離氣隙131。

【0029】 在習知的FinFET結構中，鰭片與鰭片之間填充有絕緣材料（如第1A圖、第1B圖、以及第1C圖中的STI結構300）。如前所述，填充於兩鰭片之間的STI結構300將影響FinFET之大小。然而，本發明的三閘極場效電晶體10的第一鰭片結構121及第二鰭片結構122之間不需填入絕緣材料（如第2B圖所示），因此可有效減少鰭片間距。具體

而言，根據本發明的各種實施方式，通過調整蝕刻製程及鰭片間距，從而使閘極介電層220可共形地形成在兩鰭片上，而閘極金屬底層260僅能覆蓋兩鰭片的上部，而不能填入兩鰭片之間的間隙。據此，形成了第一鰭片隔離氣隙132及第二鰭片隔離氣隙131。

【0030】 在一些實施方式中，閘極介電層220包括單層或多層的高k（介電常數）介電層。各高k介電層包括具有大於約4.0的「k」值的材料。在一些實施例中，各高k介電層可以由選自以下至少一種材料來形成： Al_2O_3 、 HfAlO 、 HfAlON 、 AlZrO 、 HfO_2 、 HfSiO_x 、 HfAlO_x 、 HfZrSiO_x 、 HfSiON 、 LaAlO_3 、 ZrO_2 或其組合。可以使用諸如原子層沉積（atomic layer deposition, ALD）、化學氣相沉積（chemical vapor deposition, CVD）、物理氣相沉積（physical vapor deposition, PVD）或其組合等合適製程來形成所述高k介電層。

【0031】 在一些實施方式中，閘極金屬底層260包括金屬氮化物，例如TiN、TaN、TiAlN、TaAlN等，但不以此為限。可以使用諸如原子層沉積、化學氣相沉積、物理氣相沉積或其組合等合適製程來形成閘極金屬底層260。

【0032】 在一些實施方式中，可使用鋁（Al）作為功函數金屬層250的材料，並且功函數金屬層250底部的鋁（Al）濃度較高，而功函數金屬層250頂部的鋁（Al）濃度低於功函數金屬層250底部的鋁（Al）濃度。鋁基（Al-base）功函數金屬層的實施例具有通式 MA1X ，其中M可以是鈪（Hf）、鈦

(Ti)、鉭(Ta)、鋯(Zr)、鈮(Nb)等，X可以是碳(C)、氮(N)、矽(Si)等。在一些實施方式中，可使用矽(Si)作為功函數金屬層250的材料，並且功函數金屬層250底部的矽(Si)濃度較高，而功函數金屬層250頂部的矽(Si)濃度低於功函數金屬層250底部的矽(Si)濃度。金屬矽化物功函數金屬層的實施例具有通式 $M\text{Si}_y$ ，其中M可以是鈦(Hf)、鈦(Ti)、鉭(Ta)、鋯(Zr)、鎢(W)、釧(La)或其類似的其他材料，y代表組合物中矽的比率大於零的任何數字。其它具有小於約4.4eV的真空功函數值的材料也可用於功函數金屬層250的材料。合適的功函數金屬層的材料實施例包括但不限於鈦(Ti)、鉭(Ta)、鈦(Hf)、鋯(Zr)及其組合。

【0033】 在一些實施方式中，保護層270包括金屬氮化物，例如TiN、TaN、TiAlN、TaAlN等，但不以此為限。可以使用諸如原子層沉積、化學氣相沉積、物理氣相沉積或其組合等合適製程來形成保護層270。

【0034】 在一些實施方式中，閘極金屬層210可包括至少一金屬層或多晶矽層。例如，閘極金屬層210可包括多晶矽、Al、Cu、W、Ti、Ta、TiN、TiAl、TiAlN、TaN、NiSi、CoSi或其組合。類似的，可以使用諸如原子層沉積、化學氣相沉積、物理氣相沉積、電鍍或其組合等合適製程來形成閘極金屬層210。

【0035】 如前所述，鰭片結構的數量並不限於兩個，而可為一個、三個、四個或更多個。因此，當鰭片結構的數量

為兩個或多個時，三閘極場效電晶體10可包括至少一個第二鰭片隔離氣隙131位於相鄰的兩個鰭片結構之間，以及位於源極半導體特徵141與汲極半導體特徵142之間。此外，當三閘極場效電晶體10包括多個第二鰭片隔離氣隙131時，各第二鰭片隔離氣隙131之間沿著第二方向D2排列。

【0036】以第2B圖的實施方式為例，三閘極場效電晶體10包括一個第二鰭片隔離氣隙131，且第二鰭片隔離氣隙131位於第一鰭片結構121與第二鰭片結構122之間，並位於源極半導體特徵141與汲極半導體特徵142之間。具體地，第二鰭片隔離氣隙131位於第一鰭片結構121的下部121b與第二鰭片結構122的下部122b之間，並從源極半導體特徵141的一側壁延伸至汲極半導體特徵142的一側壁。更具體地，第二鰭片隔離氣隙131位於閘極介電層220與閘極金屬底層260之間。

【0037】此外，如第2B圖所示，第一鰭片隔離氣隙132位於第一鰭片結構121與淺溝槽結構的絕緣隔離300之間，以及位於第二鰭片結構122與淺溝槽結構的絕緣隔離300之間。具體地，第一鰭片隔離氣隙132位於第一鰭片結構121的下部121b與淺溝槽結構的絕緣隔離300之間，以及位於第二鰭片結構122的下部122b與淺溝槽結構的絕緣隔離300之間，並從源極半導體特徵141的一側壁延伸至汲極半導體特徵142的一側壁。更具體地，第一鰭片隔離氣隙132位於閘極介電層220與閘極金屬底層260之間。

【0038】如前所述，相較於平板場效電晶體，FinFET

具有較高的寄生電容。具體而言，如第2C圖所示，由於源極半導體特徵141和汲極半導體特徵142、源極接觸插塞501和汲極接觸插塞502與閘極特徵200緊密相鄰，且第一鰭片結構121與第二鰭片結構122緊密相鄰（如第2B圖所示），因此可能產生較高的寄生電容。在習知的FinFET結構中，使用低介電常數材料來形成絕緣層於源極/汲極特徵與閘極特徵之間，以及相鄰的鰭片之間，來改善裝置效能並降低寄生電容（如第1A圖、第1B圖、以及第1C圖中的STI結構300）。舉例來說，低介電常數材料例如為二氧化矽（其介電常數為約3.9）。根據本發明的各種實施方式，填充有空氣的第二鰭片隔離氣隙131形成於第一鰭片結構121與第二鰭片結構122之間，而填充有空氣的第一鰭片隔離氣隙132形成於第一鰭片結構121與淺溝槽結構的絕緣隔離300之間、及第二鰭片結構122與淺溝槽結構的絕緣隔離300之間（如第2B圖所示）。因此，相較於習知的FinFET結構，較低介電常數的空氣（其介電常數為約1）可更加有效降低鰭片與鰭片之間的寄生電容。

【0039】 在一些實施方式中，可通過佈植製程來進行摻雜，以植入適當的雜質離子而形成穿通阻擋層（punch-through stopper）R1。穿通阻擋層R1可增加電阻率，從而減少電流洩漏。具體來說，通過佈植製程，可在第一鰭片結構121的下部121b、第二鰭片結構122的下部122b、以及基板110被溝槽300a暴露的部分摻雜雜質離子。首先，在第一鰭片結構121的上部121a及第二鰭片結構

122的上部122a未摻雜有雜質離子或摻雜有 $10^{18}/\text{cm}^3$ 濃度以下的雜質離子以作為通道區。在一些實施例中，雜質離子例如為 P^+ 、 As^+ 、 B_2F^+ 、 BF^{2+} 或 B^+ 。其次，第一鱗片結構121的下部121b及第二鱗片結構122的下部122b則摻雜較上部121a及上部122a為高濃度的雜質離子，其濃度為約 $10^{17}/\text{cm}^3$ 至 $10^{20}/\text{cm}^3$ 之間。

【0040】 如第2A圖及第2C圖所示，源極半導體特徵141和汲極半導體特徵142在第一方向上D1，位於閘極特徵200的相對兩側。在一些實施方式中，源極半導體特徵141和汲極半導體特徵142可通過以下製程來形成。在形成閘極特徵200之後，通過蝕刻以在欲形成源極半導體特徵141和汲極半導體特徵142的位置處產生空腔。而在形成空腔之後，應用磊晶生長製程以在空腔內磊晶生長源極半導體特徵141和汲極半導體特徵142。

【0041】 源極半導體特徵141和汲極半導體特徵142可包括任何可接受的材料，例如適用於N型FinFET及/或P型FinFET的材料。舉例來說，在N型FinFET中，源極半導體特徵141和汲極半導體特徵142可包括SiC、SiCP、SiP等等，而在P型FinFET中，源極半導體特徵141和汲極半導體特徵142可包括SiGe、SiGeB、Ge、GeSn等。

【0042】 如第2C圖及第2D圖所示，介電層610形成於源極半導體特徵141和汲極半導體特徵142上。在一些實施方式中，介電層610包括氟化石英玻璃（fluorinated silica glass，FSG）、磷矽酸鹽玻璃（phosphosilicate glass，

PSG)、硼磷矽酸鹽玻璃 (borophosphosilicate glass, BPSG)、碳摻雜氧化矽 (SiO_xC_y)、聚醯亞胺等，但不以此為限。可以使用諸如原子層沉積、化學氣相沉積、物理氣相沉積或其組合等合適製程來形成介電層610。

【0043】 在一些實施方式中，三閘極場效電晶體10可包括其他介電層（未繪示）形成於介電層610上，並覆蓋閘極特徵200。源極接觸插塞501、汲極接觸插塞502、以及閘極接觸插塞503穿過介電層610及所述其他介電層（未繪示）而分別接觸源極半導體特徵141、汲極半導體特徵142、以及閘極特徵200。在一些實施方式中，源極接觸插塞501、汲極接觸插塞502、以及閘極接觸插塞503可各自包括金屬材料，例如，Al、Cu、W、Ti、Ta、TiN、TiAl、TiAlN、TaN、NiSi、CoSi或其組合。

【0044】 在一些實施方式中，源極接觸插塞501、汲極接觸插塞502、以及閘極接觸插塞503可通過以下製程來形成。形成圖案化遮罩層於介電層610及所述其他介電層之上，其中圖案化遮罩層具有與欲形成接觸插塞的各個區域對齊的開口。使用圖案化遮罩層作為蝕刻遮罩，執行一蝕刻製程來蝕刻介電層610及所述其他介電層，從而暴露出源極半導體特徵141、汲極半導體特徵142、以及閘極特徵200。接著，使用諸如原子層沉積、化學氣相沉積、物理氣相沉積、電鍍或其組合的合適製程，以上述金屬材料來重新填充介電層610及所述其他介電層的蝕刻部分。

【0045】 在一些實施方式中，閘極特徵200包括間隔物

230，設置於閘極金屬底層260與源極半導體特徵141之間，以及閘極金屬底層260與汲極半導體特徵142之間（如第2C圖所示）。在一些實施例中，間隔物230包括氧化矽（SiO₂）、氮化矽（SiN）、氮氧化矽（SiON）、碳氮氧化矽（SiOCN）或其他合適的材料。在一些實施方式中，間隔物230可通過使用諸如原子層沉積、化學氣相沉積、物理氣相沉積或其他合適的技術，在閘極金屬底層260的側壁，以及閘極金屬底層260、功函數金屬層250、保護層270、及閘極金屬層210上沉積至少一種上述材料。接著，執行蝕刻製程於所沉積的材料上，而在閘極金屬底層260的側壁上形成間隔物230。

【0046】 請參照第3圖。第3圖繪示根據本揭示內容的其他實施方式，沿著第2A圖的線X-X'截取的三閘極場效電晶體10a的剖面示意圖。須說明的是，在第3圖中，與第2C圖相同或相似之元件被給予相同的符號，並省略相關說明。第3圖的三閘極場效電晶體10a與第2C圖的三閘極場效電晶體10相似，差異在於，三閘極場效電晶體10a的間隔氣隙240取代了三閘極場效電晶體10的間隔物230。

【0047】 如前所述，由於源極半導體特徵141、汲極半導體特徵142、源極接觸插塞501、以及汲極接觸插塞502與閘極特徵200緊密相鄰，因此在源極半導體特徵141（或汲極半導體特徵142）與閘極金屬層210之間，以及在源極接觸插塞501（或汲極接觸插塞502）與閘極金屬層210之間可能產生較高的寄生電容。在三閘極場效電晶體10a中，

間隔氣隙240取代了三閘極場效電晶體10的間隔物230。具體地，填充有空氣（其具有較低介電常數）的間隔氣隙240將源極半導體特徵141和源極接觸插塞501與閘極金屬層210隔開，以及將汲極半導體特徵142和汲極接觸插塞502與閘極金屬層210隔開。因此，可更加有效地降低源極半導體特徵141（或汲極半導體特徵142）與閘極金屬層210之間的寄生電容，以及源極接觸插塞501（或汲極接觸插塞502）與閘極金屬層210之間的寄生電容。

【0048】 在一些實施方式中，間隔氣隙240可通過以下製程來形成。進行化學機械研磨製程來移除介電層610的上部以暴露出間隔物230（如第2C圖所示）。接著，執行一蝕刻製程來移除間隔物230，從而形成間隔氣隙240（如第3圖所示）。舉例來說，當間隔物230（如第2C圖所示）包括如氮化矽（SiN）等氮化物時，可以利用磷酸來進行蝕刻製程以移除間隔物230。

【0049】 由上述發明實施例可知，在此揭露的三閘極場效電晶體包括設置在兩鰭片之間的鰭片隔離氣隙，因此可有效降低鰭片與鰭片之間的寄生電容。在此揭露的三閘極場效電晶體還包括設置在源極/汲極半導體特徵和源極/汲極接觸插塞與閘極金屬層之間的間隔氣隙，因此可有效降低源極/汲極半導體特徵與閘極金屬層之間的寄生電容，以及源極/汲極接觸插塞與閘極金屬層之間的寄生電容。

【0050】 相較於習知的FinFET結構，在製造本發明的三閘極場效電晶體時，不必填充低介電常數材料於兩鰭片之

間，因此可大幅降低三閘極場效電晶體之大小，並簡化製造製程。此外，在此揭露的三閘極場效電晶體還包含穿通阻擋層，因此可減少電流漏電流。

【0051】 上文概述若干實施例之特徵，使得熟習此項技術者可更好地理解本揭露之態樣。熟習此項技術者應瞭解，可輕易使用本揭露作為設計或修改其他製程及結構的基礎，以便實施本文所介紹之實施例的相同目的及/或實現相同優勢。熟習此項技術者亦應認識到，此類等效結構並未脫離本揭露之精神及範疇，且可在不脫離本揭露之精神及範疇的情況下產生本文的各種變化、替代及更改。

【符號說明】

【0052】

10 三閘極場效電晶體

110 基板

121 第一鰭片結構

121a 上部

121b 下部

122 第二鰭片結構

122a 上部

122b 下部

131 第二鰭片隔離氣隙

132 第一鰭片隔離氣隙

141 源極半導體特徵

- 142 汲極半導體特徵
- 200 閘極特徵
- 210 閘極金屬層
- 220 閘極介電層
- 230 間隔物
- 240 間隔氣隙
- 250 功函數金屬層
- 260 閘極金屬底層
- 270 保護層
- 300 淺溝槽結構的絕緣隔離
- 300a 溝槽
- 501 源極接觸插塞
- 502 汲極接觸插塞
- 503 閘極接觸插塞
- 610 介電層
- R1 穿通阻擋層
- D1、D2 方向

【發明申請專利範圍】

【第1項】 一種三閘極場效電晶體，包括：

一基板；
一淺溝槽結構的絕緣隔離，位於該基板上，並界定出一主動區域；

至少一鰭片結構，設置於該基板上，並位於該主動區域中，其中該至少一鰭片結構沿著一第一方向延伸；

一閘極特徵，跨越該至少一鰭片結構，並沿著一第二方向延伸，該第二方向與該第一方向垂直；

一源極半導體特徵和一汲極半導體特徵，位於該主動區域中，並在該第一方向上，設置於該閘極特徵的相對兩側；以及

一第一鰭片隔離氣隙，沿著該第一方向延伸，並位於該至少一鰭片結構與該淺溝槽結構的絕緣隔離之間，

其中該閘極特徵包括一閘極介電層和設置在該閘極介電層上方的一閘極金屬底層，其中該第一鰭片隔離氣隙位於該閘極介電層與該閘極金屬底層之間。

【第2項】 如申請專利範圍第1項所述的三閘極場效電晶體，其中該三閘極場效電晶體包括至少兩個鰭片結構，且更包括：

至少一第二鰭片隔離氣隙，沿著該第一方向延伸，並位於相鄰的兩個該些鰭片結構之間，以及位於該源極半導體特徵與該汲極半導體特徵之間。

【第3項】 如申請專利範圍第1項所述的三閘極場效電晶體，其中該至少一鱗片結構的一上部未摻雜有雜質離子或摻雜有一第一濃度以下的雜質離子，而該至少一鱗片結構的一下部摻雜有高於該第一濃度的一第二濃度的雜質離子。

【第4項】 如申請專利範圍第3項所述的三閘極場效電晶體，其中該雜質離子為 P^+ 、 As^+ 、 B_2F^+ 、 BF^{2+} 或 B^+ 。

【第5項】 如申請專利範圍第1項所述的三閘極場效電晶體，其中該閘極特徵更包括設置在該閘極金屬底層上方的一功函數金屬層及一閘極金屬層。

【第6項】 如申請專利範圍第5項所述的三閘極場效電晶體，其中該閘極介電層包括一高 k 介電層，且該閘極金屬層包括至少一金屬層。

【第7項】 如申請專利範圍第5項所述的三閘極場效電晶體，其中該閘極特徵包括一間隔物，設置於該閘極金屬底層與該源極半導體特徵之間，以及該閘極金屬底層與該汲極半導體特徵之間。

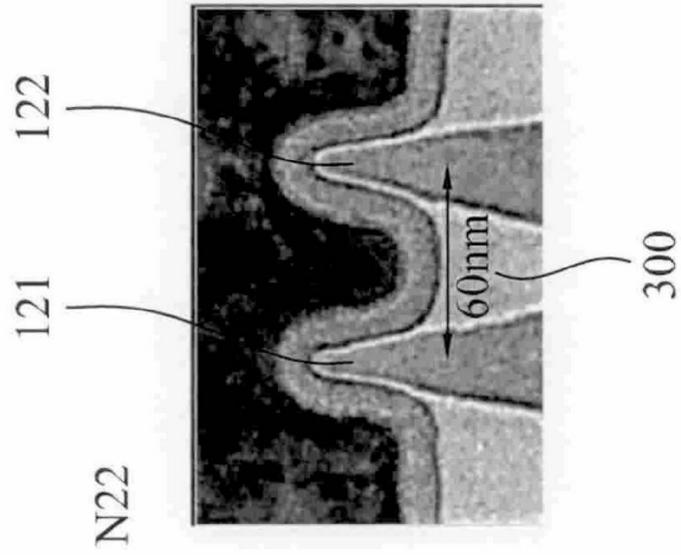
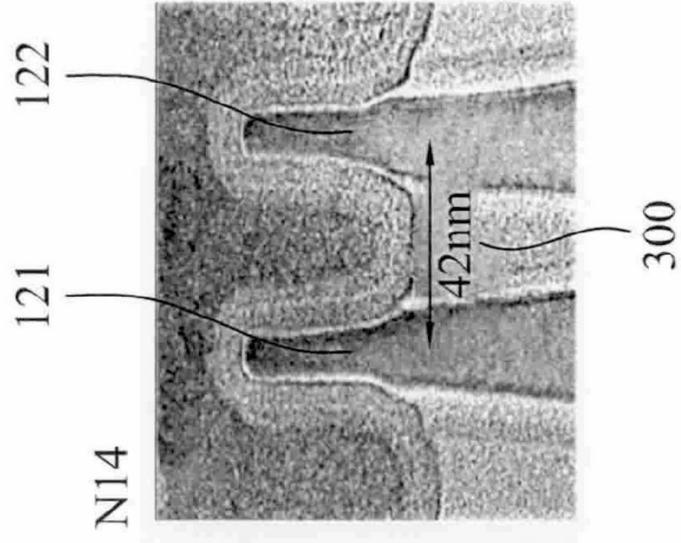
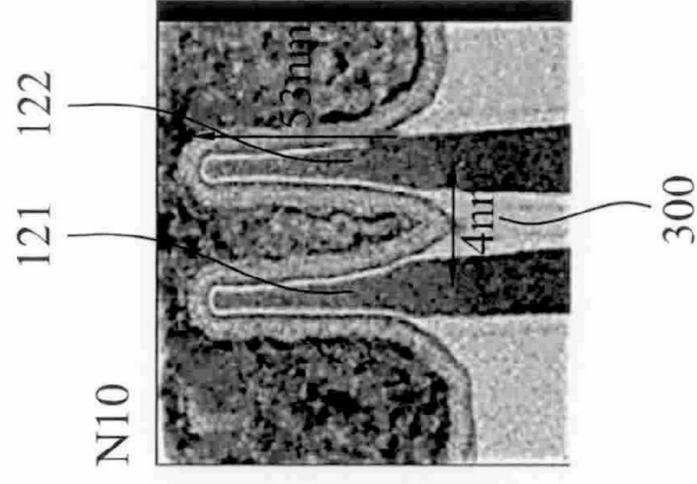
【第8項】 如申請專利範圍第5項所述的三閘極場效電晶體，其中該閘極特徵包括一間隔氣隙，設置於該閘極

金屬底層與該源極半導體特徵之間，以及該閘極金屬底層與該汲極半導體特徵之間。

【第9項】 如申請專利範圍第1項所述的三閘極場效電晶體，進一步包括：

一源極接觸插塞和一汲極接觸插塞，設置於該閘極特徵的相對兩側，其中該源極接觸插塞的底部接觸該源極半導體特徵，且該汲極接觸插塞的底部接觸該汲極半導體特徵。

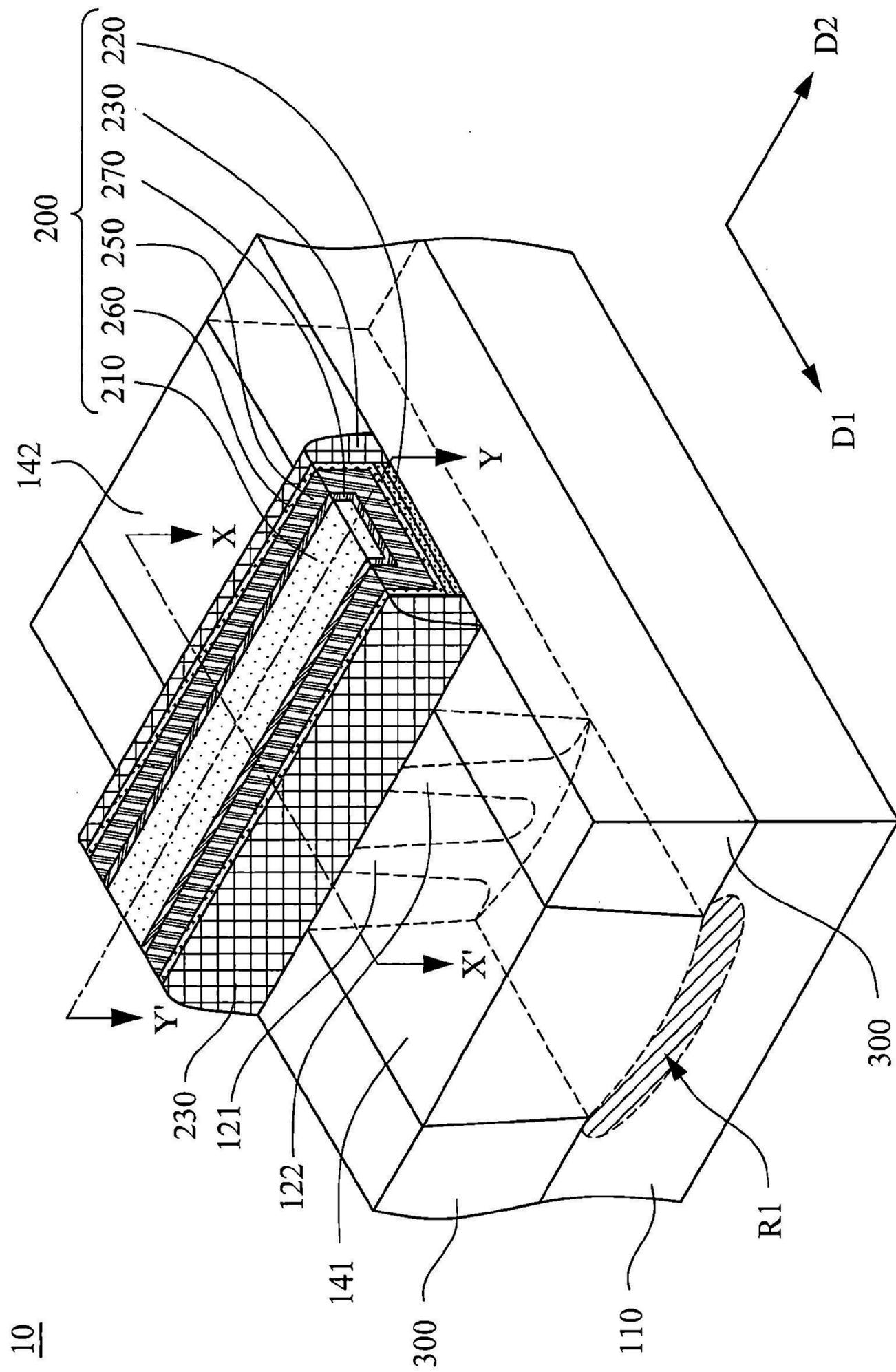
圖式



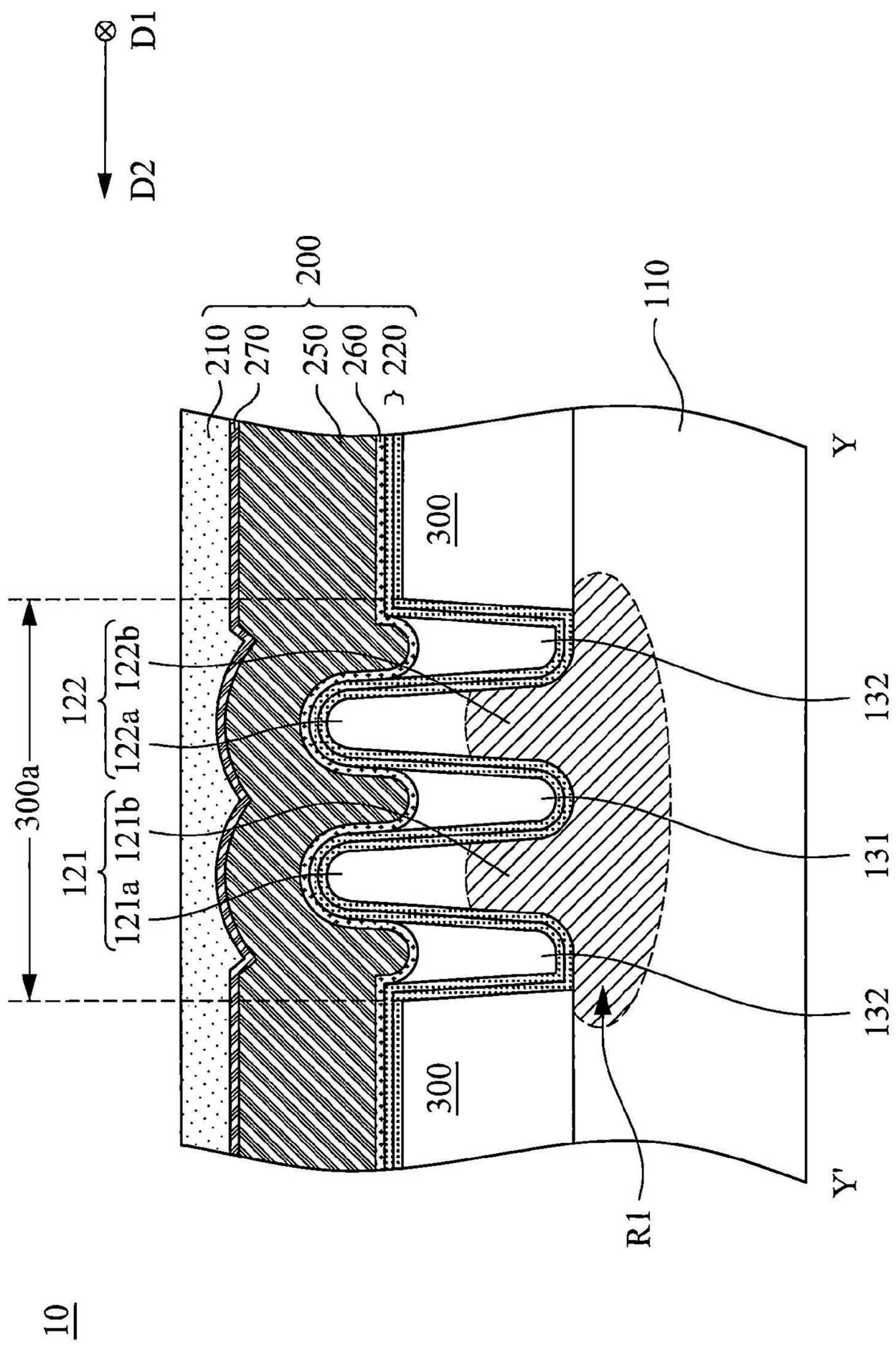
第1C圖

第1B圖

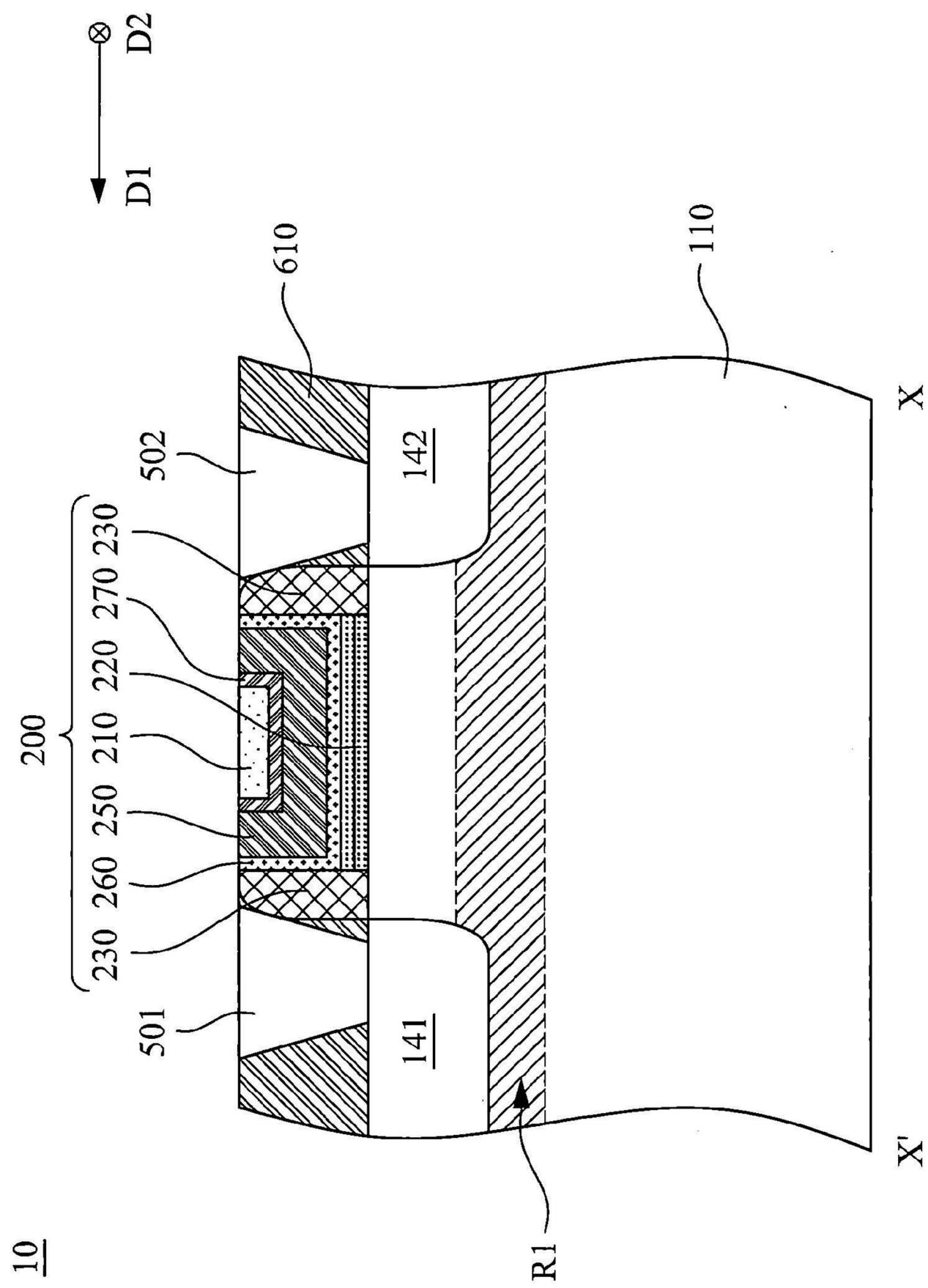
第1A圖



第2A圖

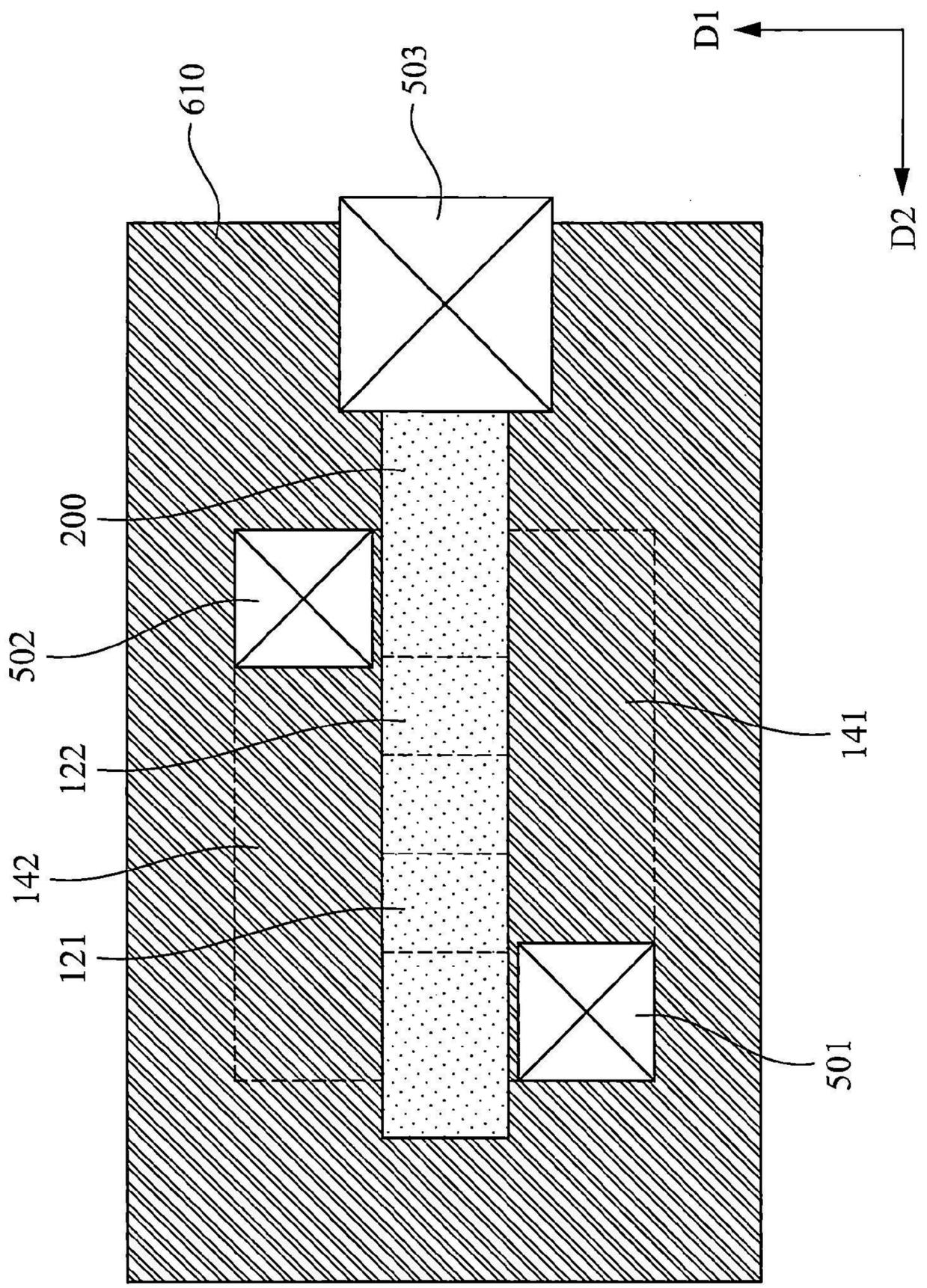


第2B圖

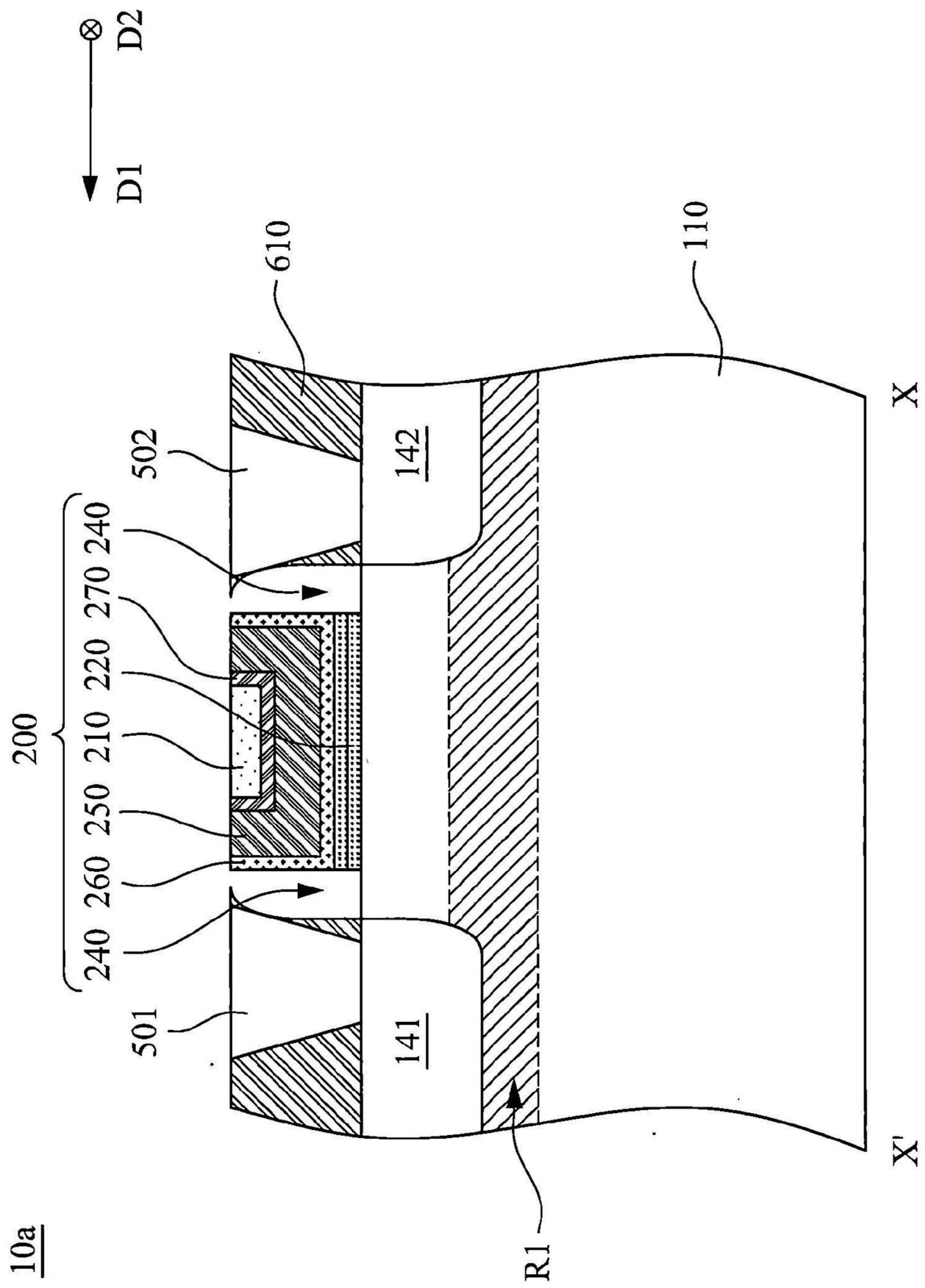


第2C圖

10



第2D圖



第3圖