

發明專利說明書

200529559

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：P313442f

※ 申請日期：93-11-11

※IPC 分類：

H03K 19/094

一、發明名稱：(中文/英文)

記憶體介面用內部電壓參考技術

INTERNAL VOLTAGE REFERENCE FOR MEMORY INTERFACE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

英特爾公司 / INTEL CORPORATION

代表人：(中文/英文)

塞門 大衛 / SIMON, DAVID

住居所或營業所地址：(中文/英文)

美國加州聖塔克萊拉市密遜大學道 2200 號

2200 Mission College Blvd. Santa Clara, CA, USA

國 籍：(中文/英文)

美國 / U. S. A.

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 蘇克爾 約翰 / ZUMKEHR, JOHN

2. 張德勒 詹姆斯 / CHANDLER, JAMES

3. 江 雷伊 / CHIANG, RAY

國 籍：(中文/英文)

1. 2. 美國 / U. S. A. 3. 中華民國 / R. O. C.

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國；2003, 11, 14； 10/714, 075

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

1. 本發明領域

本發明實施例一般係關於電壓參考產生技術，並且明
5 確地說係有關用於DDR記憶體介面之內部電壓參考產生技
術。

【先前技術】

2. 背景資訊

包裝成本是半導體裝置成本之主要部份。一般封裝中
10 接腳或端點數目愈大則封裝成本愈大。進一步地，封裝接
腳或端點需要空間以便構成連接，例如，對於印刷電路板
之連接。如果用於介接之接腳或端點之需求可被消除，則
封裝成本可以被減低或未被使用接腳可以另外地被指定不
同的功能，例如，一組額外的接腳或端點可用於電源或接
15 地。

習知電壓位準之電壓參考可以被使用以與輸入信號未
知位準比較而構成關於未知位準之一些判定。被使用於此
比較之電壓參考可用一些方式被產生。電壓參考可以外部
地被產生並且經由封裝之一組特定電壓參考接腳或端點而
20 被耦合進入一積體電路(IC)以供其中的電路使用。於此情況
中，該半導體之IC晶片具有一特定電壓參考墊以耦合至封
裝之電壓參考接腳或端點。

一封裝之特定電壓參考接腳或端點的使用增加封裝成
本。另外地，特定電壓參考接腳或端點之使用因容納外部

電壓參考之特定墊，而同時增加半導體IC晶片之成本。

【發明內容】

本發明提出一種介接至記憶體之積體電路，該積體電路包含：

5 一第一晶片外驅動器校準端點，用以耦合至一外部拉升電阻器；

 一第二晶片外驅動器校準端點，用以耦合至一外部拉降電阻器；

10 一第一開關，其被耦合在該第一晶片外驅動器校準端點和一電壓參考節點之間；以及

 一第二開關，其被耦合在該第二晶片外驅動器校準端點和該電壓參考節點之間。

圖式簡單說明

15 第1圖展示本發明實施例可以被採用之典型電腦系統的方塊圖。

 第2A圖展示本發明實施例可以被採用之中央處理單元的方塊圖。

 第2B圖展示本發明實施例可以被採用之另一中央處理單元的方塊圖。

20 第2C圖展示包含具有可利用記憶體控制器被校準之輸出驅動器的記憶體裝置之記憶體模組方塊圖。

 第3圖展示於一記憶體控制器中進行晶片外驅動器(OCD)拉升校準和晶片外驅動器(OCD)拉降校準之元件的方塊圖。

第4圖展示使用OCDH和OCDL校準端點/接腳之內部電壓參考產生技術之概念方塊圖。

第5A圖展示用以產生OCD模式之一組OCD拉升校準電壓之開關設定的方塊圖。

5 第5B圖展示用以產生OCD模式之一組OCD拉降校準電壓之開關設定的方塊圖。

第5C圖展示用於標準模式之內部電壓參考產生之開關設定的方塊圖。

第6圖展示電晶體開關範例分解圖，其提供OCD模式之
10 OCD校準電壓以及標準模式之內部電壓參考。

第7圖展示不需要一組外部電壓參考端點/接腳之封裝積體電路的方塊圖。

【實施方式】

於本發明實施例的下面詳細說明中，許多特定的細節
15 被設定以便提供本發明之完全了解。但是，熟習本技術者將明白，本發明實施例可以被實施而不必這些特定的細節。於其他情況中，習知的方法、步驟、構件以及電路將不被詳細說明以避免混淆本發明實施例之論點。

本發明實施例，藉由從一般被使用以進行晶片外驅動
20 器(OCD)校準的其他接腳/端點而產生一組內部電壓參考VREF，以消除一組外部電壓參考(VREF)、來自封裝之外部電壓參考(VREF)接腳/端點、以及於半導體晶片上之一組外部電壓參考護墊。一對校準接腳/端點(OCDH和OCDL)被使用以提供電壓或阻抗而校準支援雙重資料率(DDR)II規格

之驅動記憶體裝置之輸出驅動器，其說明於JEDEC固態技術協會於2003年9月頒佈之JESD 79-2 "DDR2 SDRAM規格"之JEDEC標準。於一記憶體控制器中，一組校準端點/接腳是用於OCD拉升校準之參考，同時另一組校準端點/接腳是用於OCD拉降校準之參考。當記憶體不供使用時，在啟始化或週期性的校準期間，這些校準端點/接腳被使用。在OCD校準時，內部被產生之電壓參考(VREF)不被記憶體控制器之輸入接收器所使用以接收資料。

當OCD校準被完成時，內部電壓參考VREF可以被產生並且被數位輸入接收器使用以接收資料。於此情況中，內部電壓參考VREF被使用以比較一組進入的數位資料信號而形成輸入信號是否為邏輯位準0或邏輯位準1之判定。亦即，內部電壓參考VREF之電壓位準作用如同一組行程點或切換點。例如，具有電壓位準在行程點之上的輸入信號是邏輯位準1且具有電壓位準在行程點之下的輸入信號是邏輯位準0。

於本發明一實施例中，揭示一種介接至記憶體之積體電路。該積體電路包含一組第一晶片外驅動器校準端點，用以耦合至一組外接拉升電阻器；一組第二晶片外驅動器校準端點，用以耦合至一組外接拉降電阻器；一組第一開關，其被耦合在該第一晶片外驅動器校準端點和一電壓參考節點之間；以及一組第二開關，其被耦合在該第二晶片外驅動器校準端點和該電壓參考節點之間。該第一開關和該第二開關選擇性地被關閉以於該電壓參考節點上產生一

組內部電壓參考而可與一組輸入信號比較以便接收資料；
該第一開關選擇性地被關閉且該第二開關選擇性地被打開
以於該電壓參考節點上產生一組拉升校準電壓而校準一組
晶片外驅動器；並且該第一開關選擇性地被打開且該第二
5 開關選擇性地被關閉以於該電壓參考節點上產生一組拉降
校準電壓而進一步地校準該晶片外驅動器。

於本發明另一實施例中，揭示一種於積體電路中用以
介接至記憶體之方法，其包含如果是在一拉升之晶片外驅
動器校準模式，則選擇將被耦合至一電壓參考節點之一拉
10 升校準端點以在其上提供一拉升校準電壓，且校準一晶片
外驅動器之拉升；如果是在一拉降之晶片外驅動器校準模
式，則選擇將被耦合至該電壓參考節點之一拉降校準端點
以在其上提供一拉降校準電壓，且校準該晶片外驅動器之
拉降；並且，如果是以一標準模式而接收資料時，則選擇
15 將被耦合至該電壓參考節點之該拉升校準端點和該拉降校
準端點以在其上提供一參考電壓，且從一資料端點接收資
料。

於本發明另一實施例中，一種系統被揭示，其包含一
組處理器，其用以執行指令且處理資料；一組雙重資料率
20 記憶體裝置，其用以儲存來自該處理器之資料並且讀取至
該處理器之資料；一組外接拉升電阻器，其具有被耦合至
第一組電源供應端點之第一組端點；一組外接拉降電阻
器，其具有被耦合至第二組電源供應端點之第一組端點；
以及一組記憶體控制器，其被耦合在該雙重資料率記憶體

裝置和該處理器之間，該記憶體控制器包含一組拉升校準端點，其被耦合至該外接拉升電阻器之第二組端點，一組拉降校準端點，其被耦合至該外接拉降電阻器之第二組端點，一組電壓參考節點，一組第一開關，其具有被耦合至該拉升校準端點之第一組開關連接以及被耦合至該電壓參考節點的第二組開關連接，以及一組第二開關，其具有被耦合至該拉降校準端點之第一組開關連接以及被耦合至該電壓參考節點之第二組開關連接。

於本發明另一實施例中，揭示一種供用於電腦系統之處理器，其包含一組介接至記憶體之記憶體控制器，該記憶體控制器具有耦合至一外接拉升電阻器之一拉升校準端點，耦合至一外接拉降電阻器之一拉降校準端點，一電壓參考節點，一組第一開關，其被耦合在該拉升校準端點和該電壓參考節點之間，以及一組第二開關，其被耦合在該拉降校準端點和該電壓參考節點之間。

於本發明另一實施例中，揭示一種介接至記憶體之封裝積體電路，其具有一組第一晶片外驅動器校準端點，用以耦合至第一組外接電阻器；一組第二晶片外驅動器校準端點，用以耦合至第二組外接電阻器；第一多數場效應電晶體，其具有一起併排地被耦合至該第一晶片外驅動器校準端點之源極以及一起併排地被耦合至一電壓參考節點之排極；以及第二多數場效應電晶體，其具有一起併排地被耦合至該第二晶片外驅動器校準端點之排極以及一起併排地被耦合至該電壓參考節點之源極。

接著參看第1圖，其展示可以採用本發明實施例之典型電腦系統100的方塊圖。電腦系統100包含一組中央處理單元(CPU)101；輸入/輸出裝置(I/O)102(例如鍵盤、數據機、印表機、外接儲存裝置及其類似者)；以及監視裝置(M)103，例如，CRT或圖形顯示器。監視裝置(M)103提供人工智慧型形式之電腦資訊，例如，視覺或音訊形式。系統100可以是除了電腦系統之外的一些不同電子系統。

接著參看第2A圖，其展示可以採用本發明實施例之中央處理單元101A的方塊圖。中央處理單元101A包含一組處理器201、一組記憶體控制器202、以及第一組記憶體通道之DDR記憶體204A，如所展示被耦合在一起。中央處理單元101A進一步地可包含供用於第二組記憶體通道之第二組DDR記憶體204B，以及碟片儲存裝置206。

各DDR記憶體204A和204B可以是一組或多組記憶體模組(MM1-MMn)，例如，一組雙排記憶體模組(DIMM)或一組單排記憶體模組(SIMM)。如第2C圖之展示，該一組或多組記憶體模組250可以包含一組或多組被耦合至具有邊緣連接254之印刷電路板251的DDR記憶體晶片252，例如SIMM或DIMM。該DDR記憶體204A、204B之一組或多組記憶體模組250的一組或多組DDR記憶體晶片252是典型動態隨機存取記憶體(DRAM)，但是亦可能是具有相似記憶體介面型式之其他型式的儲存體。DDR記憶體使用在一高邏輯位準(亦即，邏輯1位準)和一低邏輯位準(亦即，邏輯0位準)之間識別的一切換點或行程點。切換點或行程點是在一

組1和一組0之間識別的一單一電壓位準而對照於在一組1和一組0之間識別的一對電壓位準，例如被使用於標準TTL或CMOS邏輯中。藉由切換點或行程點之一單一位準，波形可在一較窄的電壓範圍之上擺動並且可在裝置之間以更快之資料率而傳送數位資料(邏輯1和0)。

記憶體控制器202是一組DDR記憶體控制器，用以提供介接至DDR記憶體204A和204B之DDR記憶體。

碟片儲存裝置206可以是軟碟、zip碟片、DVD碟片、硬碟、可重寫光碟、快閃記憶體或其他非依電性儲存裝置。

10 接著參看第2B圖，其展示可於本發明實施例被採用之中央處理單元101B的方塊圖。中央處理單元101B包含一組具有內部記憶體控制器202'之處理器201'以及第一組記憶體通道之DDR記憶體204A，如所展示被耦合在一起。中央處理單元101B可以進一步地包含供用於第二組記憶體通道
15 之第二組DDR記憶體204B、以及一組碟片儲存裝置206。比較於中央處理單元101A，處理器201'具有一組內部DDR記憶體控制器202'，用以提供至DDR記憶體204A和204B之DDR記憶體介接。

20 處理器201、201'可以進一步地包含一組或多組執行單元以及一組或多組位準之快取記憶體。其他位準的快取記憶體可以被外接至處理器並且介接至記憶體控制器。該處理器、該一組或多組執行單元、或該一組或多組位準之快取記憶體可以經由具有DDR記憶體之記憶體控制器而讀取或寫入資料(包含指令)。於介接至該記憶體控制器時，可以

有被耦合至DDR記憶體作為DDR記憶體介面部份之位址、資料、控制以及時脈信號。處理器201、201'以及碟片儲存裝置206可以讀取且寫入資訊進入DDR記憶體204A、204B中。

- 5 為了增加在記憶體控制器和記憶體204A、204B之間資料流之速度，當首先被安裝時，記憶體裝置252中之輸出驅動器可以啟始地被校準並且接著週期地被校準，例如，在導通之後。其需要校準驅動器，以便補償旋轉率及在記憶體控制器和記憶體裝置之間所發現之阻抗，以及溫度、程序變化，與隨時間之消耗。如果不校準，例如，電壓可能
- 10 經裝置之間的長線而下降，並且資料傳送錯誤可能發生。

- 記憶體控制器可進行校準量測並且發信號至記憶體裝置252以調整它們的輸出驅動器之拉升電晶體和拉降電晶體的強度。亦即，它們的阻抗或電阻位準可以被調整以得
- 15 到行程或切換點附近所需要的位準。於此情況中，記憶體裝置中輸出驅動器之校準利用記憶體控制器而晶片外地被進行並且被稱為晶片外驅動器(OCD)校準。晶片外驅動器(OCD)校準包含記憶體裝置之輸出驅動器中向上拉升電晶體的OCD拉升校準以及記憶體裝置之輸出驅動器中向下拉
- 20 降電晶體的OCD拉降校準。

接著參看第3圖，其展示被使用以藉由記憶體控制器202，202'而進行OCD拉升校準和OCD拉降校準之元件的方塊圖。OCD校準被使用以調整記憶體裝置中輸出驅動器之強度，例如，記憶體204A、204B中記憶體模組之輸出驅動

器的記憶體裝置252。在校準時，資料可從記憶體控制器被傳輸至記憶體裝置以調整輸出驅動器之標準驅動設定。

記憶體控制器202、202'中用於OCD拉升校準之元件被採用以校準記憶體裝置252之輸出驅動器中拉升電晶體之導通電阻，如第3圖展示之電阻器RONPU 301。記憶體控制器202、202'中用於OCD拉降校準之元件被採用以校準記憶體裝置252之輸出驅動器中拉降電晶體的導通電阻，如第3圖展示之電阻器RONPD 302。

藉由記憶體控制器202、202'而用於OCD拉升校準之元件包含OCD高位校準接腳OCDH 310，其被耦合至外接拉升電阻器REXTPU 311之一端點、一組三態驅動器314之輸出、以及一組比較器318之第一組輸入。外接拉升電阻器REXTPU 311之相對端點被耦合至具有正電源供應電壓或VDDQ的第一組電源供應端點。用於OCD拉升校準之元件進一步地包含一組三態驅動器316，其具有被耦合至資料輸出端點/接腳DQ1 312之輸出以及比較器318之第二組輸入。資料輸出端點/接腳DQ1 312可以經由一組外部粗短的電阻器RSTUB1 351而耦合至被校準之記憶體裝置252的輸出驅動器。於其他的情況中，外部粗短電阻器RSTUB1 351可以不被使用。

在拉升校準時，三態驅動器314和316被引動且接收邏輯零位準輸入以導通拉降電晶體而負載端點/接腳310和312。由於記憶體裝置252之驅動器中的拉升電晶體被導通，比較器318被使用以比較OCD之高位校準接腳OCDH

310和資料輸出端點/接腳DQ1 312上之電壓位準，以決定是否應該調整記憶體裝置252中拉升電晶體的驅動強度。如果需要調整，則資料可能從記憶體控制器被傳輸至記憶體裝置252以調整記憶體裝置252中拉升電晶體之標準驅動強度並且接著重新進行該比較。該資料可以指示用於輸出驅動器的拉升之一組或多組位準之增量阻抗或電阻的增加或減少。這週期可以被重複直至達到所需要的設定為止。

藉由記憶體控制器202、202'用於OCD拉降校準之元件包含一組OCD低位校準接腳OCDL 320，其被耦合至外接拉降電阻器REXTPD 321之一端點、三態驅動器324之一輸出、以及比較器328之第一組輸入。外接拉降電阻器REXTPD 321之相對端點被耦合至具有負電源供應電壓或接地之第二組電源供應端點。用於OCD拉降校準之元件進一步地包含一組三態驅動器326，其具有一輸出被耦合至一資料輸出端點/接腳DQ2 322以及比較器328之第二輸入。資料輸出端點/接腳DQ2 322可以經由一組外接之粗短的電阻器RSTUB2 352而耦合至被校準之記憶體裝置252的輸出驅動器。於其他的情況中，該外接之粗短的電阻器RSTUB2 352可以不被使用。

在拉降校準時，三態驅動器324和326被引動且接收邏輯1位準輸入以導通拉升電晶體而負載端點/接腳320和322。由於記憶體裝置252之驅動器中的拉降電晶體被導通，比較器328被使用以比較OCD之低位校準接腳OCDL 320和資料輸出端點/接腳DQ2 322之電壓位準以決定是否

應該調整記憶體裝置252中拉降電晶體之驅動強度。如果需要調整，則資料可能從記憶體控制器被傳輸至記憶體裝置252以調整記憶體裝置252中拉降電晶體之標準驅動強度並且接著重新進行該比較。資料可以指示用於輸出驅動器拉

5 降之一組或多組位準的增量阻抗或電阻的增加或減少。這週期可以被重複直至達到所需要的設定為止。

外接拉升電阻器REXTPU 311可以具有等於一組拉升目標電阻和外接之粗短電阻器RSTUB1的電阻總和之一電阻值。外接拉降電阻器REXTPD 321可以具有等於拉降目標

10 電阻和外接之粗短的電阻器RSTUB2電阻之總和的電阻值。外接之粗短的電阻器RSTUB1和外接之粗短的電阻器RSTUB2是提供信號整體性之外接電阻器。各資料位元DQi

15 在記憶體和記憶體控制器之間的資料通道中具有一組外接之粗短的電阻器並且其一般各具有相等之電阻。拉升目標電阻和拉降目標電阻一般是相同。拉升目標電阻和拉降目標電阻可以被選擇而為18個歐姆加減3歐姆，而在從15至21歐姆之電阻範圍中。

雖然OCD高位校準接腳OCDH 310和OCD低位校準接腳OCDL 320被使用以供用於OCD校準時，它們同時也可被

20 使用以產生一組內部電壓參考(VREF)，其被輸入接收器所使用以檢測數位輸入信號之邏輯位準。亦即，OCDH端點/接腳310和OCDL端點/接腳320是多功能的，以被使用於OCD校準且用於內部電壓參考產生。

接著參看第4圖，其展示使用成對之校準端點/接腳

(OCDH 310和OCDL 320)以產生一組內部電壓參考(VREF)之概念。於此情況中，內部電壓參考VREF藉由被建立在VDDQ和VSS之間的分壓器電阻網路而內部地被產生。一般，該分壓器電阻網路使用二組相等值電阻以分割在VDDQ和VSS之間的電壓為半。當於OCD校準模式時，該成對之校準端點/接腳(OCDH 310和OCDL 320)被使用以耦合在其上被產生之校準電壓至OCD拉升比較器318和OCD拉降比較器328之一組輸入。當記憶體控制器不是在OCD校準模式時，(亦即，是在標準模式)，成對之校準端點/接腳(OCDH 310和OCDL 320)可以被使用以產生內部電壓參考，以便從記憶體中之記憶體裝置接收資料。

數位輸入接收器400具有被耦合至一組資料輸入端點/接腳DQi 414之一組輸入以及被耦合至內部電壓參考(VREF)的另一組輸入。反應於在內部電壓參考(VREF)的電壓位準高於或低於資料輸入端點/接腳DQi 414上之電壓位準，數位輸入接收器400在其輸出DATA IN 416產生數位邏輯位準。例如，如果輸入端點/接腳DQi 414上之電壓位準資料是在內部電壓參考(VREF)的電壓位準之上，則數位輸入接收器400可以在其輸出DATA IN 416產生一組高位邏輯位準(亦即，1)。如果在資料輸入端點/接腳DQi 414上之電壓位準是在內部電壓參考(VREF)的電壓位準之下，則數位輸入接收器400可以於其輸出DATA IN 416產生一組低位邏輯位準(亦即，0)。

至少一對開關被使用以切換在OCD校準模式和標準模

式之間校準接腳的功能。當記憶體控制器不是於OCD校準模式時，本發明實施例藉由經由成對之開關而一起耦合OCD低位和OCD高位端點/接腳(分別地於此處被稱為OCDL 320和OCDH 310)以產生一組內部電壓參考VREF。

- 5 當它們是在關閉狀態時，該成對之開關可以具有與它們相關的一些電阻。

圖形5A-5C展示一對開關501、502，其是當資料將被接收時，於OCD校準模式(亦即，拉升和拉降校準)和標準模式之間被切換之記憶體控制器202、202'中的開關。當在記憶體控制器中這開關的組態時，相同節點(VREF 500)可被使用以分佈一組拉升校準電壓、一組拉降校準電壓、以及供用於資料接收之內部VREF。以此方式，反應於該模式，被分佈在一組半導體裝置內之參考電壓數量可以利用在其上被選擇的適當電壓而被減低。另外地，被接受以供進行校準之比較器318和328不需要被使用。於各輸入接收器400A-400n中之比較器，除了在標準模式時接收資料之外，可以被使用以在校準模式時進行校準。

各開關501、502具有第一組開關連接、第二組開關連接、以及一組控制連接。該控制連接控制在第一開關連接和
20 第二開關連接間之開關的打開和關閉。開關501被耦合在拉升校準端點OCDH 310和電壓參考節點500之間。開關501之第一開關連接被耦合至拉升校準端點OCDH 310並且開關501之第二開關連接被耦合至電壓參考節點500。開關501之控制連接被耦合至開關控制器510。開關502被耦合在拉

降校準端點OCDL 320和電壓參考節點500之間。開關502之第一開關連接被耦合至拉降校準端點OCDL 320並且開關502之第二開關連接被耦合至電壓參考節點500。開關502之控制連接被耦合至開關控制器510。

- 5 於第5A圖中，開關被設定以提供OCD拉升校準。反應於來自開關控制器510之接收開關控制信號，開關501被關閉並且開關502被打開。開關控制器510是反應於該模式。於此情況中，反應於以OCD校準模式而進行OCD拉升校準，開關控制器510產生開關控制信號。注意到，開關501
- 10 可以代表至少一組開關選擇性地被關閉之併列的多數開關。開關502可以代表第5A圖中不被關閉之併列的多數開關。

- 於第5A圖中，三態驅動器314利用一組邏輯零輸入被驅動以耦合一組拉降負載至OCDH端點/接腳310上。外接電阻
- 15 器REXTPU 311被耦合在VDDQ和OCDH端點/接腳310之間以在其上產生一組校準電壓。當稍許電流流經開關501時，於OCDH端點/接腳310上之校準電壓則經由開關501而大致地被耦合至節點VREF 500上。OCDH端點/接腳310和節點VREF 500上之校準電壓被輸入接收器400A-400n之一組比
- 20 較器所使用，以比較，例如，先前說明的資料匯流排之分別資料端點/接腳DQi上的電壓位準與資料端點/接腳DQ1 312上的電壓位準。

資料端點/接腳DQi之資料匯流排可以是一組單向或雙向作用資料匯流排。於一組單向資料匯流排之情況中，資

料端點/接腳DQi是記憶體控制器之資料輸入端點/接腳。於一組雙向作用資料匯流排之情況中，資料端點/接腳DQi是記憶體控制器之資料輸入/輸出端點/接腳並且具有晶片上之輸入接收器以及被耦合於此之輸出驅動器。晶片外輸出
5 驅動器，其將被校準且資料將從此被接收，具有被耦合至分別的資料端點/接腳DQi之輸出。

第5B圖中，開關被設定以提供OCD拉降校準。反應於來自開關控制器510之接收開關控制信號，開關501被打開且開關502被關閉。反應於OCD校準模式而進行OCD拉降校
10 準，開關控制器510產生開關控制信號。注意到，開關501可以代表不被關閉之併列的多數個開關。開關502可以代表於第5B圖中至少一組開關選擇性地被關閉之併列的多數個開關。

第5B圖中，三態驅動器324藉由一組邏輯1輸入被引動
15 以耦合一組拉升負載至OCDL端點/接腳320上。外接電阻器REXTPD321被耦合在接地和OCDL端點/接腳320之間，以在其上產生一組校準電壓。當稍許電流流經開關502時，OCDL端點/接腳320上之校準電壓經由開關502而大致地被耦合至節點VREF 500上。OCDL端點/接腳320和節點VREF 500
20 上之校準電壓被輸入接收器400A-400n一組比較器所使用以比較，例如，先前被說明之資料端點/接腳DQi上的電壓位準與資料端點/接腳DQ2 322上的電壓位準。以此方式，各資料端點/接腳DQi可以具有於被校準之記憶體裝置的各晶片外驅動器中之拉升和拉降。

第5C圖中，開關被設定以提供用於資料接收之內部
VREF。反應於來自開關控制器510之接收開關控制信號，
開關501被關閉並且開關502被關閉。當不經由資料匯流排
驅動資料時，反應於正常地自記憶體中接收資料，開關控
5 制器510產生開關控制信號。注意到，開關501可以代表至
少一組開關選擇性地被關閉之併列的多數個開關。開關502
可以代表至少一組開關選擇性地被關閉之併列的多數個開
關。

第5C圖中，三態驅動器314和324不被引動(亦即，於第
10 三態)因而不驅動一組負載至OCDH端點/接腳310或OCDL
端點/接腳320上，並且因此它們不被展示。外接電阻器
REXTPD 321保持被耦合在接地和OCDL端點/接腳320之間
且外接電阻器REXTPU311保持被耦合在VDDQ和OCDH端
點/接腳310之間。

15 外接電阻器REXTPU 311之電阻、開關501之開關電
阻、開關502之開關電阻、以及外接電阻器REXTPD 321之
電阻，分割在VDDQ和接地之間的電壓並且耦合其至節點
VREF 500。於一實施例中，輸入接收器之切換點是在VDDQ
和接地之間的中間點。於此情況中，需要設定在VDDQ和
20 VREF 500之間的電阻使等於在VREF 500和接地之間的電
阻，以便分割在VREF 500上之VDDQ和接地間的電壓為
半。由於外接電阻器REXTPU 311之電阻和外接電阻器
REXTPD321之電阻是相等，開關501和502之開關電阻被調
整相等以分割在VREF 500上之VDDQ和接地間的電壓為

半。於其他的實施例中，切換點可能藉由使用供用於開關501和502的不同開關電阻而自VDDQ和接地之間的中間點被偏移。

5 節點VREF 500上之內部電壓參考被耦合進入數位輸入接收器400之一組輸入。節點VREF 500上之內部電壓參考被數位輸入接收器400所使用以比較資料端點/接腳上，例如，DQi 414，之電壓位準，以於416中產生資料，如參考第4圖之說明和展示。

10 有多種方法用以實施本發明，包含(但是非限制)使用類比開關、傳輸閘、或電晶體。於一實施例中，第一組多數場效應電晶體("FET")(其具有一起併列地被連接之源極及一起併列地被連接在OCDH和VREF之間的排極)以及第二組多數場效應電晶體("FET")(其具有一起併列地被連接之源極及一起併列地被連接在VREF和OCDL之間的排極)可
15 以被使用以產生一組可選擇之VREF的電壓位準。

一般用於資料接收，(亦即，標準模式)，需要在電源供應軌VDDQ和接地之間的標準中間點產生VREF。被導通和斷電之電晶體數量可被變化以大致地達到中間點電壓位準。但是，於一些情況中，其可能需要設定從中間點值被
20 偏移之VREF的電壓位準，例如，用於測試或實驗。於校準模式中，OCD拉升校準和OCD拉降校準，VREF之電壓位準分別地被設定以供校準。在校準時，經由場效應電晶體("FET")開關之電流是大致地接近零，因而跨越它們之電壓降是可以忽略的。

接著參看第6圖，其展示本發明實施範例之分解圖。於這實施例中，p-通道場效應電晶體("PFET")被使用在OCDL端點/接腳320和VREF 500以及OCDH端點/接腳310和VREF 500之間。當在OCDL和OCDH端點/接腳之間的至少二組PFET被導通時，該PFET可以被使用以產生內部電壓參考VREF。於另一實施例中，n-通道場效應電晶體("NFET")可以取代一組或兩組PFET。於另一實施例中，PFET可以使用其源極和排極以併列地被耦合於PFET的源極和排極之NFET被互補，並且閘極被控制因而它們一起併列地被導通。於其他的實施例中，一種不同的電晶體開關或不同型式的開關可以取代PFET。

第6圖中，第一組多數個PFET 601A-601m的源極一起併列地被連接並且它們的排極一起併列地被連接在OCD高位校準端點/接腳OCDH 310和VREF 500之間。第二組多數個PFET 602A-602m的源極一起併列地被連接並且它們的排極一起併列地被連接在VREF 500和OCD低位校準端點/接腳OCDL 320之間。第一組多數個PFET 601A-601m之寬度和長度可以從一組變化至另一組，以當關閉時而提供變化開關電阻。第二組多數PFET 602A-602m之寬度和長度同時也可以從一組變化至另一組以當關閉時而提供變化開關電阻。

PFET 601A-601m和PFET 602A-602m接著可以被使用以藉由選擇性地控制被導通之併列的電晶體數量並且藉由控制驅動它們閘極的控制信號610A-610m和611A-611m之

電壓位準而產生一組可選擇之VREF 500的電壓位準。以此方式，在OCD高位校準端點/接腳OCDH 310和VREF 500之間的電阻可以被設定而等效於在VREF 500和OCD低位校準端點/接腳OCDL 320之間的電阻以提供分割一半之電壓。

- 5 開關控制器510於開關控制信號PD0-PDm 610A-610m以及開關控制信號PU0-PUm 611A-611m之產生是反應於一組模式輸入650。如果模式輸入650是標準模式，一組內部電壓參考藉由至少一對之開關而被產生於節點VREF 500上，則PFET 601A-601m之一組PFET被導通並且PFET
- 10 602A-602m之一組PFET被導通。如果模式輸入650是OCD拉升校準，則拉升校準電壓被耦合進入節點VREF 500並且PFET 601A-601m之至少一組或多組PFET被導通而且沒有PFET 602A-602m被導通(亦即，所有的PFET 602A-602m被斷電)。如果模式輸入650是OCD拉降校準，則拉降校準電
- 15 壓被耦合進入節點VREF 500並且PFET 602A-602m之至少一組或多組PFET被導通而且沒有PFET 601A-601m被導通(亦即，所有的PFET 601A-601m被斷電)。

- VREF 500被扇出並且被耦合進入各數位輸入接收器400A-400n之一組輸入。資料端點/接腳DQ1-DQn
- 20 614A-614n分別地被耦合進入各數位輸入接收器400A-400n之其他的輸入。當於校準模式時，從OCDH端點/接腳310和OCDL端點/接腳320選擇性地被耦合至節點VREF500上之校準電壓被輸入接收器400A-400n之一組比較器所使用，而比較於資料端點/接腳DQ1-DQn 614A-614n上之電壓

位準。

資料端點/接腳DQ1-DQn 614A-614n之資料匯流排可以是一單向或雙向資料匯流排。於一單向資料匯流排之情況中，該資料端點/接腳DQ1-DQn 614A-614n是資料輸入端
5 點/接腳。於一雙向資料匯流排之情況中，該資料端點/接腳DQ1-DQn 614A-614n是記憶體控制器之資料輸入/輸出端點/接腳並且具有晶片上輸入接收器以及被耦合之輸出驅動器。晶片外輸出驅動器，其被校準且資料從其被接收，它們的輸出被耦合至分別的資料端點/接腳DQ1-DQn
10 614A-614n。

各資料端點/接腳DQ1-DQn 614A-614n可以使記憶體裝置各晶片外驅動器中之拉升和拉降被校準。當於標準模式時，選擇性地被耦合至節點VREF 500上之參考電壓被輸入接收器400A-400n之一組比較器所使用以比較於資料端
15 點/接腳DQ1-DQn 614A-614n上之電壓位準而決定進入信號之邏輯狀態。

一般對於資料接收，需要在電源供應軌VDDQ和接地之間的標準中間點產生VREF。被導通和被斷電之電晶體數量可藉由開關控制器510而被變化以大致地達成中間點電
20 壓位準。但是，於一些實例中，可能需要設定從中間點值被偏移之VREF的電壓位準，例如，用於測試或實驗。

當以標準模式被操作時，FET的一組相等強度可以被連接到OCD低位接腳和OCD高位接腳。即使FET之導通電阻可以隨程序、電壓、以及溫度而變化；其可能匹配FET，

因而從 VREF 500 至 OCDH 端點/接腳 310 之電阻是等於從 VREF 500 至 OCDL 端點/接腳 320 之電阻，以得到一組精確中間點 VREF。開關控制器 510 同時也可以產生開關控制信號 PD0-PDm 610A-610m 和開關控制信號 PU0-Pum 611A-611m 之各種電壓位準，以變化被施加至 PFET 601A-601m 和 PFET 602A-602m 閘極之閘極電壓，以便變化它們的電阻，因而它們可如所需而有更多地等效或較少地等效。

於校準模式中，OCD 拉升校準和 OCD 拉降校準，節點 VREF 500 上之電壓位準分別地被設定以供用於如先前討論之校準。在校準時，經由場效應電晶體("FET")開關之電流是大致地接近零，因此跨越它們之電壓降是可以忽略的。

接著參看第 7 圖，封裝積體電路 700 被展示。封裝積體電路 700 可以是一組記憶體控制器 202、包含記憶體控制器 202' 之處理器 201'、或具有 DDR 記憶體介面之其他裝置。封裝積體電路 700 包含一組半導體晶片 701 和一組封裝 702。該封裝 702 包含一組 OCDH 端點/接腳 704 和一組 OCDL 端點/接腳 706 並且沒有外接 VREF 端點/接腳。OCDH 端點/接腳 704 和 OCDL 端點/接腳 706 可以是不同半導體封裝之接腳或其他型式的端點，例如，錫料隆起、錫料球體、或各種型式之導線端點(例如，平直導線、彎曲導線、j 導線、溝型-導線、以及 l-導線)及無導線端點，其被使用於半導體封裝中。OCDH 端點/接腳 704 和 OCDL 端點/接腳 706 選擇性地提供多種功能-OCD 校準和內部 VREF 產生。半導體晶片 701 包含一組 OCDH 護墊 707 及一組 OCDL 護墊 709 而沒有額外的 VREF

護墊以連接至一組外接VREF端點/接腳。

本發明實施例可以減低印刷電路板構件數量(例如，沒有用於分壓器之外接電阻器)以及記憶體控制器之接腳外觀中(或於球形柵陣列封裝之球形外觀中之球體)的接腳數量。本發明實施例可內部地產生一組電壓參考，不需外部VREF接腳/端點，而不致有精確度之損失或不致有使用複雜之類比電路。

雖然某些實施範例已利用附圖被說明並且被展示，應了解到，此等實施例僅是供展示用而非限制廣義的本發明，並且本發明不受限制於所展示與被說明之特定構造和配置，熟習本技術者應明白，本發明可有各種其他的修改。例如，雖然一組DDR記憶體介面已詳細地被說明在DDR記憶體控制器之內，其同時亦可以具有相似界面型式之其他晶片型式而製作本發明實施例。

15 【圖式簡單說明】

第1圖展示本發明實施例可以被採用之典型電腦系統的方塊圖。

第2A圖展示本發明實施例可以被採用之中央處理單元的方塊圖。

20 第2B圖展示本發明實施例可以被採用之另一中央處理單元的方塊圖。

第2C圖展示包含具有可利用記憶體控制器被校準之輸出驅動器的記憶體裝置之記憶體模組方塊圖。

第3圖展示於一記憶體控制器中進行晶片外驅動器

(OCD)拉升校準和晶片外驅動器(OCD)拉降校準之元件的方塊圖。

第4圖展示使用OCDH和OCDL校準端點/接腳之內部電壓參考產生技術之概念方塊圖。

5 第5A圖展示用以產生OCD模式之一組OCD拉升校準電壓之開關設定的方塊圖。

第5B圖展示用以產生OCD模式之一組OCD拉降校準電壓之開關設定的方塊圖。

10 第5C圖展示用於標準模式之內部電壓參考產生之開關設定的方塊圖。

第6圖展示電晶體開關範例分解圖，其提供OCD模式之OCD校準電壓以及標準模式之內部電壓參考。

第7圖展示不需要一組外部電壓參考端點/接腳之封裝積體電路的方塊圖。

15 【主要元件符號說明】

100…電腦系統	204B…第二DDR記憶體
101…中央處理單元	206…碟片儲存裝置
102…輸入/輸出裝置	250…記憶體模組
103…監視裝置	251…印刷電路板
201…處理器	252…記憶體裝置
201'…處理器	254…邊緣 連接
202…記憶體控制器	301…電阻器RONPU
202'…記憶體控制器	302…電阻器RONPD
204A…第一DDR記憶體	310…高位校準接腳

- 311...拉升電阻器REXTPU
- 312...資料輸出端點/接腳
- 314...三態驅動器
- 316...三態驅動器
- 318...比較器
- 320...低位校準接腳
- 321...拉降電阻器REXTPD
- 322...資料輸出端點/接腳
- 324...三態驅動器
- 326...三態驅動器
- 328...比較器
- 351...電阻器RSTUB1
- 352...電阻器RSTUB2
- 400...數位輸入接收器
- 414...資料輸入端點/接腳
- 416...資料輸入
- 500...電壓參考節點
- 501...開關
- 502...開關
- 510...開關控制器
- 601A-601m...PFET
- 602A-602m...PFET
- 610A-610m...閘極控制信號
- 611A-611m...閘極控制信號
- 614A-614n...資料端點/接腳
- 416 A-616n...資料輸入
- 650...模式輸入
- 700...封裝積體電路
- 701...半導體晶片
- 702...封裝
- 704...OCDH端點/接腳
- 706...OCDL端點/接腳
- 707、709...OCDH護墊

五、中文發明摘要：

本發明實施例包含一組介接至記憶體之記憶體控制器。於一實施例中，該記憶體控制器包含一組耦合至一外接拉升電阻器之拉升校準端點、一組耦合至一外接拉降電阻器之拉降校準端點、一組電壓參考節點、被耦合在該拉升校準端點和該電壓參考節點之間的一組第一開關、以及被耦合在該拉降校準端點和該電壓參考節點之間的一組第二開關。該第一開關和該第二開關可以選擇性地被閉合而以標準模式於該電壓參考節點上產生一組內部電壓參考，其可以被使用與一組輸入信號相比較以接收資料。

六、英文發明摘要：

Embodiments of the invention include a memory controller to interface to memory. In one embodiment, the memory controller includes a pull-up calibration terminal to couple to an external pull-up resistor, a pull-down calibration terminal to couple to an external pull-down resistor, a voltage reference node, a first switch coupled between the pull-up calibration terminal and the voltage reference node, and a second switch coupled between the pull-down calibration terminal and the voltage reference node. The first switch and the second switch may be selectively closed to generate an internal voltage reference on the voltage reference node in a normal mode that may be used for comparison with an input signal to receive data.

十、申請專利範圍：

1. 一種介接至記憶體之積體電路，該積體電路包含：

一第一晶片外驅動器校準端點，用以耦合至一外部拉升電阻器；

5 一第二晶片外驅動器校準端點，用以耦合至一外部拉降電阻器；

一第一開關，其被耦合在該第一晶片外驅動器校準端點和一電壓參考節點之間；以及

10 一第二開關，其被耦合在該第二晶片外驅動器校準端點和該電壓參考節點之間。

2. 如申請專利範圍第 1 項之積體電路，其中：

該第一開關和該第二開關選擇性地被閉合，以於該電壓參考節點上產生一內部電壓參考值，而可供與一輸入信號比較以便接收資料。

15 3. 如申請專利範圍第 2 項之積體電路，其中：

該第一開關選擇性地被閉合，且該第二開關選擇性地被開斷，以於該電壓參考節點上產生一拉升校準電壓，而校準一晶片外驅動器。

4. 如申請專利範圍第 3 項之積體電路，其中：

20 該第一開關選擇性地被開斷，且該第二開關選擇性地被閉合，以於該電壓參考節點上產生一拉降校準電壓，而進一步校準該晶片外驅動器。

5. 如申請專利範圍第 1 項之積體電路，其進一步包含：

多數個輸入接收器，其各具有耦合至該電壓參考節點

的一第一輸入以及耦合至多個資料端點中之一個別資料端點的一第二輸入。

6. 如申請專利範圍第 5 項之積體電路，其中：

各輸入接收器包含：

5 一比較器，其具有耦合至該電壓參考節點之一第一輸入以及耦合至該個別資料端點的一第二輸入，該資料端點耦合至一晶片外輸出驅動器以供校準。

7. 如申請專利範圍第 1 項之積體電路，其進一步包含：

10 一開關控制器，其具有一模式輸入、耦合至該第一開關之一控制輸入之一第一控制輸出、以及耦合至該第二開關之一控制輸入之一第二控制輸出，該開關控制器響應於該模式輸入而控制該第一開關和該第二開關之開斷和閉合動作。

8. 如申請專利範圍第 7 項之積體電路，其中：

15 該第一開關和該第二開關選擇性地被閉合，以於該電壓參考節點上產生一內部電壓參考值，而可供與一輸入信號比較以便接收資料；

20 該第一開關選擇性地被閉合，且該第二開關選擇性地被開斷，以於該電壓參考節點上產生一拉升校準電壓，而校準一晶片外驅動器；並且

該第一開關選擇性地被開斷，且該第二開關選擇性地被閉合，以於該電壓參考節點上產生一拉降校準電壓，而進一步校準該晶片外驅動器。

9. 如申請專利範圍第 1 項之積體電路，其中：

該積體電路是一個記憶體控制器。

10. 如申請專利範圍第 1 項之積體電路，其中：

該積體電路是一個處理器。

11. 一種於積體電路中用以介接至記憶體之方法，該方法包含：

如果是處在一拉升動作之一晶片外驅動器校準模式下，則：

選擇一拉升校準端點供耦合至一電壓參考節點，
以在其上提供一拉升校準電壓，以及

10 校準一晶片外驅動器之拉升動作；

如果是處在一拉降動作之一晶片外驅動器校準模式下，則：

選擇一拉降校準端點供耦合至該電壓參考節點，
以在其上提供一拉降校準電壓，以及

15 校準該晶片外驅動器之拉降動作；

以及，

如果是處於一標準模式下以接收資料時，則：

選擇該拉升校準端點和該拉降校準端點供耦合至
該電壓參考節點，以在其上提供一參考電壓，以及

20 從一資料端點接收資料。

12. 如申請專利範圍第 11 項之方法，其進一步包含：
在選擇、校準及接收動作之前：

耦合一外部拉升電阻器至該拉升校準端點；以及

耦合一外部拉降電阻器至該拉降校準端點。

13. 如申請專利範圍第 11 項之方法，其中：

從該資料端點接收資料之該動作包含：

比較該電壓參考節點上之該參考電壓與該資料端點上之一進入信號。

5 14. 如申請專利範圍第 13 項之方法，其中：

該晶片外驅動器之該拉升動作的該校準動作包含：

比較該電壓參考節點上之該拉升校準電壓與該資料端點上之一進入信號。

15. 如申請專利範圍第 14 項之方法，其中：

10 該晶片外驅動器之該拉降動作的該校準動作包含：

比較該電壓參考節點上之該拉降校準電壓與該資料端點上之一進入信號。

16. 一種系統，其包含：

一處理器，其用以執行指令及處理資料；

15 一雙重資料率(DDR)記憶體裝置，其用以儲存來自該處理器之資料並且讀取送至該處理器之資料；

一外部拉升電阻器，其具有耦合至一第一電源供應端點之一第一端點；

20 一外部拉降電阻器，其具有耦合至一第二電源供應端點之一第一端點；以及

一記憶體控制器，其耦合在該雙重資料率記憶體裝置和該處理器之間，該記憶體控制器包含：

一拉升校準端點，其耦合至該外部拉升電阻器之一第二端點，

一拉降校準端點，其耦合至該外部拉降電阻器之一第二端點，

一電壓參考節點，

5 一第一開關，其具有耦合至該拉升校準端點之一第一開關連接以及耦合至該電壓參考節點之一第二開關連接，以及

一第二開關，其具有耦合至該拉降校準端點之一第一開關連接以及耦合至該電壓參考節點之一第二開關連接。

10 17. 如申請專利範圍第 16 項之系統，其中：

該記憶體控制器是與該處理器分離之一積體電路。

18. 如申請專利範圍第 16 項之系統，其中：

該處理器是一積體電路並且包含該記憶體控制器。

19. 如申請專利範圍第 16 項之系統，其中：

15 該記憶體控制器進一步包含：

一開關控制器，其具有一模式輸入、耦合至該第一開關之一控制輸入之一第一控制輸出、以及耦合至該第二開關之一控制輸入之一第二控制輸出，該開關控制器響應於該模式輸入以控制該第一開關和該第二開關之該開斷和閉合動作。

20

20. 如申請專利範圍第 19 項之系統，其中：

該第一開關和該第二開關選擇性地被閉合，以於該電壓參考節點上產生一內部電壓參考值，而可供與一輸入信號比較以便接收資料；

該第一開關選擇性地被閉合，且該第二開關選擇性地被開斷，以於該電壓參考節點上產生一拉升校準電壓，而校準該 DDR 記憶體裝置之一驅動器；以及

5 該第一開關選擇性地被開斷，且該第二開關選擇性地被閉合，以於該電壓參考節點上產生一拉降校準電壓，而進一步校準該 DDR 記憶體裝置之該驅動器。

21. 一種用於電腦系統之處理器，該處理器包含：

一介接至記憶體之記憶體控制器，該記憶體控制器具有：

10 耦合至一外部拉升電阻器之一拉升校準端點，
耦合至一外部拉降電阻器之一拉降校準端點，
一電壓參考節點，

一第一開關，其被耦合在該拉升校準端點和該電壓參考節點之間，以及

15 一第二開關，其被耦合在該拉降校準端點和該電壓參考節點之間。

22. 如申請專利範圍第 21 項之處理器，其中：

該記憶體控制器進一步具有：

20 一開關控制器，其具有一模式輸入、耦合至該第一開關之一控制輸入之一第一控制輸出、以及耦合至該第二開關之一控制輸入之一第二控制輸出，該開關控制器響應於該模式輸入以控制該第一開關和該第二開關之開斷和閉合動作。

23. 如申請專利範圍第 22 項之處理器，其中：

該第一開關和該第二開關選擇性地被閉合，以於該電壓參考節點上產生一內部電壓參考值，而可供與一輸入信號比較，以便從一 DDR 記憶體裝置之一驅動器接收資料；

該第一開關選擇性地被閉合，且該第二開關選擇性地被開斷，以於該電壓參考節點上產生一拉升校準電壓，而校準該 DDR 記憶體裝置之該驅動器；以及

該第一開關選擇性地被開斷，且該第二開關選擇性地被閉合，以於該電壓參考節點上產生一拉降校準電壓，而進一步校準該 DDR 記憶體裝置之該驅動器。

24. 一種介接至記憶體之封裝積體電路，該封裝積體電路包含：

一第一晶片外驅動器校準端點，用以耦合至一第一外部電阻器；

一第二晶片外驅動器校準端點，用以耦合至一第二外部電阻器；

第一多數場效電晶體，其具有一起並聯耦合至該第一晶片外驅動器校準端點之源極、以及一起並聯耦合至一電壓參考節點之汲極；以及

第二多數場效電晶體，其具有一起並聯耦合至該第二晶片外驅動器校準端點之汲極、以及一起並聯耦合至該電壓參考節點之源極。

25. 如申請專利範圍第 24 項之封裝積體電路，其中：

該等第一多數場效電晶體和該等第二多數場效電晶體是 p 通道場效電晶體。

26. 如申請專利範圍第 24 項之封裝積體電路，其中：

該等第一多數場效電晶體和該等第二多數場效電晶體是 n 通道場效電晶體。

27. 如申請專利範圍第 24 項之封裝積體電路，其中：

5 該等第一多數場效電晶體是 p 通道場效電晶體，並且該等第二多數場效電晶體是 n 通道場效電晶體。

28. 如申請專利範圍第 24 項之封裝積體電路，其中：

該等第一多數場效電晶體是 n 通道場效電晶體，並且該等第二多數場效電晶體是 p 通道場效電晶體。

10 29. 如申請專利範圍第 24 項之封裝積體電路，其中：

該等第一多數場效電晶體是具有一起並聯耦合之源極以及一起並聯耦合之汲極之 p 通道場效電晶體和 n 通道場效電晶體，並且

15 該等第二多數場效電晶體是具有一起並聯耦合之源極以及一起並聯耦合之汲極之 p 通道場效電晶體和 n 通道場效電晶體。

30. 如申請專利範圍第 24 項之封裝積體電路，其進一步包含：

20 一開關控制器，其具有一模式輸入、耦合至該等第一多數場效電晶體之個別閘極的第一多數開關控制信號、耦合至該等第二多數場效電晶體之個別閘極的第二多數開關控制信號，該等開關控制器控制該等第一和該等第二多數場效電晶體之切換。

31. 如申請專利範圍第 24 項之封裝積體電路，其進一

步包含：

多個輸入接收器，其各具有耦合至該電壓參考節點的一第一輸入、以及耦合至個別資料端點以便接收資料之一第二輸入。

5 32. 如申請專利範圍第 31 項之封裝積體電路，其中：

各輸入接收器包含：

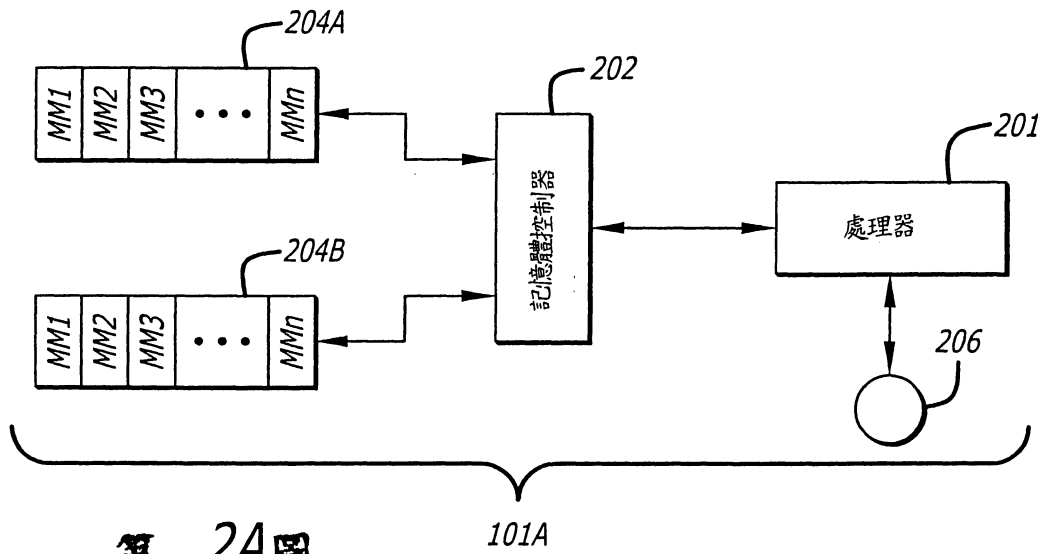
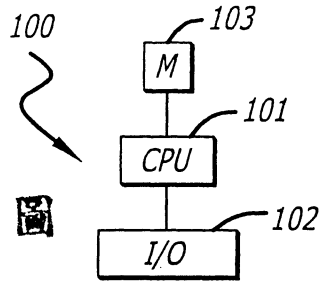
一比較器，其具有耦合至該電壓參考節點的一第一輸入、以及耦合至一個別資料端點以校準一晶片外輸出驅動器之一拉升和一拉降動作之一第二輸入。

10 33. 如申請專利範圍第 32 項之封裝積體電路，其中：

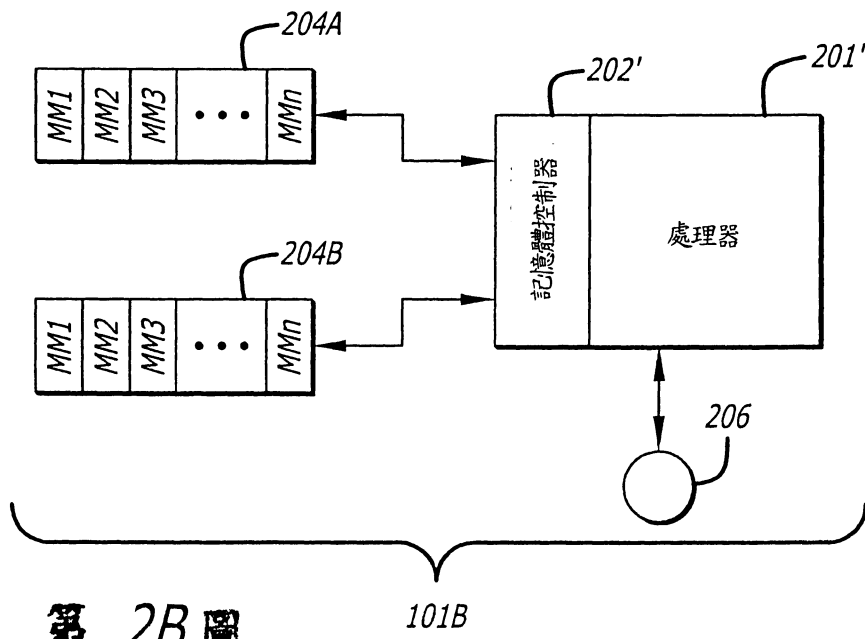
各輸入接收器之該比較器進一步藉由比較該參考節點上之一參考電壓與該個別資料端點上的一輸入信號而接收資料。

1/5

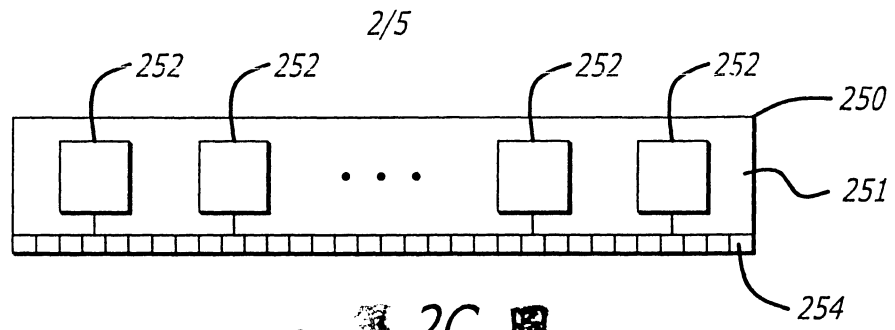
第 1 圖



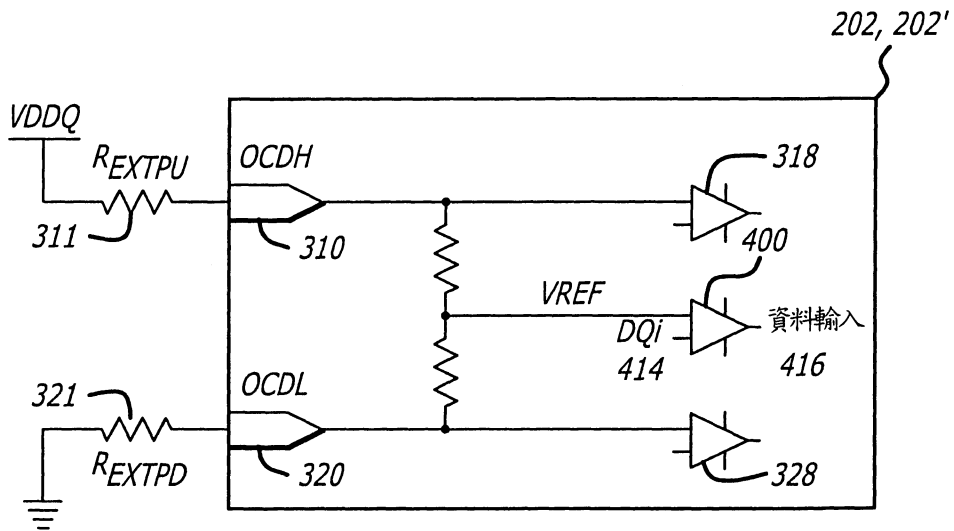
第 2A 圖



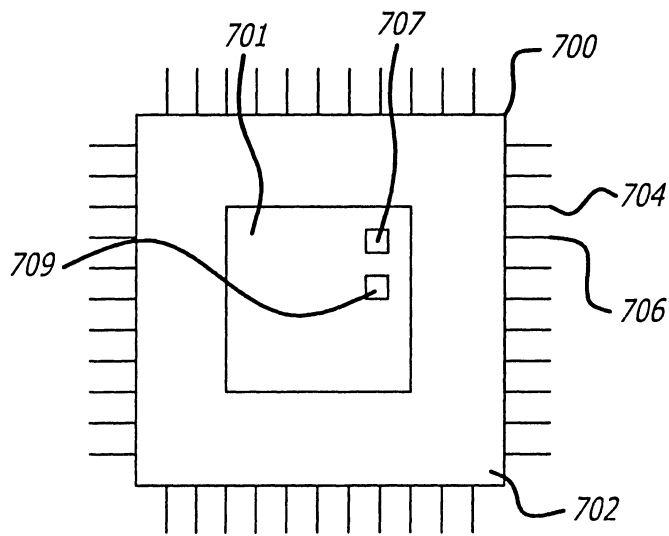
第 2B 圖



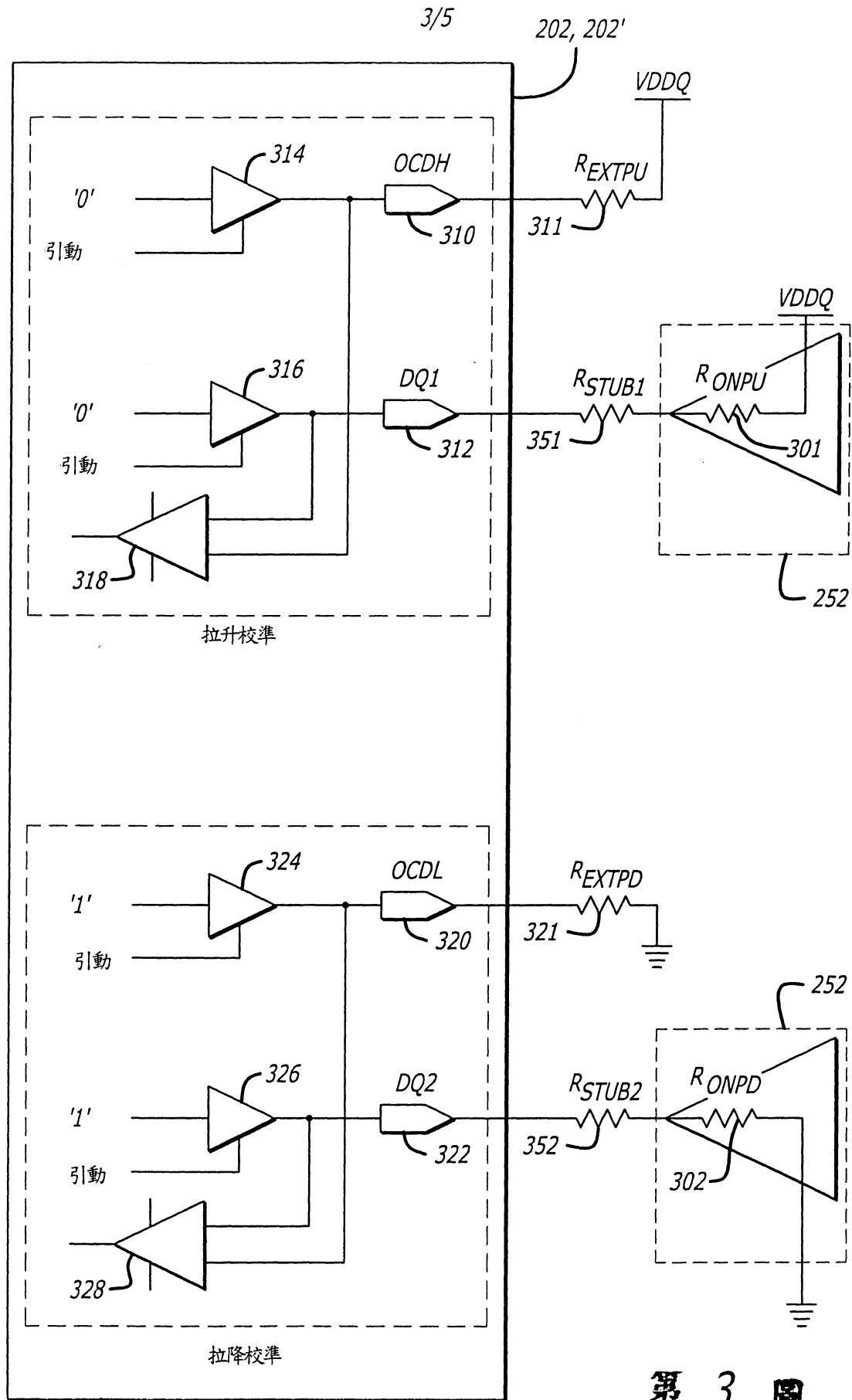
第 2C 圖



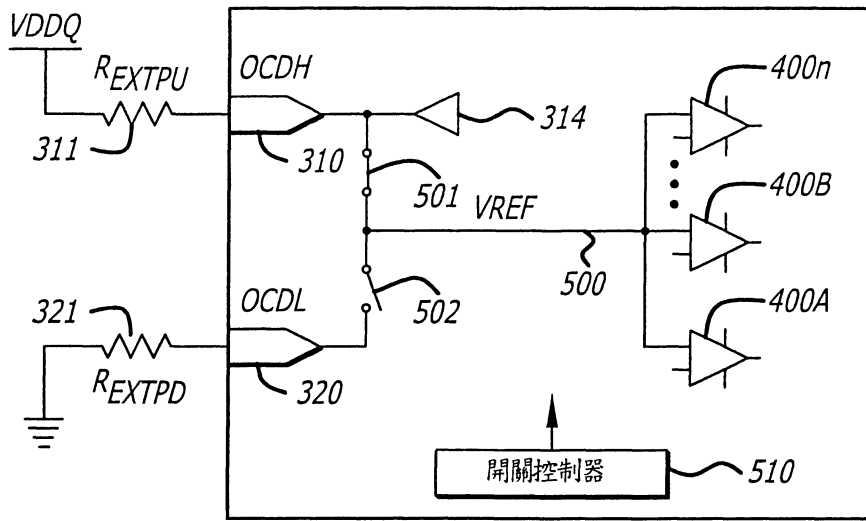
第 4 圖



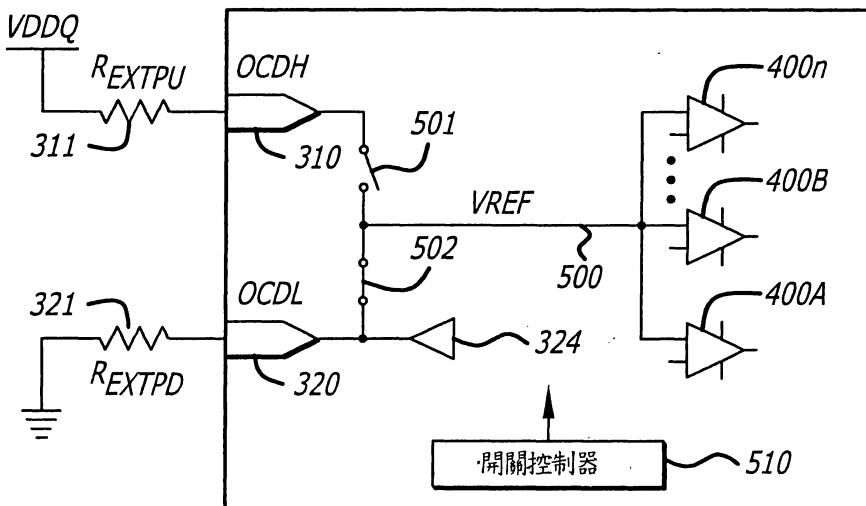
第 7 圖



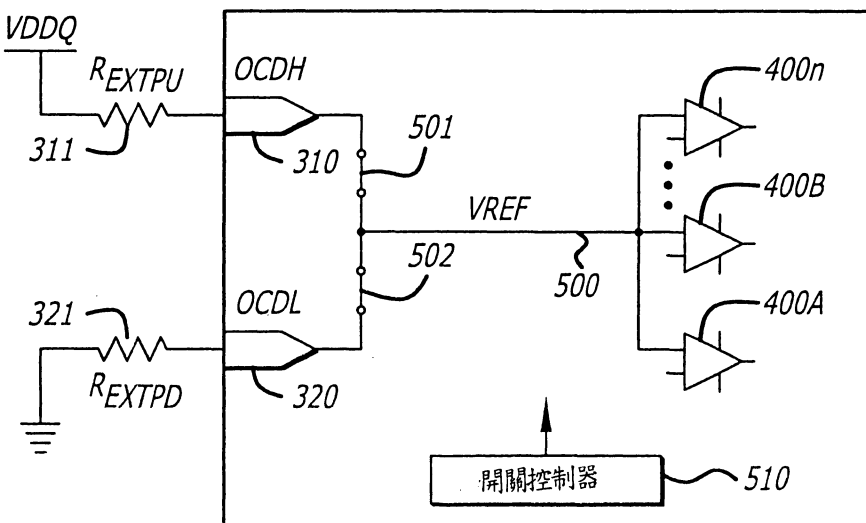
第 3 圖



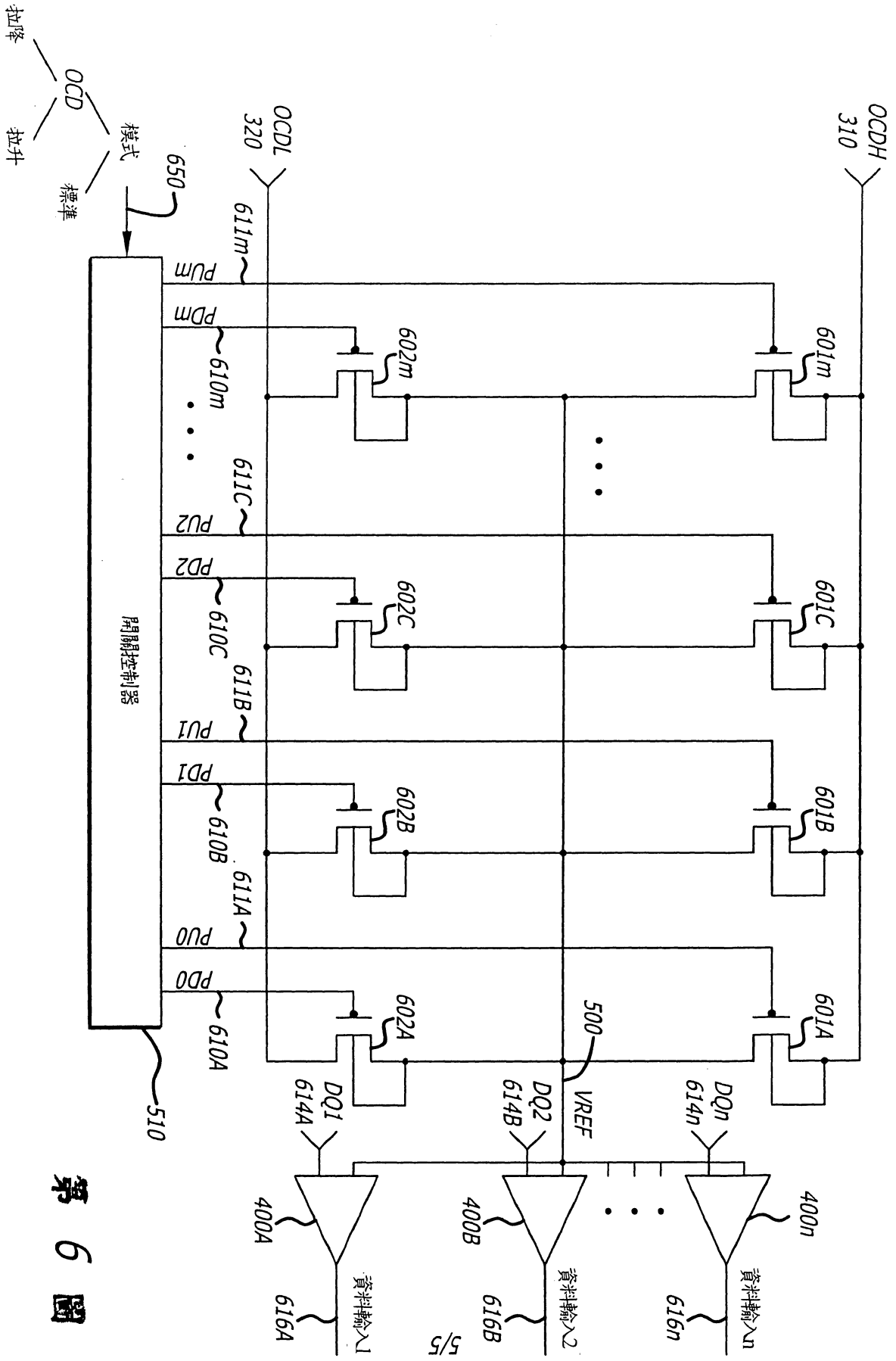
第 5A 圖



第 5B 圖



第 5C 圖



第 6 圖

七、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件符號簡單說明：

202…記憶體控制器	322…資料輸出端點/接腳
202'…記憶體控制器	324…三態驅動器
252…記憶體裝置	326…三態驅動器
301…電阻器RONPU	328…比較器
302…電阻器RONPD	351…電阻器RSTUB1
310…高位校準接腳	
311…外接拉升電阻器REXTPU	
312…資料輸出端點/接腳	
314…三態驅動器	
316…三態驅動器	
318…比較器	
320…低位校準接腳	
321…拉降電阻器REXTPD	

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：