

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-201865

(P2015-201865A)

(43) 公開日 平成27年11月12日(2015.11.12)

(51) Int.Cl.	F I	テーマコード (参考)
H03F 1/22 (2006.01)	H03F 1/22	5 J 5 0 0
H03F 3/45 (2006.01)	H03F 3/45	
H03F 3/24 (2006.01)	H03F 3/24	

審査請求 有 請求項の数 11 O L 外国語出願 (全 20 頁)

(21) 出願番号	特願2015-110233 (P2015-110233)	(71) 出願人	595020643
(22) 出願日	平成27年5月29日 (2015. 5. 29)		クアルコム・インコーポレイテッド
(62) 分割の表示	特願2013-162804 (P2013-162804) の分割		QUALCOMM INCORPORATED
原出願日	平成13年9月14日 (2001. 9. 14)		アメリカ合衆国、カリフォルニア州 92
(31) 優先権主張番号	09/663, 101		121-1714、サン・ディエゴ、モア
(32) 優先日	平成12年9月15日 (2000. 9. 15)		ハウス・ドライブ 5775
(33) 優先権主張国	米国 (US)	(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100158805
			弁理士 井関 守三
		(74) 代理人	100194814
			弁理士 奥村 元宏

最終頁に続く

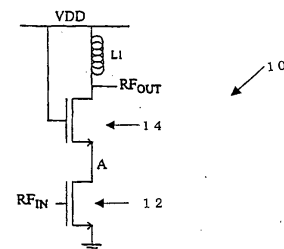
(54) 【発明の名称】 集積されたパワー増幅器を有するCMOSトランシーバ

(57) 【要約】 (修正有)

【課題】絶縁破壊に耐える、通信信号を増幅する電力増幅器集積回路のトランジスタ構造を提供する。

【解決手段】入力無線周波数信号RF_{IN}を受信する第1のゲートと、接地点に接続されたソースを有する第1のNMOSトランジスタ12を含んでいる。第1のゲートは第1の絶縁体上に配置され、第1のトランスコンダクタンスと第1の破壊電圧を有する。また第2のNMOSトランジスタ14も含まれており、これは第1のNMOSトランジスタのドレインに接続されたソースと、VDDに接続されたゲートと、増幅された無線信号の出力を与えるドレインと、供給電圧VDDと第2のNMOSトランジスタのドレインとの間に配置された負荷とを有する。第2のゲートは第2の絶縁体上に配置され、第2のトランスコンダクタンスと第2の破壊電圧とを有し、第2の絶縁体は第1の絶縁体よりも厚く、第1のトランスコンダクタンスは第2のトランスコンダクタンスよりも大きい。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

増幅された無線周波数信号を獲得するために基準 DC 電圧を有する回路で無線周波数信号を、関連する負荷を有する出力へ増幅する集積回路トランジスタ構造において、

接地電位に接続されたソースと、第 1 の絶縁体上に配置されて入力無線周波数信号を受信する第 1 のゲートとを有し、第 1 のトランスコンダクタンスおよびそれに関連する第 1 の破壊電圧を有している第 1 の NMOS トランジスタと、

第 1 の NMOS トランジスタのドレインに接続されたソースと、基準 DC 電圧源に接続されたゲートと、増幅された無線信号の出力部を構成するドレインと、

基準 DC 電圧源と第 2 の NMOS トランジスタのドレインとの間に配置された負荷とを有し、第 2 のゲートは第 2 の絶縁体上に配置されている第 2 の NMOS トランジスタとを具備しており、第 2 の NMOS トランジスタは第 2 のトランスコンダクタンスおよびそれに関連する第 2 の破壊電圧を有しているトランジスタ構造。

10

【請求項 2】

第 2 の絶縁体は第 1 の絶縁体よりも厚く、それによって第 1 のトランスコンダクタンスは第 2 のトランスコンダクタンスよりも大きい請求項 1 記載のトランジスタ構造。

【請求項 3】

第 2 の破壊電圧は第 1 の破壊電圧よりも大きい請求項 2 記載のトランジスタ構造。

【請求項 4】

第 2 の破壊電圧は第 1 の破壊電圧よりも大きい請求項 1 記載のトランジスタ構造。

20

【請求項 5】

第 2 の絶縁体は第 1 の絶縁体と実質上同一の厚さである請求項 1 記載のトランジスタ構造。

【請求項 6】

集積回路トランジスタ構造は金属接地平面を含んでいる半導体チップパッケージ内に配置され、第 1、第 2 の各 NMOS トランジスタは接地平面に電氣的に接続されている部分を有している請求項 1 記載のトランジスタ構造。

【請求項 7】

接地平面に対する電気接続はボンドパッドによる電気接続を含んでいる請求項 6 記載のトランジスタ構造。

30

【請求項 8】

増幅された無線信号の出力部は集積回路のエッジの $500\ \mu\text{m}$ 以内に配置されている請求項 6 記載のトランジスタ構造。

【請求項 9】

増幅された無線信号の出力部は無線信号ボンドパッドを経て半導体チップパッケージ上の端子に接続され、無線信号ボンドパッドはそれに関連することができる複数の金属層の一部の金属層を含んでいる請求項 8 記載のトランジスタ構造。

【請求項 10】

無線信号ボンドパッドはその下に位置する基体中に拡散層を含んでいる請求項 9 記載のトランジスタ構造。

40

【請求項 11】

増幅された無線信号の出力部は 5 つの層を有することができる無線信号ボンドパッド上の下部の 2 つの電気層を通して接続されていない請求項 9 記載のトランジスタ構造。

【請求項 12】

集積回路チップを具備している差無線周波数信号を増幅する装置において、集積回路チップは、

差無線周波数信号を受信し、第 1 の段の増幅された差無線周波数信号を生成する第 1 のカスコード接続された MOS トランジスタを含んでいる第 1 の差増幅段と、

第 1 の段の増幅された差無線周波数信号の転送を可能にする第 1 のブロッキングキャパシタと第 1 のシャントインダクタとを含んでいる第 1 のレベルシフト段と、

50

第 1 のレベルシフト段から第 1 の段の増幅された差無線周波数信号を受信し、第 2 の段の増幅された差無線周波数信号を発生する第 2 のカスコード接続された MOS トランジスタを含んでいる第 2 の差駆動段とを含んでいる増幅装置。

【請求項 1 3】

第 2 の差駆動段の各駆動段は、

接地されたソースと、第 1 の絶縁体上に配置されて入力無線周波数信号を受信する第 1 のゲートとを備え、第 1 のトランスコンダクタンスおよびそれに関する第 1 の破壊電圧とを有する第 1 の NMOS トランジスタと、

第 1 の NMOS トランジスタのドレインに接続されたソースと、基準 DC 電圧源に接続されたゲートと、増幅された無線信号の出力を与えるドレインと、基準 DC 電圧源と第 2 の NMOS トランジスタのドレインとの間に配置されている負荷とを有し、第 2 のゲートは第 2 の絶縁体上に配置されている第 2 の NMOS トランジスタとを具備しており、

この第 2 の NMOS トランジスタは第 2 のトランスコンダクタンスとそれに関連する第 2 の破壊電圧とを有している請求項 1 2 記載の装置。

【請求項 1 4】

第 1 のトランスコンダクタンスが第 2 のトランスコンダクタンスよりも大きくなるように第 2 の絶縁体は第 1 の絶縁体よりも厚さが大きくされている請求項 1 3 記載の装置。

【請求項 1 5】

第 2 の破壊電圧は第 1 の破壊電圧よりも大きい請求項 1 4 記載の装置。

【請求項 1 6】

第 2 の破壊電圧は第 1 の破壊電圧よりも大きい請求項 1 3 記載の装置。

【請求項 1 7】

第 2 の絶縁体は第 1 の絶縁体と実質上同一の厚さである請求項 1 3 記載の装置。

【請求項 1 8】

さらに、第 2 の段の増幅された差無線周波数信号の転送を可能にする第 2 のブロッキングキャパシタと第 2 のシャントインダクタとを含んでいる第 2 のレベルシフト段と、

第 2 のレベルシフト段から第 2 の段の増幅された差無線周波数信号を受信し、第 3 の段の増幅された差無線周波数信号を発生する第 3 のカスコード接続された MOS トランジスタを含んでいる第 3 の差動段とを含んでいる請求項 1 2 記載の装置。

【請求項 1 9】

第 3 の差駆動段の各駆動段は、

接地されたソースと、第 1 の絶縁体上に配置されて入力無線周波数信号を受信する第 1 のゲートとを備え、第 1 のトランスコンダクタンスおよびそれに関する第 1 の破壊電圧を有する第 1 の NMOS トランジスタと、

第 1 の NMOS トランジスタのドレインに接続されたソースと、基準 DC 電圧源に接続されたゲートと、増幅された無線信号の出力を与えるドレインと、基準 DC 電圧源と第 2 の NMOS トランジスタのドレインとの間に配置されている負荷とを有し、第 2 のゲートは第 2 の絶縁体上に配置されている第 2 の NMOS トランジスタとを具備しており、この第 2 の NMOS トランジスタは第 2 のトランスコンダクタンスとそれに関連する第 2 の破壊電圧とを有する請求項 1 2 記載の装置。

【請求項 2 0】

第 1 のトランスコンダクタンスが第 2 のトランスコンダクタンスよりも大きくなるように第 2 の絶縁体は第 1 の絶縁体よりも厚さが大きくされている請求項 1 9 記載の装置。

【請求項 2 1】

第 2 の破壊電圧は第 1 の破壊電圧よりも大きい請求項 2 0 記載の装置。

【請求項 2 2】

第 2 の破壊電圧は第 1 の破壊電圧よりも大きい請求項 1 9 記載の装置。

【請求項 2 3】

第 2 の絶縁体は第 1 の絶縁体と実質上同一の厚さである請求項 1 9 記載の装置。

10

20

30

40

50

【請求項 24】

集積回路チップは半導体パッケージ中にパッケージされ、半導体パッケージはパッケージの 1 側面の周辺部のみに端子を含み、周辺部内のパッケージの 1 側面上の金属接地平面と、差入力増幅段と、差駆動増幅段と、金属接地平面上に配置されている差出力段と、差入力増幅段により発生される熱エネルギー用のヒートシンクを与える金属接地平面と、差駆動増幅段と、差出力段とを含んでいる請求項 13 記載の集積回路。

【請求項 25】

集積回路チップを具備している差無線周波数信号を増幅する装置において、集積回路チップは、

差無線周波数信号を受信し第 1 の段の増幅された差無線周波数信号を生成する第 1 のカスコード接続された MOS トランジスタを含んでおり、予め定められた第 1 の供給電圧を供給される第 1 の差増幅段と、

第 1 の増幅段から第 1 の段の増幅された差無線周波数信号を受信し、第 2 の段の増幅された差無線周波数信号を生成する第 2 のカスコード接続された MOS トランジスタを含んでおり、第 1 の供給電圧よりも大きい予め定められた第 2 の供給電圧を供給される第 2 の差増幅段とを含んでいる装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は集積回路のパワー増幅器、特に関係するギガヘルツ周波数帯域内での実質的な線形動作を可能にする別の相補型金属酸化膜半導体 (CMOS) 回路コンポーネントと共に集積されたパワー増幅器に関する。

【背景技術】

【0002】

トランシーバは送信機と受信機を含んでいるよく知られた回路であり、これらはしたがって通信信号をそれぞれ送信し受信することができる。通常、送信機は送信される信号の増幅の最後の段を与えるパワー増幅器 (“PA” として知られている) を含んでいる。

【0003】

最も通常の設計では、パワー増幅器は送信機および／またはトランシーバの他の部分とは物理的に分離されたコンポーネントとして構成される。砒化ガリウム (GaAs) またはシリコンバイポーラ接合トランジスタ (SiBJT) から作られたパワー増幅器が典型的に使用され、それは送信機が n-チャンネルまたは p-チャンネルトランジスタであっても、それらが典型的に CMOS 回路で作られたトランジスタよりも本質的に高い破壊電圧を有するためである。このような設計は所望の増幅特性を有するパワー増幅器を可能にするが、これらは高価である。CMOS 集積回路のトランジスタよりも高価な GaAs、SiBJT または他の非 CMOS パワー増幅器だけでなく、非 CMOS パワー増幅器は送信機および／またはトランシーバのコンポーネントと同一の集積回路チップに形成されることができない。これらの両要素は結果的なトランシーバの価格全体に付加される。

【0004】

ほとんどの送信機および受信機回路がパワー増幅器を含んで単一チップ上に存在するトランシーバを有することが有益であることが認識されている。例えば 1999 IEEE International Solid State Circuits Conference で刊行された文献 (A Single Chip CMOS Direct-Conversion Transceiver for 900 MHz Spread Spectrum Digital Cordless Phones、T. Cho) では、集積されたパワー増幅器を含んでいる CMOS トランシーバを記載している。このパワー増幅器は 3 段のクラスの AB 増幅器として構成されている。このパワー増幅器は多数の他のトランシーバコンポーネントと同一の集積回路チップ上に集積されるが、その記載されたパワー増幅器は複数の欠点を有する。

【0005】

これらの 1 つはこの回路がトランジスタの破壊電圧を大きく超える供給電圧を許容する

10

20

30

40

50

ように設計されていないことである。特に、高いトランスコンダクタンスを有する深いサブミクロンのCMOS回路で使用されるトランジスタは供給電圧よりも非常に高い接合電圧を確実に許容できない。しかしながら、集積されたRFパワー増幅器は、RFoutノードの電圧が0から少なくとも $2 * V_{dd}$ 、即ち回路の出力の誘導性負荷により可能にされる振幅ヘスイングするときに最も効率的である。誘導性負荷は典型的にパワー増幅器の出力トランジスタの供給電源とドレインとの間に接続された導体である。さらに、RFoutノードは典型的に直接アンテナに接続されるので、送信されたパワーがパワー増幅器へ逆方に反射される可能性はRFoutノードでの最大電圧を $4 * V_{dd}$ へ近付けさせる。この電圧は新型のCMOS装置の破壊電圧を超え、予測不能な性能または装置の損傷を生じさせる。

10

【0006】

別の欠点は、前述の集積されたパワー増幅器が非線形動作を行うことである。さらに900MHzの範囲で動作することを意図し、これは実質的にはギガヘルツの範囲で高い周波数ではない。

【0007】

さらに、実質的な数の送信機および受信機コンポーネントを有するCMOSチップ上に、集積されたパワー増幅器が形成されるとき、必要とされるピン数はそれに対応して増加する。しかしながら、ピンを単に付加することは必ずしも有用な回路を生じるとは限らない。これは本発明者が発見したように、動作中にパワー増幅器により発生される熱エネルギーの放散を行う半導体パッケージが必要とされるためである。

20

【0008】

したがって、種々の問題、好ましくは全ての前述の欠点を克服するCMOSチップと集積されるパワー増幅器が所望されている。

【発明の概要】

【0009】

本発明は好ましい実施形態で、電磁信号等、典型的には無線周波数信号のような通信信号を増幅するための絶縁破壊に耐えるトランジスタ構造を与える。この構造は入力無線周波数信号を受信するために接地および第1のゲートに接続されたソースを有する第1のNMOSTランジスタを含んでいる。第1のゲートは第1の絶縁体と、第1のトランスコンダクタンスおよびそれに関連する第1の破壊電圧を有する第1のNMOSTランジスタ上に配置されている。また、第2のNMOSTランジスタも含まれており、これは第1のNMOSTランジスタのドレインに接続されたソースと、基準DC電圧に接続されたゲートと、増幅された無線信号の出力を与えるドレインと、基準DC電圧と第2のNMOSTランジスタのドレインとの間に配置された負荷とを有する。第2のゲートは第2の絶縁体上に配置され、第2のNMOSTランジスタは第2のトランスコンダクタンスおよびそれに関連する第2の破壊電圧とを有し、第2の絶縁体は第1の絶縁体よりも厚い。これにより第1のトランスコンダクタンスは第2のトランスコンダクタンスよりも大きく、第2の破壊電圧は第1の破壊電圧よりも大きい。

30

【0010】

本発明はまた好ましい実施形態で、差入力増幅段と、第1のレベルシフトと、差駆動段と、第2のレベルシフト段と、差出力段とを含んでいる差通信信号を増幅するための集積回路チップ装置を提供する。

40

【0011】

さらに、本発明は好ましい実施形態で、パッケージの片側の周囲のみに端子を含んでいる半導体パッケージにパッケージされている集積回路チップを含んでおり、パッケージの片側に金属接地平面を含んでいる。周囲区域内および半導体チップ上には差入力増幅段と差駆動増幅段が配置されている。差出力段は差入力増幅段、差駆動増幅段、差出力段により発生される熱エネルギーのヒートシンクとして作用するように金属接地平面上に配置されている。

【0012】

50

したがって、本発明は他のCMOSトランシーバチップと共に集積され、実質上線形動作を行うパワー増幅器を有効に提供できる。

【0013】

本発明は他のCMOSトランシーバチップコンポーネントと共に集積され、ギガヘルツ範囲の周波数で動作を行うパワー増幅器を有効に提供することができる。

【0014】

本発明は他のCMOSトランシーバコンポーネントと共に集積されたパワー増幅器のトランジスタの効率を増加するためレベルシフトを行うパワー増幅器を有効に提供することもできる。

【0015】

本発明はゲートキャパシタンスおよび雑音の影響を減少するために、他のCMOSトランシーバコンポーネントと共に集積されたパワー増幅器のレベルシフトを誘導性バイアスを有効に与えることがさらに可能である。

【0016】

本発明はさらに、他のCMOSトランシーバコンポーネントと共に集積されたパワー増幅器の絶縁破壊に耐えるカスコード構造を有効に与えることができる。

【0017】

さらに、本発明は他のCMOSトランシーバコンポーネントと共に集積され、動作中にパワー増幅器により発生される熱エネルギーの放散を行うパワー増幅器の半導体パッケージを有効に与えることができる。

【図面の簡単な説明】

【0018】

【図1】本発明にしたがって絶縁破壊に耐えるトランジスタ構造の図。

【図2】本発明にしたがって集積されたトランシーバチップのブロック図。

【図3】本発明にしたがって集積されたトランシーバチップの送信機のパワー増幅器部分のブロック図。

【図4】本発明にしたがって集積されたトランシーバチップの送信機のパワー増幅器部分の回路図。

【図5A】本発明にしたがって集積されたトランシーバチップの概略図。

【図5B】本発明にしたがったパッケージングの概略図。

【図5C】本発明にしたがった回路コンポーネントの配置図。

【図6】本発明にしたがったボンドパッドの平面図および断面図。

【図7】本発明にしたがって集積されたトランシーバチップの送信機のパワー増幅器部分における別の実施形態の概略図。

【詳細な説明】

【0019】

本発明の前述およびその他の目的、特徴、利点を以下の技術範囲を限定するものではない本発明の例示的な実施形態により、図面を参照してさらに詳細に説明する。同一の参照符号は幾つかの図を通じて本発明の類似部分を表している。

【0020】

図1は絶縁破壊に耐えるトランジスタ構造10を示しており、これは以下さらに説明するように他のCMOS回路コンポーネントと共に集積されることを目的とするパワー増幅器の最終出力段で使用される。この出力段の基本的なトポロジは2つのNMOSトランジスタ12、14である。示されているように、電磁信号等、典型的には無線周波数信号、ここでは無線周波数入力信号RFINとして説明されている通信信号はトランジスタ12のゲートに入力され、トランジスタ14のゲートはパワー供給電圧VDDに接続されている。トランジスタ12はパワー増幅に必要なトランスコンダクタンスを与え、トランジスタ14はRFOUTノードで生じる高い電圧スイングからトランジスタ12を保護する。トランジスタ14は1の電流利得を有するように接続されているので、トランジスタ12のトランスコンダクタンスをそれ程劣化せず、その破壊電圧を超過せずにRFOUT OUTの電圧振幅を $2 * VDD$ であ

10

20

30

40

50

るように許容できる。さらに、トランジスタ12と14間のソースドレイン接続点に現れる電圧はR F OUT電圧の分割されたバージョンであり、このような過剰な電圧スイングはトランジスタ12の接合部に現れない。

【0021】

また、増幅器の性能は主としてトランジスタ12のトランスコンダクタンスによって設定されるので、トランジスタ14は厚いゲート酸化物の使用により絶縁破壊電圧を最適にするように選択されることができる。特に、ある集積回路技術は異なるトランジスタが異なるゲート酸化物の厚さを有することを可能にする。あるプロセスでは、2つの異なる厚さが利用可能である。このようなプロセスが使用されるならば、トランジスタ14がトランジスタ12よりも厚いゲート酸化物を有するように製造される場合、トランジスタ12は高いトランスコンダクタンスに対して最適にされるが、単独で使用されるならば低い破壊電圧を生成する。しかしながら厚いゲート酸化物を有するトランジスタ14は高い破壊電圧を生成するように最適化されるので、これはR F OUT ノードで生じる高い電圧スイングからトランジスタ12を保護する。さらに、パワー増幅器が高い供給電圧で使用されることを潜在的に可能にし、これはパワー増幅器の設計を容易にし、潜在的に効率を改良する。トランジスタ14の減少されたトランスコンダクタンスは回路全体の性能を劣化せず、高い絶縁破壊および低いトランスコンダクタンス特性を有する単一のトランジスタを使用する構造よりも有効である。

【0022】

先に参照したトランジスタ構造10は以下説明するように、CMOS集積回路トランシーバで使用される。

【0023】

図2は本発明によるトランシーバの集積回路と、そこへの入力および出力として動作するコンポーネントのブロック図を示している。図2で示されているように、受信信号路52と送信信号路54が存在する。トランシーバIC100内の送信機ブロック200をさらに詳細に説明するが、これは集積されたパワー増幅器を含んでいるので、本発明を適切に関連させるためにこれらの他のコンポーネントを高いレベルで説明する。

【0024】

受信信号路52に沿って、無線周波数信号、および好ましくは5GHzを中心とする20または40MHzの帯域を有する信号がアンテナ60に入力される。受信モードでは、スイッチ63は受信信号路52が使用されるように構成されている。バンドパスフィルタ62、バラン64、キャパシタ66は受信されたRF入力信号を成形し整合し、したがってトランシーバIC100内の受信機150はベースバンド直交位相(IおよびQ)入力信号を発生するようにこれらを下方変換できる。これらのIおよびQ入力信号はローパスフィルタ68により濾波され、それぞれアナログデジタル変換器70によりデジタル化され、その後、さらに処理されるようにデジタル信号プロセッサ(DSP)72へ入力される。

【0025】

送信信号路54に沿って、DSP72からの出力デジタル信号はデジタルアナログ変換器80によりベースバンド直交IおよびQ出力信号に変換され、これらはそれぞれローパスフィルタ82により濾波され、トランシーバIC100内の送信機200により受信される。送信機200はRF出力信号を得るために受信されたベースバンドIおよびQ出力信号を上方変換し増幅する。RF出力信号はその後、成形され、スイッチ63が送信信号路54が使用されるように構成されるときキャパシタ84、バラン86、バンドパスフィルタ62を使用してアンテナ60の特性に整合される。

【0026】

周波数シンセサイザ160、好ましい実施形態では32MHzで動作する外部結晶162、シンセサイザの外部ループフィルタ164、チャンネル選択用のローパスフィルタ166を含む、集積されたトランシーバ100の内部またはその外部の他の実質的なコンポーネントも図2で示されている。

【0027】

10

20

30

40

50

図 3 には送信機200のパワー増幅部分205のさらに詳細な図が示されている。入力段210は知られているように、真の相補的なコンポーネントを有する完全に上方変換された差RF信号 $RFin+$ と $RFin-$ をその入力として受信する。上方変換は4GHzと1GHzの局部発振器信号により直角ミキサを使用して行われる。

【0028】

示されているように、受信された $RFin+$ と $RFin-$ の上方変換された信号は入力段210により増幅され、第1のレベルシフト段230を使用してレベルシフトされ、その後駆動段250により増幅される。駆動段250の出力はその後、出力段290へ入力される前に第2のレベルシフト段270を使用して再度レベルシフトされる。出力段290は図1を参照して前述したトランジスタ構造からなり、以下さらに説明する。

【0029】

入力段210、駆動段250、出力段290は以後明白になるようにそれぞれカスコード構造で結合された共通ソースおよび共通ゲート増幅器から形成される。また図3で示されているように、駆動装置250と出力段290はゲートバイアス電圧を与えるためにバイアスブロック310および320によりバイアスされる。

【0030】

さらに、チャージポンプ330は以後明白になるように、入力段210と駆動段250へ（2.5ボルト等の）VDD基準電圧を超える（3.3ボルト等の）基準電圧を与えるために使用される。以下さらに説明するように入力段210のような任意の増幅段では、高い電圧供給が公称値よりも低い実際の電圧を有すると同時に、低い電圧供給が公称値よりも高い実際の電圧をもたないように注意すべきであることに注意する。チャージポンプはしたがって高い電圧レベルを低い電圧レベルと直列して変化させることが好ましい。

【0031】

図4は図3の回路をさらに詳細に示している。示されているように、入力段210は電流源215に接続した共通のソースを有するNMOSトランジスタ212と214から構成されている。各ゲートで、先に上方変換された $RFin+$ と $RFin-$ 信号の1つを入力する。NMOSトランジスタ216と218はトランジスタ212と214のそれぞれのドレインに接続されたソースをそれぞれ有し、3.3ボルト等のVDDよりも高いチャージポンプ電圧である入力ゲート電圧に結合される。トランジスタ216と218のドレインは第1のレベルのシフト段230への出力部を形成する。3.3ボルト等のVDDよりも高い供給電圧と各トランジスタ216と218のドレインとの間にはインダクタ220と222がそれぞれ配置され、これは典型的に0.5n乃至5nヘンリーの範囲である。

【0032】

第1のレベルシフト段230はブロッキングキャパシタ232、234と、シャントインダクタ236、238とを含んでいる。キャパシタ232、234の大きさは集積回路100で利用可能な空間により限定されるので、その大きさはそれぞれ典型的に0.1乃至10pファラドの範囲であり、インダクタ236、238は典型的に0.2n乃至5nヘンリーの範囲である。結果として、ブロッキングキャパシタの存在は駆動段250のゲートバイアスをVDDよりも低い電圧に設定することを可能にし、これは飽和状態に留りながらドレインの大きな電圧スイングを許容するため駆動トランジスタの能力を改良する。しかしながら、キャパシタ232、234の大きさのブロッキングキャパシタは単独で（232等の）ブロッキングキャパシタと駆動段（以下説明するトランジスタ252等）のゲートで生成されるキャパシタとの間に電圧分割装置を生成し、不所望な信号減衰を発生する。したがって、（236等の）シャントインダクタはゲートキャパシタンスと実質的に共振するために（252等の）駆動段トランジスタのゲートと並列に使用され、ブロッキングキャパシタを横切る信号の転送を改善する。駆動段へのゲートバイアス電圧はシャントインダクタ236、238を経てバイアスブロック310から供給される。

【0033】

駆動段250では、接地されている共通のソースを有するNMOSトランジスタ252、254が設けられている。また、それぞれのトランジスタは第1の入力段210で増幅され、第1

10

20

30

40

50

のレベルシフト段230によりレベルシフトされている前もって十分に上方変換された差出力信号をそのそれぞれのゲートに入力される。N M O S トランジスタ256、258はそれぞれトランジスタ252、254のドレインにそれぞれ接続されたソースを有し、V D D の入力ゲート電圧を与えられている。トランジスタ256、258のドレインは第2のレベルのシフト段270への入力部を形成する。V D D よりも高い電圧源と、各トランジスタ256、258のドレインとの間にはそれぞれインダクタ260、262が配置され、これらは典型的に0.5ナノ乃至5ナノヘンリーの範囲である。

【0034】

第2のレベルシフト段270はブロッキングキャパシタ272と274、シャントインダクタ276と278とを含んでいる。キャパシタ272と274の大きさはそれぞれ1乃至3ピコファラドの範囲であり、インダクタ236、238は典型的に0.5乃至2ナノヘンリーの範囲である。第2のレベルのシフト段は上記の第1のレベルのシフト段と同一の機能を与え、それによって出力段290のゲートバイアスはV D D よりも低い電圧に設定されることができ、また不所望な信号を最少にし、それによって前述したようにブロッキングキャパシタを横切る信号転送を改良する。出力段へのゲートバイアス電圧はシャントインダクタ276と278を経てバイアスブロック320から与えられる。

【0035】

出力段290は各IおよびQ信号路について前述した絶縁破壊に耐えるトランジスタ構造10を使用する。したがって各N M O S トランジスタ292と294は高いトランスコンダクタンストランジスタとして最適化され、一方でトランジスタ296と298は前述したように高い破壊電圧を発生するように最適化される。示されているように、トランジスタ296と298のゲートはD S P 71により制御されるパワー増幅器の制御信号(p a o n)にそれぞれ接続される。

【0036】

前述の3つの段の十分に差動の線形A級パワー増幅器205は典型的な状態(50C)下で24dBm(250mW)の出力パワーを発生できる。(P1dBにより規定される)増幅器の最大線形パワーは約22.5dBm(178mW)である。したがってパワー増幅器205は前述の特定の設計および目的とする使用において、1dBの利得圧縮パワーからの5dBのバックオフにより少なくとも17.5dBm(56.5mW)の平均パワーを送信できる。

【0037】

パワー増幅器205の動作および典型的にはR F 周波数である関係する周波数に関して、トランジスタの形状は適切に選択されなければならない。増幅器段210、250、290を形成するトランジスタの動作速度はチャンネルの長さに反比例するので、信号路中の全てのトランジスタは設計規則が可能にする240nm等の最小のチャンネルで設計されることが好ましい。さらに、大きい装置幅は不所望のゲート抵抗を生じるので、各トランジスタはその幅がある尺度を超えないような寸法にされている。5μmは最小のチャンネルの長さが240nmである設計規則に対して有効な最大値として決定されている。したがって、所望の出力パワーに必要な大きい寸法のトランジスタを実現するため、幅約5μmで長さ240nmのセルが必要な寸法のトランジスタを形成するために複製される。好ましい実施形態では、入力段210のトランジスタ212、214は共に並列で使用される48の装置(各差動側で24)を含んでおり、駆動段250のトランジスタ252、254は共に並列で使用される72の装置(各差動側で36)を含んでおり、出力段290のトランジスタ292、294は所望の出力パワーを実現するために共に並列で使用される220の装置(各差動側で110)を含んでいる。類似の数の装置は各出力段で他のトランジスタ対(トランジスタ対216-218; 256-258; 296-298)に対して使用されることが好ましい。

【0038】

動作において、全ての増幅段210、250、290は差動であるので、接地接続部を通るA C 電流は理想的にはゼロである。これは接地接続ワイヤのインダクタンスを実効的に消去し、各増幅段が高性能のG a A s R F パワー増幅器で典型的に見られる低インダクタンス

10

20

30

40

50

のカスタムパッキングまたは背後の接地接触部なしに合理的なパワー利得を有することを可能にする。この方法は典型的に外部バラン86がシングルエンドの信号でアンテナ60を駆動することを要求し、約0.5乃至1 dBのバラン86を通じて相当な挿入損失を生じ、したがってパワー増幅器205から高いパワーターゲットを必要とする。それにもかかわらず、集積されたパワー増幅器の利点は前述の潜在的な要求に応じることによる潜在的な欠点よりも非常に重要である。

【0039】

先の説明では、A級動作の基準において、各増幅段210、250、290の静止状態電流は出力段トランジスタが常にACスイングによって電流を導くような高さに設定される。このモードで動作するパワー増幅器の最大の理論的なドレイン効率は50%である（負荷に転送される1 mW毎に2 mWのDCパワーが必要とされる）。A級増幅器はまた出力信号振幅にかかわらず一定のDCパワーを消費し、信号エンベロープが最大レベルよりも下であるとき非常に低い効率を生じる。パワー消費についての明白な欠点にもかかわらず、A級方法は利得および線形の性能を最大にするために使用されている。高い効率の動作モードは消費するDC電流が少なく、段により設定されるシステムが集積された増幅器チェーン内で同調およびデバッグすることをさらに困難にする。

【0040】

さらに、パワー増幅器205により生成される出力パワーは好ましくは動作範囲の入力電圧振幅の線形関数である。情報は送信された信号の振幅に含まれ、パワー増幅器を通る振幅レベルの歪みはリンク品質の劣化を生じさせる。信号エンベロープが変化する程度は“ピーク対平均比”により特徴付けされることができ、これは最大の信号振幅と平均信号振幅との比であり、通常はdBで表される。パワー増幅器の線形動作の含意はピーク対平均比が実現可能な平均パワーを決定するためにパワー増幅器の最大の線形パワー能力から減算されなければならないことである。好ましい実施形態では、パワー増幅器の最大の線形パワーは22.5 dBmであり、予測されたピーク対平均比は5 dBであり、それ故、送信で利用可能な平均パワーは17.5 dBmである。さらに、A級動作のために、パワー増幅器は常にピークパワーで送信できるように十分なDC電流を流し、ピーク対平均信号が増加され、パワー増幅器の動作効率は減少する。5 dBのピーク対平均比では、理想的なA級増幅器の最大のドレイン効率は50%から16%まで減少される。

【0041】

本発明の別の特徴は、駆動段250と出力段290の静止状態電流を変化するために各バイアスブロック310、320に3ビットレジスタを含むことである。バイアスブロック310、320はゲートバイアス電圧、したがって各駆動段250と出力段290の零入力状態の電流を変化するために8つの異なるバイアスのうち1つが使用されることを可能にするバイアス構造をそれぞれ含んでいる。これらの各バイアスブロック310、320は3ビットレジスタの状態に基づいて、別々の分岐が切換えられ共に合計されることができ電流ミラーを使用して構成されている。

【0042】

前述の集積されたパワー増幅器の設計は現在の集積されたパワー増幅器の設計では見られない利点を与えるが、さらに性能を改良するために他の考察を考慮することができる。1つの考察は集積回路トランシーバの熱特性である。パワー増幅器が他のトランシーバコンポーネントと共に集積されるとき、パワー増幅器の熱効果はパワー増幅器が集積されない場合よりも厳しく他の回路コンポーネントに影響する。さらに、本発明による線形特性を有するパワー増幅器が所望されるので、パワー増幅器により生じる熱エネルギーの放散は種々の状態にわたってこのような線形特性を可能にすることを容易にできる。

【0043】

集積されたトランシーバ100は、受信機150と、パワー増幅部205を含む送信機200で受信され送信される種々の信号の外部回路コンポーネントへの接続を設定するピンまたは端子を含んでおり、このようなピンまたは端子の必要数は大きく、好ましい実施形態では50を超える。したがって、通常の設計原理が使用されるならば、集積回路パッケージの下側

10

20

30

40

50

全体に沿ってピンが配置されることを可能にする集積回路パッケージング技術を使用する。このような設計は必要なピン数を与えるが、パワー増幅器の熱エネルギーの発生から生じる熱問題を満足させることは困難であることが発見されている。

【0044】

したがって、図5Aで示されているように、本発明はパッケージ400の周辺に沿って端子410を含んでいる導線なしのプラスチックチップキャリア半導体パッケージ400を使用する。さらに、図5Bで示されているように、パッケージ400はパッケージ400の下側に沿って金属接地平面420を有する。図5Aで示されているように、集積回路チップ100内の電気接地へのコンポーネントの接続101は電氣的にこの接地平面に接地されている。

【0045】

図5Aは受信機150と送信機200とを構成するコンポーネントを含んだ集積されたトランシーバチップの種々のコンポーネントの位置を示している。送信機200の一部であるパワー増幅器205に関して、パワー増幅器205の出力段290の出力がエッジから約500 μ m以内であるように集積回路のエッジに位置され、したがって短いボンドワイヤ101がパワー増幅器の接地点を接地平面へ接続し、同様に端子410へ接続されたワイヤ102を可能な限り短くすることを可能にする。接地平面の位置を考慮したパワー増幅器のレイアウトによって、パワー増幅器からの熱エネルギーは接地平面へ放散されることができる。

【0046】

図5Cはパワー増幅器205の種々のコンポーネントの位置の平面図を示している。入力段210、レベルシフト段230、駆動段250、レベルシフト段270、出力段290は、出力段290、特に出力段290の出力がRFボンドパッド112および標準的なボンドパッド110に最も近いように構成されている。

【0047】

また、パワー増幅器205の出力段290のトランジスタの出力は出力トランジスタに直列する寄生抵抗を減少するために集積回路のボンドパッドに集積される。図6のAおよびBで示されているように、標準的なボンドパッド110に関連する寄生キャパシタンスを減少させるため、金属1および金属2の層M1、M2はRFボンドパッド112では使用されず、金属1および金属2の層M1、M2は標準的なボンドパッド110において使用される。即ち、金属3、4、5(M3、M4、M5)だけがボンドパッド112のパッシベーション開口の下に存在する。さらに寄生キャパシタンスに関連する抵抗損失を減少させるために、ケイ化物のp+拡散遮蔽120がボンドパッド112の金属3の下に使用される。

【0048】

図7で示されている別の実施形態の集積されたパワー増幅器205Aでは、種々の増幅段のカスコード構造が保持されており、特に図1で説明されているように高い破壊電圧を有するトランジスタ12と共に高いトランスコンダクタンスを有するトランジスタ10を使用した構造が示されている。しかしながらこの実施形態では、図3および4に関して前述したレベルシフト段は省略されており、1利得段の出力は次の利得段の入力に直接結合されている。図7で示されているように、第1の段510は第2の利得段530へ直接接続されている。

【0049】

第1の利得段510は、図3の利得段210と異なって(3.3ボルト等の)VDDを超える任意の電圧ではなく(2.5ボルト等の)VDD電圧に接続されている。したがってこの第1の利得段510は共通ソースを有するNMOSトランジスタ512、514を具備し、電源580に接続されている。それぞれ予め十分に上方変換された差信号の1つをそのそれぞれのゲートに入力する。NMOSトランジスタ516、518はそれぞれトランジスタ512、514のドレインにそれぞれ接続されたソースを有し、3.3ボルト等のVDDよりも高いチャージポンプ電圧である入力ゲート電圧に結合される。トランジスタ516、518のドレインは出力部を形成する。VDD電圧源と各トランジスタ516、518のドレインとの間にはそれぞれインダクタ520および522が配置され、これは典型的に0.5ナノ乃至5ナノヘンリーの範囲である。

【0050】

第2の利得段530は第1の利得段510へ直接接続されている。第2の利得段530は共通ソースを有するNMOSトランジスタ532、534を含んでおり、そのソースは電源590へ接続されている。またそれぞれは第1の利得段510で増幅されている予め十分に上方変換された差信号の1つをそのそれぞれのゲートに入力する。NMOSトランジスタ536および538はそれぞれトランジスタ532、534のドレインにそれぞれ接続されたソースを有し、3.3ボルト等のVDDよりも高いチャージポンプ電圧である入力ゲート電圧に結合されている。トランジスタ536、538のドレインは第2の利得段530からの出力を形成する。VDDよりも高いチャージポンプ電圧源と各トランジスタ536、538のドレインとの間にはそれぞれインダクタ540、542が配置され、これは典型的に0.5ナノ乃至5ナノヘンリーの範囲である。

10

【0051】

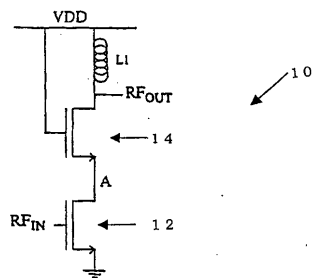
したがって、図7のこの実施形態では、大量の面積を必要とするチップ上のレベルシフトキャパシタが必要ではないので、面積に関する節約が実現できる。しかしながら、これは205のトポロジと比較して少量しかスイングできないので出力電圧を犠牲にして得られる効果である。この設計では出力スイングは信号の線形性と妥協せずに2.5Vよりも低くなることはできない。これはこの実施形態では入力信号のDC成分は約2.0乃至2.5ボルトの範囲であるので、入力利得段510の供給電圧が低く、トランジスタ512、514のようなトランジスタの利得電圧が510の供給電圧に近いように限定されるためである。205の実施形態では、レベルシフタの使用は入力信号が約0.8乃至1.5Vの範囲の低い電圧であることを可能にする。

20

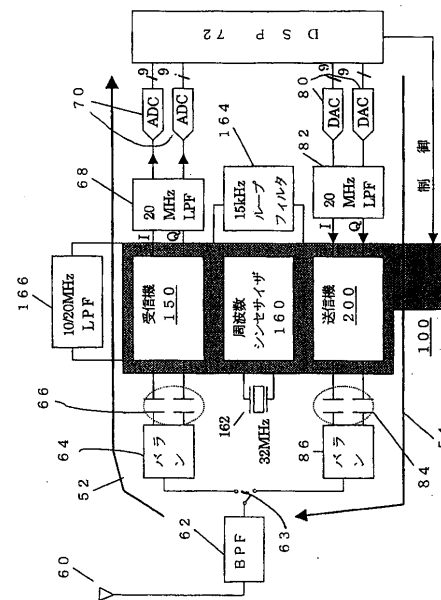
【0052】

本発明をその特定の実施形態を参照してここで説明したが、種々の変化および変更が前述の説明において意図され、幾つかの例では、本発明の幾つかの特徴が特許請求の範囲に記載された本発明の技術的範囲を逸脱せずに他の特徴の対応した使用なしに使用されることが認識されるであろう。

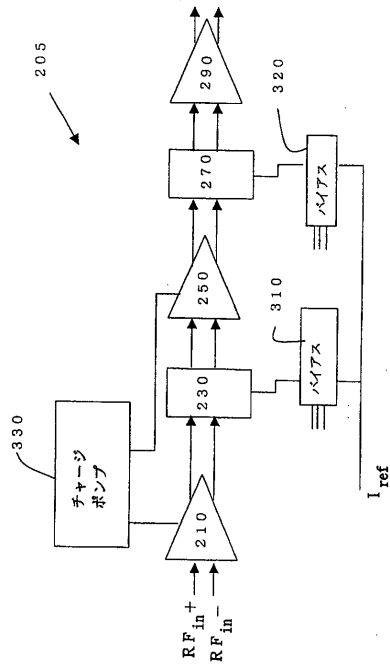
【図1】



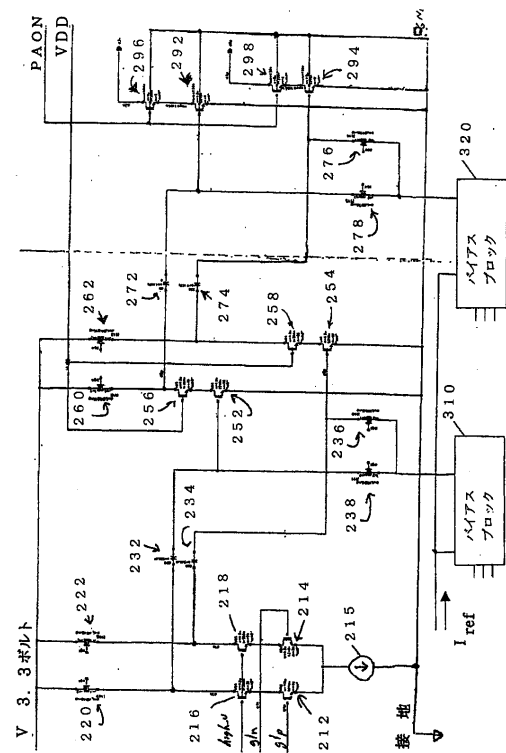
【図2】



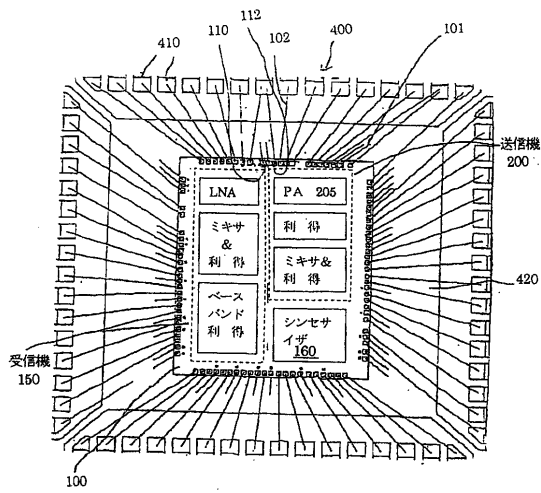
【図 3】



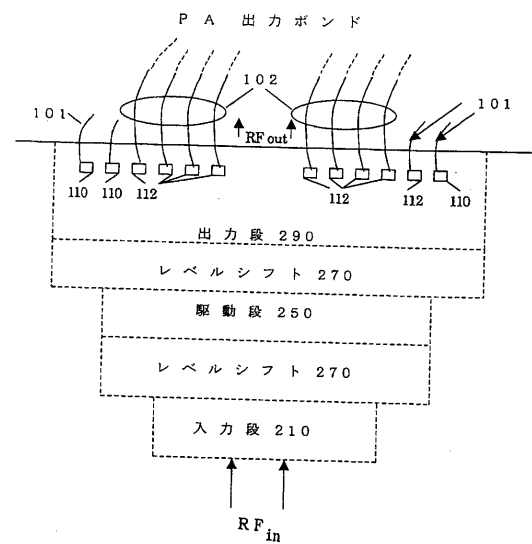
【図 4】



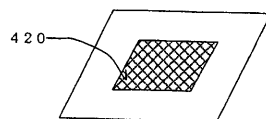
【図 5 A】



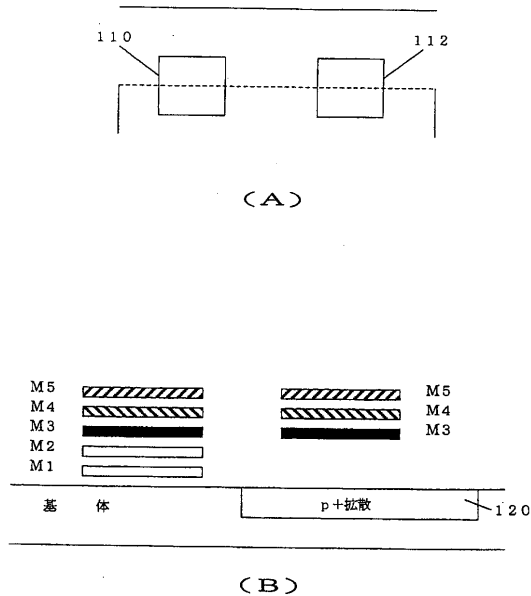
【図 5 C】



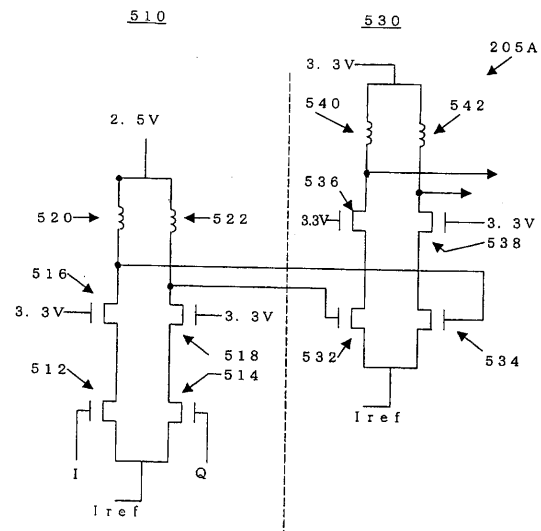
【図 5 B】



【図 6】



【図 7】



【手続補正書】

【提出日】平成27年6月29日(2015.6.29)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0052

【補正方法】変更

【補正の内容】

【0052】

本発明をその特定の実施形態を参照してここで説明したが、種々の変化および変更が前述の説明において意図され、幾つかの例では、本発明の幾つかの特徴が特許請求の範囲に記載された本発明の技術的範囲を逸脱せずに他の特徴の対応した使用なしに使用されることが認識されるであろう。

以下に、本願出願の当初の特許請求の範囲に記載された発明を付記する。

〔1〕 増幅された無線周波数信号を獲得するために基準DC電圧を有する回路で無線周波数信号を、関連する負荷を有する出力へ増幅する集積回路トランジスタ構造において

接地電位に接続されたソースと、第1の絶縁体上に配置されて入力無線周波数信号を受信する第1のゲートとを有し、第1のトランスコンダクタンスおよびそれに関連する第1の破壊電圧を有している第1のNMOSトランジスタと、

第1のNMOSトランジスタのドレインに接続されたソースと、基準DC電圧源に接続されたゲートと、増幅された無線信号の出力部を構成するドレインと、

基準DC電圧源と第2のNMOSトランジスタのドレインとの間に配置された負荷とを有し、第2のゲートは第2の絶縁体上に配置されている第2のNMOSトランジスタとを具備しており、第2のNMOSトランジスタは第2のトランスコンダクタンスおよびそれに関連する第2の破壊電圧を有しているトランジスタ構造。

〔 2 〕 第 2 の絶縁体は第 1 の絶縁体よりも厚く、それによって第 1 のトランスコンダクタンスは第 2 のトランスコンダクタンスよりも大きい〔 1 〕記載のトランジスタ構造。

〔 3 〕 第 2 の破壊電圧は第 1 の破壊電圧よりも大きい〔 2 〕記載のトランジスタ構造。

〔 4 〕 第 2 の破壊電圧は第 1 の破壊電圧よりも大きい〔 1 〕記載のトランジスタ構造。

〔 5 〕 第 2 の絶縁体は第 1 の絶縁体と実質上同一の厚さである〔 1 〕記載のトランジスタ構造。

〔 6 〕 集積回路トランジスタ構造は金属接地平面を含んでいる半導体チップパッケージ内に配置され、第 1、第 2 の各 NMOS トランジスタは接地平面に電氣的に接続されている部分を有している〔 1 〕記載のトランジスタ構造。

〔 7 〕 接地平面に対する電気接続はボンドパッドによる電気接続を含んでいる〔 6 〕記載のトランジスタ構造。

〔 8 〕 増幅された無線信号の出力部は集積回路のエッジの $500\text{ }\mu\text{m}$ 以内に配置されている〔 6 〕記載のトランジスタ構造。

〔 9 〕 増幅された無線信号の出力部は無線信号ボンドパッドを経て半導体チップパッケージ上の端子に接続され、無線信号ボンドパッドはそれに関連することができる複数の金属層の一部の金属層を含んでいる〔 8 〕記載のトランジスタ構造。

〔 10 〕 無線信号ボンドパッドはその下に位置する基体中に拡散層を含んでいる〔 9 〕記載のトランジスタ構造。

〔 11 〕 増幅された無線信号の出力部は 5 つの層を有することができる無線信号ボンドパッド上の下部の 2 つの電気層を通して接続されていない〔 9 〕記載のトランジスタ構造。

〔 12 〕 集積回路チップを具備している差無線周波数信号を増幅する装置において、集積回路チップは、

差無線周波数信号を受信し、第 1 の段の増幅された差無線周波数信号を生成する第 1 のカスコード接続された MOS トランジスタを含んでいる第 1 の差増幅段と、

第 1 の段の増幅された差無線周波数信号の転送を可能にする第 1 のブロッキングキャパシタと第 1 のシャントインダクタとを含んでいる第 1 のレベルシフト段と、

第 1 のレベルシフト段から第 1 の段の増幅された差無線周波数信号を受信し、第 2 の段の増幅された差無線周波数信号を発生する第 2 のカスコード接続された MOS トランジスタを含んでいる第 2 の差駆動段とを含んでいる増幅装置。

〔 13 〕 第 2 の差駆動段の各駆動段は、

接地されたソースと、第 1 の絶縁体上に配置されて入力無線周波数信号を受信する第 1 のゲートとを備え、第 1 のトランスコンダクタンスおよびそれに関する第 1 の破壊電圧とを有する第 1 の NMOS トランジスタと、

第 1 の NMOS トランジスタのドレインに接続されたソースと、基準 DC 電圧源に接続されたゲートと、増幅された無線信号の出力を与えるドレインと、基準 DC 電圧源と第 2 の NMOS トランジスタのドレインとの間に配置されている負荷とを有し、第 2 のゲートは第 2 の絶縁体上に配置されている第 2 の NMOS トランジスタとを具備しており、

この第 2 の NMOS トランジスタは第 2 のトランスコンダクタンスとそれに関連する第 2 の破壊電圧とを有している〔 12 〕記載の装置。

〔 14 〕 第 1 のトランスコンダクタンスが第 2 のトランスコンダクタンスよりも大きくなるように第 2 の絶縁体は第 1 の絶縁体よりも厚さが大きくされている〔 13 〕記載の装置。

〔 15 〕 第 2 の破壊電圧は第 1 の破壊電圧よりも大きい〔 14 〕記載の装置。

〔 16 〕 第 2 の破壊電圧は第 1 の破壊電圧よりも大きい〔 13 〕記載の装置。

〔 17 〕 第 2 の絶縁体は第 1 の絶縁体と実質上同一の厚さである〔 13 〕記載の装置。

〔18〕 さらに、第2の段の増幅された差無線周波数信号の転送を可能にする第2のブロッキングキャパシタと第2のシャントインダクタとを含んでいる第2のレベルシフト段と、

第2のレベルシフト段から第2の段の増幅された差無線周波数信号を受信し、第3の段の増幅された差無線周波数信号を発生する第3のカスコード接続されたMOSトランジスタを含んでいる第3の差動段とを含んでいる〔12〕記載の装置。

〔19〕 第3の差駆動段の各駆動段は、

接地されたソースと、第1の絶縁体上に配置されて入力無線周波数信号を受信する第1のゲートとを備え、第1のトランスコンダクタンスおよびそれに関する第1の破壊電圧を有する第1のNMOSトランジスタと、

第1のNMOSトランジスタのドレインに接続されたソースと、基準DC電圧源に接続されたゲートと、増幅された無線信号の出力を与えるドレインと、基準DC電圧源と第2のNMOSトランジスタのドレインとの間に配置されている負荷とを有し、第2のゲートは第2の絶縁体上に配置されている第2のNMOSトランジスタとを具備しており、この第2のNMOSトランジスタは第2のトランスコンダクタンスとそれに関連する第2の破壊電圧とを有する〔12〕記載の装置。

〔20〕 第1のトランスコンダクタンスが第2のトランスコンダクタンスよりも大きくなるように第2の絶縁体は第1の絶縁体よりも厚さが大きくされている〔19〕記載の装置。

〔21〕 第2の破壊電圧は第1の破壊電圧よりも大きい〔20〕記載の装置。

〔22〕 第2の破壊電圧は第1の破壊電圧よりも大きい〔19〕記載の装置。

〔23〕 第2の絶縁体は第1の絶縁体と実質上同一の厚さである〔19〕記載の装置

。

〔24〕 集積回路チップは半導体パッケージ中にパッケージされ、半導体パッケージはパッケージの1側面の周辺部のみに端子を含み、周辺部内のパッケージの1側面上の金属接地平面と、差入力増幅段と、差駆動増幅段と、金属接地平面上に配置されている差出力段と、差入力増幅段により発生される熱エネルギー用のヒートシンクを与える金属接地平面と、差駆動増幅段と、差出力段とを含んでいる〔13〕記載の集積回路。

〔25〕 集積回路チップを具備している差無線周波数信号を増幅する装置において、集積回路チップは、

差無線周波数信号を受信し第1の段の増幅された差無線周波数信号を生成する第1のカスコード接続されたMOSトランジスタを含んでおり、予め定められた第1の供給電圧を供給される第1の差増幅段と、

第1の増幅段から第1の段の増幅された差無線周波数信号を受信し、第2の段の増幅された差無線周波数信号を生成する第2のカスコード接続されたMOSトランジスタを含んでおり、第1の供給電圧よりも大きい予め定められた第2の供給電圧を供給される第2の差増幅段とを含んでいる装置。

【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

集積回路チップを具備している差動無線周波数信号を増幅する装置において、前記集積回路チップは、

前記差動無線周波数信号を受信し、第1の段の増幅された差動無線周波数信号を生成する第1のカスコード接続されたMOSトランジスタを含んでいる差動入力増幅段と、

前記第1の段の増幅された差動無線周波数信号の転送を可能にする第1のブロッキング

キャパシタと第 1 のシャントインダクタとを含んでいる第 1 のレベルシフト段と、

前記第 1 のレベルシフト段から前記第 1 の段の増幅された差動無線周波数信号を受信し、第 2 の段の増幅された差動無線周波数信号を生成する第 2 のカスコード接続された MOS トランジスタを含んでいる駆動段とを含み、

前記駆動段は、

接地された第 1 のソースと、前記第 1 の段の増幅された差動無線周波数信号を受信するための第 1 のゲートとを有する第 1 の NMOS トランジスタであって、前記第 1 のゲートは、第 1 の絶縁体上に配置され、前記第 1 の NMOS トランジスタは、第 1 のトランスコンダクタンスとそれに関連する第 1 の破壊電圧とを有する、前記第 1 の NMOS トランジスタと、

前記第 1 の NMOS トランジスタの第 1 のドレインに接続された第 2 のソースと、基準 DC 電圧源に接続された第 2 のゲートと、前記増幅された差動無線周波数信号の出力を与える第 2 のドレインとを有する第 2 の NMOS トランジスタであって、負荷が前記基準 DC 電圧源と前記第 2 の NMOS トランジスタの前記第 2 のドレインとの間に配置され、前記第 2 のゲートは、第 2 の絶縁体上に配置され、前記第 2 の NMOS トランジスタは、第 2 のトランスコンダクタンスとそれに関連する第 2 の破壊電圧とを有する、前記第 2 の NMOS トランジスタと

を具備する、装置。

【請求項 2】

前記第 1 のトランスコンダクタンスが前記第 2 のトランスコンダクタンスよりも大きくなるように、前記第 2 の絶縁体は前記第 1 の絶縁体よりも厚さが大きくされている請求項 1 記載の装置。

【請求項 3】

前記第 2 の破壊電圧は前記第 1 の破壊電圧よりも大きい請求項 2 記載の装置。

【請求項 4】

前記第 2 の破壊電圧は前記第 1 の破壊電圧よりも大きい請求項 1 記載の装置。

【請求項 5】

前記第 2 の段の増幅された差動無線周波数信号の転送を可能にする第 2 のブロッキングキャパシタと第 2 のシャントインダクタとを含んでいる第 2 のレベルシフト段と、

前記第 2 のレベルシフト段から前記第 2 の段の増幅された差動無線周波数信号を受信し、第 3 の段の増幅された差動無線周波数信号を生成する第 3 のカスコード接続された MOS トランジスタを含んでいる出力段と

をさらに含んでいる請求項 1 記載の装置。

【請求項 6】

前記出力段は、

接地された第 1 のソースと、前記第 2 の段の増幅された差動無線周波数信号を受信するための第 1 のゲートとを有する第 1 の NMOS トランジスタであって、前記第 1 のゲートは、第 1 の絶縁体上に配置され、前記第 1 の NMOS トランジスタは、第 1 のトランスコンダクタンスおよびそれに関連する第 1 の破壊電圧を有する、前記第 1 の NMOS トランジスタと、

前記第 1 の NMOS トランジスタの第 1 のドレインに接続された第 2 のソースと、前記基準 DC 電圧源に接続された第 2 のゲートと、前記増幅された差動無線周波数信号の出力を与える第 2 のドレインとを有する第 2 の NMOS トランジスタであって、負荷が前記基準 DC 電圧源と前記第 2 の NMOS トランジスタの前記第 2 のドレインとの間に配置され、前記第 2 のゲートは、第 2 の絶縁体上に配置され、前記第 2 の NMOS トランジスタは、第 2 のトランスコンダクタンスとそれに関連する第 2 の破壊電圧とを有する、前記第 2 の NMOS トランジスタと

を具備する、請求項 5 記載の装置。

【請求項 7】

前記第 1 のトランスコンダクタンスが前記第 2 のトランスコンダクタンスよりも大きく

なるように前記第2の絶縁体は前記第1の絶縁体よりも厚さが大きくされている請求項6記載の装置。

【請求項8】

前記第2の破壊電圧は前記第1の破壊電圧よりも大きい請求項7記載の装置。

【請求項9】

前記第2の破壊電圧は前記第1の破壊電圧よりも大きい請求項6記載の装置。

【請求項10】

前記集積回路チップは半導体パッケージ中にパッケージされ、前記半導体パッケージは、前記パッケージの1側面の周辺部のみにある複数の端子、前記周辺部内の前記パッケージの前記1側面上の金属接地平面、および前記差動入力増幅段と、前記駆動段と、前記金属接地平面上に配置されている出力段とを備えるパワー増幅器を含み、この結果、前記金属接地平面は、前記パワー増幅器により発生される熱エネルギー用のヒートシンクを与える、請求項1記載の装置。

【請求項11】

集積回路チップを具備している差動無線周波数信号を増幅する装置において、前記集積回路チップは、

前記差動無線周波数信号を受信し、第1の段の増幅された差動無線周波数信号を生成する第1のカスコード接続されたMOSトランジスタを含んでいる第1の差動増幅段と、

前記第1の差動増幅段から前記第1の段の増幅された差動無線周波数信号を受信し、第2の段の増幅された差動無線周波数信号を生成する第2のカスコード接続されたMOSトランジスタを含んでいる第2の差動増幅段と

を含み、

前記第1の差動増幅段および前記第2の差動増幅段は、

電流源に接続された第1のソースと、前記差動無線周波数信号を受信するための第1のゲートとを有する第1のNMOSトランジスタであって、前記第1のゲートは、第1の絶縁体上に配置され、前記第1のNMOSトランジスタは、第1のトランスコンダクタンスとそれに関連する第1の破壊電圧とを有する、第1のNMOSトランジスタと、

前記第1のNMOSトランジスタの第1のドレインに接続された第2のソースと、入力ゲート電圧に接続された第2のゲートと、前記増幅された差動無線周波数信号の出力を与える第2のドレインとを有する第2のNMOSトランジスタであって、インダクタが、前記基準DC電圧源と前記第2のNMOSトランジスタの前記第2のドレインとの間に配置され、前記第2のゲートは、第2の絶縁体上に配置され、前記第2のNMOSトランジスタは、第2のトランスコンダクタンスとそれに関連する第2の破壊電圧とを有する、前記第2のNMOSトランジスタと

を具備する装置。

フロントページの続き

(72)発明者 デビッド・ジェイ・ウェーバー

アメリカ合衆国、カリフォルニア州 94085 サニーベイル、ノース・ウォルフェ・ロード
355、アパートメント 735

(72)発明者 パトリック・ユエ

アメリカ合衆国、カリフォルニア州 95035 ミルピタス、カレ・デ・キュースタナダ 12
54

(72)発明者 デビッド・スー

アメリカ合衆国、カリフォルニア州 94043 マウンテン・ビュー、セイント・エミリオン・
コート 431

Fターム(参考) 5J500 AA01 AA12 AA41 AC57 AF15 AH10 AH29 AH33 AM17 AQ03
AS14 DN23 DP02

【外国語明細書】
2015201865000001.pdf