



(12) 发明专利

(10) 授权公告号 CN 101529605 B

(45) 授权公告日 2011. 05. 11

(21) 申请号 200780039902. 4

(22) 申请日 2007. 10. 25

(30) 优先权数据

293306/2006 2006. 10. 27 JP

311625/2006 2006. 11. 17 JP

(85) PCT申请进入国家阶段日

2009. 04. 27

(86) PCT申请的申请数据

PCT/JP2007/071267 2007. 10. 25

(87) PCT申请的公布数据

W02008/050901 EN 2008. 05. 02

(73) 专利权人 佳能株式会社

地址 日本东京

(72) 发明人 米原隆夫 山方宪二 关口芳信

西康二郎

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 魏小微

(51) Int. Cl.

H01L 33/00 (2006. 01)

(56) 对比文件

CN 1282111 A, 2001. 01. 31, 全文.

JP 特开 2005-159071 A, 2005. 06. 16, 说明书第 62-90 段, 附图 2-6.

审查员 李勇

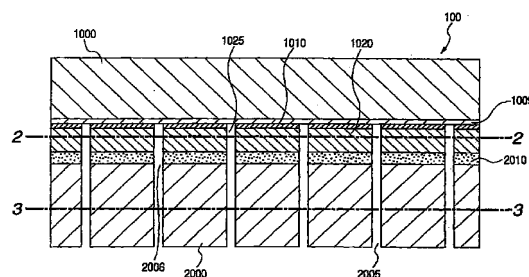
权利要求书 4 页 说明书 23 页 附图 15 页

(54) 发明名称

半导体构件、半导体物品制造方法以及使用该制造方法的 LED 阵列

(57) 摘要

提供新型的半导体物品制造方法等。具有在半导体衬底上形成的化合物半导体多层膜的半导体物品的制造方法包括：制备构件，该构件包含化合物半导体衬底 (1000)、化合物半导体多层膜 (1020)、绝缘膜 (2010) 和半导体衬底 (2000)，并具有穿过半导体衬底和绝缘膜的第一沟槽 (2005) 和作为被设置在化合物半导体多层膜中以与第一沟槽连接的第二沟槽的半导体衬底沟槽 (1025)；通过第一沟槽和第二沟槽使蚀刻剂与蚀刻牺牲层接触；以及蚀刻所述蚀刻牺牲层以使化合物半导体衬底与所述构件分开。



1. 一种制造半导体物品的方法,所述半导体物品具有在半导体衬底上形成的化合物半导体多层膜,该方法包括以下步骤:

制备构件,所述构件包含从化合物半导体衬底侧依次设置在化合物半导体衬底上的蚀刻牺牲层、化合物半导体多层膜、绝缘膜和半导体衬底,该构件具有设置在化合物半导体多层膜中的第一沟槽和穿过半导体衬底并与第一沟槽连接的第二沟槽;以及

通过第一沟槽和第二沟槽使蚀刻剂与蚀刻牺牲层接触,并由此蚀刻所述蚀刻牺牲层以使化合物半导体衬底与所述构件分开。

2. 根据权利要求1所述的制造半导体物品的方法,其中,通过以下步骤制备所述构件:在化合物半导体衬底上形成所述蚀刻牺牲层;

在所述蚀刻牺牲层上形成所述化合物半导体多层膜;

在所述化合物半导体多层膜中形成所述第一沟槽,使得露出所述蚀刻牺牲层;

制备具有所述第二沟槽和所述绝缘膜的所述半导体衬底;和

使所述化合物半导体衬底与所述半导体衬底接合,使得所述第一沟槽和所述第二沟槽彼此相连。

3. 根据权利要求1所述的制造半导体物品的方法,其中,在所述化合物半导体衬底和所述蚀刻牺牲层之间设置蚀刻停止层,所述蚀刻停止层用于阻止蚀刻剂对于所述化合物半导体衬底的蚀刻。

4. 根据权利要求1所述的制造半导体物品的方法,其中,在所述绝缘膜中设置与所述第一沟槽和所述第二沟槽连接的第三沟槽。

5. 根据权利要求1所述的制造半导体物品的方法,其中,在绝缘膜侧的半导体衬底的表面上设置绝缘层和电路层中之一。

6. 根据权利要求1所述的制造半导体物品的方法,其中,通过以下步骤制备所述构件:

在所述化合物半导体衬底上形成所述蚀刻牺牲层;

在所述蚀刻牺牲层上形成所述化合物半导体多层膜;

制备具有所述绝缘膜的所述半导体衬底;

使所述化合物半导体衬底与所述半导体衬底接合;

在所述半导体衬底中形成所述第二沟槽;

在所述绝缘膜中形成第三沟槽;以及

在所述化合物半导体多层膜中形成所述第一沟槽,使得所述蚀刻牺牲层被露出。

7. 根据权利要求1所述的制造半导体物品的方法,其中,在化合物半导体衬底上交替重复层叠所述蚀刻牺牲层和所述化合物半导体多层膜。

8. 根据权利要求3所述的制造半导体物品的方法,其中,在所述化合物半导体衬底上交替重复层叠所述蚀刻停止层、所述蚀刻牺牲层和所述化合物半导体多层膜。

9. 根据权利要求1所述的制造半导体物品的方法,其中,在所述化合物半导体多层膜和所述绝缘膜之间设置金属膜和DBR镜中的至少一个。

10. 根据权利要求1所述的制造半导体物品的方法,其中,所述绝缘膜为聚酰亚胺绝缘材料。

11. 根据权利要求1所述的制造半导体物品的方法,其中,所述半导体衬底包含驱动器电路,所述驱动器电路用于驱动形成包含所述化合物半导体多层膜的发光器件。

12. 一种阵列芯片,该阵列芯片包括通过使用根据权利要求 1 所述的制造半导体物品的方法制造的 LED 和 LD 中之一。

13. 一种 LED 打印头,包括:

与上述 LED 打印头连接的多个根据权利要求 12 所述的 LED 阵列芯片;以及
安装在其上面的圆柱状透镜阵列。

14. 一种 LED 打印机,包括:

根据权利要求 13 所述的 LED 打印头;

感光鼓;

充电单元;和

成像单元,用于以所述 LED 打印头作为光源在所述感光鼓上写静电潜像。

15. 一种彩色 LED 打印机,包括:

根据权利要求 13 所述的 LED 打印头;

感光鼓;

充电单元;和

多个成像单元,用于以所述 LED 打印头作为光源在所述感光鼓上写静电潜像。

16. 一种 LED 打印头,包括与其连接的、通过根据权利要求 1 所述的制造半导体物品的方法所制造的多个 LED 阵列芯片,并且其中,其上面不安装圆柱状阵列透镜。

17. 一种制造半导体物品的方法,所述半导体物品通过使化合物半导体衬底与半导体衬底接合而形成,该方法包括以下步骤:

制备所述化合物半导体衬底和所述半导体衬底;

从所述化合物半导体衬底侧依次在所述化合物半导体衬底上形成蚀刻停止层、蚀刻牺牲层、包含活性层的化合物半导体多层膜、和反射镜层;

在所述化合物半导体多层膜中设置第一沟槽,使得所述蚀刻牺牲层被露出,以将所述化合物半导体多层膜分割为岛状形状;

形成穿过所述半导体衬底的第二沟槽;

经由有机材料膜使所述化合物半导体衬底与所述半导体衬底接合,使得设置在所述半导体衬底中的所述第二沟槽与所述第一沟槽彼此相连,以形成构件;

使所述蚀刻牺牲层与蚀刻剂接触,以使所述化合物半导体衬底与所述构件分开;以及
在所述半导体衬底上通过使用所述化合物半导体多层膜形成发光器件。

18. 根据权利要求 17 所述的制造半导体物品的方法,其中,在被第一沟槽包围的化合物半导体衬底上形成的岛状化合物半导体多层膜具有矩形形状,所述矩形形状具有长边和短边,并且穿过半导体衬底的多个所述第二沟槽被断续地设置在其长边方向平行的阵列中。

19. 根据权利要求 17 所述的制造半导体物品的方法,还包括以下步骤:

在使化合物半导体衬底与所述构件分离之后,经由绝缘构件在岛状化合物半导体多层膜上形成电极,以形成具有长边方向和短边方向的发光器件阵列芯片;和

沿长边方向切割半导体衬底,使得设置在半导体衬底中并沿短边方向布置的相互平行的第二沟槽彼此相连。

20. 一种半导体构件,所述半导体构件具有在硅衬底上形成的化合物半导体多层膜,该

半导体构件包含从化合物半导体衬底侧依次在化合物半导体衬底上形成的蚀刻牺牲层、所述化合物半导体多层膜、绝缘膜和硅衬底,其中,用于露出蚀刻牺牲层的沟槽被设置在化合物半导体多层膜中,并且其中,与所述沟槽连接的贯通沟槽被设置在所述硅衬底和所述绝缘膜中。

21. 一种制造半导体物品的方法,所述半导体物品包括第二衬底上的化合物半导体多层膜,该方法包括以下步骤:

制备构件,所述构件包含从第一衬底侧依次设置在第一衬底上的蚀刻牺牲层、化合物半导体多层膜和第二衬底,该构件具有设置到所述化合物半导体多层膜上的第一沟槽和穿过所述第二衬底并与所述第一沟槽连接的第二沟槽;以及

通过所述第一沟槽和所述第二沟槽使蚀刻剂与所述蚀刻牺牲层接触,并由此蚀刻所述蚀刻牺牲层以使所述第一衬底与所述构件分开。

22. 根据权利要求 21 所述的制造半导体物品的方法,其中,通过第一沟槽以岛状形状构图的化合物半导体多层膜的形状的顶视图为具有长边方向和短边方向的矩形,并且其中,穿过第二衬底的多个所述第二沟槽被形成沿长边方向平行,以由此形成长边方向的贯通沟槽组,其中,多个所述长边方向的贯通沟槽组被布置为相互平行,其间隔大于或等于岛状化合物半导体多层膜的短边的长度。

23. 根据权利要求 21 所述的制造半导体物品的方法,其中,在化合物半导体多层膜和第二衬底之间设置反射体。

24. 一种制造发光器件的方法,该方法包括以下步骤:

从第一衬底侧依次在第一衬底上形成分离层和发光层;

使所述第一衬底与第二衬底接合,使得所述发光层位于内部,以形成接合构件;

通过蚀刻和去除所述分离层将所述发光层转移到所述第二衬底上,

其中,所述第一衬底上的一对所述分离层和所述发光层被重复淀积 n 次, n 为 2 或更大的自然数,只有最上面的发光层被构图成多个岛状体的形状,然后,使所述第一衬底与所述第二衬底接合以形成接合结构,以及

其中,使蚀刻剂渗入通过岛状形状构图在所述接合结构中形成的空间中,由此使得所述分离层与所述蚀刻剂接触,以选择性地将所述岛状的发光层转移到所述第二衬底上。

25. 一种 LED 器件,所述 LED 器件包含硅衬底上的绝缘膜、DBR 镜和发光器件,所述发光器件包含化合物半导体多层膜并且与化合物半导体衬底分离,其中,所述 DBR 镜被设置在所述绝缘膜和所述化合物半导体多层膜之间,所述 DBR 镜在所述化合物半导体衬底上外延生长,并且具有这样一种结构:其中层叠多个对,每个对均具有关于目标 LED 波长不同的折射率的层。

26. 一种制造 LED 阵列的方法,包括以下步骤:

在第一半导体衬底的表面上依次形成分离层、发光层和 DBR 层,并经由绝缘膜使所述第一半导体衬底与其上形成有半导体电路的第二衬底接合;

通过蚀刻和去除所述分离层,将第一半导体衬底的所述发光层和所述 DBR 层转移到所述第二衬底上;

将转移的发光层制成多个发光部分的阵列;以及

使所述多个发光部分与用于控制所述发光部分的发光的半导体电路的电极部分电连

接。

27. 一种接合结构,所述接合结构通过使第一衬底与第二衬底接合而形成;所述第一衬底包含各自经由分离层在第一衬底上以岛状形状构图的多个化合物半导体多层膜区域,其中,第一沟槽被设置在所述化合物半导体多层膜区域之间,并且,所述化合物半导体多层膜区域的形状的顶视图为具有长边方向和短边方向的矩形;所述第二衬底包含穿过该第二衬底的第二沟槽,其中,多个所述第二沟槽被断续地设置为沿长边方向平行,以由此形成长边方向的贯通沟槽组,并且,多个所述长边方向的贯通沟槽组被布置为相互平行,其间隔大于或等于岛状化合物半导体多层膜区域的短边的长度。

28. 一种半导体构件,包括从第一衬底侧依次设置在第一衬底上的分离层、化合物半导体多层膜、绝缘膜和第二衬底,其中,在所述化合物半导体多层膜中设置沟槽,所述沟槽用于将所述化合物半导体多层膜分割成多个区域并用于露出所述分离层,并且其中,与所述沟槽连接的贯通沟槽被设置在所述第二衬底和所述绝缘膜中。

29. 一种制造半导体物品的方法,所述半导体物品具有在半导体衬底上形成的化合物半导体多层膜,所述方法包括以下步骤:

制备包含从第一衬底侧依次设置在第一衬底上的分离层、化合物半导体多层膜和半导体衬底的构件,该构件具有设置在化合物半导体多层膜中的第一沟槽和穿过半导体衬底并与第一沟槽连接的第二沟槽;以及

使第一衬底与该构件分开。

半导体构件、半导体物品制造方法以及使用该制造方法的 LED 阵列

技术领域

[0001] 本发明涉及半导体构件和制造半导体的方法。本发明还涉及通过使用这种方法制造的诸如发光器件之类的光学器件、LED 阵列芯片、LED 打印机头和 LED 打印机。

背景技术

[0002] 已知一种将经由蚀刻牺牲层在 GaAs 衬底上形成的发光二极管形成层转移到硅衬底上的技术。

[0003] 在日本专利公开申请 No. 2005-012034 中描述了将发光二极管形成层转移到硅衬底上的技术。

[0004] 更具体而言,首先,设置用于将经由牺牲层形成在 GaAs 衬底上的发光二极管形成层分割成其各发光区域的沟槽。在所述沟槽的正下方露出该牺牲层。

[0005] 然后,使干膜抗蚀剂与发光二极管形成层接合 (bonded)。进一步地,使由金属线形成的网孔支撑构件 (mesh support member) 与干膜抗蚀剂接合。

[0006] 此后,去除位于金属线正下方以外的抗蚀剂。然后,通过使蚀刻剂经由网孔支撑构件与牺牲层接触来蚀刻牺牲层,由此使 GaAs 衬底与接合结构分开。

[0007] 进一步地,在将 GaAs 衬底分开之后,使发光二极管形成层与硅衬底接合。

[0008] 以这种方式,发光二极管形成层被转移到硅衬底上。

发明内容

[0009] 然而,本发明的发明人已认识到,由于在上述的日本专利公开申请 No. 2005-012034 中描述的技术需要大量的接合工艺,因此,当考虑到其大规模生产时,需要进一步的发明设计。

[0010] 本发明的发明人已想到,当减少接合工艺的数量并蚀刻牺牲层时,希望将发光二极管形成层转移到硅衬底上,并且实现了如下面所述的划时代的本发明。

[0011] 本发明的目的如下。

[0012] 即,本发明的一个目的是提供通过次数尽可能地少的接合工艺来实现的新型制造方法和新型构件。

[0013] 根据本发明,提供一种制造半导体物品的方法,所述半导体物品具有在半导体衬底上形成的化合物半导体多层膜,该方法包括:

[0014] 制备构件,所述构件包含从化合物半导体衬底侧依次设置在化合物半导体衬底上的蚀刻牺牲层、所述化合物半导体多层膜、绝缘膜和半导体衬底,该构件具有设置在化合物半导体多层膜中的第一沟槽和穿过半导体衬底并与第一沟槽连接的第二沟槽;以及

[0015] 通过第一沟槽和第二沟槽使蚀刻剂与蚀刻牺牲层接触,并由此蚀刻所述蚀刻牺牲层以使化合物半导体衬底与所述构件分开。

[0016] 在这种情况下,可通过以下步骤制备该构件:

- [0017] 在化合物半导体衬底上形成所述蚀刻牺牲层；
- [0018] 在所述蚀刻牺牲层上形成所述化合物半导体多层膜；
- [0019] 在所述化合物半导体多层膜中形成所述第一沟槽，使得露出所述蚀刻牺牲层；
- [0020] 制备具有所述第二沟槽和所述绝缘膜的所述半导体衬底；以及
- [0021] 使所述化合物半导体衬底与所述半导体衬底接合，使得所述第一沟槽和所述第二沟槽彼此相连。
- [0022] 作为替代方案，可通过以下步骤制备该构件：
- [0023] 在所述化合物半导体衬底上形成所述蚀刻牺牲层；
- [0024] 在所述蚀刻牺牲层上形成所述化合物半导体多层膜；
- [0025] 制备具有所述绝缘膜的所述半导体衬底；
- [0026] 使所述化合物半导体衬底与所述半导体衬底接合；
- [0027] 在所述半导体衬底中形成所述第二沟槽；
- [0028] 在所述绝缘膜中形成第三沟槽；以及
- [0029] 在所述化合物半导体多层膜中形成所述第一沟槽，使得所述蚀刻牺牲层被露出。
- [0030] 所述半导体衬底可设置有驱动器电路，所述驱动器电路用于驱动被构造为包含所述化合物半导体多层膜的发光二极管。
- [0031] 进一步地，根据本发明的第二方面，提供一种制造半导体物品的方法，所述半导体物品通过使化合物半导体衬底与半导体衬底接合形成，该方法包括以下步骤：
- [0032] 制备所述化合物半导体衬底和所述半导体衬底；
- [0033] 从化合物半导体衬底侧依次在化合物半导体衬底上形成蚀刻停止层、蚀刻牺牲层、包含活性层的化合物半导体多层膜和反射镜层；
- [0034] 在化合物半导体多层膜中设置第一沟槽，使得蚀刻牺牲层被露出，以将化合物半导体多层膜分割为岛状形状；
- [0035] 形成穿过半导体衬底的第二沟槽；
- [0036] 经由有机材料膜使化合物半导体衬底与半导体衬底接合，使得设置在半导体衬底中的第二沟槽与第一沟槽彼此相连以形成构件；
- [0037] 使蚀刻牺牲层与蚀刻剂接触，以使化合物半导体衬底与所述构件分开；以及
- [0038] 在半导体衬底上通过使用化合物半导体多层膜形成发光器件。
- [0039] 根据本发明的第三方面，提供一种通过使用上述的制造半导体物品的方法制成的 LED 阵列。
- [0040] 可通过在 LED 阵列上安装圆柱状透镜阵列 (rod lens array) 来配置 LED 打印机头。
- [0041] 进一步地，根据本发明的另一方面，提供一种 LED 打印机，该 LED 打印机包括：LED 打印机头、感光鼓、充电单元和成像单元，所述成像单元用于以所述 LED 打印机头作为光源在感光鼓上写静电潜像。
- [0042] 特别地，可通过包含多个成像单元来形成彩色 LED 打印机。
- [0043] 进一步地，根据本发明的第四方面，提供一种半导体构件，所述半导体构件具有在半导体衬底上形成的化合物半导体多层膜，该半导体构件包含从化合物半导体衬底侧依次在化合物半导体衬底上形成的蚀刻牺牲层、所述半导体多层膜、绝缘膜和硅衬底，其中，用

于露出蚀刻牺牲层的沟槽被设置在化合物半导体多层膜中,并且,与所述沟槽连接的贯通沟槽被设置在所述半导体衬底和所述绝缘膜中。

[0044] 进一步地,根据本发明的第五方面,提供一种制造半导体物品的方法,所述半导体物品包括衬底上的化合物半导体多层膜,该方法包括:

[0045] 制备构件,所述构件包含从第一衬底侧依次设置在第一衬底上的蚀刻牺牲层、化合物半导体多层膜和第二衬底,该构件具有设置到化合物半导体多层膜上的第一沟槽和穿过第二衬底并与第一沟槽连接的第二沟槽;以及

[0046] 通过第一沟槽和第二沟槽使蚀刻剂与蚀刻牺牲层接触,并由此蚀刻蚀刻牺牲层以使第一衬底与所述构件分开。

[0047] 进一步地,根据本发明的第六方面,提供一种制造发光器件的方法,该方法包括:

[0048] 从第一衬底侧依次在第一衬底上形成分离层和发光层;

[0049] 使第一衬底与第二衬底接合,使得发光层位于内部,以形成接合构件;

[0050] 通过蚀刻和去除分离层将发光层转移到第二衬底上,

[0051] 其中,第一衬底上的一对分离层和发光层被重复淀积 n 次, n 为 2 或更大的自然数,只有最上面的发光层被构图成多个岛状体的形状,然后,使第一衬底与第二衬底接合以形成接合结构,以及

[0052] 其中,使蚀刻剂渗入通过岛状形状构图在接合结构中形成的空间中,由此使得分离层与蚀刻剂接触,以选择性地将岛状发光层转移到第二衬底上。

[0053] 进一步地,根据本发明的第七方面,提供一种发光器件,所述发光器件包含经由 DBR 镜在硅衬底上形成的发光器件。

[0054] 进一步地,根据本发明的第八方面,提供一种半导体构件,该半导体构件包括从第一衬底侧依次设置在第一衬底上的分离层、化合物半导体多层膜、绝缘膜和第二衬底,

[0055] 其中,用于将化合物半导体多层膜分割成多个区域并用于露出分离层的沟槽被设置在化合物半导体多层膜中,并且,与沟槽连接的贯通沟槽被设置在第二衬底和绝缘膜中。

[0056] 进一步地,根据本发明的第九方面,提供一种制造半导体物品的方法,所述半导体物品具有在半导体衬底上形成的化合物半导体多层膜,该方法包括:

[0057] 制备构件,所述构件包含从第一衬底侧依次设置在第一衬底上的分离层、化合物半导体多层膜和第二衬底,该构件具有设置在化合物半导体多层膜中的第一沟槽和穿过第二衬底并与第一沟槽连接的第二沟槽;以及

[0058] 使第一衬底与所述构件分开。

[0059] 进一步地,根据本发明的另一方面,提供一种制造 LED 阵列的方法,该方法包括:

[0060] 在第一半导体衬底的表面上依次形成分离层、发光层和 DBR 层,并经由绝缘膜使衬底与其上形成半导体电路的第二衬底接合;

[0061] 通过蚀刻和去除分离层将第一衬底的发光层和 DBR 层转移到第二衬底上;

[0062] 将转移的发光层制成多个发光部分的阵列;和

[0063] 使所述多个发光部分与用于控制发光部分的发光的半导体电路的电极部分电连接。

[0064] 进一步地,根据本发明的另一方面,在本发明的第一方面中,在被第一沟槽包围的化合物半导体衬底上形成的岛状化合物半导体多层膜具有带有长边和短边的矩形形状,并

且穿过半导体衬底的多个第二沟槽被断续地设置在与其长边方向（纵向）平行的阵列中。

[0065] 进一步地,根据本发明的另一方面,在本发明的第一方面中,提供一种制造半导体的方法,在使化合物半导体衬底与所述构件分离之后,经由绝缘构件在岛状化合物半导体多层膜上形成电极,以形成具有长边方向和短边方向的发光器件阵列芯片,并且沿长边方向切割第二衬底,使得设置在第二衬底中并沿短边方向布置的相互平行的第二贯通沟槽彼此相连。

[0066] 进一步地,根据本发明的另一方面,在本发明的第五方面中,通过第一沟槽以岛状形状构图的化合物半导体多层膜的形状的顶视图为具有长边方向和短边方向的矩形,并且,穿过第二衬底的多个第二沟槽形被形成为沿长边方向平行,以由此形成长边方向的贯通沟槽组,其中,长边方向的多个贯通沟槽组被配置为相互平行,其间隔大于或等于岛状化合物半导体多层膜的短边的长度。

[0067] 进一步地,根据本发明的另一方面,提供一种接合结构,所述接合结构通过使第一衬底与第二衬底接合而形成;该第一衬底包含各自经由分离层在第一衬底上以岛状形状构图的多个化合物半导体多层膜区域,其中,第一沟槽被设置在所述化合物半导体多层膜区域之间,并且,化合物半导体多层膜区域的形状的顶视图为具有长边方向和短边方向的矩形;该第二衬底包含穿过该第二衬底的第二沟槽,其中,多个第二沟槽被断续地设置为沿长边方向平行,以由此形成长边方向的贯通沟槽组,并且,长边方向的多个贯通沟槽组被布置为相互平行,其间隔大于或等于岛状化合物半导体多层膜区域的短边的长度。

[0068] 进一步地,根据本发明的另一方面,通过上述的制造半导体物品的方法制造的多个 LED 阵列芯片与其连接,并且,圆柱状阵列透镜不被安装。

[0069] 应当注意,在以上的描述中,“依次”意味着“关于所列出的结构元件的顺序依次”,并且不排除在所列出层之间设置其它层的情况。

[0070] （本发明的效果）

[0071] 根据本发明,与在日本专利公开申请 No. 2005-012034 中描述的技术相比,接合工艺的数量可减少。

[0072] 进一步地,关于通过使第一衬底（例如,化合物半导体衬底）与第二衬底（例如,硅衬底）接合形成的构件,通过在第二衬底中形成的贯通沟槽使蚀刻剂与牺牲层接触。

[0073] 因此,与使蚀刻剂仅从构件的最外缘侧沿衬底表面方向渗透的情况相比,蚀刻牺牲层所需要的时间可缩短。

[0074] 通过参照附图阅读示例性实施例的以下描述,本发明的其它特征将变得清晰。

附图说明

[0075] 图 1 是与根据本发明的第一实施例的半导体的制造方法相关的构件的截面图。

[0076] 图 2 是从图 1 中的截面 2-2 的下方观察的视图。

[0077] 图 3 是示出图 1 中的截面 3-3 的视图。

[0078] 图 4 是示出第一沟槽和半导体衬底沟槽之间的位置关系并示出在半导体衬底沟槽之间设置岛状化合物半导体多层膜的状态的部分分解透视图。

[0079] 图 5 是示出在布线衬底上连接驱动电路和 LED 阵列的示例性结构的截面图。

[0080] 图 6 是示出 LED 打印机头的视图。

- [0081] 图 7 是示出驱动器电路被直接构建于 Si 衬底侧并与 LED 器件连接的状态的截面图。
- [0082] 图 8 是示出可为了减少电极的数量而被时分驱动的发光器件阵列电路 8500 的视图。
- [0083] 图 9A 是示出 LED 打印机的示例性结构的概念视图。
- [0084] 图 9B 是示出彩色打印机的示例性结构的概念视图。
- [0085] 图 10 是示出根据本发明的半导体物品的制造方法的例子的视图。
- [0086] 图 11 是示出根据本发明的半导体物品的制造方法的例子的视图。
- [0087] 图 12A 和图 12B 是示出根据本发明的半导体物品的制造方法的例子的视图。
- [0088] 图 13A 和图 13B 是示出根据本发明的半导体物品的制造方法的例子的视图。
- [0089] 图 14 是示出根据本发明的半导体物品制造方法的例子的视图。
- [0090] 图 15 是 LED 阵列的截面图。
- [0091] 图 16 和图 16A 是示出根据本发明的半导体物品的制造方法的例子的视图。
- [0092] 图 17A 和图 17B 是示出根据本发明的半导体物品的制造方法的例子的视图。
- [0093] 图 18、图 18A 和图 18B 是示出根据本发明的半导体物品的制造方法的例子的视图。
- [0094] 图 19 和图 19A 是示出根据本发明的半导体物品的制造方法的例子的视图。
- [0095] 图 20 是示出驱动器电路被直接构建于 Si 衬底侧并与 LED 器件连接的状态的截面图。
- [0096] 图 21A、图 21B、图 21C、图 21D 和图 21E 是示出在第一衬底上层叠均包含分离层和发光层的多个组的工艺的视图。
- [0097] 应当注意,附图标记 1000 表示化合物半导体衬底,附图标记 1009 表示蚀刻停止层,附图标记 1010 表示蚀刻牺牲层,附图标记 1020 表示化合物半导体多层膜,附图标记 1025 表示第一沟槽,附图标记 2000 表示例如硅衬底。附图标记 2005、2006 和 2010 分别表示第二沟槽、第三沟槽和绝缘膜(有机材料膜)。

具体实施方式

[0098] (第一实施例)

[0099] 现在参照图 1 ~ 3 描述根据本实施例的发明。

[0100] 在图 1 中,附图标记 1000 表示第一衬底(化合物半导体衬底或由例如 Ge 形成的衬底)。附图标记 1009 表示蚀刻停止层,附图标记 1010 表示蚀刻牺牲层,附图标记 1020 表示化合物半导体多层膜(这里,省略该多层膜的层结构的细节)。此外,附图标记 1025 表示用于将化合物半导体多层膜 1020 分割为在化合物半导体衬底上的岛状形状的第一沟槽。附图标记 1009 表示根据需要设置的蚀刻停止层。附图标记 100 表示根据本发明的构件。

[0101] 附图标记 2000、2005 和 2010 分别表示第二衬底(例如,硅衬底)、设置在第二衬底中的第二沟槽、以及绝缘膜(例如,有机材料膜)。绝缘膜 2010 还被设置有与第二沟槽连接的第三沟槽 2006。虽然在图中第一沟槽的宽度和间隔被示为与第二沟槽的宽度和间隔相等,但是第一沟槽的宽度可以比第二沟槽的宽度大。然而,由于第一沟槽 1025 和作为第二沟槽的半导体衬底沟槽 2005 必须彼此连接,因此希望化合物半导体层的岛状体的宽度(沿下面描述的短边方向的长度)比穿过第二衬底的沟槽之间的间距小。虽然这里硅衬底被用

作第二衬底,但是第二衬底不特别限于硅衬底。

[0102] 应当注意,在图 1 中,第一沟槽 1025 的宽度为例如几微米到几百微米。第二沟槽 2005 的宽度为例如几微米到几百微米。应当注意,为了使得蚀刻剂容易从第二沟槽(贯通沟槽)渗透,该宽度优选为 $50\text{ }\mu\text{m}$ 或更大、更优选为 $100\text{ }\mu\text{m}$ 或更大、进一步更加优选为 $200\text{ }\mu\text{m}$ 或更大。然而,存在该宽度依赖于第二衬底的厚度的情况。应当注意,化合物半导体层的岛状体的宽度优选比穿过硅衬底的沟槽之间的间隔小。此外,绝缘膜 2010 在适当情况下可被省略。

[0103] 图 2 部分示出图 1 中的截面 2-2。从图 2 可以清楚地看出,化合物半导体多层膜 1020 被分割(构图)为第一衬底 1000 上的岛状形状。

[0104] 岛状部分 1020 与包围它的部分相比具有突出的形式。当然,化合物半导体多层膜 1020 被构图为希望的形状就足够了,而不必要求如图中所示的矩形岛状形状。并且,以下,矩形岛状体的长边方向有时被称为纵向,而短边方向有时被称为横向。应当注意,在图 2 中,类似的附图标记表示图 1 中的类似构件,并且这一点适用于以下参照的各附图。

[0105] 第一沟槽 1025 是岛状的化合物半导体多层膜 1020 中的空间(间隙)。应当注意,类似的附图标记表示图 1 中的类似结构构件。

[0106] 图 3 示出图 1 中的截面 3-3。从图 3 可以清楚地看出,第二沟槽 2005 被设置在第二衬底 2000 中。应当注意,第二沟槽 2005 被断续地形成。通过以这种方式断续地设置贯通沟槽,在例如硅晶片的情况下,其刚度(stiffness)不显著损失,因而可避免它在随后的工艺中的操作变得困难的情况。

[0107] 应当注意,如图 12B 所示,考虑到机械强度,优选分离地(断续地)形成贯通沟槽,使得第二沟槽(贯通沟槽)的纵向沿着当晶片在下游工艺中被分成芯片时使用的芯片划线(chip scribe line)。

[0108] 图 4 是示出第一沟槽 1025 和半导体衬底沟槽 2005 之间的位置关系并示出在半导体衬底沟槽 2005 之间设置岛状化合物半导体多层膜 1020 的状态的部分分解透视图。应当注意,在图 4 中,为了简化,省略绝缘膜 2010、蚀刻停止层 1009 和蚀刻牺牲层 1010。

[0109] 此外,优选地,当图 2 和图 3 被叠置时,突出形式的岛状体 1020a 刚好处于贯通沟槽 2005a 和 2005b 之间。

[0110] 当然,只要突出形式的岛状体 1020a 可被支撑,那么贯通沟槽 2005 不必要求如图 2 和图 3 所示的那样被设置为与构图的化合物半导体多层膜 1020 的纵向平行。例如,(当从顶部观察时),贯通沟槽 2005 可被设置为与纵向垂直或与纵向相交。应当注意,由于贯通沟槽穿过衬底,因此它也可被称为贯穿孔。

[0111] 制备构件 100,该构件 100 被形成为包含第一衬底(例如化合物半导体衬底)1000、蚀刻牺牲层 1010、化合物半导体多层膜 1020、绝缘膜(例如有机绝缘材料膜)2010、以及第二衬底(例如硅衬底)2000。

[0112] 根据需要,可设置蚀刻停止层 1009,但它不是必要的。

[0113] 然后,如图 1 所示,使得蚀刻剂通过分别穿过第二衬底 2000(例如硅衬底)和绝缘膜 2010 的第二沟槽 2005 和第三沟槽 2006 渗入该构件中。

[0114] 通过使蚀刻剂与蚀刻牺牲层 1010 接触,实施蚀刻以使第一衬底 1000 与该构件分开。

[0115] 应当注意,虽然在图 1 中,第一沟槽 1025 穿过蚀刻牺牲层 1010,但是,不要求第一沟槽 1025 穿过蚀刻牺牲层 1010。所需要的是,在从构件 100 去除第一衬底 1000 时或在此之前可露出该蚀刻牺牲层。

[0116] 此外,可以根据需要设置图 1 所示的蚀刻停止层 1009。当蚀刻的程度在时间上被严格控制时,不必要要求设置蚀刻停止层。然而,该层具有在整个晶片上均匀地露出蚀刻牺牲层的效果。

[0117] (构件)

[0118] 可例如根据以下的两种方法制备该构件。当然,只要可实现图 1 所示的构件,那么本发明不限于以下的两种方法。

[0119] 第一方法被实现为包含以下的步骤 A1) ~ E1) :

[0120] A1) 通过外延生长在诸如化合物半导体衬底之类的第一衬底 1000 上形成蚀刻牺牲层 1010 ;

[0121] B1) 在蚀刻牺牲层 1010 上形成化合物半导体多层膜 1020 ;

[0122] C1) 在化合物半导体多层膜 1020 中形成第一沟槽 1025,使得蚀刻牺牲层 1010 被露出 ;

[0123] D1) 制备设置有第二沟槽 2005 并具有绝缘膜 2010 的第二衬底 2000 ;以及

[0124] E1) 使第一衬底 1000 与第二衬底 2000 接合,使得第一沟槽 1025 和第二沟槽 2005 相互连接。

[0125] 应当注意,在以希望的构图形状分割化合物半导体多层膜的步骤 C1 中,实施构图,使得例如如图 2 所示的那样保留突出形式的岛状体。应当注意,在 C1 中,蚀刻停止层的表面的至少一部分可被露出,或者,第一沟槽可沿蚀刻牺牲层的方向延伸,并且第一沟槽正下方的蚀刻牺牲层可被完全去除。此外,蚀刻牺牲层下方的区域(例如,第一衬底、蚀刻停止层、和 / 或缓冲层)可被露出。应当注意,可以在作为接合工艺的步骤 E1 之后设置第三沟槽。

[0126] 此外,只要可制造该构件,那么以上步骤的次序不限于以上规定的次序。例如,可以在步骤 A1) ~ C1) 之前实施步骤 D1)。

[0127] 再进一步地,如果在外延生长蚀刻牺牲层之前在化合物半导体衬底上外延生长蚀刻停止层,那么可控性得到进一步提高。更具体而言,整个衬底上的蚀刻的均匀性得到提高。虽然如图 1 所示的那样形成蚀刻停止层,但这种层对于本发明来说不是必要的。

[0128] 进一步地,优选地,在诸如硅衬底之类的第二衬底 2000 中形成的第二贯通沟槽 2005 的间隔和以岛状形状分开的化合物半导体多层膜的宽度基本上相等,或者化合物半导体多层膜的宽度更小。

[0129] 再进一步地,应当注意,例如,通过干蚀刻(RIE)等形成第二沟槽 2005,直到图 1 所示的第二沟槽的深度方向(在图中,该深度方向为向上的方向)的中途,即,使得在绝缘膜 2010 侧部分留下形成第二衬底的材料。在 RIE 中使用的掩模不被特别限制,并且例如为 SiN。此后,使第一衬底 1000 与第二衬底接合。然后,在第二衬底中形成的沟槽可通过湿蚀刻等而在深度方向上延伸,使得该沟槽穿过第二衬底 2000。

[0130] 当然,例如,通过干蚀刻(RIE)等形成第二沟槽 2005,直到图 1 所示的第二沟槽的深度方向(在图中,该深度方向为向左的方向)的中途,即,使得在绝缘膜 2010 侧部分留下

形成第二衬底的材料。然后,在第二衬底中形成的沟槽通过湿蚀刻等延伸而使得该沟槽穿过第二衬底 2000 之后,可以使第一衬底 1000 接合到第二衬底。

[0131] 虽然在以上描述的工艺 D1 中,绝缘膜 2010 被设置在第二衬底上,但是,在以希望的形状被构图的化合物半导体多层膜 1020 上设置绝缘膜之后使其接合到第二衬底也是可接受的。当然,当第二衬底是硅衬底或具有硅区域的衬底时,在表面上形成的氧化物层可被用作绝缘膜。应当注意,设置在构件 100 中的绝缘膜 2010 可被事先设置在第一衬底侧、第二衬底侧或第一和第二衬底两者侧。应当注意,当例如第二衬底是诸如石英和玻璃衬底之类的绝缘衬底时,绝缘膜 2010 可被省略。

[0132] 根据以下步骤实施制备构件的第二方法:

[0133] A2) 在第一衬底 1000 上形成蚀刻牺牲层 1010;

[0134] B2) 在蚀刻牺牲层 1010 上形成化合物半导体多层膜 1020;

[0135] C2) 制备具有绝缘膜 2010 的第二衬底 2000;

[0136] D2) 使第一衬底 1000 接合到第二衬底 2000;

[0137] E2) 在硅衬底 2000 中形成第二沟槽 2005;

[0138] F2) 在形成第二沟槽 2005 之后,在绝缘膜 2010 中形成第三沟槽 2006;以及

[0139] G2) 在化合物半导体多层膜 1020 中形成第一沟槽 1025,使得蚀刻牺牲层 1010 被露出。

[0140] 应当注意,例如,通过干蚀刻(RIE)等形成第二沟槽 2005,直到图 1 所示的第二沟槽的深度方向(在图中,该深度方向为向左的方向)的中途,即,使得在绝缘膜 2010 侧部分留下形成第二衬底的材料。然后,可通过湿蚀刻使得该沟槽穿过第二衬底 2000。

[0141] 虽然以上描述了实现图 1 所示的构件的示例性方法,但本发明不排除结构衬底、结构层或结构膜之间的其它层、膜或区域的存在,也不排除包含这种存在的膜形成或接合。例如,可在绝缘膜 2010 和第二衬底 2000 之间部分地或整个地设置金属膜,并且,可以在第二衬底上设置布线区域或电路区域,或者可通过使用第二衬底和绝缘膜设置布线区域或电路区域。这里提到的电路区域是当通过使用化合物半导体多层膜制造发光器件或光接收器件时的驱动电路或开关电路,或包含仅用于通电或电压施加的布线的电路。

[0142] (第二衬底)

[0143] 第二衬底 2000 包含例如半导体衬底、硅衬底、表面上形成有氧化物层的硅晶片、以及其上设置有希望的电路(例如驱动器)的硅晶片。如图 1 所示的具有绝缘膜的硅衬底例如形成如下。

[0144] 在硅衬底的一个表面上形成作为绝缘膜的有机材料膜之后,通过使用抗蚀剂在另一表面上形成用于形成作为半导体衬底沟槽的第二沟槽 2005 的掩模层,并且,通过使用该掩模在硅衬底中形成半导体衬底沟槽 2005。可以使用诸如 RIE 之类的干蚀刻或湿蚀刻。也可使用用于通过使石英颗粒等与露出部分碰撞以物理破坏硅衬底而形成沟槽的喷砂器。当然,也可以使用它们的组合。例如,可通过 RIE 或喷砂器沿深度方向在一定程度上形成沟槽,然后,可在与第一衬底接合之前(或之后)通过湿蚀刻在由硅等形成的第一衬底中形成贯通孔。作为替代方案,也可以通过从第一衬底的后表面进行研磨或磨蚀而露出沟槽。

[0145] 以下是另一例子。首先,形成穿过硅衬底的第二沟槽 2005。然后,在一个表面上施加有机材料膜(例如,正类型感光聚酰亚胺膜),并且,以硅衬底作为掩模从另一表面侧施

加 UV 光。然后,只有位于第二沟槽 2005 之上的有机材料膜的部分被显影和去除。当然,可在使第一衬底与硅衬底接合的情况下,实施通过使用具有贯穿其中的贯通沟槽的硅衬底作为掩模露出有机材料膜并去除露出的有机材料膜的步骤。应当注意,在接合工艺之后,可以从第二衬底侧施加 UV 光,并且,第二沟槽正上方的有机材料膜可被去除,以形成第三沟槽。

[0146] 在第二衬底中形成沟槽时应用此方法的优点如下。

[0147] 由于它不是器件工艺而是用于在硅衬底上形成沟槽的抗蚀剂整形,因此它是不需要掩模对准的第一层形成。此外,由于沟槽的尺寸为相对较大的几百微米或更大,因此,不必进行抗蚀剂的除气。因此,可以使用不需要压力降低机构的具有高的生产率的不昂贵的设备。

[0148] 应当注意,不特别限制在硅衬底和绝缘膜中形成的贯通沟槽的制造方法,并且,也可使用利用具有预定图案的模子(压模)的压印。

[0149] 应当注意,在例如 Ayon 等人的文献(Sensors and Actuators A91(2001)381~385)中描述了硅衬底中的各向异性沟槽的形成。

[0150] 这使得能够例如在厚达几百微米的硅晶片中通过深 RIE 形成贯通沟槽,而同时侧壁得到保护并且不使长宽比变差。此外,可以不通过化学蚀刻而是通过流体能量或诸如喷砂那样通过使固体颗粒碰撞,形成贯通沟槽。

[0151] 此外,可以在硅衬底 2000 中设置驱动器电路。当发光二极管(LED)被形成为包含化合物半导体多层膜时,这里提到的驱动器电路例如是用于驱动和控制 LED 的电路。

[0152] 应当注意,硅衬底、所谓的 CZ 晶片当然可以是在其表面上具有外延硅层的衬底。此外,作为硅衬底的替代,可以使用 SOI 衬底。

[0153] 应当注意,为了使得蚀刻剂(用于去除蚀刻牺牲层)容易渗透诸如硅衬底之类的第二衬底的贯通沟槽,可通过使用臭氧灰化或作为硫酸和过氧化氢的混合物的比拉溶液(piranha solution)处理硅衬底中的贯通沟槽的侧壁的表面。

[0154] 此外,当第一衬底与诸如硅衬底之类的第二衬底接合时,可在它们之间或在硅衬底上的绝缘膜和第一衬底之间存在金属膜。当制造 LED 器件时,它可用作反射层。当然,作为金属膜的替代,可以使用 DBR 镜。应当注意,为了使得金属膜(例如, Ti、Au 或 Pt)用作反射镜,还可将其设置在绝缘膜和第二衬底(例如硅)之间。应当注意,当使用 DBR 即所谓的布拉格反射体时, DBR 层被设置在化合物半导体多层膜 1020 和绝缘膜 2010 之间。

[0155] 作为第二衬底,除了硅衬底以外,可以施加玻璃衬底、石英衬底、金属衬底、陶瓷衬底或涂覆有绝缘膜的衬底等。虽然不规定第二衬底的厚度,但是可使用诸如 525 μm (4 英寸)、625 μm (6 英寸)、725 μm (8 英寸)或 775 μm (12 英寸)之类的厚度。第二衬底的厚度为例如在 300 μm ~1000 μm 的范围内,并且,从保证强度的观点以及从工艺的观点看,优选为在 400 μm ~800 μm 的范围内。

[0156] 应当注意,第二衬底中的贯通沟槽(贯通孔)可以为矩形狭缝,或者可以为如图 3 所示的以规定的间隔断续设置的狭缝。

[0157] 更进一步地,可以使用管芯接合膜(Die Bonding Film, Hitachi Chemical Co., Ltd.)以使第一衬底与第二衬底接合。例如,将同时用作切割带(dicing tape)和管芯接合膜的由 Hitachi Chemical Co., Ltd. 制造的管芯接合膜(Die Bonding Film)接合到诸如硅衬底之类的第二衬底上,以提高可操作能力。然后,执行对准等。在接合中,去除切割

带（例如，通过 UV 光施加进行去除）并执行与第一衬底侧的接合。应当注意，当管芯接合膜保留在穿过第二衬底的第二沟槽上时，通过蚀刻等去除它，并且执行与第一沟槽的耦接。

[0158] 应当注意，在第二衬底中形成的贯通沟槽优选为断续设置的具有长边和短边的矩形（条带）形状或四边形的形状的多个贯通沟槽。特别地，优选多个贯通沟槽沿贯通沟槽的长边方向（沿纵向）对准（成阵列）并被断续设置。这里，“断续”意味着在沟槽之间存在间隙，即沟槽被分开。从保证衬底强度的观点看，这也是优选的，这一点在衬底被引入随后的器件工艺时十分重要。间隙的宽度例如处于几微米到几百微米的范围中。

[0159] 此外，在将以阵列断续设置的沟槽被设置为使得阵列中的沟槽如图 3 所示的那样彼此平行是优选的。

[0160] （第一衬底）

[0161] 作为第一衬底 1000，可以应用 GaAs 衬底、p 型 GaAs 衬底、n 型 GaAs 衬底、InP 衬底、SiC 衬底或 GaN 衬底等。应当注意，除了化合物半导体衬底以外，还可以使用蓝宝石衬底或 Ge 衬底。诸如 GaAs 衬底或 GaN 衬底之类的化合物半导体衬底是优选的。

[0162] （蚀刻牺牲层）

[0163] 这里提到的蚀刻牺牲层是比化合物半导体多层膜更快地被蚀刻的层，并且它也可被称为分离层。蚀刻牺牲层与其上的多层膜的蚀刻速度比为 5 或更大，优选为 10 或更大、更优选为 100 或更大。

[0164] 蚀刻牺牲层例如是 AlAs 层或 AlGaAs 层（例如， $\text{Al}_{0.7}\text{Ga}_{0.3}\text{As}$ ）。

[0165] 当 AlGaAs 层被表达为 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($1 \geq x \geq 0.7$) 时，当 x 为 0.7 或更大时，蚀刻选择性变得十分明显。当使用 AlAs 层作为蚀刻牺牲层时，可以使用 2-10% HF 的稀释溶液作为蚀刻剂。蚀刻剂例如是 10% 的氢氟酸。

[0166] 应当注意，可以使用蓝宝石衬底作为第一衬底，并且可以使用诸如氮化铬 (CrN) 之类的金属氮化物膜作为其上的蚀刻牺牲层。在氮化铬上外延生长作为用于实现蓝光或 UV 光用器件 (LED 或激光器) 的功能层的多层膜。关于该多层膜，可以使用作为活性层的 GaInN 以及作为隔层的 AlGaN 或 GaN。

[0167] 应当注意，作为牺牲层的蚀刻剂，可以使用普通的 Cr 蚀刻剂（铬蚀刻剂）。这种蚀刻剂由 Mitsubishi Chemical Corporation 供应。

[0168] （第二衬底中的贯通沟槽的制造）

[0169] 当第二衬底为硅衬底时，可通过在 SF_6 等的气氛下使用氟通过 RIE（反应离子蚀刻）制造贯通沟槽。当然，原子团物类 (radical species) 不限于氟。当实施湿蚀刻时，可以使用 NaOH、KOH 或 TMAH 等。

[0170] 应当注意，在本发明中，只要蚀刻剂可如图 1 所示与接合状态下的牺牲层接触，就可以在任何时间点露出蚀刻牺牲层。

[0171] 可通过 RIE（反应离子蚀刻）在硅衬底中形成贯通沟槽。当实施湿蚀刻时，可以利用氧化硅溶于氢氟酸中的事实使用诸如 HNO_3 之类的氧化剂和氟化氢溶液的混合物作为蚀刻剂。使用 CH_3COOH 或 Br_2 等作为添加剂（多外延层）。

[0172] 可以在第一衬底 1000 上交替重复层叠蚀刻牺牲层 1010 和化合物半导体多层膜 1020。在这种情况下，化合物半导体多层膜可被重复转移到硅衬底上。当然，也可交替重复层叠蚀刻停止层 1009、蚀刻牺牲层 1010 和化合物半导体多层膜 1020。此外，即使当逐个多

次实施一对牺牲层和多层膜 1020 的转移时,第一衬底上的事先的交替重复层叠也可避免衬底上的外延生长的多次热滞后,这是优选的。由于一般而言,化合物半导体衬底的价格为硅的 10 倍或更多,因此衬底的多次使用可望具有显著的经济效果。

[0173] (化合物半导体多层膜)

[0174] 化合物半导体多层膜的层结构和材料依赖于作为半导体物品设置了什么器件。作为发光器件的示例性半导体物品包含发光二极管器件(LED 器件)、发光激光二极管(LD 器件)和光接收器件。

[0175] 例如,当设置 LED 器件作为半导体物品时,层结构使用以下的材料。

[0176] 在 p 型 GaAs 衬底上形成 p-AlAs 层(蚀刻牺牲层),并且在其上设置以下各层作为化合物半导体多层膜。

[0177] 设置 p 型 GaAs 接触层、p 型 AlGaAs 包覆层、p 型 AlGaAs 活性层、n 型 AlGaAs 包覆层、以及 n 型 GaAs 接触层。

[0178] 应当注意,作为蚀刻停止层,可以在牺牲层和化合物半导体衬底之间使用 GaInP。

[0179] 当用硫酸蚀刻 GaAs 层和 AlGaAs 层时,蚀刻被 GaInP 层停止。然后,通过盐酸去除 GaInP 层。当用过氧化氢混合物蚀刻 GaAs 层和 AlGaAs 层时,希望 AlAs 作为停止层。

[0180] 此外,作为化合物半导体多层膜的材料,可以对本实施例应用 GaAs 以外的化合物半导体材料,例如 AlGaInP 型、InGaAsP 型、GaN 型、AlGaN 型和 InAlGaN 型。

[0181] 此外,可以在化合物半导体多层膜 1020 和由有机材料等形成的绝缘膜 2010 之间设置金属膜和 DBR 镜中的至少一个。

[0182] 这里,金属膜由例如 Au、Ag、Ti、Al 或 AlSi 或由这些材料形成的多层膜形成。根据由 LED 发射的光的波长选择优选的金属膜材料。例如,当要制造 700nm ~ 800nm 的红光 LED 时,Au 或 Ag 等具有高的反射率。在约 360nm 的蓝光 LED 的情况下,Al 是优选的。

[0183] 当 DBR 镜(布拉格反射体)用于 GaAs 化合物半导体材料时,通过多次交替层叠 AlAs 层和 AlGaAs 层或交替层叠 Al 氧化物层和 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 层,形成该 DBR 镜(布拉格反射体)。由于难以通过外延生长形成氧化铝,因此,实际上优选通过例如在 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 中在 0.2 和 0.8 之间交替切换 x 的值来控制折射率。当然,通过使得低折射率侧的层中的 Al 的组分比更高并通过其在层叠之后的氧化,可以形成 Al 氧化物。

[0184] 此外,当通过使用化合物半导体多层膜形成 LED 器件时,作为异质结 LED 的替代,可以形成在日本专利公开申请 No. 2005-012034 中描述的同质结 LED。在这种情况下,在通过外延生长形成相应层之后,通过固相扩散使杂质扩散,以在活性层中形成 pn 结。

[0185] 应当注意,为了使接触层与 p 型电极或 n 型电极形成欧姆接触,比夹着活性层的包覆层高的杂质浓度是优选的。

[0186] 应当注意,在图 1 中,省略了化合物半导体多层膜的层结构的细节。

[0187] 优选地,第一衬底上的被构图的岛状区域沿矩形形状的长边方向的间隔(沿长边方向的岛状体之间的间隔)基本上与用于在随后的工艺中进行切割的间隔相对应。应当注意,图 2 中的附图标记 2901 表示长边方向,而附图标记 2902 表示短边方向。

[0188] 应当注意,在从该构件去除蚀刻牺牲层之后,可以实施进一步的器件分离,使得通过使用掩模等在化合物半导体多层膜中形成点状发光点。

[0189] (绝缘膜)

[0190] 根据本发明的本实施例的绝缘膜 2010 例如是由有机材料形成的膜。由有机材料形成的膜例如是聚酰亚胺或其它的有机绝缘膜,或绝缘膜。以这种方式,由有机材料形成的膜包含诸如聚酰亚胺之类的有机绝缘膜。更具体而言,绝缘膜由正类型感光聚酰亚胺形成。当然,在曝光之后,曝光的部分基本上不具有进一步的感光性。应当注意,只要可通过使用另一掩模等形成第三贯通沟槽,那么,不仅正类型感光聚酰亚胺,而且负类型感光聚酰亚胺,甚至非感光聚酰亚胺也可被应用于本发明。应当注意,这种聚酰亚胺例如由 HD Micro Systems, Ltd. 供应。

[0191] 日本专利公开申请 No. 2005-012034 详细描述了感光聚酰亚胺。更具体而言,芳族酐 (aromatic anhydride) 与具有双键的醇 (例如,甲基丙烯酸羟酯 (hydroxyethyl methacrylate)) 反应以形成二羧基酸,该二羧基酸与二胺反应以形成在其侧链上具有双键的聚酰胺。这与聚酰胺酸的羧基被具有可聚合的双键的结构所置换的结构相对应。聚合物与光引发剂、敏化剂和粘接助剂等一起溶于诸如 NMP (n- 甲基吡咯烷酮) 之类的极性溶剂中的溶液为感光聚酰亚胺。

[0192] 应当注意,作为聚酰亚胺,可以使用感光或非感光聚酰亚胺。

[0193] 此外,为了使化合物半导体衬底与硅衬底接合,可以使用其它的有机材料膜。除上述的聚酰亚胺以外,可以采用环氧树脂粘接剂层等。

[0194] 通过用感光有机材料膜覆盖贯通沟槽然后通过贯通沟槽施加 UV 光,硅中的贯通沟槽之上的有机绝缘层可以按照自对准的方式被去除。

[0195] 此外,作为绝缘膜,不仅可以使使用上述的有机材料膜,而且可以使使用诸如氧化硅膜之类的无机绝缘氧化物膜。并且,还可以使用硅氧烷树脂等。

[0196] 应当注意,当例如存在使用作为第二衬底的硅衬底上和 / 或内部的空间的电路区域时,为了提高电路区域的平面性,可以使用旋涂玻璃 (SOG) 以形成氧化硅绝缘膜。当然,多种绝缘膜可被层叠以被使用。

[0197] 此外,可通过使用诸如聚酰亚胺之类的有机材料形成绝缘膜。特别地,从生产率的观点看,通过借助旋涂施加有机材料、预烘焙以使溶剂挥发然后增强粘接能力来实施以增强的粘接力与第一衬底的接合是有效的。

[0198] 此外,在图 1 所示的构件中,可根据需要省略绝缘膜。此外,绝缘膜可由多个层形成。绝缘膜可被设置在第一衬底侧和第二衬底侧中的每一侧上以用于接合,或者,绝缘膜可仅被设置在一个衬底的一侧。

[0199] 应当注意,当在作为第二衬底的硅衬底上或内部设置驱动电路等时,优选设置绝缘膜 2010。然而,根据本发明,绝缘膜 2010 可被省略。

[0200] 此外,在本发明中,可以使用感光聚合物片作为绝缘膜。更优选地,聚合物片自身具有粘接能力。应当注意,当在第二衬底上形成绝缘膜时或当在第一衬底侧形成绝缘膜时,可以在加热和压力接合工艺之后形成它。当然,可以通过旋涂使稀释的有机材料 (感光聚酰亚胺等) 形成膜。或者,可以使用作为形成诸如干膜之类的片状的感光聚酰亚胺的感光聚酰亚胺片。

[0201] (示例性半导体物品制造方法)

[0202] 以下描述示例性半导体物品制造方法。更具体而言,该方法被实现为包含以下步骤:

- [0203] 1) 制备化合物半导体衬底（第一衬底）和硅衬底（第二衬底）；
- [0204] 2) 从化合物半导体衬底侧依次在化合物半导体衬底上形成蚀刻停止层、蚀刻牺牲层、包含活性层的化合物半导体多层膜、和反射镜层（应当注意，可以根据需要使用蚀刻停止层，对于本发明来说它不是必要的）；
- [0205] 3) 在化合物半导体多层膜中形成第一沟槽，使得蚀刻牺牲层被露出，以将化合物半导体多层膜分割成岛状形状；
- [0206] 4) 形成第二沟槽以穿过硅衬底；
- [0207] 5) 使化合物半导体衬底与硅衬底接合以形成接合构件，使得其表面上具有有机材料膜的硅衬底中设置的第二沟槽与第一沟槽彼此相连；
- [0208] 6) 使蚀刻牺牲层通过第一和第二沟槽接触蚀刻剂，以使化合物半导体衬底与该构件分开；和
- [0209] 7) 在硅衬底上通过使用化合物半导体多层膜形成 LED 器件。
- [0210] 在后面描述的例子中详细描述该制造方法。应当注意，在工艺 2) 中，本发明不排除包含所描述的层以外的层，并且以上描述的层和膜以外的材料的存在当然在本发明的范围内。
- [0211] 此外，通过根据本发明接合形成的构件具有以下特性。
- [0212] 在硅衬底上具有化合物半导体多层膜的半导体构件从化合物半导体衬底侧依次在化合物半导体衬底上包含 AlAs 层、化合物半导体多层膜、有机绝缘膜和硅衬底，该化合物半导体多层膜设置有第一沟槽，使得牺牲层被露出，并且，硅衬底和有机材料膜设置有与第一沟槽连接的第二沟槽。
- [0213] （其它）
- [0214] 应当注意，当第一沟槽 1020 和第二沟槽 2005 较深时，通过蚀刻由 AlAs 等形成的蚀刻牺牲层等产生的气泡（氢气）会阻塞沟槽的出口。在这种情况下，优选对于用于蚀刻的溶液以及对于诸如化合物半导体衬底之类的晶片连续或间歇地施加超声波（间歇的施加也是适用的）。此外，还优选向蚀刻剂（例如向氢氟酸）中添加醇。
- [0215] （反射镜层）
- [0216] 可以在化合物半导体发光层和诸如有机材料膜之类的绝缘膜之间设置金属膜或 DBR 镜中的至少一个。应当注意，当反射镜为由 Ti、Au、Pt 或 AlSi 等形成的反射镜时，该反射镜可例如如图 7 所示的那样处于有机材料膜和第二衬底之间。在图 7 中，附图标记 7010 表示绝缘层，附图标记 7081 表示反射镜，以下描述细节。
- [0217] 这里，可以在外延生长的化合物半导体层上连续外延生长 DBR 镜。在这种情况下，图 20 中的附图标记 7021 是反射镜层。以下描述细节。可在生长的化合物半导体多层膜之上通过淀积形成金属镜、可在有机绝缘层之上通过淀积形成金属镜，或者可同时形成这两者。
- [0218] 以下详细描述作为反射镜的 DBR。
- [0219] DBR 层形成发光层，所述发光层经由蚀刻牺牲层（分离层）形成在第一衬底上，以包含活性层。
- [0220] 这里，第一衬底是用于形成 LED（发光二极管）的衬底。这里，使用上面可生长用于 LED 的化合物半导体膜的衬底。当生长基本上为 GaAs 的 III-V 族化合物时，用于第一衬

底的示例性材料包含 GaAs 衬底和晶格常数接近 GaAs 的 Ge 衬底。在 GaAs 衬底的情况下，衬底可包含作为同一族的元素的 Al 或 P 等。此外，根据器件的结构，可以包含用于形成 p 型或 n 型的杂质。

[0221] 通过 MOCVD 或 MBE 等依次在第一衬底上外延生长牺牲层、发光层和 DBR 层。这里，牺牲层是由可关于发光层被选择性蚀刻的材料形成的层，并例如由 AlAs 或 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($1 \geq x \geq 0.7$) 形成。用氢氟酸溶液选择性蚀刻这种组分的牺牲层。

[0222] 发光层由用作发光器件的化合物半导体层形成，并且例如可使用 GaAs、AlGaAs、InGaAs、GaP、InGaP、AlInGaP 等。在层中存在 pn 结。并且，作为具体的结构，发光层 1102 由例如夹在包覆层之间的活性层形成。

[0223] DBR 层可以在第一衬底上外延生长，并具有这样一种结构：其中，层叠多个对，每个对均具有关于目标 LED 波长不同的折射率的层。

[0224] 所述多个对中的每一个对由高折射率层和低折射率层形成。通过多次层叠所述对形成的物体被称为布拉格反射体膜或 DBR 镜 (DBR 层)。

[0225] 通过设定具有不同的折射率的两种膜的膜厚 d_1 和 d_2 使得光学膜厚 $n \times d$ 为波长的 $1/4$ ，并制备 m 对的这两种膜 (m 为大于或等于 2 的自然数)，布拉格反射体膜获得与对数 m 相对应的反射率。在这种情况下，即使对数较少，形成布拉格反射体膜的层的折射率之间的差值越大，则获得的反射率也越高。应当注意，在本发明中，优选优化用于形成 DBR 的条件，使得特定波长的光可以以 70% 或更大、优选为 80% 或更大、最优选为 90% 或更大的效率被反射。

[0226] 例如，通过交替层叠包含不同量的 Al 的 AlGaAs 层获得 DBR 层。这里，当选择性去除蚀刻牺牲层时，为了抑制对于 DBR 层的损伤，当材料被表达为 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 时，优选在该层中包含的 Al 的量 x 为 0.8 或更小。量 x 优选为 0.7 或更小，更优选为 0.6 或更小，进一步更优选为 0.4 或更小。 x 的下限例如为零。

[0227] 在任何情况下，形成 DBR 层并且折射率比其它层低的低折射率层选自由 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($0 \leq x \leq 0.8$)、AlInGaP 型材料和 AlGaP 型材料构成的组。蚀刻牺牲层选自由 AlAs 和 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($0.7 \leq x \leq 1.0$) 构成的组、并且材料的组合使得当分离层被选择性蚀刻和去除时低折射率层抵抗损伤是重要的。应当注意，当选择 AlAs 层作为牺牲层并且使用 AlInGaP 型材料或 AlGaP 型材料作为低折射率层时，可以在不大大依赖于所包含的 Al 的量的情况下选择性去除分离层。

[0228] 应当注意，关于 DBR 层的结构，作为对于氢氟酸具有高抵抗力的 DBR 结构，列出以下的三个组合例子（高折射率层 / 低折射率层）：

[0229] 1) $\text{Al}_{0.6}\text{Ga}_{0.4}\text{As}/\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$

[0230] 2) $\text{AlInGaP}/\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$

[0231] 3) $\text{AlGaP}/\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$

[0232] 应当注意，当制造激光器 (LD) 时，由于需要 99.9% 或更高的反射率，因此必须形成该对的 30 个层、40 个层或更多的层。然而，在 90% 或更高的反射率令人满意的 LED 的情况下，几个层到约十个层是令人满意的。

[0233] 例如，通过 MOCVD 在 4 英寸的 GaAs 衬底 100 上生长 100nm 厚度的作为分离层的 p-AlAs 层、约 2000nm 厚度的发光层、以及 n-DBR 层。发光层的细节如下。它由作为包覆层的

p-Al_{0.4}Ga_{0.6}As :350nm、作为活性层的 p-Al_{0.13}Ga_{0.87}As :300nm、以及要成为位于 DBR 层侧的包覆层的 n-Al_{0.23}Ga_{0.77}As :1300nm 形成。关于 n-DBR 层的细节,可通过层叠 20 对的 Al_{0.2}Ga_{0.8}As :**633Å** / Al_{0.8}Ga_{0.2}As :**565Å** 来形成它。应当注意,通过使得形成 DBR 的材料电阻率较低,可从图 20 中的表示为 7021 的 DBR 镜来保证电连接。

[0234] 当然,在活性层的两侧设置 DBR 的结构也是可能的。如下面描述的那样,当在打印机头中省略圆柱状透镜阵列时,该结构是优选的但不是必需的。

[0235] (蚀刻停止层)

[0236] 当使用 AlAs 层作为在本发明中不必要要求的蚀刻牺牲层时,例如可使用 GaInP 作为蚀刻停止层。

[0237] (缓冲层)

[0238] 应当注意,通过在例如诸如 GaAs 衬底、Ge 衬底或 GaN 衬底之类的化合物半导体衬底的第一衬底上生长蚀刻牺牲层之前形成缓冲层,可以获得具有少量的缺陷的令人满意的外延层。例如,可以在 GaAs 衬底上形成作为缓冲层的 GaAs 薄膜。在 Ge 衬底的情况下, GaInAs 等适于晶格应变松弛。

[0239] (对准)

[0240] 应当注意,可通过使用用于晶片接合等的双边对准器执行第一衬底和第二衬底之间的对准。特别地,当第二衬底是硅衬底时,可以使用设置在衬底中的贯通沟槽作为对准标记。此外,可以在划线上形成贯通沟槽。被转移到硅上的发光层具有与芯片尺寸对应的达几百微米的区域,并且几十微米的各发光器件的器件分离等在转移之后的工艺中被固定。因此,使岛状活性层与贯通沟槽接合不需要在器件工艺中所需要的几微米的精度,并且,几十微米的精度是令人满意的。从该观点看,可以使用晶片的取向平面作为对准的标准。

[0241] (接合和分离处理)

[0242] 现在对于接合进行描述。通过加热到作为有机绝缘层(作为图 1 中的绝缘膜 2010)的玻璃转变温度的几百度或更高的温度以给予其粘性(tackiness),并且通过压接硅晶片,容易地实施接合。接合强度是令人满意的,在随后的工艺中没有问题。易于在不使用粘接剂层并且没有粘性的直接接合中出现的空洞以岛状形状被分开,并且,存在活性层。因此在压力接合中,空气的吸入容易沿岛状体之间的分离沟槽而消失。降低的压力下的接合减少空洞自身的量,并由此大大减少间隙自身的形成。为了转移和分离相互接合的两个晶片,可以在真空中设置蚀刻剂浴槽以在降低的压力下在蚀刻剂中浸泡构件,使得蚀刻剂更均匀地通过贯通沟槽渗入牺牲层中。此外,由于超声、加热和诸如晶片自身的轴向旋转和轨道旋转之类的转动运动导致的振动增大液体循环速度,以在短时间内均匀地完成转移和分离工艺。

[0243] 应当注意,以下,描述经由蚀刻牺牲层(也被称为分离层)在诸如 GaAs 之类的第一衬底上形成化合物半导体多层膜、并且多次形成由两个层形成的对以使得可望降低工艺成本的方法。

[0244] (关于多外延生长)

[0245] 参照图 21A ~ 21E 进行描述。

[0246] 在图 21A 中,附图标记 1000 表示第一衬底(例如 GaAs),附图标记 2101 表示缓冲层。

[0247] 由于使用具有高度选择性蚀刻特性的 AlAs(AlGaAs)作为分离层 2102,因此上

面可外延生长这种层的衬底是第一衬底。示例性衬底包括 GaAs 衬底和晶格常数接近 AlAs (AlGaAs) 的 Ge 衬底。虽然 Si 的晶格常数与 GaAs 的晶格常数相差约 4%，但能够在 Si 上直接生长 GaAs。因此，还能够使用具有在其上生长有 GaAs 膜的 Si 衬底作为第一衬底 1000。此外，可以在这些衬底中掺杂杂质。

[0248] 现在描述图 21A 中的第一衬底 1000 以外的部分。

[0249] 依次在第一衬底 1000 上外延生长分离层 2102 和包含活性层的发光层 2103。

[0250] 分离层 2102 的材料为 AlAs 或 $\text{Al}_{(x)}\text{Ga}_{(1-x)}\text{As}$ ($x \geq 0.7$)，并且膜厚优选为几十到几百纳米。

[0251] 发光层 2103 是作为发光器件的化合物半导体多层膜，并且，例如使用 GaAs、AlGaAs、InGaAs、GaP、InGaP 或 AlInGaP。在发光层 2103 中存在 pn 结。

[0252] 应当注意，虽然存在形成分离层 2102 之前形成缓冲层 2101 的情况，但这是任意的。缓冲层 2101 的目的是减少晶体缺陷等。

[0253] 只要生长能够均匀，生长方法就不被特别限制，并且可以使用 MOCVD、MBE 和 LPE 等中的任何。

[0254] 此外，将分离层 2102 和发光层 2103 组对，并且依次生长多对的分离层 3102 和 4102 以及发光层 3103 和 4103，使得对数达到 n。这里，不必使分离层 2102 的厚度均匀。还能够随着层上升而使得该厚度更小。

[0255] 考虑到当分离层 2102 被侧边蚀刻时膜厚越小则蚀刻速度越高的这样一种特性，这是在第一衬底 1000 的外缘部分的下层部分中尽可能地避免无用的蚀刻的一种方法。

[0256] 然后，如图 21B 所示，在最上面的发光层 4103 上形成光反射层 4104。

[0257] 然后，形成抗蚀剂构图 2105 以便留下岛状形状的光反射层 4104。

[0258] 光反射层 4104 的材料优选为对于要形成的发光器件的波长具有高反射率的材料。例如，当发光器件的材料为 GaAs 类型并且发光波长为约 750nm ~ 800nm 时，Au (金)、Ag (银)、Al (铝) 等是优选的。当然，可以使用其它的光反射材料。

[0259] 在发射的光的波长为约 360nm 的蓝光发光器件的情况下，光反射层 4104 的材料优选为 Al 等。应当注意，作为光反射层的替代，可以使用上述的 DBR 层，并且还能够不设置专门的光反射层。换句话说，光反射层 4104 可被省略。

[0260] 此外，岛状形状的发光层 4103 可形成一个发光器件的发光层，或者可以为多个发光器件被包含在阵列中的区域。这里，当切割要在后面描述的第二衬底 2000 时，优选岛状发光层 4103 的尺寸与芯片尺寸一致。

[0261] 光反射层 4104 不是必要的。可以在下面描述的第二衬底 2000 一侧形成它，或者可以完全省略它。

[0262] 然后，如图 21C 所示，光反射层 4104 和最上面的发光层 4103 以岛状形状被蚀刻以露出最上面的分离层 2102 的一部分。应当注意，上述的第一沟槽包围发光层，使得该发光层为岛状形状。

[0263] 如图 21D 所示，第一衬底 1000 与第二衬底 2000 接合。

[0264] 第二衬底 2000 的材料是任意的，并且可以使用任何材料，包括诸如 Si 衬底之类的半导体衬底、导电衬底和绝缘衬底。如上所述，可以设置用于驱动发光层等的驱动器电路。此外，可以在表面上设置诸如有机材料膜之类的绝缘膜。

[0265] 此外,可以在第二衬底 2000 的表面上形成光反射层 4104。此外,可以在第一衬底 1000 的表面和第二衬底 2000 的表面上形成反射层 4104,或者可以使反射层 4104 彼此接合。

[0266] 作为使第一衬底 1000 与第二衬底 2000 接合的方法,可以使用接合之后加热、加压、使用这两种方法等。在降低的压力下的气氛中接合也是有效的。

[0267] 应当注意,如已经描述的,虽然在第二衬底 2000 中设置根据本实施例的第二沟槽(贯通沟槽),但在附图中将其省略。

[0268] 作为接合的结果,在界面的附近形成通过构图的沟槽构成的空间 2106。第一沟槽和第二沟槽与空间 2106 连接。

[0269] 图 21E 是示出衬底被分离的状态的视图。

[0270] 通过蚀刻作为最上面的层的分离层 4102 实现分离。

[0271] 这里,蚀刻剂流入通过岛状分离区域形成的空间 2106 中。

[0272] 作为最上面的层的分离层 4102 被蚀刻,并且作为结果,第一衬底 1000 和第二衬底 2000 被分离。作为这里使用的蚀刻剂,可以使用氢氟酸溶液或盐酸溶液等。

[0273] 作为结果,岛状区域中的发光层 4103 被转移到第二衬底 2000 上。

[0274] 上面转移了发光层 4103 的第二衬底 2000 进行到器件工艺,并且形成发光器件。

[0275] 另一方面,由于转移和蚀刻而失去了最上面的发光层 4103 和最上面的分离层 4102 的第一衬底 1000 的表面变为发光层 4103,并且工艺返回图 21A 所示的工艺。

[0276] 当发光层 4103 和分离层 4102 被配对时,通过将上述工艺重复 n 次(其中 n 为形成对的次数),可以形成用于形成 n 个发光器件的衬底。应当注意,虽然描述了将分离层和发光层配对的情况,但是可以向该对中添加反射层以形成三个层的组,并且该组可被层叠多次。

[0277] 如上所述,根据本发明,提供新型半导体物品制造方法和新型构件。当在芯片中制造典型为 LED 的发光器件时,进一步适当地执行器件分离工艺、布线工艺和用于切割第二衬底的工艺等。关于用于在芯片上制造具有多个发光点的 LED 的器件分离,例如,当化合物半导体多层膜的前表面侧的导电类型为 p 型时,对于其下面的 n 型层或几乎对于活性层实施构图,以去除它们。以这种方式,可以实施器件分离。应当注意,切割和第二贯通沟槽的方向可与图 3 所示的情况相反。更具体而言,不是如图 3 所示的那样沿芯片的长边方向的贯通沟槽,而是与其垂直的贯通沟槽沿短边方向被设置。在这种情况下,当该布置沿上表面的矩形的长边方向处于阵列中时,芯片之间的空间具有不是通过切割而是通过事先设置的贯通沟槽(例如通过 RIE 制造)形成的侧面。考虑到进行密集配置的情况,这是优选的。当然,还优选形成沿芯片的长边方向和短边方向二者断续设置的沟槽。在这种情况下,在岛状化合物半导体多层膜下方间歇地设置沿长边方向的贯通沟槽和沿短边方向的贯通沟槽。

[0278] (第二实施例)

[0279] 通过使用在第一实施例中描述的制造方法,设置图 6 所示的 LED 阵列。图 6 是示出在布线衬底上连接驱动电路和 LED 阵列的示例性结构的截面图。可通过在上述的半导体物品制造方法的工艺(7)中在硅衬底上的岛状化合物半导体多层膜上形成多个 LED 器件并通过切割分割该硅衬底,获得 LED 阵列。各 LED 器件的截面结构与下面描述的图 7 和图 15 左边的包含 LED 发光区域的 LED 器件相同。在图 6 中,多个 LED 阵列芯片 4000 在布线衬底

5000 上布置成行,并且,多个驱动器 IC 3050 类似地在所述多个 LED 阵列芯片 4000 的两侧布置成行,并且 LED 阵列 4000 通过布线接合与所述多个驱动器 IC 3050 电连接。LED 阵列芯片 4000 的各 LED 器件通过布线接合与交替布置在 LED 阵列芯片 4000 的两侧的驱动器 IC 3050 的驱动器件电连接。这里,所述多个驱动器 IC 3050 在配置成行的所述多个 LED 阵列芯片 4000 的两侧布置成行。当然,如果能够进行安装,那么所述多个驱动器 IC 3050 可被布置在所述多个 LED 阵列芯片 4000 的一侧。

[0280] 此外,通过根据需要在布置成行的 LED 阵列芯片 4000 上安装圆柱状透镜阵列(例如,SLA:Selfoc Lens Array)3000,可以形成 LED 打印头(图 5)。从配置成行的 LED 阵列 4000 发射的光被圆柱状透镜阵列 3000 收集,以获得 LED 阵列图像 3060。

[0281] 应当注意,当如上面描述的那样经由金属膜或 DBR 镜在硅衬底上设置 LED 器件形成层时,通过改善方向性并增大亮度,即使器件尺寸是通过微加工获得的器件尺寸,也实现具有足够亮度的器件发光点。因此,能够省略圆柱状透镜阵列,并直接从 LED 打印头在感光构件上直接形成潜像,并且可以形成具有部件数量少且经济效果显著的图 5 所示的结构的 LED 打印头。

[0282] 应当注意,虽然图 6 示出驱动器 IC(驱动电路)和 LED 器件通过布线接合彼此相连的情况,但是驱动器电路可被直接构建于要与 LED 器件连接的 Si 衬底的一侧(图 7,其中在器件正下方的有机绝缘层上设置反射层)。

[0283] 在图 7 中,在包含形成驱动器 IC 的 MOS 晶体管 7060 的硅衬底 7000 上设置由有机材料形成的绝缘膜 7010。然后,在绝缘膜 7010 上设置由化合物半导体多层膜形成的 LED 发光区域 7070。附图标记 7080 表示绝缘膜(诸如 SiO_2 或 SiN),附图标记 7050 表示要成为 MOS 晶体管 7060 的源区或漏区的布线焊盘。附图标记 7081 表示用作反射镜(例如, Ti 或 Au 等的金属镜)的层,附图标记 7083 和 7084 表示布线、嵌入布线或电极焊盘。

[0284] 以这种方式,通过如图 19 所示的那样在要接合的第二衬底的一侧包含用于驱动的驱动器 IC,可通过沿切割方向 1625 切割切出图 19 所示的芯片 1960。应当注意,图 19 示出在打印衬底 1930 上布置切割芯片阵列 1960 的情况,在图 19A 中示出该切割芯片阵列 1960 的放大视图。附图标记 1911 表示第二衬底。应当注意,虽然如图 3 所示的那样沿芯片的长边在第二衬底中断续地设置作为贯通沟槽的第二沟槽,但在图 19 中省略了它。

[0285] 应当注意,图 8 示出示例性矩阵驱动。图 8 是示出可为了减少电极的数量而被时分驱动的发光器件阵列电路 8500 的视图。在图 8 中,附图标记 8011 表示 n 侧电极,附图标记 8017 表示 p 型电极,附图标记 8021 表示 n 型 AlGaAs 上的绝缘膜,附图标记 8022 表示 p 型 GaAs 接触层上的绝缘膜,附图标记 8023 表示发光区域。

[0286] 应当注意,虽然在本实施例中使用了利用 LED 作为发光器件的 LED 阵列芯片,但当然可以使用 LD(激光器二极管)阵列芯片。

[0287] 图 20 示出图 7 所示的实施例的示例性修改。类似的附图标记被用于表示具有与图 7 类似的功能的部分。在图 7 中,反射镜 7081 被设置在有机绝缘膜 7010 和硅衬底 7000 一侧。在图 20 中,反射镜层 7021(金属镜或 DBR 层等)被直接设置在化合物半导体多层膜 1020 上。在这种情况下,由于由发光区域 1020 产生的射向衬底的光可以在不穿过有机绝缘膜 7010 的情况下被反射,因此极大地提高性能。在图 7 中,通过使用反射镜层 7021 进行与驱动电路 7060 的电连接。应当注意,当反射镜层是低电阻 (n+)DBR 时,类似地,可以使用该

反射镜以进行与驱动电路的电连接。

[0288] (第三实施例)

[0289] 图 9A 示出使用在第二实施例中描述的 LED 打印机头的 LED 打印机的示例性结构。

[0290] 图 9A 是示出根据本发明的 LED 打印机的示例性结构的示意性截面图。

[0291] 在图 9A 中,在打印机体 8100 中容纳顺时针转动的感光鼓 8106。在感光鼓 8106 之上设置用于使感光鼓曝光的 LED 打印机头 8104。LED 打印机头 8104 由 LED 阵列 8105 和圆柱状透镜阵列 8101 形成,在所述 LED 阵列 8105 中,多个发光二极管根据图像信号发光,所述圆柱状透镜阵列 8101 用于在感光鼓 8106 上使各发光二极管的发光图案成像。这里,圆柱状透镜阵列 8101 具有在以上的实施例中描述的结构。进行布置,使得通过圆柱状透镜阵列 8101 产生的发光二极管的成像表面与感光鼓 8106 的位置相互对准。具体而言,通过圆柱状透镜阵列使得发光二极管的发光表面和感光鼓的感光表面处于光学共轭关系。

[0292] 在感光鼓 8106 的周围设置充电单元 8103 和显影单元 8102,所述充电单元 8103 用于使感光鼓 8106 的表面均匀带电,所述显影单元 8102 用于根据打印机头 8104 的曝光图案使调色剂附着到感光鼓 8106 上以形成调色剂图像。在感光鼓 8106 周围设置转印充电单元 8107 和清洁装置 8108,所述转印充电单元 8107 用于将在感光鼓 8106 上形成的调色剂图像转印到图中未示出的诸如复印片材之类的转印材料上,所述清洁装置 8108 用于在转印之后收集感光鼓 8106 上的残留调色剂。以这种方式,形成成像单元。

[0293] 此外,在打印机体 8100 中设置片材盒 8109 和片材馈送装置 8110,所述片材盒 8109 装有转印材料,所述片材馈送装置 8110 用于向感光鼓 8106 和转印充电单元 8107 之间供给片材盒 8109 中的转印材料。此外,设置定影器件 8112、传输装置 8111、以及片材排出盘 8113,所述定影器件 8112 用于在转印材料上定影转印的调色剂图像,所述传输装置 8111 用于将转印材料引向定影器件 8112,所述片材排出盘 8113 用于保持在定影之后排出的转印材料。

[0294] 图 9B 是示出根据本发明的彩色打印机的示例性结构的结构的示意图。存在多个(在图中为 4 个)成像单元。在图 9B 中,附图标记 9001、9002、9003 和 9004 分别表示品红色(M)、青色(C)、黄色(Y)和黑色(K)感光鼓,附图标记 9005、9006、9007 和 9008 表示 LED 打印机头。附图标记 9009 表示用于传输转印后的片材并用于使得与各感光鼓 9001、9002、9003 和 9004 接触的传输带。附图标记 9010 表示用于片材馈送的配准辊,附图标记 9011 表示定影辊。附图标记 9012 表示用于吸取转印后的片材并将其保持在传输带 9009 上的充电器,附图标记 9013 表示电荷消除充电器,附图标记 9014 表示用于检测转印后的片材的前边缘的传感器。

[0295] (第四实施例)

[0296] 应当注意,使用在第一实施例中描述的半导体物品制造方法,可以制造 LED 器件,并且,使用该 LED 器件,可以制造诸如显示器之类的显示装置。在这种情况下,优选制备具有多个波长的多个 LED。

[0297] (第五实施例:接合结构)

[0298] 根据本实施例的发明涉及通过使第一衬底与第二衬底接合而形成的接合结构。

[0299] 经由分离层在第一衬底上设置包含以岛状形状构图的化合物半导体多层膜的区域(图 2 中的 1020),并且在化合物半导体多层膜区域之间存在第一沟槽(图 1 中的 1025)。

[0300] 从顶部观察的化合物半导体多层膜区域的形状为具有长边方向 2901 和短边方向 2902 的矩形。

[0301] 在第二衬底 2000 中设置穿过第二衬底的第二沟槽 2005。通过断续设置沿长边方向平行的多个第二沟槽,形成长边方向(图 3 中的 3998)的贯通沟槽组。

[0302] 长边方向 3998 的贯通沟槽组的特征在于,多个贯通沟槽组被布置为相互平行,其间隔大于或等于岛状化合物半导体多层膜区域的短边的长度。这里提到的间隔由图 3 中的箭头 3999 表示。在两个衬底相互接合的状态下,区域 1020 位于两个第二沟槽之间。通过这种状态,通过沿短边方向切割接合结构,可以形成芯片。

[0303] 应当注意,除上述的实施例中的描述变得不一致的情况以外,在本实施例的描述中出现的分离层、第一和第二衬底、以及包含化合物半导体多层膜的区域等均适用。特别地,关于第二衬底,硅晶片被设置有诸如驱动电路之类的驱动器也是优选的。

[0304] 应当注意,区域 1020 的长边方向的长度可以小于或等于长边方向的第二贯通沟槽的长度。当然,例如,长边方向的区域 1020 的长度可被设为与四个贯通沟槽的长度对应的长度。

[0305] (第六实施例)

[0306] 此外,本发明的另一方面具有以下特征。

[0307] 一种制造发光器件的方法,该方法包括:从第一衬底侧依次在第一衬底上形成分离层和发光层;通过将第一衬底接合到第二衬底并使得发光层位于内部,形成接合构件;以及通过蚀刻和去除分离层将发光层转移到第二衬底上,其特征不在于,将第一衬底上的分离层和发光层视为一对,该对的形成被重复淀积 n 次(n 为 2 或更大的自然数),在仅将最上面的发光层构图成多个岛状体的形状之后,使第一衬底接合到第二衬底以形成接合结构,并且,使蚀刻剂渗入通过岛状形状构图在接合结构中形成的空间中,以使得分离层与蚀刻剂接触,以选择性地岛状发光层转移到第二衬底上。

[0308] (第七实施例)

[0309] 此外,本发明的又一方面具有以下特征。

[0310] 一种发光器件,其特征不在于,经由 DBR 镜在硅衬底上设置发光器件。

[0311] 在形成具有 DBR 的所谓的微腔 LED 结构之后,将该结构转移到硅衬底上以实现具有更高的方向性的斑点,并且可以获得不需要圆柱状透镜的接触型打印机头。

[0312] 此外,LED 阵列制造方法包括:在第一半导体衬底的表面上依次形成分离层、发光层和 DBR 层;经由绝缘膜将其接合到上面形成有半导体电路的第二衬底;通过蚀刻和去除分离层将第一衬底的发光层和 DBR 层转移到第二衬底上;使得转移的发光层处于多个发光部分的阵列中;以及使所述多个发光部分与用于控制所述发光部分的发光的半导体电路的电极部分电连接。

[0313] 使用以下的例子描述本发明。

[0314] (例子)

[0315] 参照图 10 ~ 18B 描述一个例子。

[0316] 首先,制备 p-GaAs 衬底 1000。在根据需要形成图中未示出的缓冲层之后,形成作为蚀刻停止层 1009 的 GaInP 层。在其上面形成作为蚀刻牺牲层 1010 的 p-AlAs 层。此外,形成化合物半导体多层膜 1020。多层膜从顶部依次由 n 型 GaAs 接触层、n 型包覆层、p 型

活性层、p 型包覆层和 p 型接触层形成。

[0317] 此外,在其上面,形成 AlGaAs 多层膜 (10 对的 $\text{Al}_{0.8}\text{GaAs}/\text{Al}_{0.2}\text{GaA}$) 1022 以用作 DBR 镜 (图 10)。

[0318] 应当注意,可以重复形成蚀刻停止层、牺牲层和化合物半导体多层膜 (多外延生长)。在图 11 中示出这种情况的例子。在 AlGaAs 多层膜 1022 上形成作为蚀刻停止层 1109 的 GaInP 层。在其上面形成作为蚀刻牺牲层 1110 的 p-AlAs 层。此外,形成化合物半导体多层膜 1120。此外,在其上面,形成 AlGaAs 多层膜 (10 对的 $\text{Al}_{0.8}\text{GaAs}/\text{Al}_{0.2}\text{GaA}$) 1022 以用作 DBR 镜。

[0319] 如图 11 所示,以抗蚀剂作为掩模通过蚀刻形成第一沟槽 1125。将外延层 1120 分离为芯片。例如,与划线对应的 $250\text{ }\mu\text{m}\times 8\text{mm}$ 的尺寸和约 $80\text{ }\mu\text{m}$ 的分离宽度是优选的。作为替代方案,出于促进蚀刻的目的,可以减小 $250\text{ }\mu\text{m}$ 的芯片宽度。最短的可能的长度可以是作为单个 LED 器件的尺寸的几十微米。

[0320] 如图 12A 和图 12B 所示,在硅衬底 2000 中与划线类似地形成贯通沟槽 (半导体衬底沟槽) 2005。沟槽具有 $80\text{ }\mu\text{m}\times 8\text{mm}$ 的矩形形状,并且在硅衬底中形成为在沿划线的纵向上穿过晶片。作为该方法,应用在 MEMS 中实际使用的深 RIE 或喷砂等。应当注意,利用硅的热导率高达三倍而价格低于十分之一的这种原始特性,其中形成有沟槽的硅衬底上可形成有驱动电路,或者可以在没有器件层的情况下被原样使用。

[0321] 然后,正类型感光有机绝缘膜聚酰亚胺被旋涂,以用感光有机绝缘膜 (有机材料膜) 2010 覆盖贯通沟槽。此后,通过贯通沟槽施加 UV 光。这使得能够以自对准的方式去除硅中的贯通沟槽之上的有机绝缘膜。这样,在有机绝缘膜中设置第三贯通沟槽 2006。正类型感光聚酰亚胺和被用作永久粘接剂层的有机绝缘层被施加于具有沟槽的硅衬底的表面上,并且,覆盖沟槽的聚酰亚胺通过来自衬底的后表面的 UV 光施加而被曝光和显影,并被去除。

[0322] 图 12B 示出从四英寸或六英寸晶片的顶部观察的贯通沟槽。

[0323] 如图 13A 和图 13B 所示,两个衬底相互接合。通过在将有机绝缘膜 2010 预加热到高于玻璃转变温度的温度之后加压和加热来实施所述接合,以增强粘接力。应当注意,当使用多外延层实施多重转移时,在 DBR 反射层和器件层关于各芯片尺寸被蚀刻到 AlAs 牺牲层之后,实施所述接合,以便使蚀刻剂渗入沟槽中。使蚀刻剂进入其中或使用射流帮助蚀刻剂进入是有效的。将接合的晶片对放在降低的压力下或对间隙进行减压以促进蚀刻剂进入也是有效的。

[0324] 被存在于有机绝缘膜中的沟槽分开的外延层的表面被压在、粘接到、并且接合到发粘的 (粘性的) 聚酰亚胺的表面上,以实现没有空洞的接合。聚酰亚胺层被用作粘接剂层并被用于器件分离的永久绝缘层。优选在接合的外延层一侧直接设置金属镜或 DBR 镜作为光反射层。在这种情况下,与在有机绝缘膜下面嵌入反射体层的情况相比,由于光吸收导致的光损失被避免,并且,光被放大两倍,或者,当考虑到界面的总反射率时,进一步的光放大是可能的。

[0325] 然后,在 2-10% HF 的稀释溶液中浸泡接合构件,以选择性蚀刻和去除 AlAs 牺牲层 1110。通过在 HF 的稀释溶液中浸泡接合的衬底,约几十万次选择性的选择性蚀刻溶解设置在外延层和 GaAs 衬底之间的界面上的分离层,并且,在短时间内完成分离。当不存在岛状

分离时,取决于晶片的尺寸,分开晶片的整个区域会花一周或更长的时间。

[0326] 应当注意,当蚀刻剂难以渗入时,对蚀刻剂施加超声或压力以使蚀刻剂进入其中或者使用射流帮助蚀刻剂进入是有效的。将接合的晶片对放在降低的压力下或对间隙进行减压以由此促进蚀刻剂进入也是有效的。

[0327] 然后,如图 14 所示,使 GaAs 衬底 1000 与构件分开。

[0328] 然后,通过台面蚀刻露出外延层的 n 层。更具体而言,如图 15 所示,通过将 n 型杂质掺入在接触层中,形成低电阻层,在所述接触层中,在包覆层或反射 DBR 镜下面形成阴电极。然后,在其正上方设置作为 GaInP 等的蚀刻停止层,并且,如图所示,LED 的截面被整形为梯形,并且通过台面蚀刻露出阴极接触层。然后,形成钝化膜,形成接触孔,并且用金属填充接触孔以形成 LED 器件。

[0329] 附图标记 9000 表示硅衬底。可以根据需要在其上形成驱动器电路。附图标记 9010 表示例如为有机材料的绝缘膜。附图标记 9015 表示布线接合焊盘。可以根据需要设置绝缘膜 9010。附图标记 9040 表示用作由金属等形成的反射镜的部分。也可根据需要设置该层。附图标记 9050 表示布线。附图标记 9030 表示外延层,并具有例如多层结构。附图标记 9020 表示绝缘膜。外延层 9030 根据需要被台面蚀刻或经受器件分离,以用于点发射。当从顶部观察多层结构时,如果表面的导电类型(p 型或 n 型)为例如 p 型,那么可通过实施去除直到露出活性层或直到露出 n 型层而关于各发光点实施该分离(成为阵列)。

[0330] 附图标记 9041 表示根据需要设置的部分,并且例如是在多层膜 9030 上连续形成的低电阻层。换句话说,部分 9041 可被省略。应当注意,当部分 9040 是金属时,避免与引出布线 9015 的电连接。但是,引出布线 9015 和部分 9040 可被电连接,使得维持等于布线 9015 的电势的电势。

[0331] 通过如图 16 所示的那样沿操作切割锯的方向 1625 在芯片 1600 的横向上进行锯切,晶片被切割,并且沿芯片的纵向对齐的贯通沟槽 2005 的端部通过所述锯切被连接。以这种方式,各单个芯片 1600 被分开。当然,通过使晶片接合到切割带,可以在芯片分离中防止散开。应当注意,在图 16 中,附图标记 1611 表示第二衬底(例如硅晶片),附图标记 1605 和 1705 表示设置在第二衬底中的第二贯通沟槽。芯片 1600 中的小矩形示意地示出发光区域。

[0332] 应当注意,当端面上的切屑(chipping)在通过连接高密度芯片的端面而实现长阵列时成为问题时,沿与芯片的纵向垂直的方向在芯片之间形成分离沟槽,并且沿纵向操作切割锯。首先,与较脆弱的化合物半导体衬底的切割相比,硅衬底的切割产生较少的切屑。特别地,在 2400DPI 的情况下(其中器件之间的距离为约 $10\mu\text{m}$ 并且芯片必须以这种精度被连接),通过 RIE 整形的沟槽端面的平滑性有效的。在芯片的四个边上留下硅并在其周围形成贯通沟槽也是有效的。在这种情况下,只有通过展开切割带才能够实现芯片分离。由于贯通沟槽的形成不是通过机械切割半导体衬底而是通过作为化学反应的蚀刻,因此切割表面的精度显著提高。通过沿由图 16 中的粗线示出的与阵列中的贯通沟槽的布置方向垂直的方向操作切割锯,实施分成各单个芯片的操作。应当注意,作为图 16 的放大视图的图 16A 中的 C1 和 C2 之间的部分例如是图 15 所示的芯片。

[0333] 图 17A 示出在硅衬底上形成驱动器电路的结构。图 17B 是在晶片表面上布置包含移位寄存器和锁存器等的这种驱动电路芯片的平面图。在图 17A 和图 17B 中,附图标记

1700 表示硅衬底,附图标记 1701 表示由 SiO_2 形成的绝缘膜,附图标记 1702 表示布线接合焊盘,附图标记 1703 表示形成驱动电路的 MOS 晶体管,附图标记 1704 表示硅晶片,附图标记 1705 表示驱动电路芯片。

[0334] 如图 18 所示,首先,通过切割锯从硅晶片 1800 切出在图 18A 中示出放大视图的硅驱动电路芯片 1822,并且通过切割锯从硅晶片 1820 切出在图 18B 中示出放大视图的 LED 芯片 1821。优选在实施切割时使得第二衬底的后表面接合到切割带。

[0335] 然后,实施硅驱动电路芯片 1822 和 LED 芯片 1821 与打印衬底 1830 的管芯接合,以通过导线接合来电连接硅驱动电路芯片 1822 和 LED 芯片 1821。然后,打印衬底 1830 和硅驱动电路芯片 1822 的驱动器电路通过导线接合彼此相连。此外,添加光量差异校正电路 IC 以获得 LED 阵列。

[0336] 虽然以上描述了本发明的代表性的实施例和例子,但是本实施例和本例子的各种变化是可能的,并且可以进行落入由本申请的权利要求限定的本发明的要旨和范围内的各种代替和修改。

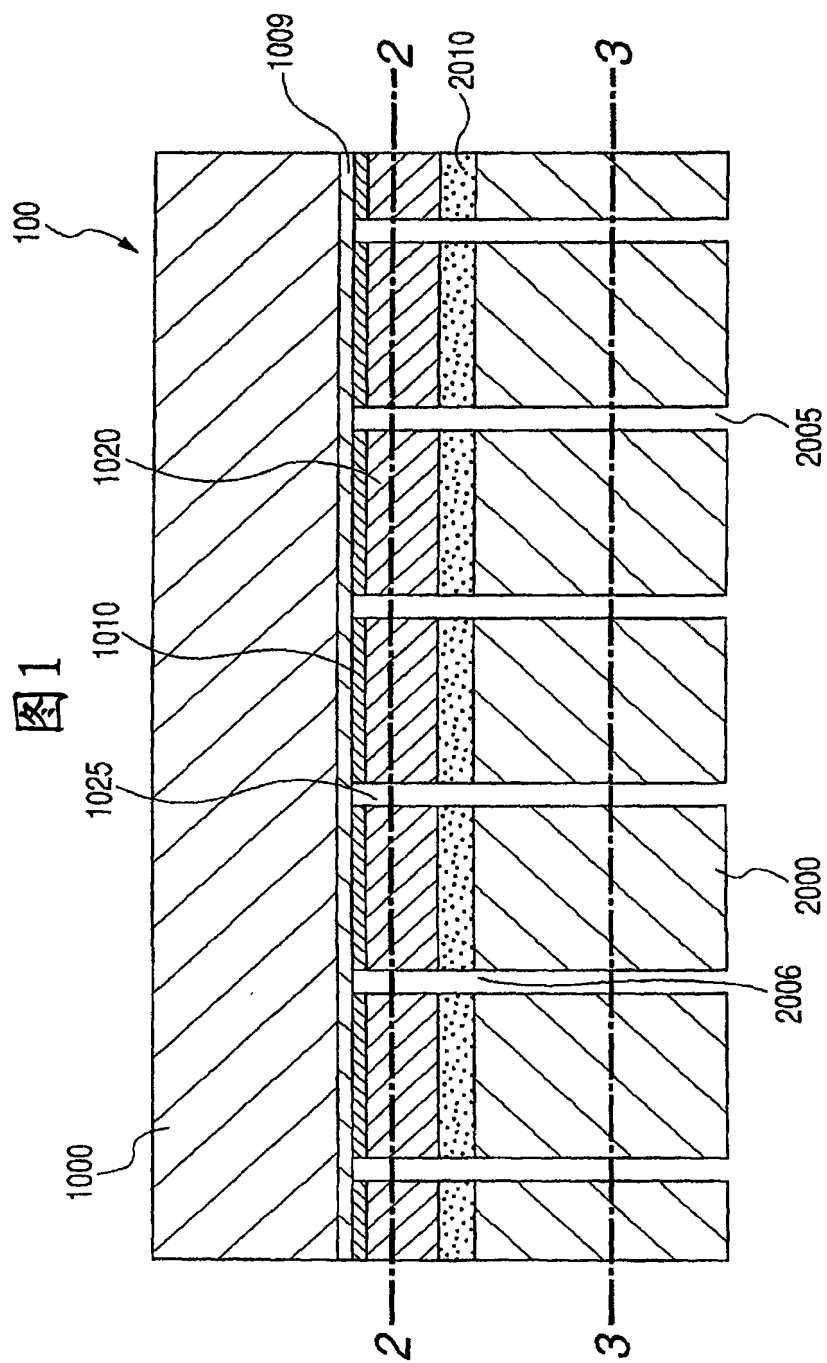
[0337] 与上述的日本专利公开申请 No. 2005-012034 相比,根据本例子,通过使用具有贯通沟槽的硅衬底,用于将化合物半导体多层膜转移到硅衬底上的接合工艺的数量可大大减少。可望实现可归因于器件产量的提高和工艺数量的减少的显著效果。

[0338] (工业实用性)

[0339] 本发明可被用于阵列器件,其中在半导体衬底上以阵列形成半导体器件,特别地,用于 LED 打印机、显示器、用于光学传送和接收的器件或使用在半导体衬底上形成的 LED 器件的光接收器件。当它被用于光接收器件中时,可以形成扫描仪。当该光接收器件与 LED 阵列头一起使用时,制造具有内置的照明系统的扫描仪。

[0340] 虽然已参照示例性实施例描述了本发明,但应理解,本发明不限于公开的示例性实施例。所附的权利要求的范围应被赋予最宽的解释,以包含所有这些变更方式以及等同的结构和功能。

[0341] 本申请要求在 2006 年 10 月 27 日提交的日本专利申请 No. 2006-293306 和在 2006 年 11 月 17 日提交的日本专利申请 No. 2006-311625 的权益,在此以引用方式加入它们的全部内容。



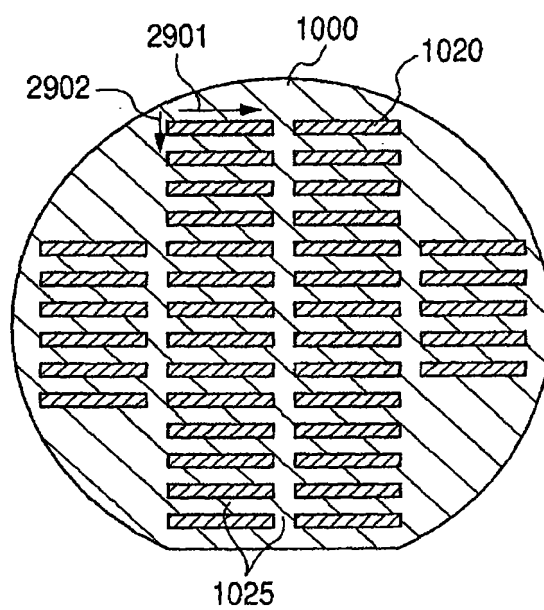


图 2

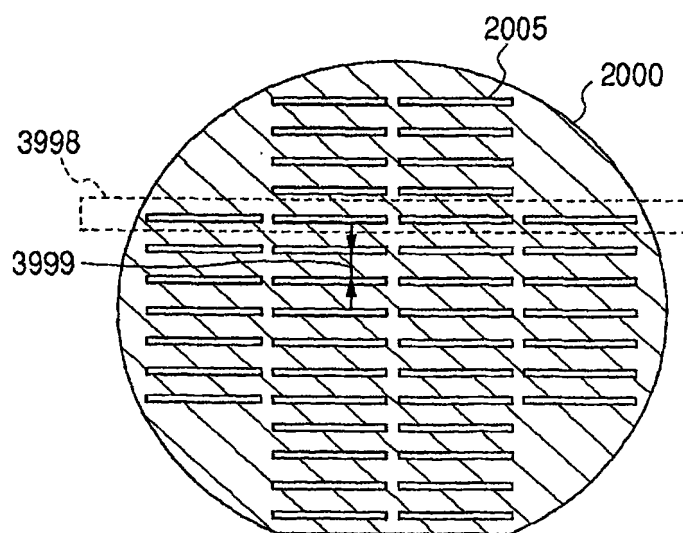


图 3

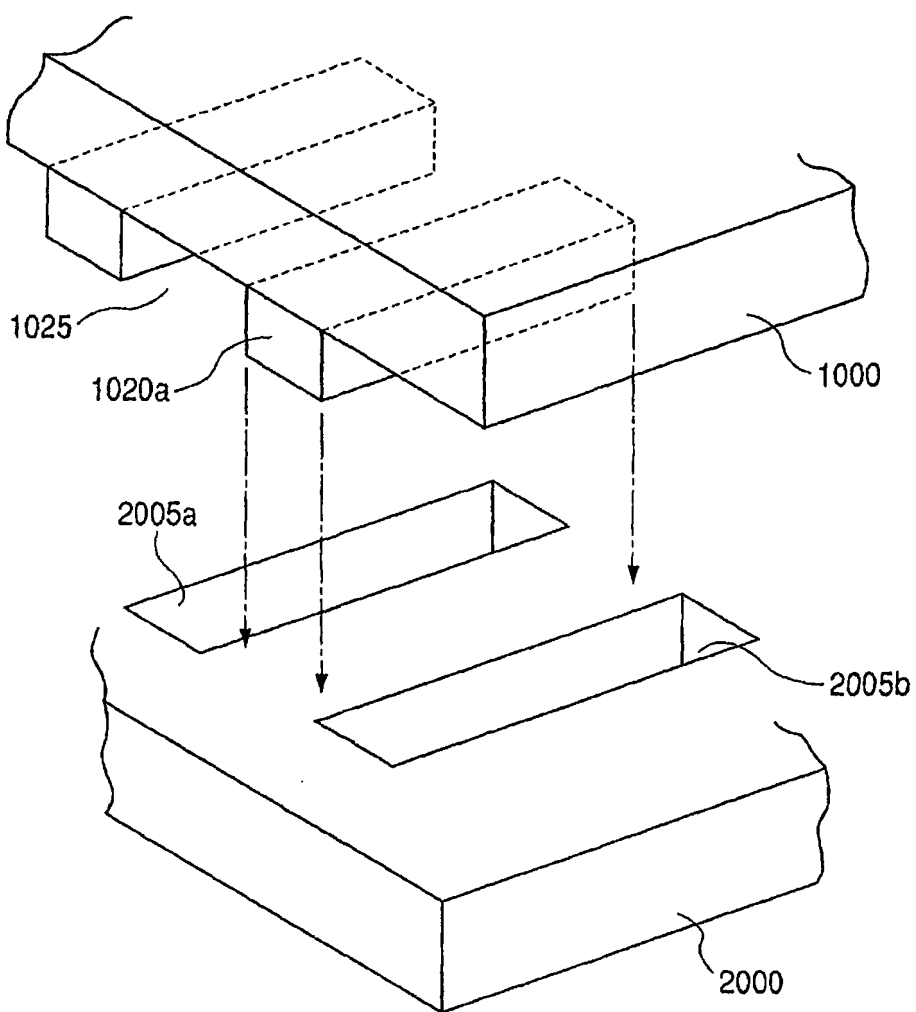


图 4

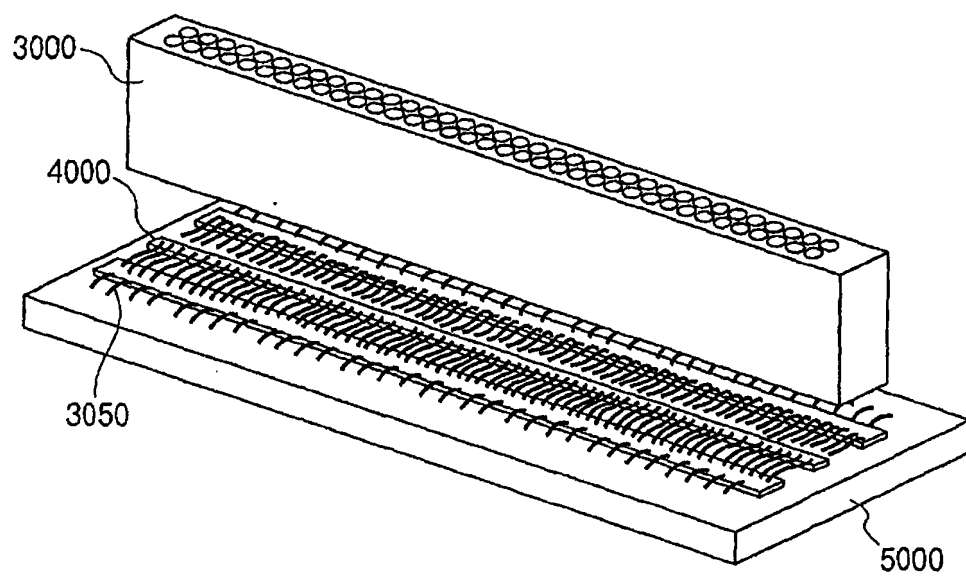


图 5

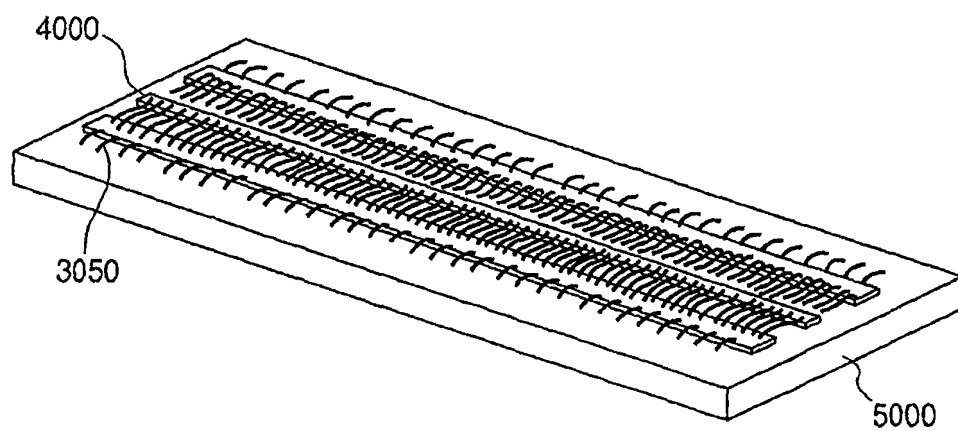


图 6

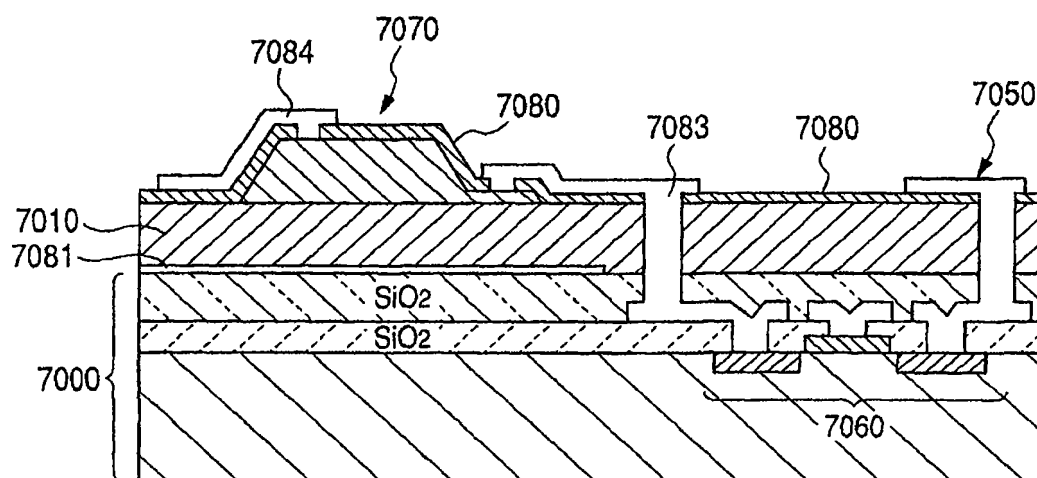


图 7

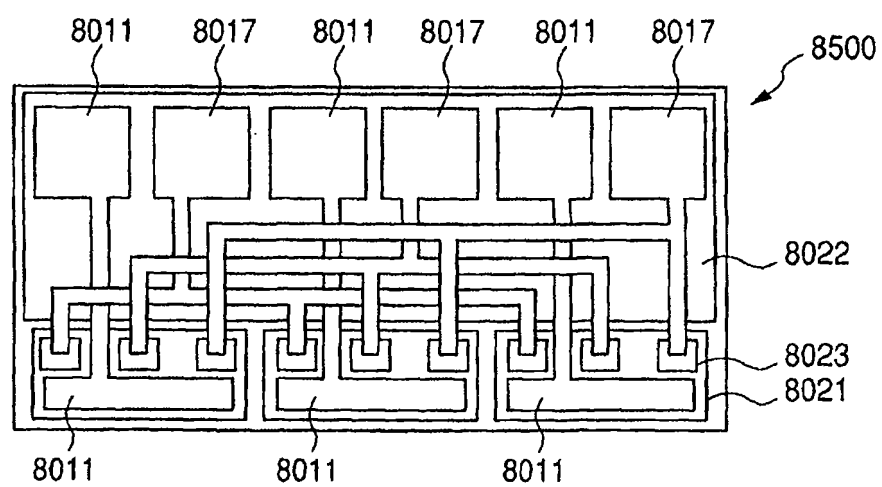


图 8

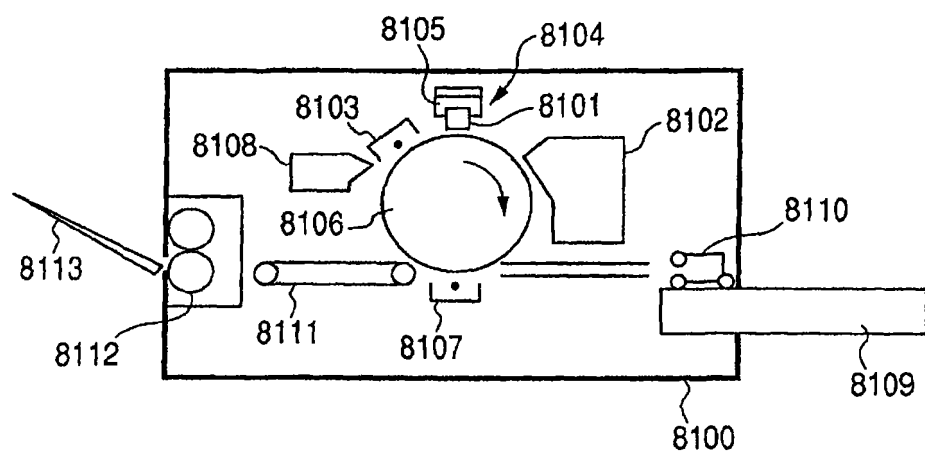


图 9A

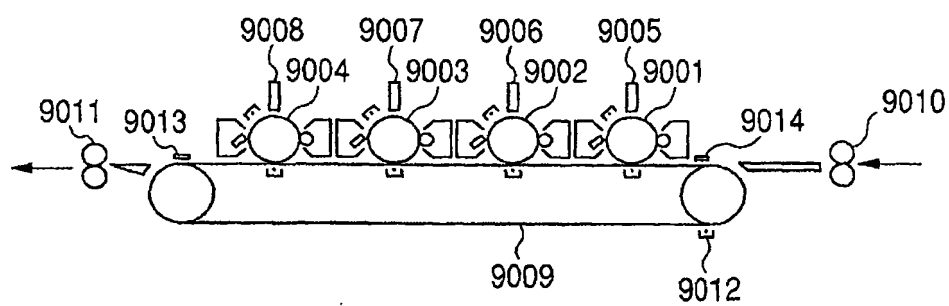


图 9B

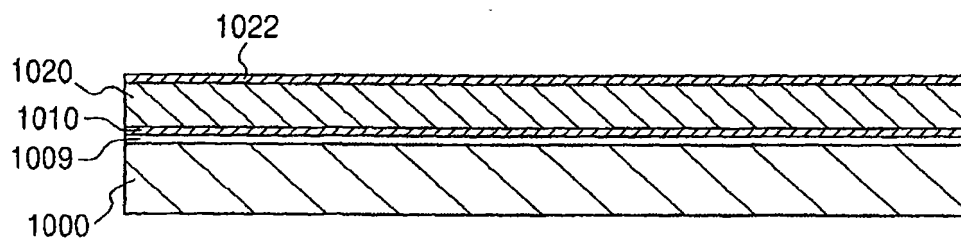


图 10

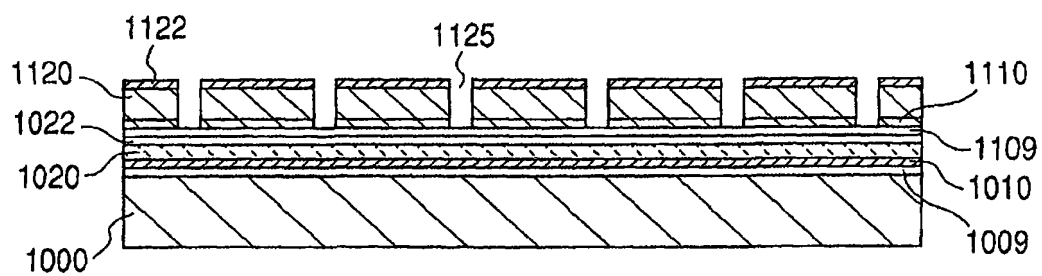


图 11

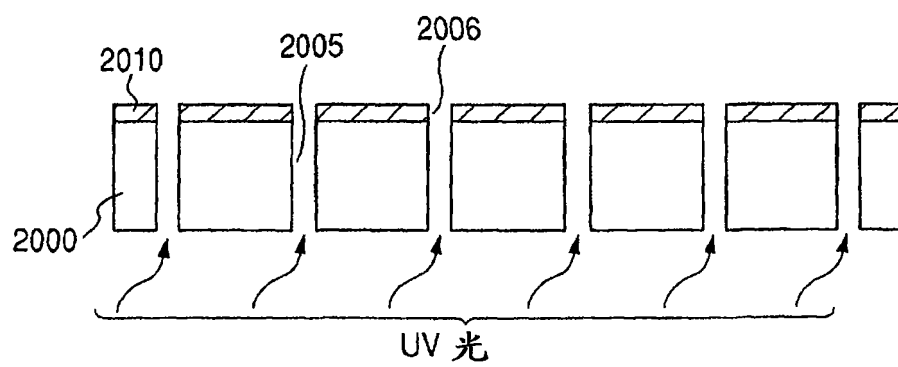


图 12A

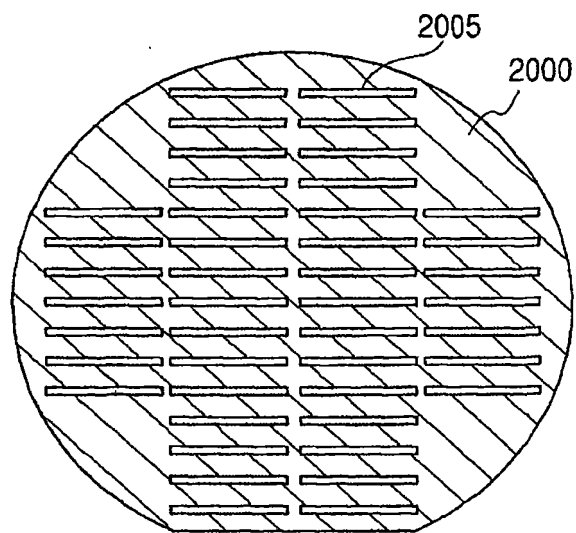


图 12B

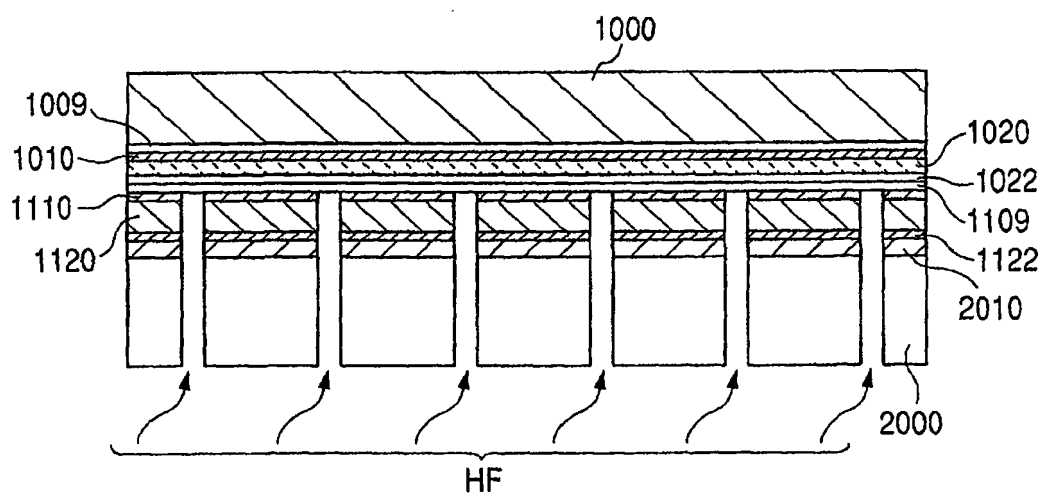


图 13A

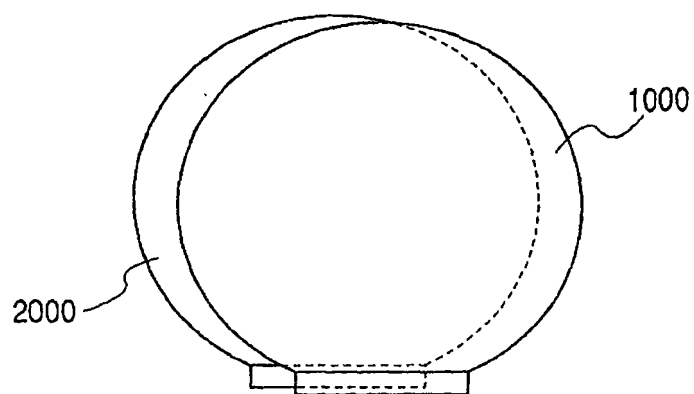


图 13B

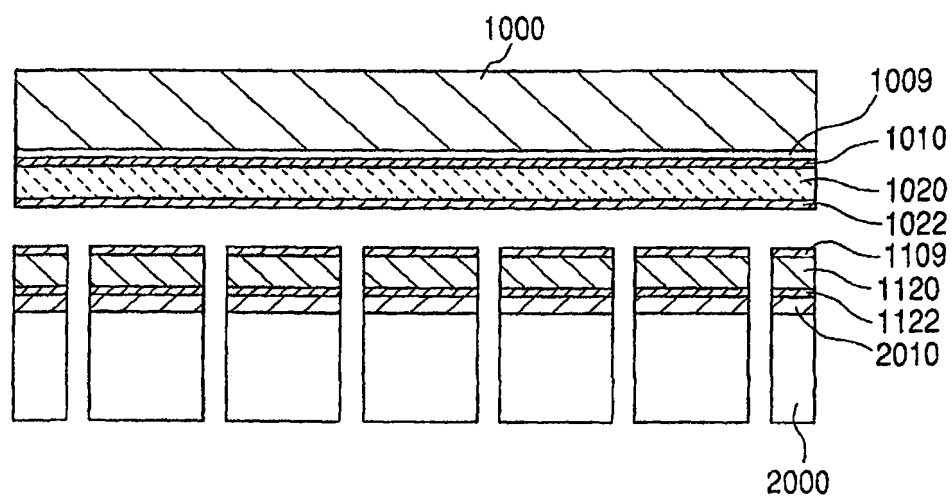


图 14

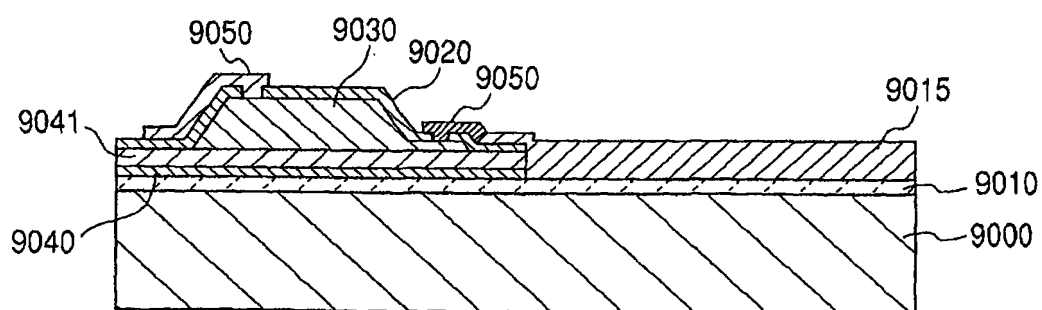
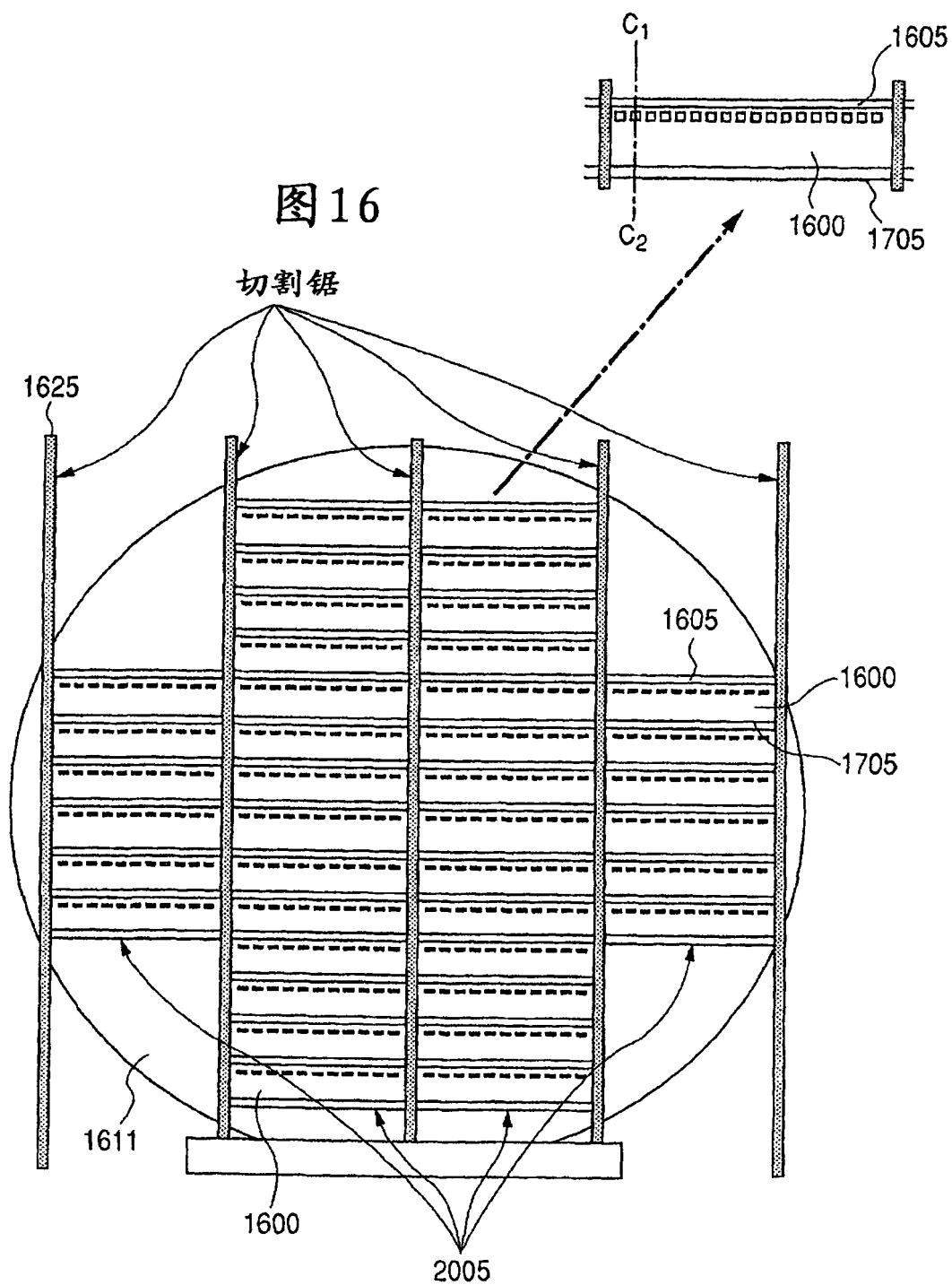


图 15

图16A



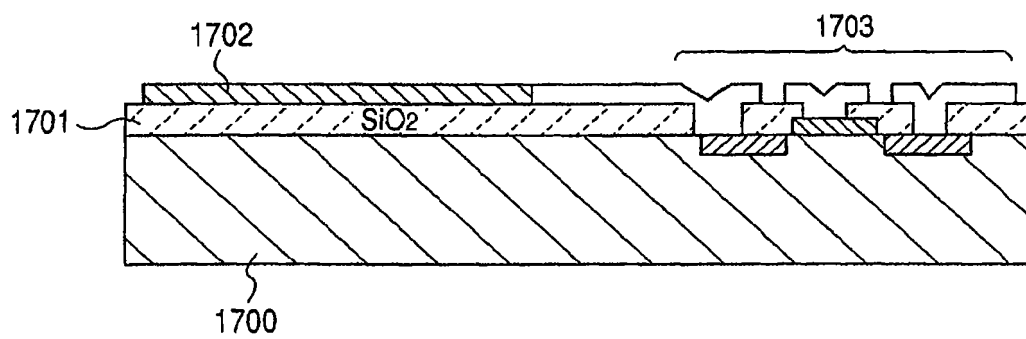


图 17A

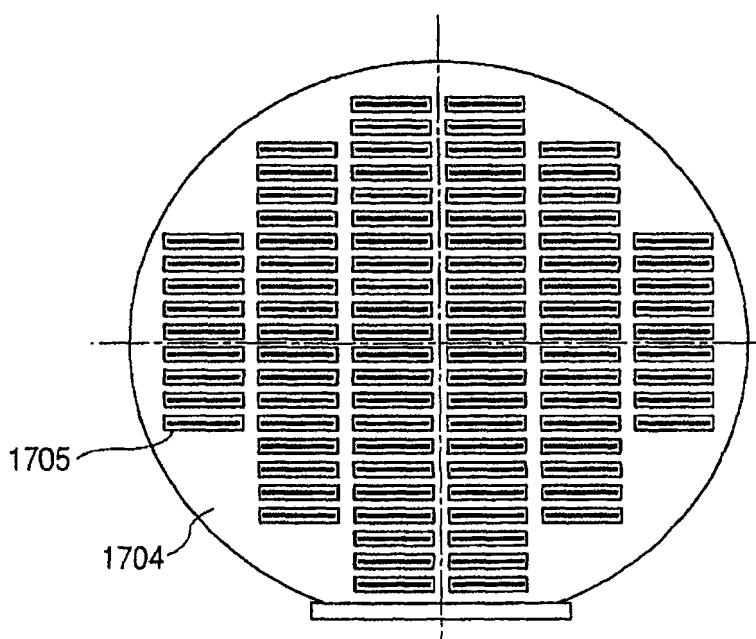
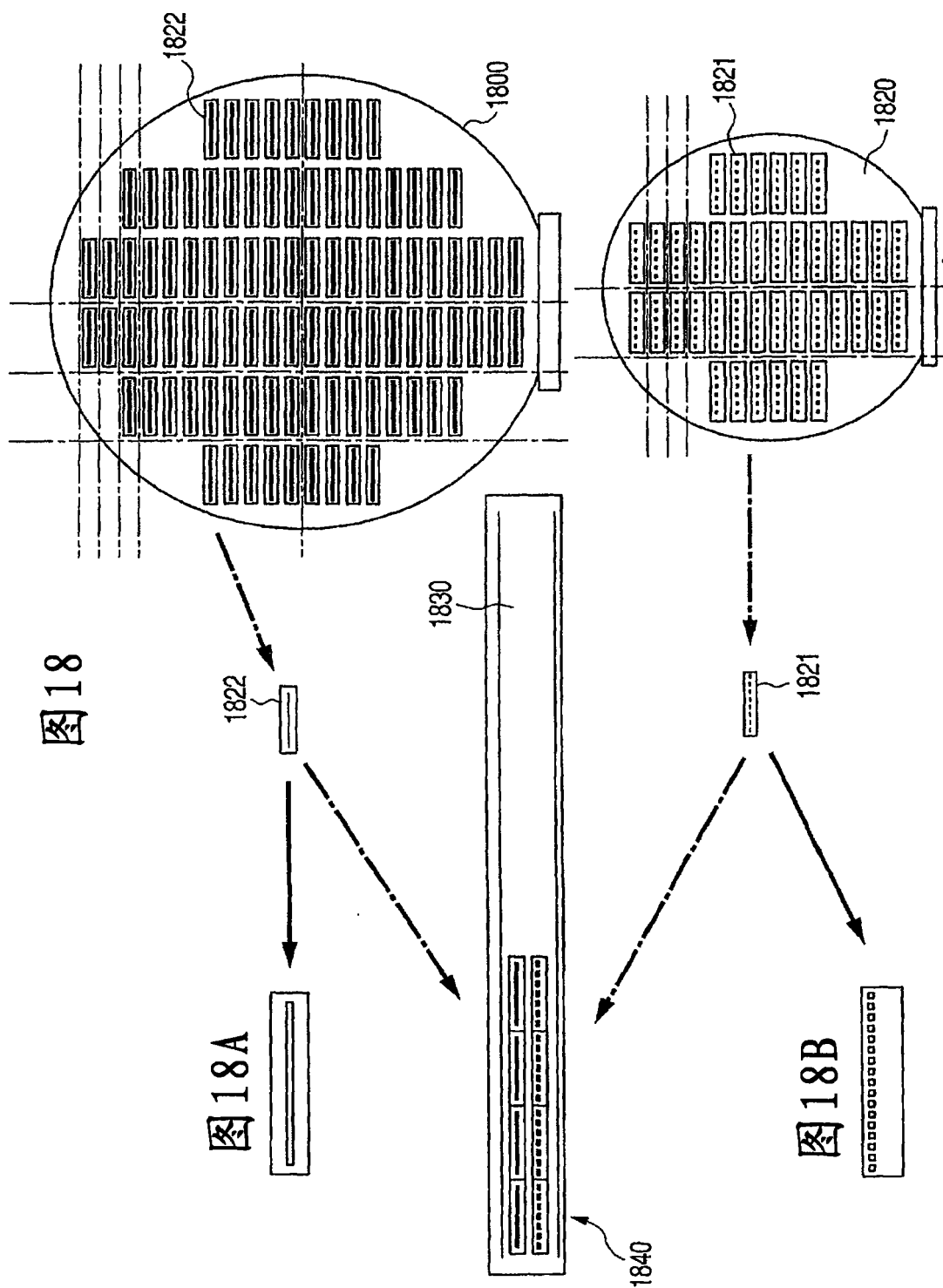
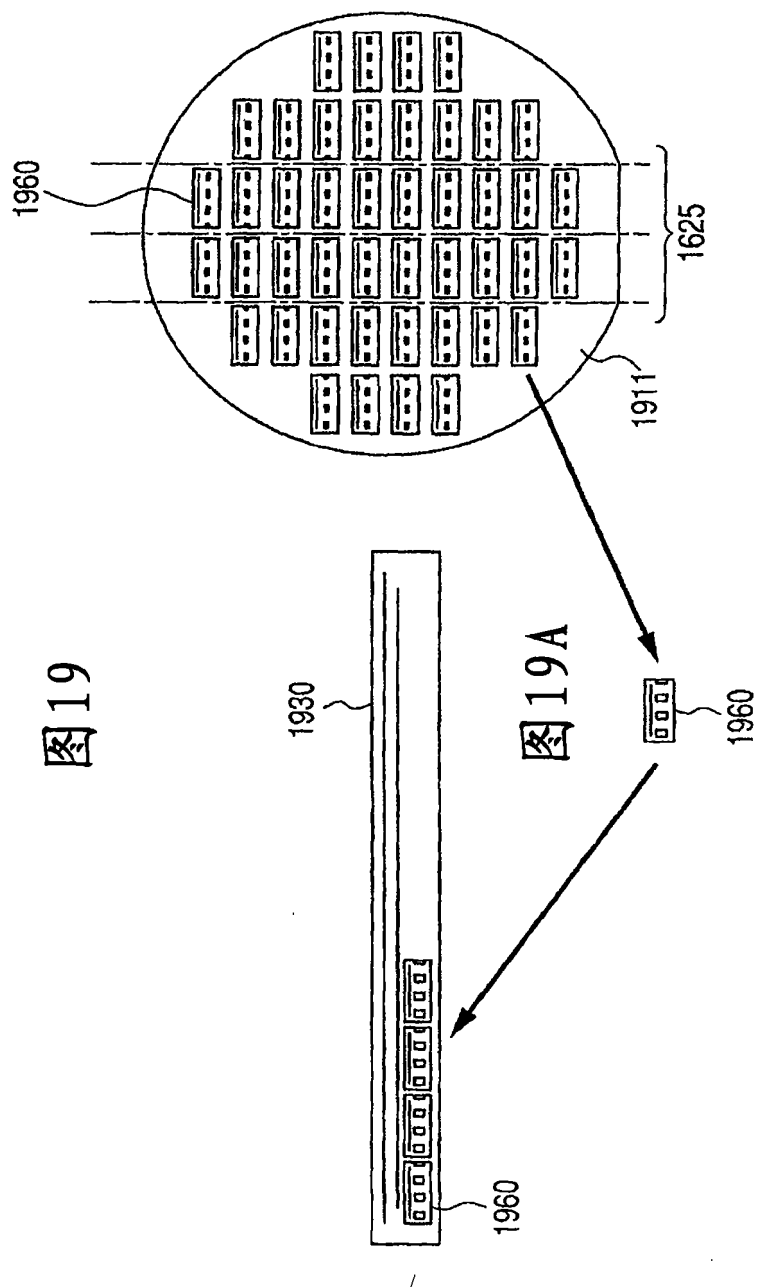


图 17B





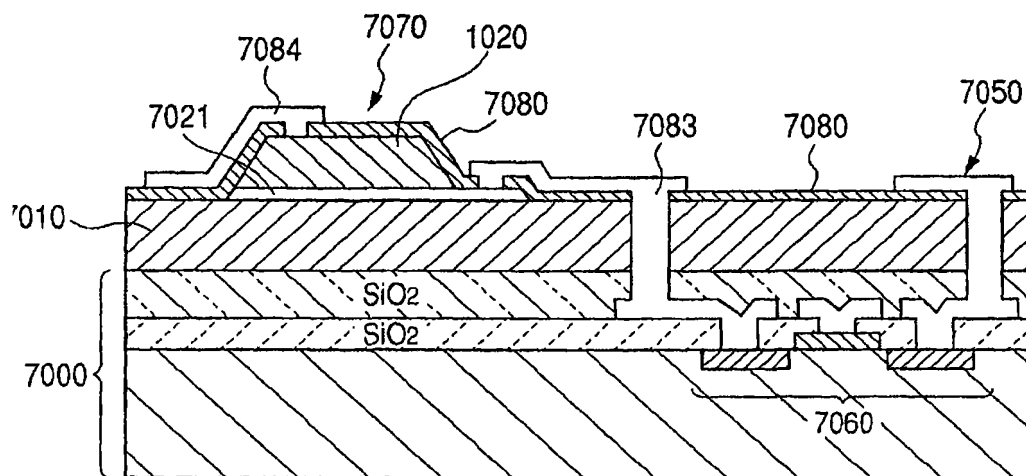


图 20

图 21A

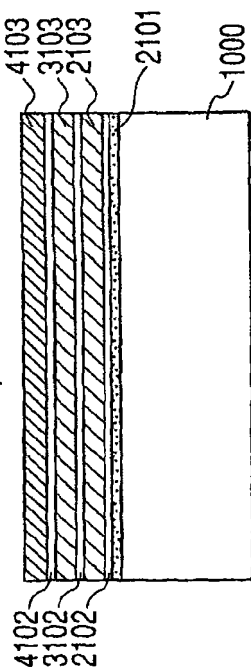


图 21B

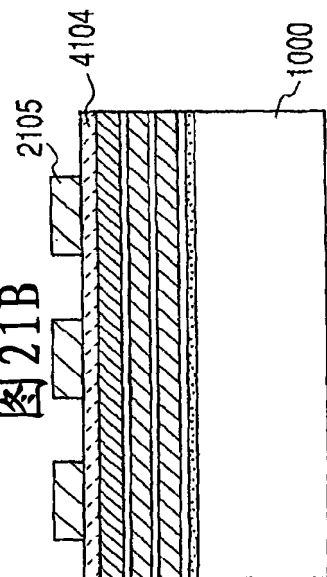


图 21C

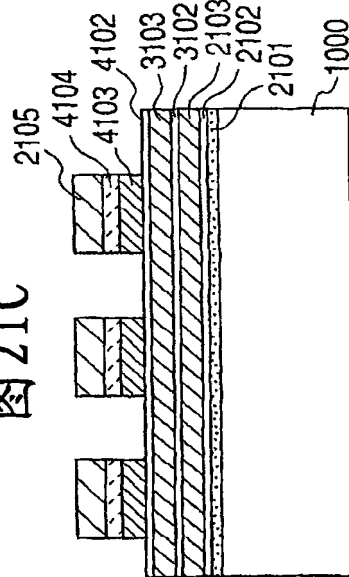


图 21D

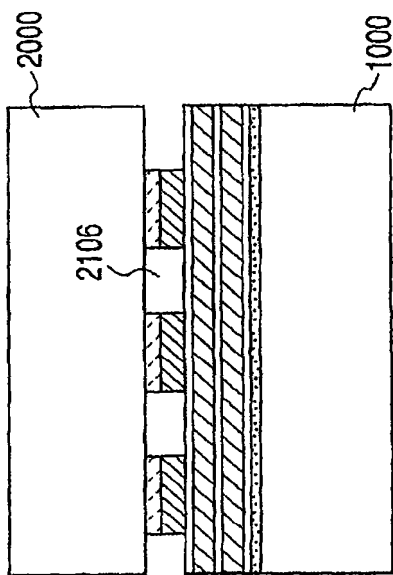


图 21E

