(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2004-193996
(P2004-193996A)
(43)公開日　平成16年7月8日(2004.7.8)

(51)Int.Cl.[7]	F I		テーマコード（参考）
H03B 28/00	H03B 28/00	B	
H03D 7/00	H03D 7/00	B	
	H03D 7/00	C	
	H03D 7/00	D	

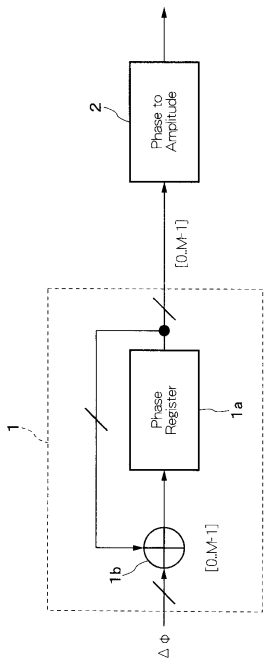
審査請求 未請求　請求項の数 19　ＯＬ　（全 54 頁）

(21)出願番号　特願2002-359773(P2002-359773)
(22)出願日　平成14年12月11日(2002.12.11)

(71)出願人　390019839
三星電子株式会社
大韓民国京畿道水原市靈通区梅灘洞４１６
(74)代理人　100064908
弁理士　志賀　正武
(72)発明者　岸　孝彦
神奈川県横浜市鶴見区菅沢町２－７　株式会社サムスン横浜研究所　電子研究所内

(54)【発明の名称】数値制御発振器、ディジタル周波数コンバータ及び無線機

(57)【要約】
【課題】要求される周波数偏差を守りつつ回路規模と消費電力を削減し、スプリアスの発生を可能な限り抑圧した数値制御発振器を提供する。
【解決手段】信号のサンプリング周波数をＦｓ、信号の周波数設定間隔の上限値をＦＤとし、Ｋ及びＬを任意の整数とすると、位相累算器１は、入力された位相差データと位相レジスタ１ａの出力する位相データとを、位相演算器１ｂにおいてＭ＝Ｆｓ／ＦＤ×Ｋ／Ｌで計算されるＭの中で整数となるＭを法とするモジュロ演算により加減算し、位相差データの累算を行い位相データを生成する。一方、ＲＯＭ２は、位相累算器１の出力端子とそのアドレス端子が接続され、記憶された位相振幅変換テーブルに従って、アドレス端子に入力された位相データに対応したｄＦ＝ＦＤ／Ｋ×Ｌで計算されるｄＦステップの周波数設定間隔で設定された信号の振幅データをデータ端子から出力する。
【選択図】　図１



【特許請求の範囲】
【請求項１】
位相データを保持するレジスタと、入力された位相差データと前記レジスタの出力する位相データとの加算または減算を行う演算器とを用いて、前記位相差データの累算を行い位相データを生成する位相累算器と、
前記位相累算器が生成する位相データに対応した振幅データを出力する位相振幅変換テーブルを実現するメモリと
を具備し、サンプリング周波数Ｆｓの信号を出力する数値制御発振器において、
要求された出力信号の周波数設定間隔の上限値をＦＤとし、Ｋ及びＬを任意の整数とした場合、
前記位相累算器の演算器が、Ｍ＝Ｆｓ／ＦＤ×Ｋ／Ｌで計算されるＭの中で整数となるＭを法として、前記位相差データと前記レジスタの出力する位相データとをモジュロ演算により加算または減算し、
前記位相振幅変換テーブルが、ｄＦ＝ＦＤ／Ｋ×Ｌで計算されるｄＦステップの周波数設定間隔で設定された信号を出力する
ことを特徴とする数値制御発振器。
【請求項２】
請求項１に記載の数値制御発振器を局部発振器として、入力信号に周波数変換を行う周波数変換器を備え、サンプリング周波数Ｆｓでサンプリングされた前記入力信号を、前記入力信号より低い周波数の出力信号へ変換して出力するディジタルダウンコンバータであって、
要求された前記入力信号の周波数設定間隔をＦＤとすると共に、Ｋ及びＬを任意の整数とした場合、
前記周波数変換器は、Ｍ＝Ｆｓ／ＦＤ×Ｋ／Ｌで計算されるＭの中で整数となるＭを法として位相データをモジュロ演算により累算する前記局部発振器が出力すると共に、ｄＦ＝ＦＤ／Ｋ×Ｌで計算されるｄＦステップの周波数設定間隔で設定された信号を用いて周波数変換を行う
ことを特徴とするディジタルダウンコンバータ。
【請求項３】
請求項１に記載の数値制御発振器を第１の局部発振器として、入力信号に周波数変換を行う第１の周波数変換器と、請求項１に記載の数値制御発振器を第２の局部発振器として、前記第１の周波数変換器の出力信号に更に周波数変換を行う第２の周波数変換器とを備え、サンプリング周波数Ｆｓ１でサンプリングされた前記入力信号を、２回の周波数変換によって前記入力信号より低い周波数の出力信号へ変換して出力するディジタルダウンコンバータであって、
要求された前記入力信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ１を任意の整数とした場合、
前記第１の周波数変換器は、Ｍ１＝Ｆｓ１／ＦＤ×Ｋ１／Ｌ１で計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する前記第１の局部発振器が出力すると共に、ＦＤ１＝ＦＤ／Ｋ１×Ｌ１で計算されるＦＤ１ステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、
前記第２の周波数変換器は、入力された信号のサンプリング周波数をＦｓ２とすると、Ｍ２＝Ｆｓ２／（ＦＤ　ｍｏｄ　ＦＤ１）×Ｋ２で計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累算する前記第２の局部発振器が出力すると共に、ＦＤ２＝（ＦＤ　ｍｏｄ　ＦＤ１）／Ｋ２で計算されるＦＤ２ステップの周波数設定間隔で設定された信号を用いて周波数変換を行う
ことを特徴とするディジタルダウンコンバータ。
【請求項４】
請求項１に記載の数値制御発振器を第１の局部発振器として、入力信号に周波数変換を行う第１の周波数変換器と、請求項１に記載の数値制御発振器を第２の局部発振器として、

前記第１の周波数変換器の出力信号に更に周波数変換を行う第２の周波数変換器とを備え、サンプリング周波数Ｆｓ１でサンプリングされた前記入力信号を、２回の周波数変換によって前記入力信号より低い周波数の出力信号へ変換して出力するディジタルダウンコンバータであって、
要求された前記入力信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ１を任意の整数とした場合、
前記第１の周波数変換器は、Ｍ１＝Ｆｓ１／ＦＤ×Ｋ１／Ｌ１で計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する前記第１の局部発振器が出力すると共に、ＦＤ１＝ＦＤ／Ｋ１×Ｌ１で計算されるＦＤ１ステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、
前記第２の周波数変換器は、入力された信号のサンプリング周波数をＦｓ２とすると、Ｍ２＝Ｆｓ２／（ＦＤ１　ｍｏｄ　ＦＤ）×Ｋ２で計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累算する前記第２の局部発振器が出力すると共に、ＦＤ２＝（ＦＤ１　ｍｏｄ　ＦＤ）／Ｋ２で計算されるＦＤ２ステップの周波数設定間隔で設定された信号を用いて周波数変換を行う
ことを特徴とするディジタルダウンコンバータ。
【請求項５】
請求項１に記載の数値制御発振器を第１の局部発振器として、入力信号に周波数変換を行う第１の周波数変換器と、請求項１に記載の数値制御発振器を第２の局部発振器として、前記第１の周波数変換器の出力信号に更に周波数変換を行う第２の周波数変換器とを備え、サンプリング周波数Ｆｓ１でサンプリングされた前記入力信号を、２回の周波数変換によって前記入力信号より低い周波数の出力信号へ変換して出力するディジタルダウンコンバータであって、
要求された前記入力信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ１を任意の整数とした場合、
前記第１の周波数変換器は、Ｍ１＝Ｆｓ１／ＦＤ×Ｋ１／Ｌ１で計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する前記第１の局部発振器が出力すると共に、ＦＤ１＝ＦＤ／Ｋ１×Ｌ１で計算されるＦＤ１ステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、
前記第２の周波数変換器は、入力された信号のサンプリング周波数をＦｓ２とすると、Ｍ２＝Ｆｓ２／ＦＤ×Ｋ２で計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累算する前記第２の局部発振器が出力すると共に、ＦＤ２＝ＦＤ／Ｋ２で計算されるＦＤ２ステップの周波数設定間隔で設定された信号を用いて周波数変換を行う
ことを特徴とするディジタルダウンコンバータ。
【請求項６】
前記第２の周波数変換器が周波数変換を停止する
ことを特徴とする請求項３から請求項５のいずれかに記載のディジタルダウンコンバータ。
【請求項７】
請求項１に記載の数値制御発振器を局部発振器として、入力信号に周波数変換を行う周波数変換器を備え、前記入力信号を、前記入力信号より高い周波数の信号へ変換すると共に、サンプリング周波数Ｆｓでサンプリングされた出力信号として出力するディジタルアップコンバータであって、
要求された出力信号の周波数設定間隔をＦＤとすると共に、Ｋ及びＬを任意の整数とした場合、
前記周波数変換器は、Ｍ＝Ｆｓ／ＦＤ×Ｋ／Ｌで計算されるＭの中で整数となるＭを法として位相データをモジュロ演算により累算する前記局部発振器が出力すると共に、ｄＦ＝ＦＤ／Ｋ×Ｌで計算されるｄＦステップの周波数設定間隔で設定された信号を用いて周波数変換を行う

ことを特徴とするディジタルアップコンバータ。
【請求項８】
請求項１に記載の数値制御発振器を第１の局部発振器として、入力信号に周波数変換を行う第１の周波数変換器と、請求項１に記載の数値制御発振器を第２の局部発振器として、前記第１の周波数変換器の出力信号に更に周波数変換を行う第２の周波数変換器とを備え、前記入力信号を、２回の周波数変換によって前記入力信号より高い周波数の出力信号へ変換すると共に、サンプリング周波数Ｆｓ２でサンプリングされた出力信号として出力するディジタルアップコンバータであって、
要求された前記出力信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ２を任意の整数とした場合、
前記第２の周波数変換器は、Ｍ２＝Ｆｓ２／ＦＤ×Ｋ２／Ｌ２で計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累算する前記第２の局部発振器が出力すると共に、ＦＤ２＝ＦＤ／Ｋ２×Ｌ２で計算されるＦＤ２ステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、
前記第１の周波数変換器は、入力された信号のサンプリング周波数をＦｓ１とすると、Ｍ１＝Ｆｓ１／（ＦＤ　ｍｏｄ　ＦＤ２）×Ｋ１で計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する前記第１の局部発振器が出力すると共に、ＦＤ１＝（ＦＤ　ｍｏｄ　ＦＤ２）／Ｋ１で計算されるＦＤ１ステップの周波数設定間隔で設定された信号を用いて周波数変換を行う
ことを特徴とするディジタルアップコンバータ。
【請求項９】
請求項１に記載の数値制御発振器を第１の局部発振器として、入力信号に周波数変換を行う第１の周波数変換器と、請求項１に記載の数値制御発振器を第２の局部発振器として、前記第１の周波数変換器の出力信号に更に周波数変換を行う第２の周波数変換器とを備え、前記入力信号を、２回の周波数変換によって前記入力信号より高い周波数の出力信号へ変換すると共に、サンプリング周波数Ｆｓ２でサンプリングされた出力信号として出力するディジタルアップコンバータであって、
要求された前記出力信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ２を任意の整数とした場合、
前記第２の周波数変換器は、Ｍ２＝Ｆｓ２／ＦＤ×Ｋ２／Ｌ２で計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累算する前記第２の局部発振器が出力すると共に、ＦＤ２＝ＦＤ／Ｋ２×Ｌ２で計算されるＦＤ２ステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、
前記第１の周波数変換器は、入力された信号のサンプリング周波数をＦｓ１とすると、Ｍ１＝Ｆｓ１／（ＦＤ２　ｍｏｄ　ＦＤ）×Ｋ１で計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する前記第１の局部発振器が出力すると共に、ＦＤ１＝（ＦＤ２　ｍｏｄ　ＦＤ）／Ｋ１で計算されるＦＤ１ステップの周波数設定間隔で設定された信号を用いて周波数変換を行う
ことを特徴とするディジタルアップコンバータ。
【請求項１０】
請求項１に記載の数値制御発振器を第１の局部発振器として、入力信号に周波数変換を行う第１の周波数変換器と、請求項１に記載の数値制御発振器を第２の局部発振器として、前記第１の周波数変換器の出力信号に更に周波数変換を行う第２の周波数変換器とを備え、前記入力信号を、２回の周波数変換によって前記入力信号より高い周波数の出力信号へ変換すると共に、サンプリング周波数Ｆｓ２でサンプリングされた出力信号として出力するディジタルアップコンバータであって、
要求された前記出力信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ２を任意の整数とした場合、
前記第２の周波数変換器は、Ｍ２＝Ｆｓ２／ＦＤ×Ｋ２／Ｌ２で計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累算する前記第２の局部発振器

が出力すると共に、ＦＤ２＝ＦＤ／Ｋ２×Ｌ２で計算されるＦＤ２ステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、
前記第１の周波数変換器は、入力された信号のサンプリング周波数をＦｓ１とすると、Ｍ１＝Ｆｓ１／ＦＤ×Ｋ１で計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する前記第１の局部発振器が出力すると共に、ＦＤ１＝ＦＤ／Ｋ１で計算されるＦＤ１ステップの周波数設定間隔で設定された信号を用いて周波数変換を行う
ことを特徴とするディジタルアップコンバータ。
【請求項１１】
前記第１の周波数変換器が周波数変換を停止する
ことを特徴とする請求項８から請求項１０のいずれかに記載のディジタルアップコンバータ。
【請求項１２】
サンプリング周波数Ｆｓで動作する請求項１に記載の数値制御発振器を、逓倍比Ｐ（Ｐは整数）のＰＬＬ回路のリファレンスとした第１の局部発振器を用いて、受信信号に周波数変換を行う第１の周波数変換器と、請求項１に記載の数値制御発振器を第２の局部発振器として、前記第１の周波数変換器の出力信号に更に周波数変換を行う第２の周波数変換器と、前記第２の周波数変換器が出力する信号を復調して受信データを抽出する復調器とを備え、前記受信信号を、２回の周波数変換によって、前記受信信号より低い周波数のベースバンド受信信号へ変換し、該ベースバンド受信信号から受信データを抽出する受信機であって、
要求された前記受信信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ１を任意の整数とした場合、
前記第１の周波数変換器は、Ｍ１＝Ｆｓ／ＦＤ×Ｋ１／Ｌ１×Ｐで計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する前記第１の局部発振器が出力すると共に、ＦＤＰ＝ＦＤ／Ｋ１×Ｌ１で計算されるＦＤＰステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、
前記第２の周波数変換器は、入力された信号のサンプリング周波数をＦｓ１とすると、Ｍ２＝Ｆｓ１／（ＦＤ　ｍｏｄ　ＦＤＰ）×Ｋ２で計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累算する前記第２の局部発振器が出力すると共に、ＦＤ２＝（ＦＤ　ｍｏｄ　ＦＤＰ）／Ｋ２で計算されるＦＤ２ステップの周波数設定間隔で設定された信号を用いて周波数変換を行う
ことを特徴とする受信機。
【請求項１３】
サンプリング周波数Ｆｓで動作する請求項１に記載の数値制御発振器を、逓倍比Ｐ（Ｐは整数）のＰＬＬ回路のリファレンスとした第１の局部発振器を用いて、受信信号に周波数変換を行う第１の周波数変換器と、請求項１に記載の数値制御発振器を第２の局部発振器として、前記第１の周波数変換器の出力信号に更に周波数変換を行う第２の周波数変換器と、前記第２の周波数変換器が出力する信号を復調して受信データを抽出する復調器とを備え、前記受信信号を、２回の周波数変換によって、前記受信信号より低い周波数のベースバンド受信信号へ変換し、該ベースバンド受信信号から受信データを抽出する受信機であって、
要求された前記受信信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ１を任意の整数とした場合、
前記第１の周波数変換器は、Ｍ１＝Ｆｓ／ＦＤ×Ｋ１／Ｌ１×Ｐで計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する前記第１の局部発振器が出力すると共に、ＦＤＰ＝ＦＤ／Ｋ１×Ｌ１で計算されるＦＤＰステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、
前記第２の周波数変換器は、入力された信号のサンプリング周波数をＦｓ１とすると、Ｍ２＝Ｆｓ１／（ＦＤＰ　ｍｏｄ　ＦＤ）×Ｋ２で計算されるＭ２の中で整数となるＭ２を

法として位相データをモジュロ演算により累算する前記第２の局部発振器が出力すると共に、ＦＤ２＝（ＦＤＰ　ｍｏｄ　ＦＤ）／Ｋ２で計算されるＦＤ２ステップの周波数設定間隔で設定された信号を用いて周波数変換を行う
ことを特徴とする受信機。
【請求項１４】
サンプリング周波数Ｆｓで動作する請求項１に記載の数値制御発振器を、逓倍比Ｐ（Ｐは整数）のＰＬＬ回路のリファレンスとした第１の局部発振器を用いて、受信信号に周波数変換を行う第１の周波数変換器と、請求項１に記載の数値制御発振器を第２の局部発振器として、前記第１の周波数変換器の出力信号に更に周波数変換を行う第２の周波数変換器と、前記第２の周波数変換器が出力する信号を復調して受信データを抽出する復調器とを備え、前記受信信号を、２回の周波数変換によって、前記受信信号より低い周波数のベースバンド受信信号へ変換し、該ベースバンド受信信号から受信データを抽出する受信機であって、
要求された前記受信信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ１を任意の整数とした場合、
前記第１の周波数変換器は、Ｍ１＝Ｆｓ／ＦＤ×Ｋ１／Ｌ１×Ｐで計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する前記第１の局部発振器が出力すると共に、ＦＤＰ＝ＦＤ／Ｋ１×Ｌ１で計算されるＦＤＰステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、
前記第２の周波数変換器は、入力された信号のサンプリング周波数をＦｓ１とすると、Ｍ２＝Ｆｓ１／ＦＤ×Ｋ２で計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累算する前記第２の局部発振器が出力すると共に、ＦＤ２＝ＦＤ／Ｋ２で計算されるＦＤ２ステップの周波数設定間隔で設定された信号を用いて周波数変換を行う
ことを特徴とする受信機。
【請求項１５】
前記第２の周波数変換器が周波数変換を停止する
ことを特徴とする請求項１２から請求項１４のいずれかに記載の受信機。
【請求項１６】
送信データにより変調されたベースバンド送信信号を出力する変調器と、請求項１に記載の数値制御発振器を第１の局部発振器として、前記変調器の出力信号に周波数変換を行う第１の周波数変換器と、サンプリング周波数Ｆｓで動作する請求項１に記載の数値制御発振器を逓倍比Ｐ（Ｐは整数）のＰＬＬ回路のリファレンスとした第２の局部発振器を用いて、前記第１の周波数変換器の出力信号に更に周波数変換を行う第２の周波数変換器とを備え、前記ベースバンド送信信号を、２回の周波数変換によって前記ベースバンド送信信号より高い周波数の送信信号へ変換して出力する送信機であって、
要求された前記送信信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ２を任意の整数とした場合、
前記第２の周波数変換器は、Ｍ２＝Ｆｓ／ＦＤ×Ｋ２／Ｌ２×Ｐで計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累算する前記第２の局部発振器が出力すると共に、ＦＤＰ＝ＦＤ／Ｋ２×Ｌ２で計算されるＦＤＰステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、
前記第１の周波数変換器は、入力された信号のサンプリング周波数をＦｓ１とすると、Ｍ１＝Ｆｓ１／（ＦＤ　ｍｏｄ　ＦＤＰ）×Ｋ１で計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する前記第１の局部発振器が出力すると共に、ＦＤ１＝（ＦＤ　ｍｏｄ　ＦＤＰ）／Ｋ１で計算されるＦＤ１ステップの周波数設定間隔で設定された信号を用いて周波数変換を行う
ことを特徴とする送信機。
【請求項１７】
送信データにより変調されたベースバンド送信信号を出力する変調器と、請求項１に記載

の数値制御発振器を第１の局部発振器として、前記変調器の出力信号に周波数変換を行う第１の周波数変換器と、サンプリング周波数Ｆｓで動作する請求項１に記載の数値制御発振器を逓倍比Ｐ（Ｐは整数）のＰＬＬ回路のリファレンスとした第２の局部発振器を用いて、前記第１の周波数変換器の出力信号に更に周波数変換を行う第２の周波数変換器とを備え、前記ベースバンド送信信号を、２回の周波数変換によって前記ベースバンド送信信号より高い周波数の送信信号へ変換して出力する送信機であって、
要求された前記送信信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ２を任意の整数とした場合、
前記第２の周波数変換器は、Ｍ２＝Ｆｓ／ＦＤ×Ｋ２／Ｌ２×Ｐで計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累算する前記第２の局部発振器が出力すると共に、ＦＤＰ＝ＦＤ／Ｋ２×Ｌ２で計算されるＦＤＰステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、
前記第１の周波数変換器は、入力された信号のサンプリング周波数をＦｓ１とすると、Ｍ１＝Ｆｓ１／（ＦＤＰ　ｍｏｄ　ＦＤ）×Ｋ１で計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する前記第１の局部発振器が出力すると共に、ＦＤ１＝（ＦＤＰ　ｍｏｄ　ＦＤ）／Ｋ１で計算されるＦＤ１ステップの周波数設定間隔で設定された信号を用いて周波数変換を行う
ことを特徴とする送信機。
【請求項１８】
送信データにより変調されたベースバンド送信信号を出力する変調器と、請求項１に記載の数値制御発振器を第１の局部発振器として、前記変調器の出力信号に周波数変換を行う第１の周波数変換器と、サンプリング周波数Ｆｓで動作する請求項１に記載の数値制御発振器を逓倍比Ｐ（Ｐは整数）のＰＬＬ回路のリファレンスとした第２の局部発振器を用いて、前記第１の周波数変換器の出力信号に更に周波数変換を行う第２の周波数変換器とを備え、前記ベースバンド送信信号を、２回の周波数変換によって前記ベースバンド送信信号より高い周波数の送信信号へ変換して出力する送信機であって、
要求された前記送信信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ２を任意の整数とした場合、
前記第２の周波数変換器は、Ｍ２＝Ｆｓ／ＦＤ×Ｋ２／Ｌ２×Ｐで計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累算する前記第２の局部発振器が出力すると共に、ＦＤＰ＝ＦＤ／Ｋ２×Ｌ２で計算されるＦＤＰステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、
前記第１の周波数変換器は、入力された信号のサンプリング周波数をＦｓ１とすると、Ｍ１＝Ｆｓ１／ＦＤ×Ｋ１で計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する前記第１の局部発振器が出力すると共に、ＦＤ１＝ＦＤ／Ｋ１で計算されるＦＤ１ステップの周波数設定間隔で設定された信号を用いて周波数変換を行う
ことを特徴とする送信機。
【請求項１９】
前記第１の周波数変換器が周波数変換を停止する
ことを特徴とする請求項１６から請求項１８のいずれかに記載の送信機。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は、ディジタル信号処理により受信信号周波数を復調器入力信号へ変換するための数値制御発振器と、これを備えたディジタル周波数コンバータ、及び無線機に関する。
【０００２】
【従来の技術】
従来、位相データの累算部と、累算部により計算された位相に対応する正弦波データを出力するメモリ（例えばＲＯＭ：Read Only Memory）とを備え、出力周波数Ｆが、ｊを位相

演算語長、Ｆｓをサンプリング周波数として、
Ｆ＝（Ｆｓ×Ｒ）／2^{j}　　・・・（１）
（但しＲは任意の整数）と定義される数値制御発振器（ＮＣＯ：Numerical Control Oscillator）、あるいはＮＣＯの出力をアナログ信号化して出力するＤＤＳ（direct digital synthesizer）を利用して目的の周波数を得る場合、２００［ＫＨｚ］のステップで出力周波数を変更するためには、数値制御発振器が出力する信号のサンプリング周波数を２００［ＫＨｚ］×2^{j}とするか、位相演算語長ｊを大きくする（ビット数を増やす）ことにより、位相の分解能、すなわち周波数分解度を向上させて、目的の周波数と数値制御発振器の出力周波数との差を、許容偏差以内の周波数とするしかなかった。

【０００３】

例えば、出力周波数Ｆが１．９２［ＧＨｚ］で、許容出力周波数偏差Δｆが０．１［ｐｐｍ］の精度で求められるシステムの場合、サンプリング周波数Ｆｓを１５３．６［ＭＨｚ］とすると、位相演算語長ｊは、
$j = log_2（Fs／\Delta f）$　　・・・（２）
$= log_2（153.6\times10^{6}／（1.92\times10^{9}\times0.1\times10^{-6}））$
１９．６１
と求められ、目的の位相演算語長ｊは２０ビット必要であることがわかる。

【０００４】

ところで、位相演算語長ｊを大きくする場合、スプリアスの発生しない出力を得ようとすると、メモリの演算語長ｋ（メモリのアドレスのビット数）と位相演算語長ｊとを同一（ｊ＝ｋ）にする必要があり、メモリのサイズの増加を抑えるために、メモリの演算語長ｋに対して位相演算語長ｊを大きくする（ｊ＞ｋ）と、位相演算部が出力するアドレス語長（メモリの演算語長）を再量子化することになるため、この再量子化による周期性を持つ誤差e^{p}が発生し、数値制御発振器の出力にスプリアスとして出現することが知られている。（例えば、非特許文献１参照。）。

【０００５】

一方、位相演算部のアドレス語長の再量子化により発生するスプリアスを抑圧する方法としては、例えばディザによる誤差拡散やエラーのフィードバックによる方法が知られている（例えば、非特許文献２参照。）。

【０００６】

【非特許文献１】

ヘンリー・ティー・ニコラス３世（Henry T Nicholas,III）、ヘンリー・サムエリ（Henry Samueli）、「位相累算器にトランケーションがある場合のダイレクト・ディジタル周波数合成器の出力スペクトルに関する解析（An Analysis of the Output Spectrum of Direct Digital Frequency Synthesizers inthe Phase-Accumulator Truncation）」、プロシーディング　アニュアル　フリクエンシィ　コントロール　シンポジウム（Proc. Annual Frequency Control
Symposium）、１９８７、ｐｐ４９５－５０２

【非特許文献２】

ジョウコ　バンカ（Jouko Vankka）、「正弦波出力直接ディジタル合成におけるスプリアス低減法（Spur. Reduction Techniques in sine output Direct Digital Synthesis）」、アイ・トリプル・イー　インターナショナル　フリクエンシィ　コントロール　シンポジウム（IEEE International Frequency control Symposium）、１９９６、ｐｐ９５１－９５９

【０００７】

【発明が解決しようとする課題】

しかし、従来は、非特許文献１に記載のように、位相演算部のアドレス語長の再量子化により、出力にスプリアスが発生することが分かってはいるものの、メモリのサイズの増加を抑えるために、メモリの演算語長ｋに対して位相演算語長ｊを大きくせざるを得なかった。

また、非特許文献２に記載の方法を用いる場合、本来の目的以外の付加回路が必要になるため、メモリのサイズが増加しなくとも、付加回路の増加による化回路規模の増大するという問題があった。更に、ディザによる誤差拡散を用いてスプリアスを抑圧する場合、ノイズレベル（ノイズフロア）の上昇があるため、必ずしも有効な方法ではないという問題があった。
更に、サンプリング周波数を必要とする周波数ステップの2^{j}倍とする場合、リファレンス周波数の生成が困難であるという問題があった。

【０００８】
本発明は、上記問題点に鑑みてなされたもので、要求される周波数偏差を守りつつ回路規模と消費電力を削減し、スプリアスの発生を可能な限り抑圧した数値制御発振器と、これを備えたディジタル周波数コンバータ、及び無線機を提供することを目的とする。

【０００９】
【課題を解決するための手段】
上記課題を解決するために、請求項１の発明に係る数値制御発振器は、位相データを保持するレジスタ（例えば実施の形態の位相レジスタ１ａ）と、入力された位相差データと前記レジスタの出力する位相データとの加算または減算を行う演算器（例えば実施の形態の位相演算器１ｂ）とを用いて、前記位相差データの累算を行い位相データを生成する位相累算器（例えば実施の形態の位相累算器１）と、前記位相累算器が生成する位相データに対応した振幅データを出力する位相振幅変換テーブルを実現するメモリ（例えば実施の形態のＲＯＭ２）とを具備し、サンプリング周波数Ｆｓの信号を出力する数値制御発振器において、要求された出力信号の周波数設定間隔の上限値をＦＤとし、Ｋ及びＬを任意の整数とした場合、前記位相累算器の演算器が、Ｍ＝Ｆｓ／ＦＤ×Ｋ／Ｌで計算されるＭの中で整数となるＭを法として、前記位相差データと前記レジスタの出力する位相データとをモジュロ演算により加算または減算し、前記位相振幅変換テーブルが、ｄＦ＝ＦＤ／Ｋ×Ｌで計算されるｄＦステップの周波数設定間隔で設定された信号を出力することを特徴とする。

【００１０】
以上の構成を備えた数値制御発振器は、サンプリング周波数Ｆｓの信号を出力する数値制御発振器であって、要求された出力信号の周波数設定間隔の上限値をＦＤとし、Ｋ及びＬを任意の整数とすると、Ｍ個（但し、Ｍ＝Ｆｓ／ＦＤ×Ｋ／Ｌで計算されるＭの中で整数となるＭ）の振幅データを位相振幅変換テーブルに用意し、位相累算器により、位相差データをＭを法とするモジュロ演算を用いて累加算または累減算して生成した位相データを、位相振幅変換テーブルのアドレスとして入力すると、位相振幅変換テーブルの出力として、ｄＦ＝ＦＤ／Ｋ×Ｌで計算されるｄＦステップの周波数設定間隔で設定された信号を得ることができる。

【００１１】
請求項２の発明に係るディジタルダウンコンバータは、請求項１に記載の数値制御発振器を局部発振器（例えば実施の形態の局部発振器１２ａ）として、入力信号に周波数変換を行う周波数変換器（例えば実施の形態の周波数変換器１２）を備え、サンプリング周波数Ｆｓでサンプリングされた前記入力信号を、前記入力信号より低い周波数の出力信号へ変換して出力するディジタルダウンコンバータであって、要求された前記入力信号の周波数設定間隔をＦＤとすると共に、Ｋ及びＬを任意の整数とした場合、前記周波数変換器は、Ｍ＝Ｆｓ／ＦＤ×Ｋ／Ｌで計算されるＭの中で整数となるＭを法として位相データをモジュロ演算により累算する前記局部発振器が出力すると共に、ｄＦ＝ＦＤ／Ｋ×Ｌで計算されるｄＦステップの周波数設定間隔で設定された信号を用いて周波数変換を行うことを特徴とする。

【００１２】
以上の構成を備えたディジタルダウンコンバータは、サンプリング周波数Ｆｓでサンプリングされた入力信号を、該入力信号より低い周波数の信号へ変換して出力する際に、要求された入力信号の周波数設定間隔をＦＤとすると共に、Ｋ及びＬを任意の整数とすると、

ｄＦ＝ＦＤ／Ｋ×Ｌで計算されるｄＦステップの周波数設定間隔を持つ請求項１に記載の数値制御発振器を局部発振器として発生した周波数信号を用いて、周波数変換器が入力信号を周波数変換することで、入力信号の周波数設定間隔ＦＤが周波数変換器の周波数設定間隔ｄＦ以上でかつＦＤがｄＦで割り切れる場合には、周波数設定間隔ＦＤで入力されるディジタルダウンコンバータの入力信号を、許容周波数偏差以内の希望の周波数へ変換することができる。

【００１３】

請求項３の発明に係るディジタルダウンコンバータは、請求項１に記載の数値制御発振器を第１の局部発振器（例えば実施の形態の局部発振器３１ａ）として、入力信号に周波数変換を行う第１の周波数変換器（例えば実施の形態の周波数変換器３１）と、請求項１に記載の数値制御発振器を第２の局部発振器（例えば実施の形態の局部発振器３３ａ）として、前記第１の周波数変換器の出力信号に更に周波数変換を行う第２の周波数変換器（例えば実施の形態の周波数変換器３３）とを備え、サンプリング周波数Ｆｓ１でサンプリングされた前記入力信号を、２回の周波数変換によって前記入力信号より低い周波数の出力信号へ変換して出力するディジタルダウンコンバータであって、要求された前記入力信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ１を任意の整数とした場合、前記第１の周波数変換器は、Ｍ１＝Ｆｓ１／ＦＤ×Ｋ１／Ｌ１で計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する前記第１の局部発振器が出力すると共に、ＦＤ１＝ＦＤ／Ｋ１×Ｌ１で計算されるＦＤ１ステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、前記第２の周波数変換器は、入力された信号のサンプリング周波数をＦｓ２とすると、Ｍ２＝Ｆｓ２／（ＦＤ　ｍｏｄ　ＦＤ１）×Ｋ２で計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累算する前記第２の局部発振器が出力すると共に、ＦＤ２＝（ＦＤ　ｍｏｄ　ＦＤ１）／Ｋ２で計算されるＦＤ２ステップの周波数設定間隔で設定された信号を用いて周波数変換を行うことを特徴とする。

【００１４】

以上の構成を備えたディジタルダウンコンバータは、サンプリング周波数Ｆｓ１でサンプリングされた入力信号を、２回の周波数変換によって、該入力信号より低い周波数の信号へ変換して出力する。この時、要求された入力信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ１を任意の整数とすると、入力信号の周波数設定間隔ＦＤが第１の周波数変換器の周波数設定間隔ＦＤ１以上でかつＦＤがＦＤ１で割り切れない場合、ディジタルダウンコンバータの出力信号の周波数偏差が許容周波数偏差を超えるので、まず、ＦＤ１＝ＦＤ／Ｋ１×Ｌ１で計算されるＦＤ１ステップの周波数設定間隔を持つ請求項１に記載の数値制御発振器を第１の局部発振器として発生した周波数信号を用いて、第１の周波数変換器が入力信号を周波数変換する。次に、ＦＤ２＝（ＦＤ　ｍｏｄ　ＦＤ１）／Ｋ２で計算されるＦＤ２ステップの周波数設定間隔を持つ請求項１に記載の数値制御発振器を第２の局部発振器として発生した周波数信号を用いて、第２の周波数変換器が更に第１の周波数変換器の出力信号を周波数変換する。これにより、周波数設定間隔ＦＤで入力されるディジタルダウンコンバータの入力信号を、許容周波数偏差以内の希望の周波数へ変換することができる。

【００１５】

請求項４の発明に係るディジタルダウンコンバータは、請求項１に記載の数値制御発振器を第１の局部発振器（例えば実施の形態の局部発振器３１ａ）として、入力信号に周波数変換を行う第１の周波数変換器（例えば実施の形態の周波数変換器３１）と、請求項１に記載の数値制御発振器を第２の局部発振器（例えば実施の形態の局部発振器３３ａ）として、前記第１の周波数変換器の出力信号に更に周波数変換を行う第２の周波数変換器（例えば実施の形態の周波数変換器３３）とを備え、サンプリング周波数Ｆｓ１でサンプリングされた前記入力信号を、２回の周波数変換によって前記入力信号より低い周波数の出力信号へ変換して出力するディジタルダウンコンバータであって、要求された前記入力信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ１を任意の整数とした場合、

前記第１の周波数変換器は、Ｍ１＝Ｆｓ１／ＦＤ×Ｋ１／Ｌ１で計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する前記第１の局部発振器が出力すると共に、ＦＤ１＝ＦＤ／Ｋ１×Ｌ１で計算されるＦＤ１ステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、前記第２の周波数変換器は、入力された信号のサンプリング周波数をＦｓ２とすると、Ｍ２＝Ｆｓ２／（ＦＤ１　ｍｏｄ　ＦＤ）×Ｋ２で計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累算する前記第２の局部発振器が出力すると共に、ＦＤ２＝（ＦＤ１　ｍｏｄ　ＦＤ）／Ｋ２で計算されるＦＤ２ステップの周波数設定間隔で設定された信号を用いて周波数変換を行うことを特徴とする。

【００１６】

以上の構成を備えたディジタルダウンコンバータは、サンプリング周波数Ｆｓ１でサンプリングされた入力信号を、２回の周波数変換によって、該入力信号より低い周波数の信号へ変換して出力する。この時、要求された入力信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ１を任意の整数とすると、入力信号の周波数設定間隔ＦＤが第１の周波数変換器の周波数設定間隔ＦＤ１未満でかつＦＤ１がＦＤで割り切れない場合、ディジタルダウンコンバータの出力信号の周波数偏差が許容周波数偏差を超えるので、まず、ＦＤ１＝ＦＤ／Ｋ１×Ｌ１で計算されるＦＤ１ステップの周波数設定間隔を持つ請求項１に記載の数値制御発振器を第１の局部発振器として発生した周波数信号を用いて、第１の周波数変換器が入力信号を周波数変換する。次に、ＦＤ２＝（ＦＤ１　ｍｏｄ　ＦＤ）／Ｋ２で計算されるＦＤ２ステップの周波数設定間隔を持つ請求項１に記載の数値制御発振器を第２の局部発振器として発生した周波数信号を用いて、第２の周波数変換器が更に第１の周波数変換器の出力信号を周波数変換する。これにより、周波数設定間隔ＦＤで入力されるディジタルダウンコンバータの入力信号を、許容周波数偏差以内の希望の周波数へ変換することができる。

【００１７】

請求項５の発明に係るディジタルダウンコンバータは、請求項１に記載の数値制御発振器を第１の局部発振器（例えば実施の形態の局部発振器３１ａ）として、入力信号に周波数変換を行う第１の周波数変換器（例えば実施の形態の周波数変換器３１）と、請求項１に記載の数値制御発振器を第２の局部発振器（例えば実施の形態の局部発振器３３ａ）として、前記第１の周波数変換器の出力信号に更に周波数変換を行う第２の周波数変換器（例えば実施の形態の周波数変換器３３）とを備え、サンプリング周波数Ｆｓ１でサンプリングされた前記入力信号を、２回の周波数変換によって前記入力信号より低い周波数の出力信号へ変換して出力するディジタルダウンコンバータであって、要求された前記入力信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ１を任意の整数とした場合、前記第１の周波数変換器は、Ｍ１＝Ｆｓ１／ＦＤ×Ｋ１／Ｌ１で計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する前記第１の局部発振器が出力すると共に、ＦＤ１＝ＦＤ／Ｋ１×Ｌ１で計算されるＦＤ１ステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、前記第２の周波数変換器は、入力された信号のサンプリング周波数をＦｓ２とすると、Ｍ２＝Ｆｓ２／ＦＤ×Ｋ２で計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累算する前記第２の局部発振器が出力すると共に、ＦＤ２＝ＦＤ／Ｋ２で計算されるＦＤ２ステップの周波数設定間隔で設定された信号を用いて周波数変換を行うことを特徴とする。

【００１８】

以上の構成を備えたディジタルダウンコンバータは、サンプリング周波数Ｆｓ１でサンプリングされた入力信号を、２回の周波数変換によって、該入力信号より低い周波数の信号へ変換して出力する。この時、要求された入力信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ１を任意の整数とすると、入力信号の周波数設定間隔ＦＤが第１の周波数変換器の周波数設定間隔ＦＤ１以上でかつＦＤがＦＤ１で割り切れる場合、あるいはＦＤがＦＤ１未満でかつＦＤ１がＦＤで割り切れる場合、まず、ＦＤ１＝ＦＤ／Ｋ１×Ｌ１で計算されるＦＤ１ステップの周波数設定間隔を持つ請求項１に記載の数値制御発振

器を第１の局部発振器として発生した周波数信号を用いて、第１の周波数変換器が入力信号を周波数変換する。次に、ＦＤ２＝ＦＤ／Ｋ２で計算されるＦＤ２ステップの周波数設定間隔を持つ請求項１に記載の数値制御発振器を第２の局部発振器として発生した周波数信号を用いて、第２の周波数変換器が更に第１の周波数変換器の出力信号を周波数変換する。これにより、周波数設定間隔ＦＤで入力されるディジタルダウンコンバータの入力信号を、許容周波数偏差以内の希望の周波数へ変換することができる。

【００１９】

請求項６の発明に係るディジタルダウンコンバータは、請求項３から請求項５のいずれかに記載のディジタルダウンコンバータにおいて、前記第２の周波数変換器が周波数変換を停止することを特徴とする。

【００２０】

以上の構成を備えたディジタルダウンコンバータは、第１の周波数変換器の周波数設定間隔ＦＤ１の倍数が入力信号の周波数設定間隔ＦＤの倍数と一致する場合、第１の周波数変換器のみの動作で、周波数設定間隔ＦＤで入力されるディジタルダウンコンバータの入力信号を、許容周波数偏差以内の希望の周波数へ変換することができる。

【００２１】

請求項７の発明に係るディジタルアップコンバータは、請求項１に記載の数値制御発振器を局部発振器（例えば実施の形態の局部発振器２３ａ）として、入力信号に周波数変換を行う周波数変換器（例えば実施の形態の周波数変換器２３）を備え、前記入力信号を、前記入力信号より高い周波数の信号へ変換すると共に、サンプリング周波数Ｆｓでサンプリングされた出力信号として出力するディジタルアップコンバータであって、要求された出力信号の周波数設定間隔をＦＤとすると共に、Ｋ及びＬを任意の整数とした場合、前記周波数変換器は、Ｍ＝Ｆｓ／ＦＤ×Ｋ／Ｌで計算されるＭの中で整数となるＭを法として位相データをモジュロ演算により累算する前記局部発振器が出力すると共に、ｄＦ＝ＦＤ／Ｋ×Ｌで計算されるｄＦステップの周波数設定間隔で設定された信号を用いて周波数変換を行うことを特徴とする。

【００２２】

以上の構成を備えたディジタルアップコンバータは、入力信号を、該入力信号より周波数が高く、サンプリング周波数Ｆｓでサンプリングされた信号へ変換して出力する際に、要求された出力信号の周波数設定間隔をＦＤとすると共に、Ｋ及びＬを任意の整数とすると、ｄＦ＝ＦＤ／Ｋ×Ｌで計算されるｄＦステップの周波数設定間隔を持つ請求項１に記載の数値制御発振器を局部発振器として発生した周波数信号を用いて、周波数変換器が入力信号を周波数変換することで、出力信号の周波数設定間隔ＦＤが周波数変換器の周波数設定間隔ｄＦ以上でかつＦＤがｄＦで割り切れる場合には、ディジタルアップコンバータの出力信号の周波数設定間隔をＦＤとすることができる。

【００２３】

請求項８の発明に係るディジタルアップコンバータは、請求項１に記載の数値制御発振器を第１の局部発振器（例えば実施の形態の局部発振器４２ａ）として、入力信号に周波数変換を行う第１の周波数変換器（例えば実施の形態の周波数変換器４２）と、請求項１に記載の数値制御発振器を第２の局部発振器（例えば実施の形態の局部発振器４４ａ）として、前記第１の周波数変換器の出力信号に更に周波数変換を行う第２の周波数変換器（例えば実施の形態の周波数変換器４４）とを備え、前記入力信号を、２回の周波数変換によって前記入力信号より高い周波数の出力信号へ変換すると共に、サンプリング周波数Ｆｓ２でサンプリングされた出力信号として出力するディジタルアップコンバータであって、要求された前記出力信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ２を任意の整数とした場合、前記第２の周波数変換器は、Ｍ２＝Ｆｓ２／ＦＤ×Ｋ２／Ｌ２で計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累算する前記第２の局部発振器が出力すると共に、ＦＤ２＝ＦＤ／Ｋ２×Ｌ２で計算されるＦＤ２ステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、前記第１の周波数変換器は、入力された信号のサンプリング周波数をＦｓ１とすると、Ｍ１＝Ｆｓ１／

（ＦＤ　ｍｏｄ　ＦＤ２）×Ｋ１で計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する前記第１の局部発振器が出力すると共に、ＦＤ１＝（ＦＤ　ｍｏｄＦＤ２）／Ｋ１で計算されるＦＤ１ステップの周波数設定間隔で設定された信号を用いて周波数変換を行うことを特徴とする。

【００２４】

以上の構成を備えたディジタルアップコンバータは、入力信号を２回の周波数変換によって、該入力信号より周波数が高く、サンプリング周波数Ｆｓ２でサンプリングされた信号へ変換して出力する。この時、要求された前記出力信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ２を任意の整数とすると、出力信号の周波数設定間隔ＦＤが第２の周波数変換器の周波数設定間隔ＦＤ２以上でかつＦＤがＦＤ２で割り切れない場合、ディジタルアップコンバータの出力信号の周波数偏差が許容周波数偏差を超えるので、まず、ＦＤ１＝（ＦＤ　ｍｏｄ　ＦＤ２）／Ｋ１で計算されるＦＤ１ステップの周波数設定間隔を持つ請求項１に記載の数値制御発振器を第１の局部発振器として発生した周波数信号を用いて、第１の周波数変換器が入力信号を周波数変換する。次に、ＦＤ２＝ＦＤ／Ｋ２×Ｌ２で計算されるＦＤ２ステップの周波数設定間隔を持つ請求項１に記載の数値制御発振器を第２の局部発振器として発生した周波数信号を用いて、第２の周波数変換器が更に第１の周波数変換器の出力信号を周波数変換する。これにより、ディジタルアップコンバータの出力信号の周波数設定間隔をＦＤとすることができる。

【００２５】

請求項９の発明に係るディジタルアップコンバータは、請求項１に記載の数値制御発振器を第１の局部発振器（例えば実施の形態の局部発振器４２ａ）として、入力信号に周波数変換を行う第１の周波数変換器（例えば実施の形態の周波数変換器４２）と、請求項１に記載の数値制御発振器を第２の局部発振器（例えば実施の形態の局部発振器４４ａ）として、前記第１の周波数変換器の出力信号に更に周波数変換を行う第２の周波数変換器（例えば実施の形態の周波数変換器４４）とを備え、前記入力信号を、２回の周波数変換によって前記入力信号より高い周波数の出力信号へ変換すると共に、サンプリング周波数Ｆｓ２でサンプリングされた出力信号として出力するディジタルアップコンバータであって、要求された前記出力信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ２を任意の整数とした場合、前記第２の周波数変換器は、Ｍ２＝Ｆｓ２／ＦＤ×Ｋ２／Ｌ２で計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累算する前記第２の局部発振器が出力すると共に、ＦＤ２＝ＦＤ／Ｋ２×Ｌ２で計算されるＦＤ２ステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、前記第１の周波数変換器は、入力された信号のサンプリング周波数をＦｓ１とすると、Ｍ１＝Ｆｓ１／（ＦＤ２　ｍｏｄ　ＦＤ）×Ｋ１で計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する前記第１の局部発振器が出力すると共に、ＦＤ１＝（ＦＤ２　ｍｏｄ　ＦＤ）／Ｋ１で計算されるＦＤ１ステップの周波数設定間隔で設定された信号を用いて周波数変換を行うことを特徴とする。

【００２６】

以上の構成を備えたディジタルアップコンバータは、入力信号を２回の周波数変換によって、該入力信号より周波数が高く、サンプリング周波数Ｆｓ２でサンプリングされた信号へ変換して出力する。この時、要求された前記出力信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ２を任意の整数とすると、出力信号の周波数設定間隔ＦＤが第２の周波数変換器の周波数設定間隔ＦＤ２未満でかつＦＤ２がＦＤで割り切れない場合、ディジタルアップコンバータの出力信号の周波数偏差が許容周波数偏差を超えるので、まず、ＦＤ１＝（ＦＤ２　ｍｏｄ　ＦＤ）／Ｋ１で計算されるＦＤ１ステップの周波数設定間隔を持つ請求項１に記載の数値制御発振器を第１の局部発振器として発生した周波数信号を用いて、第１の周波数変換器が入力信号を周波数変換する。次に、ＦＤ２＝ＦＤ／Ｋ２×Ｌ２で計算されるＦＤ２ステップの周波数設定間隔を持つ請求項１に記載の数値制御発振器を第２の局部発振器として発生した周波数信号を用いて、第２の周波数変換器が更に第１の周波数変換器の出力信号を周波数変換する。これにより、ディジタルアップコン

バータの出力信号の周波数設定間隔をＦＤとすることができる。

【００２７】

請求項１０の発明に係るディジタルアップコンバータは、請求項１に記載の数値制御発振器を第１の局部発振器（例えば実施の形態の局部発振器４２ａ）として、入力信号に周波数変換を行う第１の周波数変換器（例えば実施の形態の周波数変換器４２）と、請求項１に記載の数値制御発振器を第２の局部発振器（例えば実施の形態の局部発振器４４ａ）として、前記第１の周波数変換器の出力信号に更に周波数変換を行う第２の周波数変換器（例えば実施の形態の周波数変換器４４）とを備え、前記入力信号を、２回の周波数変換によって前記入力信号より高い周波数の出力信号へ変換すると共に、サンプリング周波数Ｆｓ２でサンプリングされた出力信号として出力するディジタルアップコンバータであって、要求された前記出力信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ２を任意の整数とした場合、前記第２の周波数変換器は、Ｍ２＝Ｆｓ２／ＦＤ×Ｋ２／Ｌ２で計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累算する前記第２の局部発振器が出力すると共に、ＦＤ２＝ＦＤ／Ｋ２×Ｌ２で計算されるＦＤ２ステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、前記第１の周波数変換器は、入力された信号のサンプリング周波数をＦｓ１とすると、Ｍ１＝Ｆｓ１／ＦＤ×Ｋ１で計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する前記第１の局部発振器が出力すると共に、ＦＤ１＝ＦＤ／Ｋ１で計算されるＦＤ１ステップの周波数設定間隔で設定された信号を用いて周波数変換を行うことを特徴とする。

【００２８】

以上の構成を備えたディジタルアップコンバータは、入力信号を２回の周波数変換によって、該入力信号より周波数が高く、サンプリング周波数Ｆｓ２でサンプリングされた信号へ変換して出力する。この時、要求された前記出力信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ２を任意の整数とすると、出力信号の周波数設定間隔ＦＤが第２の周波数変換器の周波数設定間隔ＦＤ２以上でかつＦＤがＦＤ２で割り切れる場合、あるいはＦＤがＦＤ２未満でかつＦＤ２がＦＤで割り切れる場合、まず、ＦＤ１＝ＦＤ／Ｋ１で計算されるＦＤ１ステップの周波数設定間隔を持つ請求項１に記載の数値制御発振器を第１の局部発振器として発生した周波数信号を用いて、第１の周波数変換器が入力信号を周波数変換する。そして、次に、ＦＤ２＝ＦＤ／Ｋ２×Ｌ２で計算されるＦＤ２ステップの周波数設定間隔を持つ請求項１に記載の数値制御発振器を第２の局部発振器として発生した周波数信号を用いて、第２の周波数変換器が更に第１の周波数変換器の出力信号を周波数変換する。これにより、ディジタルアップコンバータの出力信号の周波数設定間隔をＦＤとすることができる。

【００２９】

請求項１１の発明に係るディジタルアップコンバータは、請求項８から請求項１０のいずれかに記載のディジタルアップコンバータにおいて、前記第１の周波数変換器が周波数変換を停止することを特徴とする。

【００３０】

以上の構成を備えたディジタルアップコンバータは、第２の周波数変換器の周波数設定間隔ＦＤ２の倍数が出力信号の周波数設定間隔ＦＤの倍数と一致する場合、第２の周波数変換器のみの動作で、ディジタルアップコンバータの出力信号の周波数設定間隔をＦＤとすることができる。

【００３１】

請求項１２の発明に係る受信機は、サンプリング周波数Ｆｓで動作する請求項１に記載の数値制御発振器を、逓倍比Ｐ（Ｐは整数）のＰＬＬ回路（例えば実施の形態のＰＬＬ回路５１ｃ、またはＰＬＬ回路８１ｃ）のリファレンスとした第１の局部発振器（例えば実施の形態の局部発振器５１、または局部発振器８１）を用いて、受信信号に周波数変換を行う第１の周波数変換器（例えば実施の形態のミキサ５２、または直交復調器８２）と、請求項１に記載の数値制御発振器を第２の局部発振器（例えば実施の形態の局部発振器１２

ａ、または局部発振器８５ａ）として、前記第１の周波数変換器の出力信号に更に周波数変換を行う第２の周波数変換器（例えば実施の形態の周波数変換器１２、または周波数変換器８５）と、前記第２の周波数変換器が出力する信号を復調して受信データを抽出する復調器（例えば実施の形態の復調器５５）とを備え、前記受信信号を、２回の周波数変換によって、前記受信信号より低い周波数のベースバンド受信信号へ変換し、該ベースバンド受信信号から受信データを抽出する受信機であって、要求された前記受信信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ１を任意の整数とした場合、前記第１の周波数変換器は、Ｍ１＝Ｆｓ／ＦＤ×Ｋ１／Ｌ１×Ｐで計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する前記第１の局部発振器が出力すると共に、ＦＤＰ＝ＦＤ／Ｋ１×Ｌ１で計算されるＦＤＰステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、前記第２の周波数変換器は、入力された信号のサンプリング周波数をＦｓ１とすると、Ｍ２＝Ｆｓ１／（ＦＤ　ｍｏｄ　ＦＤＰ）×Ｋ２で計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累算する前記第２の局部発振器が出力すると共に、ＦＤ２＝（ＦＤ　ｍｏｄ　ＦＤＰ）／Ｋ２で計算されるＦＤ２ステップの周波数設定間隔で設定された信号を用いて周波数変換を行うことを特徴とする。

【００３２】

以上の構成を備えた受信機は、受信信号を、２回の周波数変換によって、該受信信号より低い周波数の信号へ変換して出力する。この時、要求された受信信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ１を任意の整数とすると、受信信号の周波数設定間隔ＦＤが第１の周波数変換器の周波数設定間隔ＦＤＰ以上でかつＦＤがＦＤＰで割り切れない場合、復調器の要求する入力信号の周波数偏差が許容周波数偏差を超えるので、まず、逓倍比ＰのＰＬＬ回路と、ＦＤ１＝ＦＤＰ／Ｐ＝ＦＤ／Ｋ１×Ｌ１／Ｐで計算されるＦＤ１ステップの周波数設定間隔を持つ請求項１に記載の数値制御発振器とを備えた第１の局部発振器により発生した周波数信号を用いて、第１の周波数変換器が受信信号を周波数変換する。次に、ＦＤ２＝（ＦＤ　ｍｏｄ　ＦＤＰ）／Ｋ２で計算されるＦＤ２ステップの周波数設定間隔を持つ請求項１に記載の数値制御発振器を第２の局部発振器として発生した周波数信号を用いて、第２の周波数変換器が更に第１の周波数変換器の出力信号を周波数変換する。これにより、周波数設定間隔ＦＤで入力される受信機の受信信号の周波数を復調器の要求する入力信号の周波数に正確に合わせることができる。

【００３３】

請求項１３の発明に係る受信機は、サンプリング周波数Ｆｓで動作する請求項１に記載の数値制御発振器を、逓倍比Ｐ（Ｐは整数）のＰＬＬ回路（例えば実施の形態のＰＬＬ回路５１ｃ、またはＰＬＬ回路８１ｃ）のリファレンスとした第１の局部発振器（例えば実施の形態の局部発振器５１、または局部発振器８１）を用いて、受信信号に周波数変換を行う第１の周波数変換器（例えば実施の形態のミキサ５２、または直交復調器８２）と、請求項１に記載の数値制御発振器を第２の局部発振器（例えば実施の形態の局部発振器１２ａ、または局部発振器８５ａ）として、前記第１の周波数変換器の出力信号に更に周波数変換を行う第２の周波数変換器（例えば実施の形態の周波数変換器１２、または周波数変換器８５）と、前記第２の周波数変換器が出力する信号を復調して受信データを抽出する復調器（例えば実施の形態の復調器５５）とを備え、前記受信信号を、２回の周波数変換によって、前記受信信号より低い周波数のベースバンド受信信号へ変換し、該ベースバンド受信信号から受信データを抽出する受信機であって、要求された前記受信信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ１を任意の整数とした場合、前記第１の周波数変換器は、Ｍ１＝Ｆｓ／ＦＤ×Ｋ１／Ｌ１×Ｐで計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する前記第１の局部発振器が出力すると共に、ＦＤＰ＝ＦＤ／Ｋ１×Ｌ１で計算されるＦＤＰステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、前記第２の周波数変換器は、入力された信号のサンプリング周波数をＦｓ１とすると、Ｍ２＝Ｆｓ１／（ＦＤＰ　ｍｏｄ　ＦＤ）×Ｋ２で計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累

算する前記第２の局部発振器が出力すると共に、ＦＤ２＝（ＦＤＰ　ｍｏｄ　ＦＤ）／Ｋ２で計算されるＦＤ２ステップの周波数設定間隔で設定された信号を用いて周波数変換を行うことを特徴とする。

【００３４】

以上の構成を備えた受信機は、受信信号を、２回の周波数変換によって、該受信信号より低い周波数の信号へ変換して出力する。この時、要求された受信信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ１を任意の整数とすると、受信信号の周波数設定間隔ＦＤが第１の周波数変換器の周波数設定間隔ＦＤＰ未満でかつＦＤＰがＦＤで割り切れない場合、復調器の要求する入力信号の周波数偏差が許容周波数偏差を超えるので、まず、逓倍比ＰのＰＬＬ回路と、ＦＤ１＝ＦＤＰ／Ｐ＝ＦＤ／Ｋ１×Ｌ１／Ｐで計算されるＦＤ１ステップの周波数設定間隔を持つ請求項１に記載の数値制御発振器とを備えた第１の局部発振器により発生した周波数信号を用いて、第１の周波数変換器が受信信号を周波数変換する。次に、ＦＤ２＝（ＦＤＰ　ｍｏｄ　ＦＤ）／Ｋ２で計算されるＦＤ２ステップの周波数設定間隔を持つ請求項１に記載の数値制御発振器を第２の局部発振器として発生した周波数信号を用いて、第２の周波数変換器が更に第１の周波数変換器の出力信号を周波数変換する。これにより、周波数設定間隔ＦＤで入力される受信機の受信信号の周波数を復調器の要求する入力信号の周波数に正確に合わせることができる。

【００３５】

請求項１４の発明に係る受信機は、サンプリング周波数Ｆｓで動作する請求項１に記載の数値制御発振器を、逓倍比Ｐ（Ｐは整数）のＰＬＬ回路（例えば実施の形態のＰＬＬ回路５１ｃ、またはＰＬＬ回路８１ｃ）のリファレンスとした第１の局部発振器（例えば実施の形態の局部発振器５１、または局部発振器８１）を用いて、受信信号に周波数変換を行う第１の周波数変換器（例えば実施の形態のミキサ５２、または直交復調器８２）と、請求項１に記載の数値制御発振器を第２の局部発振器（例えば実施の形態の局部発振器１２ａ、または局部発振器８５ａ）として、前記第１の周波数変換器の出力信号に更に周波数変換を行う第２の周波数変換器（例えば実施の形態の周波数変換器１２、または周波数変換器８５）と、前記第２の周波数変換器が出力する信号を復調して受信データを抽出する復調器（例えば実施の形態の復調器５５）とを備え、前記受信信号を、２回の周波数変換によって、前記受信信号より低い周波数のベースバンド受信信号へ変換し、該ベースバンド受信信号から受信データを抽出する受信機であって、要求された前記受信信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ１を任意の整数とした場合、前記第１の周波数変換器は、Ｍ１＝Ｆｓ／ＦＤ×Ｋ１／Ｌ１×Ｐで計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する前記第１の局部発振器が出力すると共に、ＦＤＰ＝ＦＤ／Ｋ１×Ｌ１で計算されるＦＤＰステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、前記第２の周波数変換器は、入力された信号のサンプリング周波数をＦｓ１とすると、Ｍ２＝Ｆｓ１／ＦＤ×Ｋ２で計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累算する前記第２の局部発振器が出力すると共に、ＦＤ２＝ＦＤ／Ｋ２で計算されるＦＤ２ステップの周波数設定間隔で設定された信号を用いて周波数変換を行うことを特徴とする。

【００３６】

以上の構成を備えた受信機は、受信信号を、２回の周波数変換によって、該受信信号より低い周波数の信号へ変換して出力する。この時、要求された受信信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ１を任意の整数とすると、受信信号の周波数設定間隔ＦＤが第１の周波数変換器の周波数設定間隔ＦＤＰ以上でかつＦＤがＦＤＰで割り切れる場合、あるいはＦＤがＦＤＰ未満でかつＦＤＰがＦＤで割り切れる場合、まず、逓倍比ＰのＰＬＬ回路と、ＦＤ１＝ＦＤＰ／Ｐ＝ＦＤ／Ｋ１×Ｌ１／Ｐで計算されるＦＤ１ステップの周波数設定間隔を持つ請求項１に記載の数値制御発振器とを備えた第１の局部発振器により発生した周波数信号を用いて、第１の周波数変換器が受信信号を周波数変換する。次に、ＦＤ２＝ＦＤ／Ｋ２で計算されるＦＤ２ステップの周波数設定間隔を持つ請求項１に記載の数値制御発振器を第２の局部発振器として発生した周波数信号を用いて、第

２の周波数変換器が更に第１の周波数変換器の出力信号を周波数変換する。これにより、周波数設定間隔ＦＤで入力される受信機の受信信号の周波数を復調器の要求する入力信号の周波数に正確に合わせることができる。

【００３７】

請求項１５の発明に係る受信機は、請求項１２から請求項１４のいずれかに記載の受信機において、前記第２の周波数変換器が周波数変換を停止することを特徴とする。

【００３８】

以上の構成を備えた受信機は、第１の周波数変換器の周波数設定間隔ＦＤ１の倍数が入力信号の周波数設定間隔ＦＤの倍数と一致する場合、第１の周波数変換器のみの動作で、周波数設定間隔ＦＤで入力される受信機の受信信号の周波数を復調器の要求する入力信号の周波数に正確に合わせることができる。

【００３９】

請求項１６の発明に係る送信機は、送信データにより変調されたベースバンド送信信号を出力する変調器（例えば実施の形態の変調器６１）と、請求項１に記載の数値制御発振器を第１の局部発振器（例えば実施の形態の局部発振器６３ａ）として、前記変調器の出力信号に周波数変換を行う第１の周波数変換器（例えば実施の形態の周波数変換器６３）と、サンプリング周波数Ｆｓで動作する請求項１に記載の数値制御発振器を逓倍比Ｐ（Ｐは整数）のＰＬＬ回路（例えば実施の形態のＰＬＬ回路７０ｃ）のリファレンスとした第２の局部発振器（例えば実施の形態の局部発振器７０）を用いて、前記第１の周波数変換器の出力信号に更に周波数変換を行う第２の周波数変換器（例えば実施の形態の周波数変換器７１）とを備え、前記ベースバンド送信信号を、２回の周波数変換によって前記ベースバンド送信信号より高い周波数の送信信号へ変換して出力する送信機であって、要求された前記送信信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ２を任意の整数とした場合、前記第２の周波数変換器は、Ｍ２＝Ｆｓ／ＦＤ×Ｋ２／Ｌ２×Ｐで計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累算する前記第２の局部発振器が出力すると共に、ＦＤＰ＝ＦＤ／Ｋ２×Ｌ２で計算されるＦＤＰステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、前記第１の周波数変換器は、入力された信号のサンプリング周波数をＦｓ１とすると、Ｍ１＝Ｆｓ１／（ＦＤ　ｍｏｄ　ＦＤＰ）×Ｋ１で計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する前記第１の局部発振器が出力すると共に、ＦＤ１＝（ＦＤ　ｍｏｄ　ＦＤＰ）／Ｋ１で計算されるＦＤ１ステップの周波数設定間隔で設定された信号を用いて周波数変換を行うことを特徴とする。

【００４０】

以上の構成を備えた送信機は、ベースバンド送信信号を２回の周波数変換によって、該ベースバンド送信信号より周波数が高い送信信号へ変換して出力する。この時、要求された前記送信信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ２を任意の整数とすると、送信信号の周波数設定間隔ＦＤが第２の周波数変換器の周波数設定間隔ＦＤＰ以上でかつＦＤがＦＤＰで割り切れない場合、送信機の送信信号の周波数偏差が許容周波数偏差を超えるので、まず、ＦＤ１＝（ＦＤ　ｍｏｄ　ＦＤＰ）／Ｋ１で計算されるＦＤ１ステップの周波数設定間隔を持つ請求項１に記載の数値制御発振器を第１の局部発振器として発生した周波数信号を用いて、第１の周波数変換器がベースバンド送信信号を周波数変換する。次に、逓倍比ＰのＰＬＬ回路と、ＦＤ２＝ＦＤＰ／Ｐ＝ＦＤ／Ｋ２×Ｌ２／Ｐで計算されるＦＤ２ステップの周波数設定間隔を持つ請求項１に記載の数値制御発振器とを備えた第１の局部発振器により発生した周波数信号を用いて、第２の周波数変換器が更に第１の周波数変換器の出力信号を周波数変換する。これにより、変調器の出力するベースバンド送信信号の周波数を目的の送信信号の周波数に正確に合わせることができる。

【００４１】

請求項１７の発明に係る送信機は、送信データにより変調されたベースバンド送信信号を出力する変調器（例えば実施の形態の変調器６１）と、請求項１に記載の数値制御発振器を第１の局部発振器（例えば実施の形態の局部発振器６３ａ）として、前記変調器の出力

信号に周波数変換を行う第１の周波数変換器（例えば実施の形態の周波数変換器６３）と、サンプリング周波数Ｆｓで動作する請求項１に記載の数値制御発振器を逓倍比Ｐ（Ｐは整数）のＰＬＬ回路（例えば実施の形態のＰＬＬ回路７０ｃ）のリファレンスとした第２の局部発振器（例えば実施の形態の局部発振器７０）を用いて、前記第１の周波数変換器の出力信号に更に周波数変換を行う第２の周波数変換器（例えば実施の形態の周波数変換器７１）とを備え、前記ベースバンド送信信号を、２回の周波数変換によって前記ベースバンド送信信号より高い周波数の送信信号へ変換して出力する送信機であって、要求された前記送信信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ２を任意の整数とした場合、前記第２の周波数変換器は、Ｍ２＝Ｆｓ／ＦＤ×Ｋ２／Ｌ２×Ｐで計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累算する前記第２の局部発振器が出力すると共に、ＦＤＰ＝ＦＤ／Ｋ２×Ｌ２で計算されるＦＤＰステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、前記第１の周波数変換器は、入力された信号のサンプリング周波数をＦｓ１とすると、Ｍ１＝Ｆｓ１／（ＦＤＰ　ｍｏｄ　ＦＤ）×Ｋ１で計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する前記第１の局部発振器が出力すると共に、ＦＤ１＝（ＦＤＰ　ｍｏｄ　ＦＤ）／Ｋ１で計算されるＦＤ１ステップの周波数設定間隔で設定された信号を用いて周波数変換を行うことを特徴とする。

【００４２】

以上の構成を備えた送信機は、ベースバンド送信信号を２回の周波数変換によって、該ベースバンド送信信号より周波数が高い送信信号へ変換して出力する。この時、要求された前記送信信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ２を任意の整数とすると、送信信号の周波数設定間隔ＦＤが第２の周波数変換器の周波数設定間隔ＦＤ２未満でかつＦＤ２がＦＤで割り切れない場合、送信機の送信信号の周波数偏差が許容周波数偏差を超えるので、まず、ＦＤ１＝（ＦＤＰ　ｍｏｄ　ＦＤ）／Ｋ１で計算されるＦＤ１ステップの周波数設定間隔を持つ請求項１に記載の数値制御発振器を第１の局部発振器として発生した周波数信号を用いて、第１の周波数変換器がベースバンド送信信号を周波数変換する。次に、逓倍比ＰのＰＬＬ回路と、ＦＤ２＝ＦＤＰ／Ｐ＝ＦＤ／Ｋ２×Ｌ２／Ｐで計算されるＦＤ２ステップの周波数設定間隔を持つ請求項１に記載の数値制御発振器とを備えた第１の局部発振器により発生した周波数信号を用いて、第２の周波数変換器が更に第１の周波数変換器の出力信号を周波数変換する。これにより、変調器の出力するベースバンド送信信号の周波数を目的の送信信号の周波数に正確に合わせることができる。

【００４３】

請求項１８の発明に係る送信機は、送信データにより変調されたベースバンド送信信号を出力する変調器（例えば実施の形態の変調器６１）と、請求項１に記載の数値制御発振器を第１の局部発振器（例えば実施の形態の局部発振器６３ａ）として、前記変調器の出力信号に周波数変換を行う第１の周波数変換器（例えば実施の形態の周波数変換器６３）と、サンプリング周波数Ｆｓで動作する請求項１に記載の数値制御発振器を逓倍比Ｐ（Ｐは整数）のＰＬＬ回路（例えば実施の形態のＰＬＬ回路７０ｃ）のリファレンスとした第２の局部発振器（例えば実施の形態の局部発振器７０）を用いて、前記第１の周波数変換器の出力信号に更に周波数変換を行う第２の周波数変換器（例えば実施の形態の周波数変換器７１）とを備え、前記ベースバンド送信信号を、２回の周波数変換によって前記ベースバンド送信信号より高い周波数の送信信号へ変換して出力する送信機であって、要求された前記送信信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ２を任意の整数とした場合、前記第２の周波数変換器は、Ｍ２＝Ｆｓ／ＦＤ×Ｋ２／Ｌ２×Ｐで計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累算する前記第２の局部発振器が出力すると共に、ＦＤＰ＝ＦＤ／Ｋ２×Ｌ２で計算されるＦＤＰステップの周波数設定間隔で設定された信号を用いて周波数変換を行い、前記第１の周波数変換器は、入力された信号のサンプリング周波数をＦｓ１とすると、Ｍ１＝Ｆｓ１／ＦＤ×Ｋ１で計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する前記第１の局部発振器が出力すると共に、ＦＤ１＝ＦＤ／Ｋ１で計算されるＦＤ

１ステップの周波数設定間隔で設定された信号を用いて周波数変換を行うことを特徴とする。

【００４４】

以上の構成を備えた送信機は、ベースバンド送信信号を２回の周波数変換によって、該ベースバンド送信信号より周波数が高い送信信号へ変換して出力する。この時、要求された前記送信信号の周波数設定間隔をＦＤとすると共に、Ｋ１、Ｋ２、及びＬ２を任意の整数とすると、送信信号の周波数設定間隔ＦＤが第２の周波数変換器の周波数設定間隔ＦＤ２以上でかつＦＤがＦＤ２で割り切れる場合、あるいはＦＤがＦＤ２未満でかつＦＤ２がＦＤで割り切れる場合、送信機の送信信号の周波数偏差が許容周波数偏差を超えるので、まず、ＦＤ１＝ＦＤ／Ｋ１で計算されるＦＤ１ステップの周波数設定間隔を持つ請求項１に記載の数値制御発振器を第１の局部発振器として発生した周波数信号を用いて、第１の周波数変換器がベースバンド送信信号を周波数変換する。次に、逓倍比ＰのＰＬＬ回路と、ＦＤ２＝ＦＤＰ／Ｐ＝ＦＤ／Ｋ２×Ｌ２／Ｐで計算されるＦＤ２ステップの周波数設定間隔を持つ請求項１に記載の数値制御発振器とを備えた第１の局部発振器により発生した周波数信号を用いて、第２の周波数変換器が更に第１の周波数変換器の出力信号を周波数変換する。これにより、変調器の出力するベースバンド送信信号の周波数を目的の送信信号の周波数に正確に合わせることができる。

【００４５】

請求項１９の発明に係る送信機は、請求項１６から請求項１８のいずれかに記載の送信機において、前記第１の周波数変換器が周波数変換を停止することを特徴とする。

【００４６】

以上の構成を備えた送信機は、第２の周波数変換器の周波数設定間隔ＦＤ２の倍数が送信信号の周波数設定間隔ＦＤの倍数と一致する場合、第２の周波数変換器のみの動作で、変調器の出力するベースバンド送信信号の周波数を目的の送信信号の周波数に正確に合わせることができる。

【００４７】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について説明する。

（第１の実施の形態）

まず、本発明の一実施の形態の数値制御発振器について説明する。

図１は、本実施の形態の数値制御発振器の構成を示すブロック図であって、数値制御発振器は、入力された位相差データの累算を行い位相データを生成する位相累算器１と、位相累算器１が生成する位相データに対応した振幅データを出力する位相振幅変換テーブルを実現するメモリであるＲＯＭ（Read Only Memory）２とから構成されている。

【００４８】

具体的には、まず、位相累算器１について説明すると、出力する信号のサンプリング周波数をＦｓ、要求された出力信号の周波数設定間隔の上限値をＦＤとし、更にＫ及びＬを任意の整数とした場合、位相累算器１は、位相データを保持する位相レジスタ１ａと、入力された位相差データと位相レジスタ１ａの出力する位相データとをＭ＝Ｆｓ／ＦＤ×Ｋ／Ｌで計算されるＭの中で整数となるＭを法とするモジュロ演算により加算または減算する位相演算器１ｂとを備え、数値制御発振器の入力として設定された位相差データの累算を行い位相データを生成する。

【００４９】

また、ＲＯＭ２は、ｊ＝ｌｏｇ$_2$Ｍ（但し、ｊは少数点以下を切り上げ）で計算されるｊビットの配線により位相累算器１の出力端子とそのアドレス端子が接続され、ＲＯＭ２に記憶されたＭ個の振幅データから成る位相振幅変換テーブルに従って、位相累算器１からアドレス端子に入力された位相データに対応した振幅データをデータ端子から出力し、これを数値制御発振器の出力とする。

これにより、本実施の形態の数値制御発振器は、ｄＦ＝ＦＤ／Ｋ×Ｌで計算されるｄＦステップの周波数設定間隔で設定された信号を出力する。

【００５０】
例えば、出力する信号のサンプリング周波数Ｆｓを１５３．６［ＭＨｚ］、要求された出力信号の周波数設定間隔の上限値ＦＤを２００［ＫＨｚ］とし、更にＫ及びＬを１とした場合、位相演算器１ｂでは、Ｍ＝Ｆｓ／ＦＤ×Ｋ／Ｌ＝１５３．６［ＭＨｚ］／２００［ＫＨｚ］＝７６８として、入力された位相差データと位相レジスタ１ａの出力する位相データとを、”７６８”を法とするモジュロ演算により加算または減算する。
また、ＲＯＭ２は、ｊ＝ｌｏｇ$_2$Ｍ＝ｌｏｇ$_2$７６８　９．５８＝１０（但し、ｊは少数点以下を切り上げ）として、１０ビットの配線により位相累算器１の出力端子とそのアドレス端子が接続される。
【００５１】
従って、ＲＯＭ２の演算語長と位相演算器１ｂの位相演算語長とが同一となることにより、位相演算器１ｂが出力するアドレス語長（ＲＯＭ２の演算語長）を再量子化する必要がないため、再量子化による誤差ｅ^{p}の発生がなく、”７６８”を法とするモジュロ演算に必要な７６８ワードの低容量の振幅データのみにより、出力する信号のサンプリング周波数Ｆｓを１５３．６［ＭＨｚ］、周波数設定間隔ｄＦをｄＦ＝ＦＤ／Ｋ×Ｌ＝２００［ＫＨｚ］とした低スプリアスの数値制御発振器を実現することができる。
【００５２】
また、以上の構成を備えた数値制御発振器の各設定値は、上述の設定例を含め、各通信システム（例えば携帯電話システムのＷ－ＣＤＭＡやＩＳ－９５、無線ＬＡＮシステムのＩＥＥＥ８０２．１１ａ等）に対応して、以下の表１に示すような値とすることができる。
【００５３】
【表１】

No.	FD[KHz]	Fs[MHz]	dF[KHz]	K	L	M
W-CDMA						
1	200	61.44	40	5	1	1536
2	200	61.44	80	5	2	768
3	200	92.16	40	5	1	2304
4	200	122.88	40	5	1	3072
5	200	153.6	200	1	1	768
6	200	153.6	1600	1	8	96
7	200	184.32	200	5	1	4608
IS-95 Band Class 0						
8	30	98.304	6	5	1	16384
9	30	98.304	12	5	2	8192
IEEE802.11a						
10	20000	100	20000	1	1	5
11	20000	200	20000	1	1	10

【００５４】

表１の一例を説明すると、出力する信号のサンプリング周波数Ｆｓを６１．４４［ＭＨｚ］、要求された出力信号の周波数設定間隔ＦＤを２００［ＫＨｚ］とし、更にＫを５及びＬを１とした場合、位相演算器１ｂでは、Ｍ＝Ｆｓ／ＦＤ×Ｋ／Ｌ＝６１．４４［ＭＨｚ］／２００［ＫＨｚ］×５＝１５３６を法とするモジュロ演算に必要な１５３６ワードの低容量の振幅データのみにより、出力する信号のサンプリング周波数Ｆｓを６１．４４［ＭＨｚ］、周波数設定間隔ｄＦをｄＦ＝ＦＤ／Ｋ×Ｌ＝２００［ＫＨｚ］／５＝４０［ＫＨｚ］とした低スプリアスの数値制御発振器を実現することができる。

【００５５】

図２は、上述の条件において、従来の2^{j}を法とするモジュロ演算を行う数値制御発振器(パラメータを位相演算語長ｊと位相振幅変換テーブルの振幅データ数で示す)と、本実施

の形態の数値制御発振器(パラメータを位相振幅変換テーブルの振幅データ数のみで示す)とのスプリアス特性のシミュレーション結果を比較したグラフであって、横軸をＲＯＭ２の出力する振幅データビット長、縦軸をスプリアス、パラメータをＲＯＭ２に記憶された位相振幅変換テーブルの振幅データ数として示したグラフである。

【００５６】

図２に示すように、本実施の形態の数値制御発振器の構成では、ＲＯＭ２の演算語長を短くして、例えば３８４ワードや１９２ワード、更には９６ワードの振幅データを用いた場合は極端にスプリアス特性が悪化するものの、Ｍ＝Ｆｓ／ＦＤ×Ｋ／Ｌで計算されるＭの中で整数となるＭ、すなわち、上述の条件ではＭ＝７６８を用いて、入力された位相差データと位相レジスタ１ａの出力する位相データとを、”７６８”を法とするモジュロ演算により位相データを生成する限り、そのスプリアス特性は、従来の２の２０乗を法とするモジュロ演算を行う約１Ｍワードの振幅データを必要とする数値制御発振器と同等の特性を得られることがわかる。

【００５７】

（第２の実施の形態）

また、図面を参照しつつ、更に第１の実施の形態の数値制御発振器の応用例について説明すると、例えば、第１の実施の形態の数値制御発振器は、図３に示すようなディジタルダウンコンバータに使用することができる。

図３は、第１の実施の形態の数値制御発振器を用いたディジタルダウンコンバータ１１の構成例を示すブロック図であって、ディジタルダウンコンバータ１１は、まず入力された中心周波数Ｆｉｆ１の信号を、第１の実施の形態の数値制御発振器を用いた局部発振器１２ａにより生成した周波数Ｆｃの複素ローカル信号（実数軸信号”Ｃ（ｔ）＝ｃｏｓ（２π×Ｆｃ×ｔ）”と、実数軸信号より９０度位相の進んだ虚数軸信号”－Ｓ（ｔ）＝－ｓｉｎ（２π×Ｆｃ×ｔ）”）と、それぞれ乗算器１２ｂ、１２ｃを用いて乗算する周波数変換器１２により周波数変換し、中心周波数Ｆｉｆ２＝０［Ｈｚ］の複素数信号（ゼロＩＦ信号）を得る。

【００５８】

そして、複素数信号のサンプリング周波数Ｆｓ１を１／Ｎ倍してサンプリング周波数Ｆｓ２＝Ｆｓ１／Ｎに変換する実数軸デシメータ１３ａと虚数軸デシメータ１３ｂとを備えたデシメータ１３によりデシメーションを行うと共に、実数軸フィルタ１４ａと虚数軸フィルタ１４ｂとを備えたロールオフフィルタ１４により、目的の信号帯域の帯域制限が実施された複素数信号（Ｉ、Ｑ）を出力する。

【００５９】

さて、このディジタルダウンコンバータ１１において、例えば要求された入力信号の周波数設定間隔ＦＤが周波数変換器１２の周波数設定間隔ｄＦで割り切れる場合の動作について説明する。この場合、Ｋ、及びＬを任意の整数とすると、周波数変換器１２は、第１の実施の形態の数値制御発振器を用いた局部発振器１２ａの位相差データφを、位相差データφ＝Ｆｃ／ｄＦ＝Ｆｃ／ＦＤ×Ｋ／Ｌとする。そして、Ｍ＝Ｆｓ１／ＦＤ×Ｋ／Ｌで計算されるＭの中で整数となるＭを法として位相データをモジュロ演算により累算する局部発振器１２ａが出力すると共に、ｄＦ＝ＦＤ／Ｋ×Ｌで計算されるｄＦステップの周波数設定間隔で設定された、周波数Ｆｃの複素ローカル信号を用いて、中心周波数Ｆｉｆ１の信号を正確に中心周波数Ｆｉｆ２の複素数信号に変換することができる。

【００６０】

具体的には、入力信号のサンプリング周波数Ｆｓ１を１５３．６［ＭＨｚ］、要求された入力信号の周波数設定間隔ＦＤ＝２００［ＫＨｚ］とし、更に入力信号の中心周波数Ｆｉｆ１を３６．４［ＭＨｚ］とし、Ｋ＝Ｌ＝１とすると、周波数変換器１２は、第１の実施の形態の数値制御発振器を用いた局部発振器１２ａの位相差データφを、位相差データφ＝Ｆｃ／ｄＦ＝Ｆｃ／ＦＤ×Ｋ／Ｌ＝３６．４［ＭＨｚ］／２００［ＫＨｚ］＝１８２とすることで、Ｍ＝Ｆｓ１／ＦＤ×Ｋ／Ｌ＝１５３．６［ＭＨｚ］／２００［ＫＨｚ］＝７６８を法として位相データをモジュロ演算により累算する局部発振器１２ａが出力したｄ

Ｆ＝ＦＤ／Ｋ×Ｌ＝２００［ＫＨｚ］ステップの周波数設定間隔で設定された、周波数Ｆｃ＝３６．４［ＭＨｚ］の複素ローカル信号を用いて、中心周波数Ｆｉｆ１の信号を正確に中心周波数Ｆｉｆ２＝０［Ｈｚ］の複素数信号（ゼロＩＦ信号）に変換することができる。

【００６１】

（第３の実施の形態）

また、第１の実施の形態の数値制御発振器は、図４に示すようなディジタルアップコンバータに使用することもできる。

図４は、第１の実施の形態の数値制御発振器を用いたディジタルアップコンバータの構成例を示すブロック図であって、ディジタルアップコンバータは、まず入力された中心周波数Ｆｉｆ１＝０［Ｈｚ］の複素数信号（ベースバンド信号Ｉ、Ｑ）を、実数軸フィルタ２１ａと虚数軸フィルタ２１ｂとを備えたロールオフフィルタ２１により、目的の信号帯域に帯域制限すると共に、複素数信号のサンプリング周波数Ｆｓ１をＮ倍してサンプリング周波数Ｆｓ２＝Ｆｓ１×Ｎに変換する実数軸インタポレータ２２ａと虚数軸インタポレータ２２ｂとを備えたインタポレータ２２によりインタポレーションを行う。

【００６２】

そして、次に、インタポレータ２２の出力信号を、第１の実施の形態の数値制御発振器を用いた局部発振器２３ａにより生成した周波数Ｆｃの複素ローカル信号（実数軸信号”Ｃ（ｔ）＝ｃｏｓ（２π×Ｆｃ×ｔ）”と、実数軸信号より９０度位相の遅れた虚数軸信号”Ｓ（ｔ）＝ｓｉｎ（２π×Ｆｃ×ｔ）”）と、それぞれ乗算器２３ｂ、２３ｃ及び減算器２３ｄを用いて複素乗算すると共に実数軸信号を出力する周波数変換器２３により周波数変換し、目的の中心周波数Ｆｉｆ２の実数信号を出力する。

【００６３】

さて、このディジタルアップコンバータにおいて、例えば要求された出力信号の周波数設定間隔ＦＤが周波数変換器２３の周波数設定間隔ｄＦで割り切れる場合の動作について説明する。この場合、Ｋ、及びＬを任意の整数とすると、周波数変換器２３は、第１の実施の形態の数値制御発振器を用いた局部発振器２３ａの位相差データφを、位相差データφ＝Ｆｃ／ｄＦ＝Ｆｃ／ＦＤ×Ｋ／Ｌとする。そして、Ｍ＝Ｆｓ２／ＦＤ×Ｋ／Ｌで計算されるＭの中で整数となるＭを法として位相データをモジュロ演算により累算する局部発振器２３ａが出力すると共に、ｄＦ＝ＦＤ／Ｋ×Ｌで計算されるｄＦステップの周波数設定間隔で設定された、周波数Ｆｃの複素ローカル信号を用いて、中心周波数Ｆｉｆ１のベースバンド信号を正確に目的の中心周波数Ｆｉｆ２の複素数信号に変換することができる。

【００６４】

具体的には、出力信号のサンプリング周波数Ｆｓ２を１５３．６［ＭＨｚ］、要求された出力信号の周波数設定間隔ＦＤ＝２００［ＫＨｚ］とし、更に出力信号の中心周波数Ｆｉｆ２を７２．８［ＭＨｚ］とし、Ｋ＝Ｌ＝１とすると、周波数変換器２３は、第１の実施の形態の数値制御発振器を用いた局部発振器２３ａの位相差データφを、位相差データφ＝Ｆｃ／ｄＦ＝Ｆｃ／ＦＤ×Ｋ／Ｌ＝７２．８［ＭＨｚ］／２００［ＫＨｚ］＝３６４とすることで、Ｍ＝Ｆｓ２／ＦＤ×Ｋ／Ｌ＝１５３．６［ＭＨｚ］／２００［ＫＨｚ］＝７６８を法として位相データをモジュロ演算により累算する局部発振器２３ａが出力したｄＦ＝ＦＤ／Ｋ×Ｌ＝２００［ＫＨｚ］ステップの周波数設定間隔で設定された、周波数Ｆｃ＝７２．８［ＭＨｚ］の複素ローカル信号を用いて、中心周波数Ｆｉｆ１＝０［Ｈｚ］のベースバンド信号を正確に目的の中心周波数Ｆｉｆ２の複素数信号に変換することができる。

【００６５】

（第４の実施の形態）

次に、第１の実施の形態の数値制御発振器を用いたディジタルダウンコンバータの変形例であって、数値制御発振器を局部発振器とする第１及び第２の周波数変換器を備え、入力信号を、２回の周波数変換によって、入力信号より低い周波数の信号へ変換して出力するディジタルダウンコンバータの構成について説明する。

【００６６】
図５は、第１の実施の形態の数値制御発振器を用いたディジタルダウンコンバータの変形例の構成を示すブロック図であって、ディジタルダウンコンバータは、まず入力された中心周波数Ｆｉｆ１の信号を、第１の実施の形態の数値制御発振器を用いた局部発振器３１ａにより生成した周波数Ｆｃ１の複素ローカル信号（実数軸信号”Ｃ１（ｔ）＝ｃｏｓ（２π×Ｆｃ１×ｔ）”と、実数軸信号より９０度位相の進んだ虚数軸信号”－Ｓ１（ｔ）＝－ｓｉｎ（２π×Ｆｃ１×ｔ）”）と、それぞれ乗算器３１ｂ、３１ｃを用いて乗算する周波数変換器３１により周波数変換し、中心周波数Ｆｉｆ２の複素数信号を得る。
【００６７】
次に、複素数信号のサンプリング周波数Ｆｓ１を１／Ｎ倍してサンプリング周波数Ｆｓ２＝Ｆｓ１／Ｎに変換する実数軸デシメータ３２ａと虚数軸デシメータ３２ｂとを備えたデシメータ３２によりデシメーションを行うと共に、第１の実施の形態の数値制御発振器を用いた局部発振器３３ａにより生成した周波数Ｆｃ２の複素ローカル信号（実数軸信号”Ｃ２（ｔ）＝ｃｏｓ（２π×Ｆｃ２×ｔ）”と、実数軸信号より９０度位相の進んだ虚数軸信号”－Ｓ２（ｔ）＝－ｓｉｎ（２π×Ｆｃ２×ｔ）”）と、それぞれ乗算器３３ｂ、３３ｃ、３３ｄ、３３ｅ及び減算器３３ｆ、加算器３３ｇを用いて複素乗算する周波数変換器３３により周波数変換する。
そして、実数軸フィルタ３４ａと虚数軸フィルタ３４ｂとを備えたロールオフフィルタ３４により、目的の信号帯域の帯域制限が実施された中心周波数Ｆｉｆ３の複素数信号（Ｉ、Ｑ）を出力する。
【００６８】
さて、このディジタルダウンコンバータにおいて、例えば入力信号のサンプリング周波数をＦｓ１、要求された入力信号の周波数設定間隔ＦＤが周波数変換器３１の周波数設定間隔ＦＤ１以上で、ＦＤがＦＤ１で割り切れない場合の動作について説明する。この場合、Ｋ１、Ｋ２、及びＬ１を任意の整数とすると、周波数変換器３１は、第１の実施の形態の数値制御発振器を用いた局部発振器３１ａの位相差データφ１を、位相差データφ１＝Ｆｃ１／ＦＤ１＝Ｆｃ１／ＦＤ×Ｋ１／Ｌ１とする。そして、Ｍ１＝Ｆｓ１／ＦＤ×Ｋ１／Ｌ１で計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する局部発振器３１ａが出力すると共に、ＦＤ１＝ＦＤ／Ｋ１×Ｌ１で計算されるＦＤ１ステップの周波数設定間隔で設定された、周波数Ｆｃ１の複素ローカル信号を用いて、中心周波数Ｆｉｆ１の信号を中心周波数Ｆｉｆ２の複素数信号に変換する。
【００６９】
また、第１の実施の形態の数値制御発振器を用いた局部発振器３３ａの位相差データφ２を、位相差データφ２＝Ｆｃ２／ＦＤ２＝Ｆｃ２／（ＦＤ　ｍｏｄ　ＦＤ１）×Ｋ２とする。そして、Ｍ２＝Ｆｓ２／（ＦＤ　ｍｏｄ　ＦＤ１）×Ｋ２で計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累算する局部発振器３３ａが出力すると共に、ＦＤ２＝（ＦＤ　ｍｏｄ　ＦＤ１）／Ｋ２で計算されるＦＤ２ステップの周波数設定間隔で設定された、周波数Ｆｃ２の複素ローカル信号を用いて、周波数変換器３３が、中心周波数Ｆｉｆ２の信号を中心周波数Ｆｉｆ３の複素数信号に変換する。
【００７０】
具体的には、入力信号のサンプリング周波数Ｆｓ１を９８．３０４［ＭＨｚ］、要求された入力信号の周波数設定間隔ＦＤ＝３０［ＫＨｚ］とし、更に入力信号の中心周波数Ｆｉｆ１を１３．７４２［ＭＨｚ］とし、Ｋ１＝１５、Ｌ１＝８とすると、周波数変換器３１は、第１の実施の形態の数値制御発振器を用いた局部発振器３１ａの位相差データφ１を、位相差データφ１＝Ｆｃ１／ＦＤ１＝Ｆｃ１／ＦＤ×Ｋ１／Ｌ１＝１３．７２８［ＭＨｚ］／３０［ＫＨｚ］×１５／８＝８５８とすることで、Ｍ１＝Ｆｓ１／ＦＤ×Ｋ１／Ｌ１＝９８．３０４［ＭＨｚ］／３０［ＫＨｚ］×１５／８＝６１４４を法として位相データをモジュロ演算により累算する局部発振器３１ａが出力したＦＤ１＝ＦＤ／Ｋ１×Ｌ１＝３０［ＫＨｚ］／１５×８＝１６［ＫＨｚ］ステップの周波数設定間隔で設定された、周波数Ｆｃ１＝１３．７２８［ＭＨｚ］の複素ローカル信号を用いて、中心周波数Ｆｉｆ

１の信号を正確に中心周波数Ｆｉｆ２＝１４［Ｈｚ］の複素数信号に変換することができる。

【００７１】

また、デシメータ３２の変換率Ｎ＝１０、Ｋ２＝７とすると、第１の実施の形態の数値制御発振器を用いた局部発振器３３ａの位相差データφ２を、位相差データφ２＝Ｆｃ２／ＦＤ２＝Ｆｃ２／（ＦＤ　ｍｏｄ　ＦＤ１）×Ｋ２＝１４［ＫＨｚ］／（３０［ＫＨｚ］　ｍｏｄ　１６［ＫＨｚ］）×７＝７とすることで、Ｍ２＝Ｆｓ２／（ＦＤ　ｍｏｄ　ＦＤ１）×Ｋ２＝９．８３０４［ＭＨｚ］／（３０［ＫＨｚ］　ｍｏｄ　１６［ＫＨｚ］）×７で計算されるＭ２を整数としたＭ２＝４９１５を法として位相データをモジュロ演算により累算する局部発振器３３ａが出力すると共に、ＦＤ２＝（ＦＤ　ｍｏｄ　ＦＤ１）／Ｋ２＝（３０［ＫＨｚ］　ｍｏｄ　１６［ＫＨｚ］）／７＝２［ＫＨｚ］ステップの周波数設定間隔で設定された、周波数Ｆｃ２の複素ローカル信号を用いて、周波数変換器３３が、中心周波数Ｆｉｆ２の信号を正確に中心周波数Ｆｉｆ３＝０［Ｈｚ］の複素数信号（ゼロＩＦ信号）に変換することができる。

【００７２】

同様に、このディジタルダウンコンバータにおいて、例えば要求された入力信号の周波数設定間隔ＦＤが周波数変換器３１の周波数設定間隔ＦＤ１未満で、ＦＤ１がＦＤで割り切れない場合、周波数変換器３１は、第１の実施の形態の数値制御発振器を用いた局部発振器３１ａの位相差データφ１を、位相差データφ１＝Ｆｃ１／ＦＤ１＝Ｆｃ１／ＦＤ×Ｋ１／Ｌ１とする。そして、Ｍ１＝Ｆｓ１／ＦＤ×Ｋ１／Ｌ１で計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する局部発振器３１ａが出力すると共に、ＦＤ１＝ＦＤ／Ｋ１×Ｌ１で計算されるＦＤ１ステップの周波数設定間隔で設定された、周波数Ｆｃ１の複素ローカル信号を用いて、中心周波数Ｆｉｆ１の信号を中心周波数Ｆｉｆ２の複素数信号に変換する。

【００７３】

また、第１の実施の形態の数値制御発振器を用いた局部発振器３３ａの位相差データφ２を、位相差データφ２＝Ｆｃ２／ＦＤ２＝Ｆｃ２／（ＦＤ１　ｍｏｄＦＤ）×Ｋ２とする。そして、Ｍ２＝Ｆｓ２／（ＦＤ１　ｍｏｄ　ＦＤ）×Ｋ２で計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累算する局部発振器３３ａが出力すると共に、ＦＤ２＝（ＦＤ１　ｍｏｄＦＤ）／Ｋ２で計算されるＦＤ２ステップの周波数設定間隔で設定された、周波数Ｆｃ２の複素ローカル信号を用いて、周波数変換器３３が、中心周波数Ｆｉｆ２の信号を中心周波数Ｆｉｆ３の複素数信号に変換する。

【００７４】

更に、このディジタルダウンコンバータにおいて、例えば要求された入力信号の周波数設定間隔ＦＤが周波数変換器３１の周波数設定間隔ＦＤ１以上でかつＦＤがＦＤ１で割り切れる場合、あるいはＦＤがＦＤ１未満でかつＦＤ１がＦＤで割り切れる場合、周波数変換器３１は、第１の実施の形態の数値制御発振器を用いた局部発振器３１ａの位相差データφ１を、位相差データφ１＝Ｆｃ１／ＦＤ１＝Ｆｃ１／ＦＤ×Ｋ１／Ｌ１とする。そして、Ｍ１＝Ｆｓ１／ＦＤ×Ｋ１／Ｌ１で計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する局部発振器３１ａが出力すると共に、ＦＤ１＝ＦＤ／Ｋ１×Ｌ１で計算されるＦＤ１ステップの周波数設定間隔で設定された、周波数Ｆｃ１の複素ローカル信号を用いて、中心周波数Ｆｉｆ１の信号を中心周波数Ｆｉｆ２の複素数信号に変換する。

【００７５】

また、第１の実施の形態の数値制御発振器を用いた局部発振器３３ａの位相差データφ２を、位相差データφ２＝Ｆｃ２／ＦＤ２＝Ｆｃ２／ＦＤ×Ｋ２とすることで、Ｍ２＝Ｆｓ２／ＦＤ×Ｋ２で計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累算する局部発振器３３ａが出力すると共に、ＦＤ２＝ＦＤ／Ｋ２で計算されるＦＤ２ステップの周波数設定間隔で設定された、周波数Ｆｃ２の複素ローカル信号を用いて、周波数変換器３３が、中心周波数Ｆｉｆ２の信号を中心周波数Ｆｉｆ３の複素数信

号に変換する。

【００７６】

なお、以上の構成を備えたディジタルダウンコンバータは、周波数変換器３１の周波数設定間隔ＦＤ１の倍数が入力信号の周波数設定間隔ＦＤの倍数と一致する場合、周波数変換器３１のみの動作で、周波数設定間隔ＦＤで入力されるディジタルダウンコンバータの入力信号を、許容周波数偏差以内の希望の周波数へ変換することができる。そのような場合、周波数変換器３３による周波数変換を停止しても良い。

【００７７】

また、以上の構成を備えたディジタルダウンコンバータの各変数の設定値は、上述の設定例を含め、以下の表２から表５に示すような値とすることができる。なお、表２及び表３はＷ－ＣＤＭＡシステムにおける各変数の設定例を、表４はＩＳ－９５Ｂａｎｄ（Ｃｌａｓｓ０）における各変数の設定例を、表５はＩＥＥＥ８０２．１１ａシステムにおける各変数の設定例を示す。

また、表において周波数変換器３３側の変数の記載がない設定例は、図３を用いて説明したディジタルダウンコンバータの構成で実現可能な設定例を示す。この場合、各変数は対応する変数に読み替えるものとする。

【００７８】

【表２】

No.	Fifa [MHz]	Fif1 [MHz]	FD [KHz]	FD1 [KHz]	Fs1 [MHz]	Fc1 [MHz]	K1	L1	M1	Δφ1
1	190.00	5.680	200.0	40.0	61.440	5.680	5	1	1536	142
2	190.00	5.680	200.0	40.0	92.160	5.680	5	1	2304	142
3	190.00	-55.760	200.0	40.0	122.880	-55.760	5	1	3072	-1394
4	189.60	36.000	200.0	200.0	153.600	36.000	1	1	768	180
5	189.80	36.200	200.0	200.0	153.600	36.200	1	1	768	181
6	190.00	36.400	200.0	200.0	153.600	36.400	1	1	768	182
7	190.15	36.550	200.0	200.0	153.600	36.400	1	1	768	182
8	190.20	36.600	200.0	200.0	153.600	36.600	1	1	768	183
9	190.35	36.750	200.0	200.0	153.600	36.600	1	1	768	183
10	190.40	36.800	200.0	200.0	153.600	36.800	1	1	768	184
11	189.80	36.200	200.0	1600.0	153.600	35.200	1	8	96	22
12	190.00	36.400	200.0	1600.0	153.600	35.200	1	8	96	22
13	190.20	36.600	200.0	1600.0	153.600	35.200	1	8	96	22
14	190.00	5.680	200.0	40.0	184.320	5.680	5	1	4608	142

【００７９】
【表３】

No.	Fif2 [KHz]	Fs2 [MHz]	FD2 [KHz]	Fc2 [KHz]	K2	M2	Δφ2
1	—	—	—	—	—	—	—
2	—	—	—	—	—	—	—
3	—	—	—	—	—	—	—
4	—	—	—	—	—	—	—
5	—	—	—	—	—	—	—
6	—	—	—	—	—	—	—
7	150.0	30.72	50.000	150.10	4	614	3
8	—	—	—	—	—	—	—
9	150.0	30.72	50.000	150.10	4	614	3
10	—	—	—	—	—	—	—
11	1000.0	30.72	40.000	1000.00	5	768	25
12	1200.0	30.72	40.000	1200.00	5	768	30
13	1400.0	30.72	40.000	1400.00	5	768	35
14	—	—	—	—	—	—	—

【００８０】
【表４】

No.	Fifa [MHz]	Fif1 [MHz]	FD [KHz]	FD1 [KHz]	Fs1 [MHz]	Fc1 [MHz]	K1	L1	M1	Δφ1
1	210.35	13.742	30.0	16.0	98.304	13.728	15	8	6144	858
2	210.38	13.772	30.0	16.0	98.304	13.760	15	8	6144	860
3	210.41	13.802	30.0	16.0	98.304	13.792	15	8	6144	862
4	210.35	53.064	30.0	11.3	157.286	53.055	8	3	13981	4716
5	210.38	53.094	30.0	11.3	157.286	53.089	8	3	13981	4719
6	210.41	53.124	30.0	11.3	157.286	53.123	8	3	13981	4722

No.	Fif2 [KHz]	Fs2 [MHz]	FD2 [KHz]	Fc2 [KHz]	K2	M2	Δφ2
1	14.00	9.8304	2.000	14.00	7	4915	7
2	12.00	9.8304	2.000	12.00	7	4915	6
3	10.00	9.8304	2.000	10.00	7	4915	5
4	8.60	9.8304	1.250	8.75	6	7864	7
5	4.90	9.8304	1.250	5.00	6	7864	4
6	1.10	9.8304	1.250	1.25	6	7864	1

【００８１】
【表５】

No.	Fifa [MHz]	Fif1 [MHz]	FD [KHz]	FD1 [KHz]	Fs1 [MHz]	Fc1 [MHz]	K1	L1	M1	Δφ1
1	180.00	-20.000	100.0	100.0	100.000	-20.000	1	1	1000	-200
2	179.80	-20.200	200.0	400.0	200.000	-20.400	1	2	500	-51
3	180.00	-20.000	200.0	400.0	200.000	-20.000	1	2	500	-50
4	180.20	-19.800	200.0	400.0	200.000	-20.000	1	2	500	-50

No.	Fif2 [KHz]	Fs2 [MHz]	FD2 [KHz]	Fc2 [KHz]	K2	M2	Δφ2
1	—	—	—	—	—	—	—
2	200.0	20	200.000	200.00	1	100	1
3	—	—	—	—	—	—	—
4	200.0	20	200.000	200.00	1	100	1

【００８２】

更に、本構成のディジタルダウンコンバータにおいて、周波数変換器３１の周波数設定間隔ＦＤ１が、要求された入力信号の周波数設定間隔ＦＤ以下のステップで設定可能なとき、周波数変換器３１の数値制御発振器に対する周波数データ（位相差データ）設定の変更のみで、各周波数の入力が可能となるため、このディジタルダウンコンバータを制御する制御部のデータ設定時間が、２個の周波数変換器の両方にデータ設定が必要な従来のディジタルダウンコンバータに比較して半減されるだけでなく、数値制御発振器に設定する周波数データの演算が簡略化されるという効果が得られる。

【００８３】

具体的には、例えばＩＦ周波数の下限が１８０［ＭＨｚ］で上限が２００［ＭＨｚ］、更にこの間を２００［ＫＨｚ］ステップで周波数設定しようとする場合、サンプリング周波数Ｆｓ１＝１５３．６［ＭＨｚ］とすると、入力信号の周波数設定間隔ｄＦ＝２００［ＫＨｚ］のディジタルダウンコンバータにおいては、周波数下限時の位相差データφをφ＝１３２とし、ＩＦ周波数を２００［ＫＨｚ］変更する毎に位相差データφを”＋１”し、周波数上限時において位相差データφをφ＝２３２とすることができる。

【００８４】

（第５の実施の形態）

更に、第１の実施の形態の数値制御発振器は、図６に示すようなディジタルアップコンバータに使用することもできる。ディジタルアップコンバータは、出力信号の中心周波数Ｆｉｆ３が、要求された出力信号の周波数設定間隔ＦＤで割り切れない場合に、第１の周波数変換器と、数値制御発振器を局部発振器とする第２の周波数変換器とを備え、入力信号を、２回の周波数変換によって、入力信号より高い周波数の信号へ変換すると共に、サンプリング周波数Ｆｓでサンプリングされた信号として出力するディジタルアップコンバータの構成について説明する。

【００８５】

図６は、第１の実施の形態の数値制御発振器を用いたディジタルアップコンバータの変形例の構成を示すブロック図であって、ディジタルアップコンバータは、まず入力された中心周波数Ｆｉｆ１＝０［Ｈｚ］の複素数信号（ベースバンド信号Ｉ、Ｑ）を、実数軸フィルタ４１ａと虚数軸フィルタ４１ｂとを備えたロールオフフィルタ４１により、目的の信号帯域に帯域制限する。

【００８６】

更に、ロールオフフィルタ４１の出力信号を、第１の実施の形態の数値制御発振器を用いた局部発振器４２ａにより生成した周波数Ｆｃ１の複素ローカル信号（実数軸信号”Ｃ１（ｔ）＝ｃｏｓ（２π×Ｆｃ１×ｔ）”と、実数軸信号より９０度位相の遅れた虚数軸信号”Ｓ１（ｔ）＝ｓｉｎ（２π×Ｆｃ１×ｔ）”）と、それぞれ乗算器４２ｂ、４２ｃ、４２ｄ、４２ｅ及び減算器４２ｆ、加算器４２ｇを用いて複素乗算する周波数変換器４２により周波数変換し、中心周波数Ｆｉｆ２の複素数信号を得る。

【００８７】

次に、複素数信号のサンプリング周波数Ｆｓ１をＮ倍してサンプリング周波数Ｆｓ２＝Ｆｓ１×Ｎに変換する実数軸インタポレータ４３ａと虚数軸インタポレータ４３ｂとを備えたインタポレータ４３によりインタポレーションを行うと共に、インタポレータ４３の出力信号を、第１の実施の形態の数値制御発振器を用いた局部発振器４４ａにより生成した周波数Ｆｃ２の複素ローカル信号（実数軸信号”Ｃ２（ｔ）＝ｃｏｓ（２π×Ｆｃ２×ｔ）”と、実数軸信号より９０度位相の遅れた虚数軸信号”Ｓ２（ｔ）＝ｓｉｎ（２π×Ｆｃ２×ｔ）”）と、それぞれ乗算器４４ｂ、４４ｃ及び減算器４４ｄを用いて複素乗算すると共に実数軸信号を出力する周波数変換器４４により周波数変換し、目的の中心周波数Ｆｉｆ３の実数信号を出力する。

【００８８】

さて、このディジタルアップコンバータにおいて、要求された出力信号の周波数設定間隔ＦＤが周波数変換器４４の周波数設定間隔ＦＤ２以上でかつＦＤがＦＤ２で割り切れない場合の動作について説明する。この場合、Ｋ１、Ｋ２、及びＬ２を任意の整数とすると、周波数変換器４２は、第１の実施の形態の数値制御発振器を用いた局部発振器４２ａの位相差データφ１を、位相差データφ１＝Ｆｃ１／ＦＤ１＝Ｆｃ１／（ＦＤ　ｍｏｄ　ＦＤ２）×Ｋ１とする。そして、Ｍ１＝Ｆｓ２／（ＦＤ　ｍｏｄ　ＦＤ２）×Ｋ１で計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する局部発振器４２ａが出力すると共に、ＦＤ１＝（ＦＤ　ｍｏｄ　ＦＤ２）／Ｋ１で計算されるＦＤ１ステップの周波数設定間隔で設定された周波数Ｆｃ１の複素ローカル信号を用いて、中心周波数Ｆｉｆ１の信号を中心周波数Ｆｉｆ２の複素数信号に変換する。

【００８９】

また、第１の実施の形態の数値制御発振器を用いた局部発振器４４ａの位相差データφ２を、位相差データφ２＝Ｆｃ２／ＦＤ２＝Ｆｃ２／ＦＤ×Ｋ２／Ｌ２とする。そして、Ｍ２＝Ｆｓ２／ＦＤ×Ｋ２／Ｌ２で計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累算する局部発振器４４ａが出力すると共に、ＦＤ２＝ＦＤ／Ｋ２×Ｌ２で計算されるＦＤ２ステップの周波数設定間隔で設定された、周波数Ｆｃ２の複素ローカル信号を用いて、周波数変換器４４が、中心周波数Ｆｉｆ２の信号を中心周波数Ｆｉｆ３の複素数信号に変換する。

【００９０】

同様に、このディジタルアップコンバータにおいて、要求された出力信号の周波数設定間隔ＦＤが周波数変換器４４の周波数設定間隔ＦＤ２未満でかつＦＤ２がＦＤで割り切れない場合の動作について説明する。この場合、周波数変換器４２は、第１の実施の形態の数値制御発振器を用いた局部発振器４２ａの位相差データφ１を、位相差データφ１＝Ｆｃ１／ＦＤ１＝Ｆｃ１／（ＦＤ２　ｍｏｄ　ＦＤ）×Ｋ１とする。そして、Ｍ１＝Ｆｓ２／（ＦＤ２　ｍｏｄ　ＦＤ）×Ｋ１で計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する局部発振器４２ａが出力すると共に、ＦＤ１＝（ＦＤ２　ｍｏｄ　ＦＤ）／Ｋ１で計算されるＦＤ１ステップの周波数設定間隔で設定された周波数Ｆｃ１の複素ローカル信号を用いて、中心周波数Ｆｉｆ１の信号を中心周波数Ｆｉｆ２の複素数信号に変換する。

【００９１】

また、第１の実施の形態の数値制御発振器を用いた局部発振器４４ａの位相差データφ２を、位相差データφ２＝Ｆｃ２／ＦＤ２＝Ｆｃ２／ＦＤ×Ｋ２／Ｌ２とする。そして、Ｍ２＝Ｆｓ２／ＦＤ×Ｋ２／Ｌ２で計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累算する局部発振器４４ａが出力すると共に、ＦＤ２＝ＦＤ／Ｋ２×Ｌ２で計算されるＦＤ２ステップの周波数設定間隔で設定された、周波数Ｆｃ２の複素ローカル信号を用いて、周波数変換器４４が、中心周波数Ｆｉｆ２の信号を中心周波数Ｆｉｆ３の複素数信号に変換する。

【００９２】

更に、このディジタルアップコンバータにおいて、要求された出力信号の周波数設定間隔ＦＤが周波数変換器４４の周波数設定間隔ＦＤ２以上でかつＦＤがＦＤ２で割り切れる場合、あるいはＦＤがＦＤ２未満でかつＦＤ２がＦＤで割り切れる場合の動作について説明する。この場合、周波数変換器４２は、第１の実施の形態の数値制御発振器を用いた局部発振器４２ａの位相差データφ１を、位相差データφ１＝Ｆｃ１／ＦＤ１＝Ｆｃ１／ＦＤ×Ｋ１とする。そして、Ｍ１＝Ｆｓ２／ＦＤ×Ｋ１で計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する局部発振器４２ａが出力すると共に、ＦＤ１＝ＦＤ／Ｋ１で計算されるＦＤ１ステップの周波数設定間隔で設定された周波数Ｆｃ１の複素ローカル信号を用いて、中心周波数Ｆｉｆ１の信号を中心周波数Ｆｉｆ２の複素数信号に変換する。

【００９３】

また、第１の実施の形態の数値制御発振器を用いた局部発振器４４ａの位相差データφ２を、位相差データφ２＝Ｆｃ２／ＦＤ２＝Ｆｃ２／ＦＤ×Ｋ２／Ｌ２とする。そして、Ｍ２＝Ｆｓ２／ＦＤ×Ｋ２／Ｌ２で計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累算する局部発振器４４ａが出力すると共に、ＦＤ２＝ＦＤ／Ｋ２×Ｌ２で計算されるＦＤ２ステップの周波数設定間隔で設定された、周波数Ｆｃ２の複素ローカル信号を用いて、周波数変換器４４が、中心周波数Ｆｉｆ２の信号を中心周波数Ｆｉｆ３の複素数信号に変換する。

【００９４】

なお、以上の構成を備えたディジタルアップコンバータは、周波数変換器４４の周波数設定間隔ＦＤ２の倍数が出力信号の周波数設定間隔ＦＤの倍数と一致する場合、周波数変換器４４のみの動作で、、ディジタルアップコンバータの出力信号の周波数設定間隔をＦＤとすることができる。そのような場合、周波数変換器４２による周波数変換を停止しても

良い。

【００９５】

また、本構成のディジタルアップコンバータにおいて、周波数変換器４４の周波数設定間隔ＦＤ２が、要求された出力信号の周波数設定間隔ＦＤ以下のステップで設定可能なとき、周波数変換器４４の数値制御発振器に対する周波数データ（位相差データ）設定の変更のみで、各周波数の入力が可能となるため、このディジタルダウンコンバータを制御する制御部のデータ設定時間が、２個の周波数変換器の両方にデータ設定が必要な従来のディジタルダウンコンバータに比較して半減されるだけでなく、数値制御発振器に設定する周波数データの演算が簡略化されるという効果が得られる。

【００９６】

（第６の実施の形態）

次に、第１の実施の形態の数値制御発振器を用いた受信機について説明する。図７は、第１の実施の形態の数値制御発振器を用いた受信機の構成を示すブロック図であって、受信機は、第１の実施の形態の数値制御発振器５１ａをＤＡＣ（Digital to Analog Converter）５１ｂによりアナログ化し、この信号をＰＬＬ回路５１ｃのリファレンスとする局部発振器５１を備えており、局部発振器５１の出力する周波数Ｆｃｐのアナログローカル信号（実数軸信号”Ｃ（ｔ）＝ｃｏｓ（２π×Ｆｃｐ×ｔ）”）により周波数変換するミキサ５２を用いて、まず入力された中心周波数Ｆｒｆの受信信号（実数信号）を、中心周波数Ｆｉｆａのアナログ中間周波数信号へ変換する。

【００９７】

なお、ここで、局部発振器５１は、ＰＬＬ回路５１ｃの逓倍比をＰ、数値制御発振器５１ａの出力周波数Ｆｃ１とすると、アナログローカル信号の周波数Ｆｃｐを、Ｆｃｐ＝Ｆｒｆ－Ｆｉｆａ＝Ｆｃ１×Ｐとする信号を出力する。従って、アナログローカル信号の周波数設定ステップＦＤＰ（ミキサ５２の周波数設定間隔）も、数値制御発振器５１ａの周波数設定ステップＦＤをＰ倍したものとなる。

【００９８】

また、該アナログ中間周波数信号の周波数帯域を通過周波数帯域とするバンドパスフィルタ５３により、アナログ中間周波数信号を抽出し、ＡＤＣ（Analog to Digital Converter）５４へ入力する。

ＡＤＣ５４では、入力されたアナログ中間周波数信号を量子化し、「サブナイキスト　サンプリング」された中心周波数Ｆｉｆ２のディジタル中間周波数信号を生成する。

そして、ＡＤＣ５４の出力を、図３を用いて説明したディジタルダウンコンバータ１１を用いて復調器５５の要求する入力信号の周波数の複素数信号（Ｉ、Ｑ）へ変換し、復調器５５へ入力する。

復調器５５では、ディジタルダウンコンバータ１１が出力する信号を復調して受信データを抽出する。

【００９９】

さて、この受信機において、例えば要求された受信信号の周波数設定間隔ＦＤがミキサ５２の周波数設定間隔ＦＤＰ以上で、ＦＤがＦＤＰで割り切れない場合の動作について説明する。この場合、Ｋ１、Ｋ２、及びＬ１を任意の整数とすると、ミキサ５２は、サンプリング周波数Ｆｓで動作する第１の実施の形態の数値制御発振器を用いた、数値制御発振器５１ａの位相差データφ１を、位相差データφ１＝Ｆｃ１／ＦＤ１＝Ｆｃ１／ＦＤ×Ｋ１／Ｌ１とする。そして、Ｍ１＝Ｆｓ／ＦＤ×Ｋ１／Ｌ１×Ｐで計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する局部発振器５１が出力すると共に、ＦＤＰ＝ＦＤ／Ｋ１×Ｌ１で計算されるＦＤＰステップの周波数設定間隔で設定された、周波数Ｆｃｐのアナログローカル信号を用いて、中心周波数Ｆｒｆの信号を中心周波数Ｆｉｆａのアナログ中間周波数信号に変換する。

【０１００】

また、第１の実施の形態の数値制御発振器を用いた局部発振器１２ａの位相差データφ２を、位相差データφ２＝Ｆｃ２／ＦＤ２＝Ｆｃ２／（ＦＤ　ｍｏｄ　ＦＤＰ）×Ｋ２とす

る。そして、中心周波数Ｆｉｆａのアナログ中間周波数信号をＡＤＣ５４で「サブナイキスト　サンプリング」した中心周波数Ｆｉｆ２でサンプリング周波数Ｆｓ１の信号を、周波数変換器１２が、Ｍ２＝Ｆｓ１／（ＦＤ　ｍｏｄ　ＦＤＰ）×Ｋ２で計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累算する局部発振器１２ａが出力すると共に、ＦＤ２＝（ＦＤ　ｍｏｄ　ＦＤＰ）／Ｋ２で計算されるＦＤ２ステップの周波数設定間隔で設定された、周波数Ｆｃ２の複素ローカル信号を用いて、復調器５５の要求する入力信号の周波数に変換する。

【０１０１】

同様に、この受信機において、例えば要求された受信信号の周波数設定間隔ＦＤがミキサ５２の周波数設定間隔ＦＤＰ未満で、ＦＤＰがＦＤで割り切れない場合、ミキサ５２は、サンプリング周波数Ｆｓで動作する第１の実施の形態の数値制御発振器を用いた、数値制御発振器５１ａの位相差データφ１を、位相差データφ１＝Ｆｃ１／ＦＤ１＝Ｆｃ１／ＦＤ×Ｋ１／Ｌ１とする。そして、Ｍ１＝Ｆｓ／ＦＤ×Ｋ１／Ｌ１×Ｐで計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する局部発振器５１が出力すると共に、ＦＤＰ＝ＦＤ／Ｋ１×Ｌ１で計算されるＦＤＰステップの周波数設定間隔で設定された、周波数Ｆｃｐのアナログローカル信号を用いて、中心周波数Ｆｒｆの信号を中心周波数Ｆｉｆａのアナログ中間周波数信号に変換する。

【０１０２】

また、第１の実施の形態の数値制御発振器を用いた局部発振器１２ａの位相差データφ２を、位相差データφ２＝Ｆｃ２／ＦＤ２＝Ｆｃ２／（ＦＤＰ　ｍｏｄＦＤ）×Ｋ２とする。そして、中心周波数Ｆｉｆａのアナログ中間周波数信号をＡＤＣ５４で「サブナイキスト　サンプリング」した中心周波数Ｆｉｆ２でサンプリング周波数Ｆｓ１の信号を、周波数変換器１２が、Ｍ２＝Ｆｓ１／（ＦＤＰ　ｍｏｄ　ＦＤ）×Ｋ２で計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累算する局部発振器１２ａが出力すると共に、ＦＤ２＝（ＦＤＰ　ｍｏｄ　ＦＤ）／Ｋ２で計算されるＦＤ２ステップの周波数設定間隔で設定された、周波数Ｆｃ２の複素ローカル信号を用いて、復調器５５の要求する入力信号の周波数に変換する。

【０１０３】

更に、このディジタルダウンコンバータにおいて、例えば要求された受信信号の周波数設定間隔ＦＤがミキサ５２の周波数設定間隔ＦＤＰ以上でかつＦＤがＦＤＰで割り切れる場合、あるいはＦＤがＦＤＰ未満でかつＦＤＰがＦＤで割り切れる場合、ミキサ５２は、サンプリング周波数Ｆｓで動作する第１の実施の形態の数値制御発振器を用いた数値制御発振器５１の位相差データφ１を、位相差データφ１＝Ｆｃ１／ＦＤ１＝Ｆｃ１／ＦＤ×Ｋ１／Ｌ１とする。そして、Ｍ１＝Ｆｓ／ＦＤ×Ｋ１／Ｌ１×Ｐで計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する局部発振器５１が出力すると共に、ＦＤＰ＝ＦＤ／Ｋ１×Ｌ１で計算されるＦＤＰステップの周波数設定間隔で設定された、周波数Ｆｃｐのアナログローカル信号を用いて、中心周波数Ｆｒｆの信号を中心周波数Ｆｉｆａのアナログ中間周波数信号に変換する。

【０１０４】

また、第１の実施の形態の数値制御発振器を用いた局部発振器１２ａの位相差データφ２を、位相差データφ２＝Ｆｃ２／ＦＤ２＝Ｆｃ２／ＦＤ×Ｋ２とする。そして、中心周波数Ｆｉｆａのアナログ中間周波数信号をＡＤＣ５４で「サブナイキスト　サンプリング」した中心周波数Ｆｉｆ２でサンプリング周波数Ｆｓ１の信号を、周波数変換器１２が、Ｍ２＝Ｆｓ１／ＦＤ×Ｋ２で計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累算する局部発振器１２ａが出力すると共に、ＦＤ２＝ＦＤ／Ｋ２で計算されるＦＤ２ステップの周波数設定間隔で設定された、周波数Ｆｃ２の複素ローカル信号を用いて、復調器５５の要求する入力信号の周波数に変換する。

【０１０５】

なお、以上の構成を備えた受信機は、ミキサ５２の周波数設定間隔ＦＤＰの倍数が受信信号の周波数設定間隔ＦＤの倍数と一致する場合、ミキサ５２のみの動作で、周波数設定間

隔ＦＤで入力される受信機の受信信号を、復調器５５の要求する入力信号の周波数へ変換することができる。そのような場合、周波数変換器１２による周波数変換を停止しても良い。

【０１０６】

また、以上の構成を備えた受信機の各変数の設定値は、以下の表６から表９に示すような値とすることができる。なお、表６及び表７はＷ－ＣＤＭＡシステムにおける各変数の設定例を、表８はＩＳ－９５Ｂａｎｄ（Ｃｌａｓｓ０）における各変数の設定例を、表９はＩＥＥＥ８０２．１１ａシステムにおける各変数の設定例を示す。

【０１０７】

【表６】

No.	Frf [MHz]	Fcp [MHz]	P	FD [KHz]	FDP [KHz]	Fs [MHz]	FD1 [KHz]	Fc1 [MHz]	K1	L1
1	2257.50	2068.00	200	200.0	4000.0	61.440	20.0	10.340	1	20
2	2257.50	2068.00	100	200.0	4000.0	92.160	40.0	20.680	1	20
3	2257.50	2068.00	100	200.0	4000.0	122.880	40.0	20.680	1	20
4	2247.50	2060.00	100	200.0	5000.0	153.600	50.0	20.600	1	25
5	2252.50	2065.00	100	200.0	5000.0	153.600	50.0	20.650	1	25
6	2257.50	2070.00	100	200.0	5000.0	153.600	50.0	20.700	1	25
7	2257.52	2070.00	100	200.0	5000.0	153.600	50.0	20.700	1	25
8	2262.50	2075.00	100	200.0	5000.0	153.600	50.0	20.750	1	25
9	2262.54	2075.00	100	200.0	5000.0	153.600	50.0	20.750	1	25
10	2267.50	2080.00	100	200.0	5000.0	153.600	50.0	20.800	1	25
11	2257.50	2066.40	128	200.0	2400.0	153.600	18.8	16.144	1	12
12	2257.50	2066.40	128	200.0	2400.0	153.600	18.8	16.144	1	12
13	2257.50	2066.40	128	200.0	2400.0	153.600	18.8	16.144	1	12
14	2257.50	2070.00	50	200.0	5000.0	150.000	100.0	41.400	1	25

【０１０８】
【表７】

No.	M1	Δφ1	Fifa [MHz]	Fif2 [MHz]	Fs1 [MHz]	FD2 [KHz]	Fc2 [MHz]	K2	M2	Δφ2
1	3072	517	189.50	35.90	153.6	100.000	35.90	2	1536	359
2	2304	517	189.50	35.90	153.6	100.000	35.90	2	1536	359
3	3072	517	189.50	35.90	153.6	100.000	35.90	2	1536	359
4	3072	412	187.50	33.90	153.6	100.000	33.90	2	1536	339
5	3072	413	187.50	33.90	153.6	100.000	33.90	2	1536	339
6	3072	414	187.50	33.90	153.6	100.000	33.90	2	1536	339
7	3072	414	187.52	33.92	153.6	20.000	33.92	10	7680	1696
8	3072	415	187.50	33.90	153.6	100.000	33.90	2	1536	339
9	3072	415	187.54	33.94	153.6	20.000	33.94	10	7680	1697
10	3072	416	187.50	33.90	153.6	100.000	33.90	2	1536	339
11	8192	861	191.10	37.50	153.6	100.000	37.50	2	1536	375
12	8192	861	191.10	37.50	153.6	100.000	37.50	2	1536	375
13	8192	861	191.10	37.50	153.6	100.000	37.50	2	1536	375
14	1500	414	187.50	33.90	153.6	100.000	33.90	2	1536	339

【０１０９】
【表８】

No.	Frf [MHz]	Fcp [MHz]	P	FD [KHz]	FDP [KHz]	Fs [MHz]	FD1 [KHz]	Fc1 [MHz]	K1	L1
1	869.97	679.68	50	30.0	960.0	98.304	19.2	13.594	1	32
2	870.00	679.68	50	30.0	960.0	98.304	19.2	13.594	1	32
3	870.03	679.68	50	30.0	960.0	98.304	19.2	13.594	1	32
4	869.97	679.68	50	30.0	960.0	157.286	19.2	13.594	1	32
5	870.00	679.68	50	30.0	960.0	157.286	19.2	13.594	1	32
6	870.03	679.68	50	30.0	960.0	157.286	19.2	13.594	1	32

No.	M1	Δφ1	Fifa [MHz]	Fif2 [MHz]	Fs1 [MHz]	FD2 [KHz]	Fc2 [MHz]	K2	M2	Δφ2
1	5120	708	190.29	33.00	157.286	3.750	33.00	8	41943	8801
2	5120	708	190.32	33.03	157.286	3.750	33.03	8	41943	8809
3	5120	708	190.35	33.06	157.286	3.750	33.06	8	41943	8817
4	8192	708	190.29	33.00	157.286	3.750	33.00	8	41943	8801
5	8192	708	190.32	33.03	157.286	3.750	33.03	8	41943	8809
6	8192	708	190.35	33.06	157.286	3.750	33.06	8	41943	8817

【０１１０】
【表９】

No.	Frf [MHz]	Fcp [MHz]	P	FD [KHz]	FDP [KHz]	Fs [MHz]	FD1 [KHz]	Fc1 [MHz]	K1	L1
1	5200.00	5010.00	200	100.0	10000.0	100.00	50.0	25.050	1	100
2	5180.00	4990.00	128	200.0	10000.0	200.00	78.1	38.984	1	50
3	5200.00	5010.00	128	200.0	10000.0	200.00	78.1	39.141	1	50
4	5220.00	5030.00	128	200.0	10000.0	200.00	78.1	39.297	1	50

No.	M1	Δφ1	Fifa [MHz]	Fif2 [MHz]	Fs1 [MHz]	FD2 [KHz]	Fc2 [MHz]	K2	M2	Δφ2
1	2000	501	190.00	-10.00	100	100.000	-10.00	1	1000	-100
2	2560	499	190.00	-10.00	200	200.000	-10.00	1	1000	-50
3	2560	501	190.00	-10.00	200	200.000	-10.00	1	1000	-50
4	2560	503	190.00	-10.00	200	200.000	-10.00	1	1000	-50

【０１１１】

更に、本構成の受信機においても、ミキサ５２の周波数設定間隔ＦＤＰが、要求された受信信号の周波数設定間隔ＦＤ以下のステップで設定可能なとき、局部発振器５１の数値制御発振器に対する周波数データ（位相差データ）設定の変更のみで、各周波数の入力が可能となるため、この受信機を制御する制御部のデータ設定時間が、従来の受信機に比較して削減されるだけでなく、数値制御発振器に設定する周波数データの演算が簡略化されるという効果が得られる。

【０１１２】

（第７の実施の形態）
また、図８は、第１の実施の形態の数値制御発振器を用いた受信機の構成を示すブロック図であって、図７に示す受信機のミキサ５２に代えて、直交復調器８２を用い、受信信号がアナログ信号の状態で直交復調される場合の構成例である。
図８において、受信機は、第１の実施の形態の数値制御発振器８１ａをＤＡＣ（Digital to Analog Converter）８１ｂによりアナログ化し、この信号をＰＬＬ回路８１ｃのリファレンスとする局部発振器８１を備えており、局部発振器８１の出力する周波数Ｆｃｐのアナログローカル信号（実数軸信号”Ｃ１（ｔ）＝ｃｏｓ（２π×Ｆｃｐ×ｔ）”と、実数軸信号より９０度位相の進んだ虚数軸信号”－Ｓ１（ｔ）＝ｓｉｎ（２π×Ｆｃｐ×ｔ）”）を用いて、実数軸ミキサ８２ａと虚数軸ミキサ８２ｂとを備えた直交復調器８２が、まず入力された中心周波数Ｆｒｆの受信信号（実数信号）を、中心周波数Ｆｉｆａのアナログ中間周波複素数信号へ変換する。
【０１１３】
なお、ここで、局部発振器８１は、ＰＬＬ回路８１ｃの逓倍比をＰ、数値制御発振器８１ａの出力周波数Ｆｃ１とすると、アナログローカル信号の周波数Ｆｃｐを、Ｆｃｐ＝Ｆｒｆ－Ｆｉｆａ＝Ｆｃ１×Ｐとする信号を出力する。従って、アナログローカル信号の周波数設定ステップＦＤＰ（直交復調器８２の周波数設定間隔）も、数値制御発振器８１ａの周波数設定ステップＦＤをＰ倍したものとなる。
【０１１４】
また、該アナログ中間周波複素数信号の周波数帯域を通過周波数帯域とする実数軸バンドパスフィルタ８３ａと虚数軸バンドパスフィルタ８３ｂとを備えたバンドパスフィルタ８３により、アナログ中間周波複素数信号を抽出し、実数軸用ＡＤＣ８４ａと虚数軸用ＡＤＣ８４ｂとを備えたＡＤＣ（Analog to Digital Converter）８４へ入力する。
ＡＤＣ８４では、入力されたアナログ中間周波複素数信号を量子化し、中心周波数Ｆｉｆ２のディジタル中間周波数信号を生成する。
【０１１５】
そして、ＡＤＣ８４の出力を、第１の実施の形態の数値制御発振器を用いた局部発振器８５ａにより生成した周波数Ｆｃ２の複素ローカル信号（実数軸信号”Ｃ２（ｔ）＝ｃｏｓ（２π×Ｆｃ２×ｔ）”と、実数軸信号より９０度位相の進んだ虚数軸信号”－Ｓ２（ｔ）＝－ｓｉｎ（２π×Ｆｃ２×ｔ）”）と、それぞれ乗算器８５ｂ、８５ｃ、８５ｄ、８５ｅ及び減算器８５ｆ、加算器８５ｇを用いて複素乗算する周波数変換器８５により周波数変換する。
【０１１６】
次に、複素数信号のサンプリング周波数Ｆｓ１を１／Ｎ倍してサンプリング周波数Ｆｓ２＝Ｆｓ１／Ｎに変換する実数軸デシメータ８６ａと虚数軸デシメータ８６ｂとを備えたデシメータ８６によりデシメーションを行うと共に、実数軸フィルタ８７ａと虚数軸フィルタ８７ｂとを備えたロールオフフィルタ８７により、目的の信号帯域の帯域制限が実施された復調器５５の要求する入力信号の周波数の複素数信号（Ｉ、Ｑ）へ変換し、復調器５５へ入力する。
【０１１７】
なお、この受信機において、数値制御発振器８１ａと、局部発振器８１と、局部発振器８５ａと、周波数変換器８５は、要求された受信信号の周波数設定間隔ＦＤと直交復調器８２の周波数設定間隔ＦＤＰとの関係に基づき、図７を用いて説明した受信機に備えられた数値制御発振器５１ａと、局部発振器５１と、局部発振器１２ａと、周波数変換器１２と同様の動作を行う。
【０１１８】
また、以上の構成を備えた受信機も、直交復調器８２の周波数設定間隔ＦＤＰの倍数が入力信号の周波数設定間隔ＦＤの倍数と一致する場合、直交復調器８２のみの動作で、周波数設定間隔ＦＤで入力される受信機の受信信号を、復調器の要求する入力信号の周波数へ変換することができる。そのような場合、周波数変換器８５による周波数変換を停止して

も良い。

【０１１９】

また、以上の構成を備えた受信機の各変数の設定値は、以下の表１０から表１３に示すような値とすることができる。なお、表１０及び表１１はＷ－ＣＤＭＡシステムにおける各変数の設定例を、表１２はＩＳ－９５Ｂａｎｄ（Ｃｌａｓｓ０）における各変数の設定例を、表１３はＩＥＥＥ８０２．１１ａシステムにおける各変数の設定例を示す。

【０１２０】

【表１０】

No.	Frf [MHz]	Fcp [MHz]	P	FD [KHz]	FDP [KHz]	Fs [MHz]	FD1 [KHz]	Fc1 [MHz]	K1	L1
1	2257.50	2256.00	200.0	200.0	4000.0	61.440	20.0	11.280	1	20
2	2257.50	2256.00	100.0	200.0	4000.0	92.160	40.0	22.560	1	20
3	2257.50	2256.00	100.0	200.0	4000.0	122.880	40.0	22.560	1	20
4	2247.50	2250.00	100.0	200.0	5000.0	153.600	50.0	22.500	1	25
5	2252.50	2255.00	100.0	200.0	5000.0	153.600	50.0	22.550	1	25
6	2257.50	2260.00	100.0	200.0	5000.0	153.600	50.0	22.600	1	25
7	2257.52	2260.00	100.0	200.0	5000.0	153.600	50.0	22.600	1	25
8	2262.50	2265.00	100.0	200.0	5000.0	153.600	50.0	22.650	1	25
9	2262.54	2265.00	100.0	200.0	5000.0	153.600	50.0	22.650	1	25
10	2267.50	2270.00	100.0	200.0	5000.0	153.600	50.0	22.700	1	25
11	2257.50	2258.40	128.0	200.0	2400.0	153.600	18.8	17.644	1	12
12	2257.50	2258.40	128.0	200.0	2400.0	153.600	18.8	17.644	1	12
13	2257.50	2258.40	128.0	200.0	2400.0	153.600	18.8	17.644	1	12
14	2257.50	2260.00	50.0	200.0	5000.0	150.000	100.0	45.200	1	25

【０１２１】

【表１１】

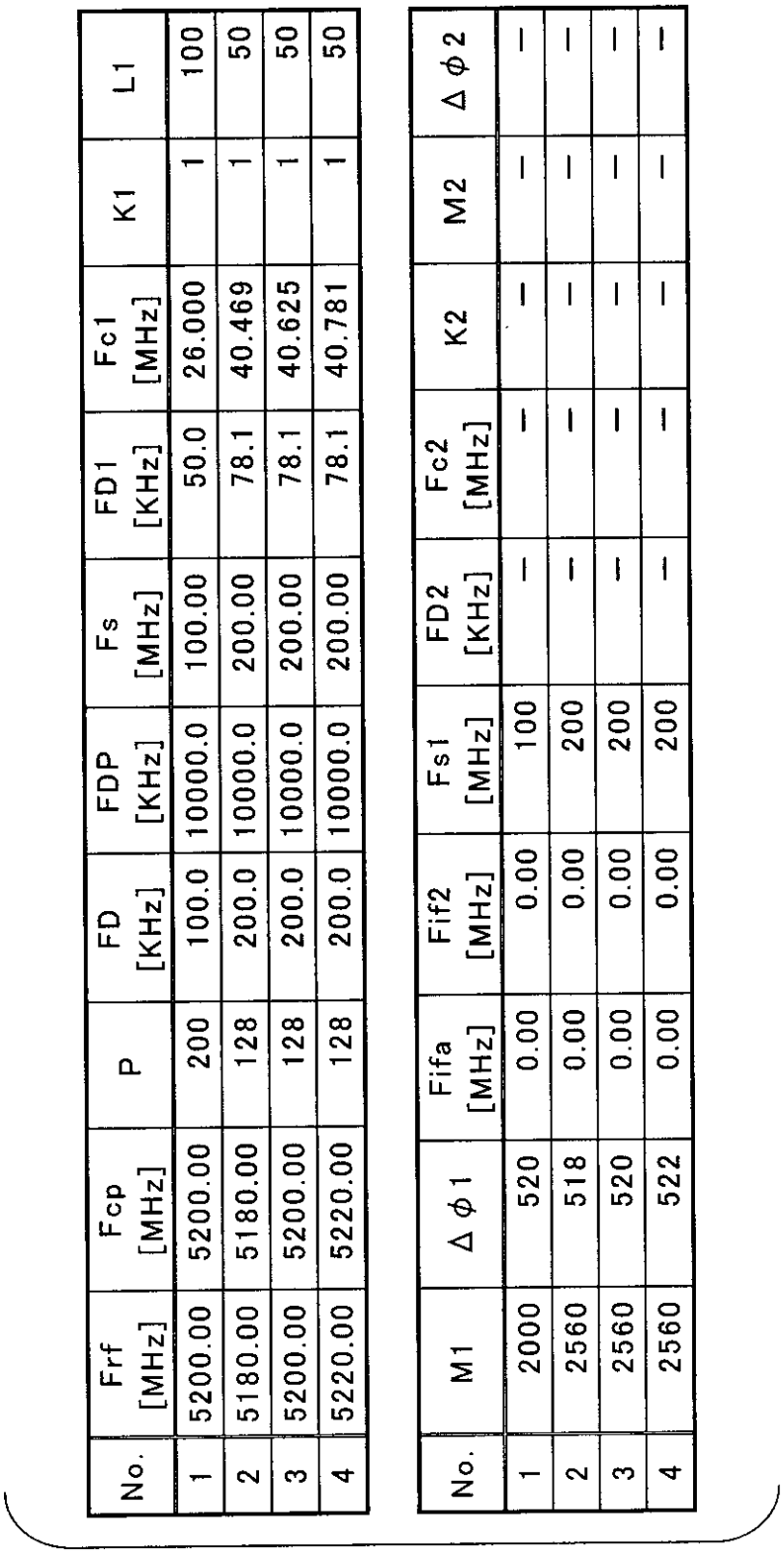
No.	M1	Δφ1	Fifa [MHz]	Fif2 [MHz]	Fs1 [MHz]	FD2 [KHz]	Fc2 [MHz]	K2	M2	Δφ2
1	3072	564	1.50	1.50	30.72	25.000	1.50	8	1229	60
2	2304	564	1.50	1.50	30.72	25.000	1.50	8	1229	60
3	3072	564	1.50	1.50	30.72	25.000	1.50	8	1229	60
4	3072	450	-2.50	-2.50	30.72	20.000	-2.50	10	1536	-125
5	3072	451	-2.50	-2.50	30.72	20.000	-2.50	10	1536	-125
6	3072	452	-2.50	-2.50	30.72	20.000	-2.50	10	1536	-125
7	3072	452	-2.48	-2.48	30.72	20.000	-2.48	10	1536	-124
8	3072	453	-2.50	-2.50	30.72	20.000	-2.50	10	1536	-125
9	3072	453	-2.46	-2.46	30.72	20.000	-2.46	10	1536	-123
10	3072	454	-2.50	-2.50	30.72	20.000	-2.50	10	1536	-125
11	8192	941	-0.90	-0.90	30.72	33.333	-0.90	6	922	-27
12	8192	941	-0.90	-0.90	30.72	33.333	-0.90	6	922	-27
13	8192	941	-0.90	-0.90	30.72	33.333	-0.90	6	922	-27
14	1500	452	-2.50	-2.50	30.72	20.000	-2.50	10	1536	-125

【０１２２】
【表１２】

No.	Frf [MHz]	Fcp [MHz]	P	FD [KHz]	FDP [KHz]	Fs [MHz]	FD1 [KHz]	Fc1 [MHz]	K1	L1
1	869.97	869.76	50	30.0	960.0	98.304	19.2	17.395	1	32
2	870.00	869.76	50	30.0	960.0	98.304	19.2	17.395	1	32
3	870.03	869.76	50	30.0	960.0	98.304	19.2	17.395	1	32
4	869.97	869.76	50	30.0	960.0	157.286	19.2	17.395	1	32
5	870.00	869.76	50	30.0	960.0	157.286	19.2	17.395	1	32
6	870.03	869.76	50	30.0	960.0	157.286	19.2	17.395	1	32

No.	M1	Δ φ1	Fifa [MHz]	Fif2 [MHz]	Fs1 [MHz]	FD2 [KHz]	Fc2 [MHz]	K2	M2	Δ φ2
1	5120	906	0.21	0.21	9.8304	30.000	0.21	1	328	7
2	5120	906	0.24	0.24	9.8304	30.000	0.24	1	328	8
3	5120	906	0.27	0.27	9.8304	30.000	0.27	1	328	9
4	8192	906	0.21	0.21	9.8304	30.000	0.21	1	328	7
5	8192	906	0.24	0.24	9.8304	30.000	0.24	1	328	8
6	8192	906	0.27	0.27	9.8304	30.000	0.27	1	328	9

【０１２３】
【表１３】



No.	Frf [MHz]	Fcp [MHz]	P	FD [KHz]	FDP [KHz]	Fs [MHz]	FD1 [KHz]	Fc1 [MHz]	K1	L1
1	5200.00	5200.00	200	100.0	10000.0	100.00	50.0	26.000	1	100
2	5180.00	5180.00	128	200.0	10000.0	200.00	78.1	40.469	1	50
3	5200.00	5200.00	128	200.0	10000.0	200.00	78.1	40.625	1	50
4	5220.00	5220.00	128	200.0	10000.0	200.00	78.1	40.781	1	50

No.	M1	Δφ1	Fifa [MHz]	Fif2 [MHz]	Fs1 [MHz]	FD2 [KHz]	Fc2 [MHz]	K2	M2	Δφ2
1	2000	520	0.00	0.00	100	—	—	—	—	—
2	2560	518	0.00	0.00	200	—	—	—	—	—
3	2560	520	0.00	0.00	200	—	—	—	—	—
4	2560	522	0.00	0.00	200	—	—	—	—	—

【０１２４】

更に、本構成の受信機においても、直交復調器８２の周波数設定間隔ＦＤＰが、要求された受信信号の周波数設定間隔ＦＤ以下のステップで設定可能なとき、局部発振器８１の数値制御発振器に対する周波数データ（位相差データ）設定の変更のみで、各周波数の入力が可能となるため、この受信機を制御する制御部のデータ設定時間が、従来の受信機に比較して削減されるだけでなく、数値制御発振器に設定する周波数データの演算が簡略化されるという効果が得られる。

【０１２５】

また、本構成の受信機では、アナログ中間周波複素数信号の中心周波数Ｆｉｆａを低く設定することができるので、後段の周波数変換器８５を構成する第１の実施の形態の数値制御発振器を用いた局部発振器８５ａに必要な位相振幅データの数を比較的少な目にすることができるという効果がある。

【０１２６】

（第８の実施の形態）

また、第１の実施の形態の数値制御発振器は、図９に示すような送信機に使用することもできる。

図９は、第１の実施の形態の数値制御発振器を用いた送信機の構成を示すブロック図であって、送信機は、まず、送信機で送信する送信データにより搬送波を変調する変調器６１が出力する複素数信号（ベースバンド信号Ｉ、Ｑ）を、実数軸フィルタ６２ａと虚数軸フィルタ６２ｂとを備えたロールオフフィルタ６２により、目的の信号帯域に帯域制限する。

【０１２７】

更に、ロールオフフィルタ６２の出力信号を、第１の実施の形態の数値制御発振器を用いた局部発振器６３ａにより生成した周波数Ｆｃ１＝Ｆｉｆ２の複素ローカル信号（実数軸信号”Ｃ１（ｔ）＝ｃｏｓ（２π×Ｆｃ１×ｔ）”と、実数軸信号より９０度位相の遅れた虚数軸信号”Ｓ１（ｔ）＝ｓｉｎ（２π×Ｆｃ１×ｔ）”）と、それぞれ乗算器６３ｂ、６３ｃ、６３ｄ、６３ｅ及び減算器６３ｆ、加算器６３ｇを用いて複素乗算する周波数変換器６３により周波数変換し、中心周波数Ｆｉｆ２の複素数信号を得る。

【０１２８】

次に、インタポレーションバンドパスフィルタ６８において、複素数信号のサンプリング周波数をＮ倍にする実数軸インタポレータ６４ａと虚数軸インタポレータ６４ｂとによりインタポレーションを行い、入力された信号のサンプリング周波数Ｆｓ１をＦｓ２＝Ｆｓ１×Ｎへ変換し、更に、ローパスフィルタ６５のフィルタ係数に、第１の実施の形態の数値制御発振器７０ａの出力（実数軸信号”Ｃ２（ｔ）＝ｃｏｓ（２π×Ｆｃ２×ｔ）”と、実数軸信号より９０度位相の遅れた虚数軸信号”Ｓ２（ｔ）＝ｓｉｎ（２π×Ｆｃ２×ｔ）”）を乗算器６６ａ、６６ｂにより乗算して生成するバンドパスフィルタのバンドパス実数軸フィルタ６７ａとバンドパス虚数軸フィルタ６７ｂ、及び減算器６７ｃ、加算器６７ｄを備え、インタポレータ６４ａ、６４ｂの出力信号に複素のバンドパスフィルタ処理を施す。

【０１２９】

更に、インタポレーションバンドパスフィルタ６８の出力を実数軸用ＤＡＣ（Digital to Analog Converter）６９ａと虚数軸用ＤＡＣ（Digital to Analog Converter）６９ｂとにより中心周波数Ｆｉｆ２のディジタル信号から中心周波数Ｆｉｆａのアナログ中間周波数信号へ変換する。

そして、第１の実施の形態の数値制御発振器７０ａをＤＡＣ７０ｂによりアナログ化した信号をＰＬＬ回路７０ｃのリファレンスとする局部発振器７０が出力する周波数Ｆｃｐの複素アナログローカル信号（実数軸信号”Ｃ３（ｔ）＝ｃｏｓ（２π×Ｆｃｐ×ｔ）”と、実数軸信号より９０度位相の遅れた虚数軸信号”Ｓ３（ｔ）＝ｓｉｎ（２π×Ｆｃｐ×ｔ）”）と、実数軸用ＤＡＣ６９ａと虚数軸用ＤＡＣ６９ｂの出力する複素のアナログ中間周波数信号とを、それぞれ乗算器７１ａ、７１ｂ及び減算器７１ｃを用いて複素乗算すると共に実数軸信号を出力する直交変調器７１により周波数変換し、目的の中心周波数Ｆｒｆの送信信号（実数信号）を出力する。

【０１３０】

なお、ここで、局部発振器７０は、ＰＬＬ回路７０ｃの逓倍比をＰ、数値制御発振器７０ａの出力周波数Ｆｃ２とすると、アナログローカル信号の周波数Ｆｃｐを、Ｆｃｐ＝Ｆｒｆ－Ｆｉｆａ＝Ｆｃ２×Ｐとする信号を出力する。従って、アナログローカル信号の周波数設定ステップＦＤＰ（直交変調器７１の周波数設定間隔）も、数値制御発振器７０ａの周波数設定ステップＦＤをＰ倍したものとなる。

【０１３１】
さて、この送信機において、要求された送信信号の周波数設定間隔ＦＤが直交変調器７１の周波数設定間隔ＦＤＰ以上でかつＦＤがＦＤＰで割り切れない場合の動作について説明する。この場合、Ｋ１、Ｋ２、及びＬ２を任意の整数とすると、周波数変換器６３は、第１の実施の形態の数値制御発振器を用いた局部発振器６３ａの位相差データφ１を、位相差データφ１＝Ｆｃ１／ＦＤ１＝Ｆｃ１／（ＦＤ　ｍｏｄ　ＦＤＰ）×Ｋ１とする。そして、変調器６１が出力するサンプリング周波数Ｆｓ１の複素数信号（ベースバンド信号Ｉ、Ｑ）を、Ｍ１＝Ｆｓ１／（ＦＤ　ｍｏｄ　ＦＤＰ）×Ｋ１で計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する局部発振器６３ａが出力すると共に、ＦＤ１＝（ＦＤ　ｍｏｄ　ＦＤＰ）／Ｋ１で計算されるＦＤ１ステップの周波数設定間隔で設定された、周波数Ｆｃ１の複素ローカル信号を用いて、中心周波数Ｆｉｆ２の複素数信号に変換する。

【０１３２】
また、サンプリング周波数Ｆｓで動作する第１の実施の形態の数値制御発振器を用いた、数値制御発振器７０ａの位相差データφ２を、位相差データφ２＝Ｆｃ２／ＦＤ２＝Ｆｃ２／ＦＤ×Ｋ２／Ｌ２とする。そして、中心周波数Ｆｉｆ２のディジタル中間周波数信号をＤＡＣ６９ａ、６９ｂでアナログ化した中心周波数Ｆｉｆａのアナログ中間周波数信号を、直交変調器７１が、Ｍ２＝Ｆｓ／ＦＤ×Ｋ２／Ｌ２×Ｐで計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累算する局部発振器７０が出力すると共に、ＦＤＰ＝ＦＤ／Ｋ２×Ｌ２で計算されるＦＤＰステップの周波数設定間隔で設定された、周波数Ｆｃｐのアナログローカル信号を用いて、目的の中心周波数Ｆｒｆの送信信号（実数信号）に変換する。

【０１３３】
同様に、この送信機において、要求された送信信号の周波数設定間隔ＦＤが直交変調器７１の周波数設定間隔ＦＤＰ未満でかつＦＤＰがＦＤで割り切れない場合の動作について説明する。この場合、周波数変換器６３は、第１の実施の形態の数値制御発振器を用いた局部発振器６３ａの位相差データφ１を、位相差データφ１＝Ｆｃ１／ＦＤ１＝Ｆｃ１／（ＦＤＰ　ｍｏｄ　ＦＤ）×Ｋ１とする。そして、変調器６１が出力するサンプリング周波数Ｆｓ１の複素数信号（ベースバンド信号Ｉ、Ｑ）を、Ｍ１＝Ｆｓ１／（ＦＤＰ　ｍｏｄ　ＦＤ）×Ｋ１で計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する局部発振器６３ａが出力すると共に、ＦＤ１＝（ＦＤＰ　ｍｏｄ　ＦＤ）／Ｋ１で計算されるＦＤ１ステップの周波数設定間隔で設定された、周波数Ｆｃ１の複素ローカル信号を用いて、中心周波数Ｆｉｆ２の複素数信号に変換する。

【０１３４】
また、サンプリング周波数Ｆｓで動作する第１の実施の形態の数値制御発振器を用いた、数値制御発振器７０ａの位相差データφ２を、位相差データφ２＝Ｆｃ２／ＦＤ２＝Ｆｃ２／ＦＤ×Ｋ２／Ｌ２とする。そして、中心周波数Ｆｉｆ２のディジタル中間周波数信号をＤＡＣ６９ａ、６９ｂでアナログ化した中心周波数Ｆｉｆａのアナログ中間周波数信号を、直交変調器７１が、Ｍ２＝Ｆｓ／ＦＤ×Ｋ２／Ｌ２×Ｐで計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累算する局部発振器７０が出力すると共に、ＦＤＰ＝ＦＤ／Ｋ２×Ｌ２で計算されるＦＤＰステップの周波数設定間隔で設定された、周波数Ｆｃｐのアナログローカル信号を用いて、目的の中心周波数Ｆｒｆの送信信号（実数信号）に変換する。

【０１３５】
更に、この送信機において、要求された送信信号の周波数設定間隔ＦＤが直交変調器７１の周波数設定間隔ＦＤＰ以上でかつＦＤがＦＤＰで割り切れる場合、あるいはＦＤがＦＤＰ未満でかつＦＤＰがＦＤで割り切れる場合の動作について説明する。この場合、周波数変換器６３は、第１の実施の形態の数値制御発振器を用いた局部発振器６３ａの位相差データφ１を、位相差データφ１＝Ｆｃ１／ＦＤ１＝Ｆｃ１／ＦＤ×Ｋ１とする。そして、変調器６１が出力するサンプリング周波数Ｆｓ１の複素数信号（ベースバンド信号Ｉ、Ｑ

）を、Ｍ１＝Ｆｓ１／ＦＤ×Ｋ１で計算されるＭ１の中で整数となるＭ１を法として位相データをモジュロ演算により累算する局部発振器６３ａが出力すると共に、ＦＤ１＝ＦＤ／Ｋ１で計算されるＦＤ１ステップの周波数設定間隔で設定された、周波数Ｆｃ１の複素ローカル信号を用いて、中心周波数Ｆｉｆ２の複素数信号に変換する。

【０１３６】

また、サンプリング周波数Ｆｓで動作する第１の実施の形態の数値制御発振器を用いた、数値制御発振器７０ａの位相差データφ２を、位相差データφ２＝Ｆｃ２／ＦＤ２＝Ｆｃ２／ＦＤ×Ｋ２／Ｌ２とする。そして、中心周波数Ｆｉｆ２のディジタル中間周波数信号をＤＡＣ６９ａ、６９ｂでアナログ化した中心周波数Ｆｉｆａのアナログ中間周波数信号を、直交変調器７１が、Ｍ２＝Ｆｓ／ＦＤ×Ｋ２／Ｌ２×Ｐで計算されるＭ２の中で整数となるＭ２を法として位相データをモジュロ演算により累算する局部発振器７０が出力すると共に、ＦＤＰ＝ＦＤ／Ｋ２×Ｌ２で計算されるＦＤＰステップの周波数設定間隔で設定された、周波数Ｆｃｐのアナログローカル信号を用いて、目的の中心周波数Ｆｒｆの送信信号（実数信号）に変換する。

【０１３７】

なお、以上の構成を備えた送信機は、直交変調器７１の周波数設定間隔ＦＤＰの倍数が送信信号の周波数設定間隔ＦＤの倍数と一致する場合、直交変調器７１のみの動作で、送信信号を、目的の中心周波数Ｆｒｆの送信信号（実数信号）に変換することができる。そのような場合、周波数変換器６３による周波数変換を停止しても良い。

【０１３８】

また、本構成の送信機においても、直交変調器７１の周波数設定間隔ＦＤＰが、要求された送信信号の周波数設定間隔ＦＤ以下のステップで設定可能なとき、局部発振器７０の数値制御発振器に対する周波数データ（位相差データ）設定の変更のみで、各周波数の出力が可能となるため、この送信機を制御する制御部のデータ設定時間が、従来の送信機に比較して削減されるだけでなく、数値制御発振器に設定する周波数データの演算が簡略化されるという効果が得られる。

【０１３９】

以上説明したように、第１の実施の形態の数値制御発振器は、出力する信号のサンプリング周波数をＦｓ、要求された出力信号の周波数設定間隔の上限値をＦＤとし、更にＫ及びＬを任意の整数とした場合、Ｍ＝Ｆｓ／ＦＤ×Ｋ／Ｌで計算されるＭの中で整数となるＭを用い、位相演算器１ｂにおいて、入力された位相差データと位相レジスタ１ａの出力する位相データとのＭを法とするモジュロ演算を行い位相データを生成し、Ｍ個の振幅データから成る位相振幅変換テーブルを記憶するＲＯＭ２のデータ端子から位相データに対応した振幅データを出力することにより、ｄＦ＝ＦＤ／Ｋ×Ｌで計算されるｄＦを出力信号の周波数設定間隔とする低スプリアスの数値制御発振器を実現することができる。

【０１４０】

従って、出力する信号の周波数設定間隔を希望の周波数設定間隔以下とした低スプリアスの数値制御発振器を、従来より少ないＭ個の低容量の振幅データのみにより実現することで、数値制御発振器の消費電力とコストを低減することができるという効果が得られる。同様に、第１の実施の形態の数値制御発振器を用いて、第２から第８の実施の形態に示すようなディジタルダウンコンバータやディジタルダウンコンバータ、更には復調器を備えた受信機や変調器を備えた送信機を実現すると、従来より消費電力とコストを低減したディジタルダウンコンバータやディジタルダウンコンバータ、更には受信機や送信機を実現することができるという効果が得られる。

【０１４１】

【発明の効果】

以上の如く、請求項１に記載の数値制御発振器によれば、要求された出力信号の周波数設定間隔の上限値をＦＤとし、Ｋ及びＬを任意の整数とした場合、位相累算器によって、位相差データをＭ（但し、Ｍ＝Ｆｓ／ＦＤ×Ｋ／Ｌで計算されるＭの中で整数となるＭ）を法とするモジュロ演算を用いた累算により位相データを生成し、位相振幅変換テーブルの

アドレスとして入力することで、位相振幅変換テーブルの出力として、ｄＦ＝ＦＤ／Ｋ×Ｌで計算されるｄＦステップの周波数設定間隔で設定された信号を得ることができる。

【０１４２】

従って、出力する信号の周波数設定間隔を希望の周波数設定間隔以下とした低スプリアスの数値制御発振器を、従来より少ないＭ個の低容量の振幅データのみにより実現することで、数値制御発振器の消費電力とコストを低減することができるという効果が得られる。

【０１４３】

請求項２に記載のディジタルダウンコンバータによれば、ｄＦ＝ＦＤ／Ｋ×Ｌで計算されるｄＦステップの周波数設定間隔を持つ請求項１に記載の数値制御発振器を局部発振器として発生した周波数信号を用いて、周波数変換器が入力信号を周波数変換することで、入力信号の周波数設定間隔ＦＤが周波数変換器の周波数設定間隔ｄＦ以上でかつＦＤがｄＦで割り切れる場合には、周波数設定間隔ＦＤで入力されるディジタルダウンコンバータの入力信号を、許容周波数偏差以内の希望の周波数へ変換することができる。

【０１４４】

従って、Ｍ＝Ｆｓ／ＦＤ×Ｋ／Ｌで計算される従来より少ないＭ個の低容量の振幅データのみにより実現すると共に出力する信号の周波数設定間隔を希望の周波数設定間隔以下とした低スプリアスの数値制御発振器を利用して、要求された周波数設定間隔の信号を許容周波数偏差以内の希望の周波数へ変換することができるディジタルダウンコンバータの消費電力とコストを低減することができるという効果が得られる。

【０１４５】

請求項３から請求項５に記載のディジタルダウンコンバータによれば、周波数を変換するために用意された２個の周波数変換器の内、一方をＭ１個の低容量の振幅データのみにより、扱う信号の周波数設定間隔を希望の周波数設定間隔以下とした低スプリアスの数値制御発振器を備えて実現し、もう一方をＭ２個の低容量の振幅データのみにより、扱う信号の周波数設定間隔を希望の周波数設定間隔以下とした低スプリアスの数値制御発振器を備えて実現することで、それぞれ、入力信号の周波数設定間隔ＦＤが第１の周波数変換器の周波数設定間隔ＦＤ１以上でかつＦＤがＦＤ１で割り切れない場合、入力信号の周波数設定間隔ＦＤが第１の周波数変換器の周波数設定間隔ＦＤ１未満でかつＦＤ１がＦＤで割り切れない場合、入力信号の周波数設定間隔ＦＤが第１の周波数変換器の周波数設定間隔ＦＤ１以上でかつＦＤがＦＤ１で割り切れる場合、あるいはＦＤがＦＤ１未満でかつＦＤ１がＦＤで割り切れる場合に対応できるディジタルダウンコンバータを実現することができる。

【０１４６】

従って、従来より少ないＭ１個、及びＭ２個の低容量の振幅データのみにより実現すると共に出力する信号の周波数設定間隔を希望の周波数設定間隔以下とした２つの低スプリアスの数値制御発振器を利用して、要求された周波数設定間隔の信号を許容周波数偏差以内の希望の周波数へ変換することができるディジタルダウンコンバータの消費電力とコストを低減することができるという効果が得られる。

【０１４７】

請求項６に記載のディジタルダウンコンバータによれば、第１の周波数変換器の周波数設定間隔ＦＤ１の倍数が入力信号の周波数設定間隔ＦＤの倍数と一致する場合、第１の周波数変換器のみの動作で、周波数設定間隔ＦＤで入力されるディジタルダウンコンバータの入力信号を、許容周波数偏差以内の希望の周波数へ変換することができる。

【０１４８】

従って、更に、要求された周波数設定間隔の信号を許容周波数偏差以内の希望の周波数へ変換することができるディジタルダウンコンバータの消費電力を低減することができるという効果が得られる。

【０１４９】

請求項７に記載のディジタルアップコンバータによれば、ｄＦ＝ＦＤ／Ｋ×Ｌで計算されるｄＦステップの周波数設定間隔を持つ請求項１に記載の数値制御発振器を局部発振器と

して発生した周波数信号を用いて、周波数変換器が入力信号を周波数変換することで、出力信号の周波数設定間隔ＦＤが周波数変換器の周波数設定間隔ｄＦ以上でかつＦＤがｄＦで割り切れる場合には、ディジタルアップコンバータの出力信号の周波数設定間隔をＦＤとすることができる。

【０１５０】

従って、Ｍ＝Ｆｓ／ＦＤ×Ｋ／Ｌで計算される従来より少ないＭ個の低容量の振幅データのみにより実現すると共に出力する信号の周波数設定間隔を希望の周波数設定間隔以下とした低スプリアスの数値制御発振器を利用して、要求された周波数設定間隔の信号出力することができるディジタルアップコンバータの消費電力とコストを低減することができるという効果が得られる。

【０１５１】

請求項８から請求項１０に記載のディジタルアップコンバータによれば、周波数を変換するために用意された２個の周波数変換器の内、一方をＭ１個の低容量の振幅データのみにより、扱う信号の周波数設定間隔を希望の周波数設定間隔以下とした低スプリアスの数値制御発振器を備えて実現し、もう一方をＭ２個の低容量の振幅データのみにより、扱う信号の周波数設定間隔を希望の周波数設定間隔以下とした低スプリアスの数値制御発振器を備えて実現することで、それぞれ、出力信号の周波数設定間隔ＦＤが第２の周波数変換器の周波数設定間隔ＦＤ２以上でかつＦＤがＦＤ２で割り切れない場合、出力信号の周波数設定間隔ＦＤが第２の周波数変換器の周波数設定間隔ＦＤ２未満でかつＦＤ２がＦＤで割り切れない場合、出力信号の周波数設定間隔ＦＤが第２の周波数変換器の周波数設定間隔ＦＤ２以上でかつＦＤがＦＤ２で割り切れる場合、あるいはＦＤがＦＤ２未満でかつＦＤ２がＦＤで割り切れる場合に対応できるディジタルアップコンバータを実現することができる。

【０１５２】

従って、従来より少ないＭ１個、及びＭ２個の低容量の振幅データのみにより実現すると共に出力する信号の周波数設定間隔を希望の周波数設定間隔以下とした２つの低スプリアスの数値制御発振器を利用して、要求された周波数設定間隔の信号を出力することができるディジタルアップコンバータの消費電力とコストを低減することができるという効果が得られる。

【０１５３】

請求項１１に記載のディジタルアップコンバータによれば、第２の周波数変換器の周波数設定間隔ＦＤ２の倍数が出力信号の周波数設定間隔ＦＤの倍数と一致する場合、第２の周波数変換器のみの動作で、ディジタルアップコンバータの出力信号の周波数設定間隔をＦＤとすることができる。

【０１５４】

従って、更に、要求された周波数設定間隔の信号を出力することができるディジタルアップコンバータの消費電力を低減することができるという効果が得られる。

【０１５５】

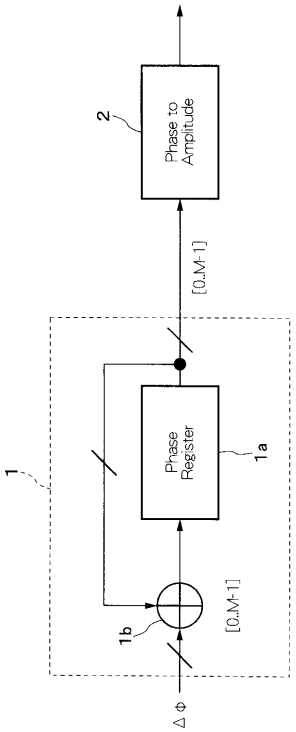
一方、請求項１２から請求項１４に記載の受信機によれば、復調器の要求する入力信号の周波数に受信信号の周波数を合わせるために用意された２個の周波数変換器の内、一方をＭ１個の低容量の振幅データのみにより、扱う信号の周波数設定間隔を希望の周波数設定間隔以下とした低スプリアスの数値制御発振器を備えて実現し、もう一方をＭ２個の低容量の振幅データのみにより、扱う信号の周波数設定間隔を希望の周波数設定間隔以下とした低スプリアスの数値制御発振器を備えて実現することで、それぞれ、入力信号の周波数設定間隔ＦＤが第１の周波数変換器の周波数設定間隔ＦＤＰ以上でかつＦＤがＦＤＰで割り切れない場合、入力信号の周波数設定間隔ＦＤが第１の周波数変換器の周波数設定間隔ＦＤＰ未満でかつＦＤＰがＦＤで割り切れない場合、入力信号の周波数設定間隔ＦＤが第１の周波数変換器の周波数設定間隔ＦＤＰ以上でかつＦＤがＦＤＰで割り切れる場合、あるいはＦＤがＦＤＰ未満でかつＦＤＰがＦＤで割り切れる場合に対応できる受信機を実現することができる。

【０１５６】
従って、従来より少ないＭ１個、及びＭ２個の低容量の振幅データのみにより実現すると共に出力する信号の周波数設定間隔を希望の周波数設定間隔以下とした２つの低スプリアスの数値制御発振器を利用して、周波数設定間隔ＦＤで入力される受信機の受信信号の周波数を復調器の要求する入力信号の周波数に正確に合わせることができる受信機の消費電力とコストを低減することができるという効果が得られる。
【０１５７】
請求項１５に記載の受信機によれば、第１の周波数変換器の周波数設定間隔ＦＤ１の倍数が入力信号の周波数設定間隔ＦＤの倍数と一致する場合、第１の周波数変換器のみの動作で、周波数設定間隔ＦＤで入力される受信機の受信信号の周波数を復調器の要求する入力信号の周波数に正確に合わせることができる。
【０１５８】
従って、更に、周波数設定間隔ＦＤで入力される受信機の受信信号の周波数を復調器の要求する入力信号の周波数に正確に合わせることができる受信機の消費電力を低減することができるという効果が得られる。
【０１５９】
請求項１６から請求項１８に記載の送信機によれば、変調器の出力する送信信号の周波数を目的の周波数に合わせるために用意された２個の周波数変換器の内、一方をＭ１個の低容量の振幅データのみにより、扱う信号の周波数設定間隔を希望の周波数設定間隔以下とした低スプリアスの数値制御発振器を備えて実現し、もう一方をＭ２個の低容量の振幅データのみにより、扱う信号の周波数設定間隔を希望の周波数設定間隔以下とした低スプリアスの数値制御発振器を備えて実現することで、それぞれ、出力信号の周波数設定間隔ＦＤが第２の周波数変換器の周波数設定間隔ＦＤＰ以上でかつＦＤがＦＤＰで割り切れない場合、出力信号の周波数設定間隔ＦＤが第２の周波数変換器の周波数設定間隔ＦＤＰ未満でかつＦＤＰがＦＤで割り切れない場合、出力信号の周波数設定間隔ＦＤが第２の周波数変換器の周波数設定間隔ＦＤＰ以上でかつＦＤがＦＤＰで割り切れる場合、あるいはＦＤがＦＤＰ未満でかつＦＤＰがＦＤで割り切れる場合に対応できる送信機を実現することができる。
【０１６０】
従って、従来より少ないＭ１個、及びＭ２個の低容量の振幅データのみにより実現すると共に出力する信号の周波数設定間隔を希望の周波数設定間隔以下とした２つの低スプリアスの数値制御発振器を利用して、変調器の出力するベースバンド送信信号の周波数を目的の送信信号の周波数に正確に合わせることができる送信機の消費電力とコストを低減することができるという効果が得られる。
【０１６１】
請求項１９に記載の送信機によれば、第２の周波数変換器の周波数設定間隔ＦＤ２の倍数が送信信号の周波数設定間隔ＦＤの倍数と一致する場合、第２の周波数変換器のみの動作で、変調器の出力するベースバンド送信信号の周波数を目的の送信信号の周波数に正確に合わせることができる。
【０１６２】
従って、更に、変調器の出力するベースバンド送信信号の周波数を目的の送信信号の周波数に正確に合わせることができる送信機の消費電力を低減することができるという効果が得られる。
【図面の簡単な説明】
【図１】本発明の第１の実施の形態による数値制御発振器の構成を示すブロック図である。
【図２】従来の数値制御発振器と、同実施の形態の数値制御発振器とのスプリアス特性のシミュレーション結果を比較したグラフである。
【図３】第１の同実施の形態の数値制御発振器を用いたディジタルダウンコンバータの構成例を示すブロック図である。

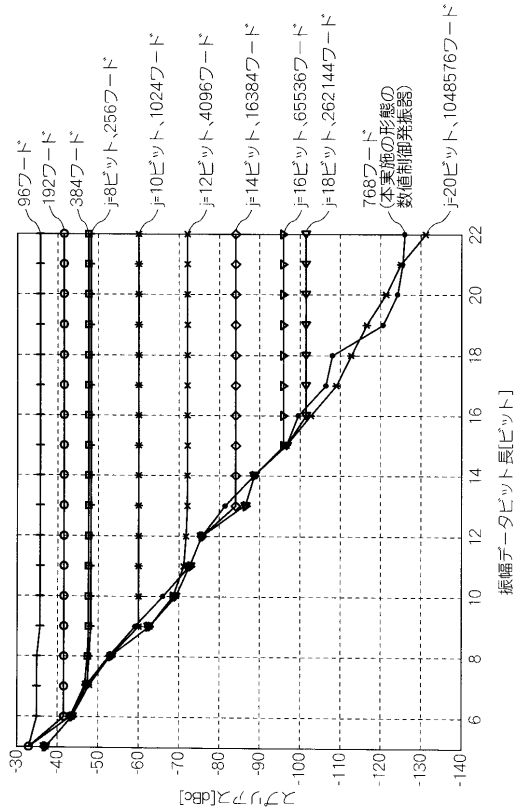
【図４】第１の実施の形態の数値制御発振器を用いたディジタルアップコンバータの構成例を示すブロック図である。
【図５】第１の実施の形態の数値制御発振器を用いたディジタルダウンコンバータの変形例の構成を示すブロック図である。
【図６】第１の実施の形態の数値制御発振器を用いたディジタルアップコンバータの変形例の構成を示すブロック図である。
【図７】第１の実施の形態の数値制御発振器を用いた受信機の構成を示すブロック図である。
【図８】第１の実施の形態の数値制御発振器を用いた受信機の構成を示すブロック図である。
【図９】第１の実施の形態の数値制御発振器を用いた送信機の構成を示すブロック図である。
【符号の説明】
１・・・位相累算器、１ａ・・・位相レジスタ、１ｂ・・・位相演算器、２・・・ＲＯＭ、１１・・・ディジタルダウンコンバータ、１２・・・周波数変換器、１２ａ・・・局部発振器、１２ｂ、１２ｃ・・・乗算器、１３・・・デシメータ、１３ａ・・・実数軸デシメータ、１３ｂ・・・虚数軸デシメータ、１４・・・ロールオフフィルタ、１４ａ・・・実数軸フィルタ、１４ｂ・・・虚数軸フィルタ、２１・・・ロールオフフィルタ、２１ａ・・・実数軸フィルタ、２１ｂ・・・虚数軸フィルタ、２２・・・インタポレータ、２２ａ・・・実数軸インタポレータ、２２ｂ・・・虚数軸インタポレータ、２３・・・周波数変換器、２３ａ・・・局部発振器、２３ｂ、２３ｃ・・・乗算器、２３ｄ・・・減算器、３１・・・周波数変換器、３１ａ・・・局部発振器、３１ｂ、３１ｃ・・・乗算器、３２・・・デシメータ、３２ａ・・・実数軸デシメータ、３２ｂ・・・虚数軸デシメータ、３３・・・周波数変換器、３３ａ・・・局部発振器、３３ｂ、３３ｃ、３３ｄ、３３ｅ・・・乗算器、３３ｆ・・・減算器、３３ｇ・・・加算器、３４・・・ロールオフフィルタ、３４ａ・・・実数軸フィルタ、３４ｂ・・・虚数軸フィルタ、４１・・・ロールオフフィルタ、４１ａ・・・実数軸フィルタ、４１ｂ・・・虚数軸フィルタ、４２・・・周波数変換器、４２ａ・・・局部発振器、４２ｂ、４２ｃ、４２ｄ、４２ｅ・・・乗算器、４２ｆ・・・減算器、４２ｇ・・・加算器、４３・・・インタポレータ、４３ａ・・・実数軸インタポレータ、４３ｂ・・・虚数軸インタポレータ、４４・・・周波数変換器、４４ａ・・・局部発振器、４４ｂ、４４ｃ・・・乗算器、４４ｄ・・・減算器、５１・・・局部発振器、５１ａ・・・数値制御発振器、５１ｂ・・・ＤＡＣ、５１ｃ・・・ＰＬＬ回路、５２・・・ミキサ、５３・・・バンドパスフィルタ、５４・・・ＡＤＣ、５５・・・復調器、６１・・・変調器、６２・・・ロールオフフィルタ、６２ａ・・・実数軸フィルタ、６２ｂ・・・虚数軸フィルタ、６３・・・周波数変換器、６３ａ・・・局部発振器、６３ｂ、６３ｃ、６３ｄ、６３ｅ・・・乗算器、６３ｆ・・・減算器、６３ｇ・・・加算器、６４ａ・・・実数軸インタポレータ、６４ｂ・・・虚数軸インタポレータ、６５・・・ローパスフィルタ、６６ａ、６６ｂ・・・乗算器、６７ａ・・・バンドパス実数軸フィルタ、６７ｂ・・・バンドパス虚数軸フィルタ、６７ｃ・・・減算器、６７ｄ・・・加算器、６８・・・インタポレーションバンドパスフィルタ、６９ａ・・・実数軸用ＤＡＣ、６９ｂ・・・虚数軸用ＤＡＣ、７０・・・局部発振器、７０ａ・・・数値制御発振器、７０ｂ・・・ＤＡＣ、７０ｃ・・・ＰＬＬ回路、７１・・・直交変調器、７１ａ、７１ｂ・・・乗算器、７１ｃ・・・減算器、８１・・・局部発振器、８１ａ・・・数値制御発振器、８１ｂ・・・ＤＡＣ、８１ｃ・・・ＰＬＬ回路、８２・・・直交復調器、８２ａ・・・実数軸ミキサ、８２ｂ・・・虚数軸ミキサ、８３・・・バンドパスフィルタ、８３ａ・・・実数軸バンドパスフィルタ、８３ｂ・・・虚数軸バンドパスフィルタ、８４・・・ＡＤＣ、８４ａ・・・実数軸用ＡＤＣ、８４ｂ・・・虚数軸用ＡＤＣ、８５・・・周波数変換器、８５ａ・・・局部発振器、８５ｂ、８５ｃ、８５ｄ、８５ｅ・・・乗算器、８５ｆ・・・減算器、８５ｇ・・・加算器、８６・・・デシメータ、８６ａ・・・実数軸デシメータ、８６ｂ・・・虚数軸デシメータ、８７・・・ロールオフフィルタ、８７ａ・・・実数軸フィ

ルタ、８７ｂ・・・虚数軸フィルタ

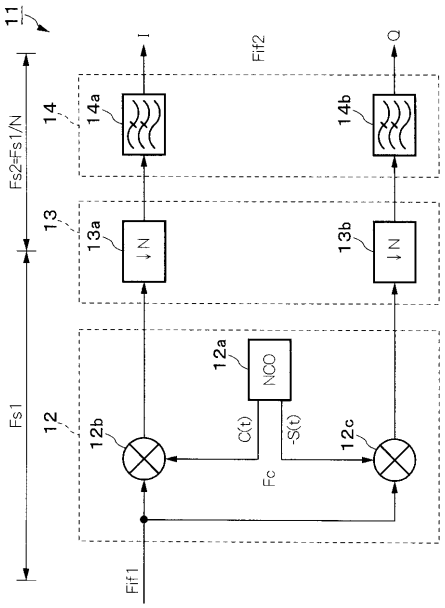
【図１】



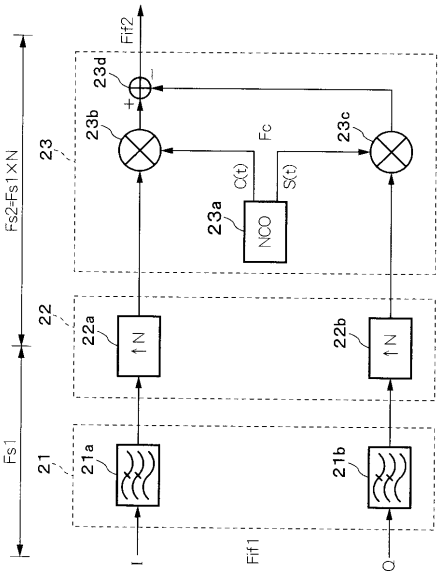
【図２】



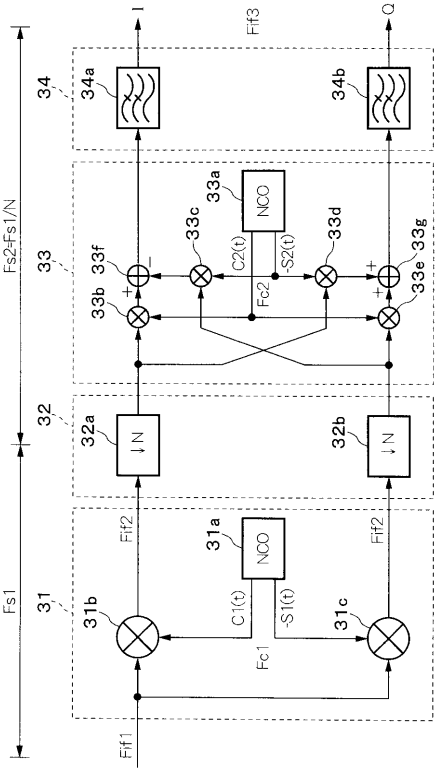
【図３】


11
Fs2=Fs1/N
Fs1
14
13
12
14a
14b
13a
13b
12a
12b
12c
NCO
C(t)
-S(t)
Fc
↓N
I
Q
Fif2
Fif1

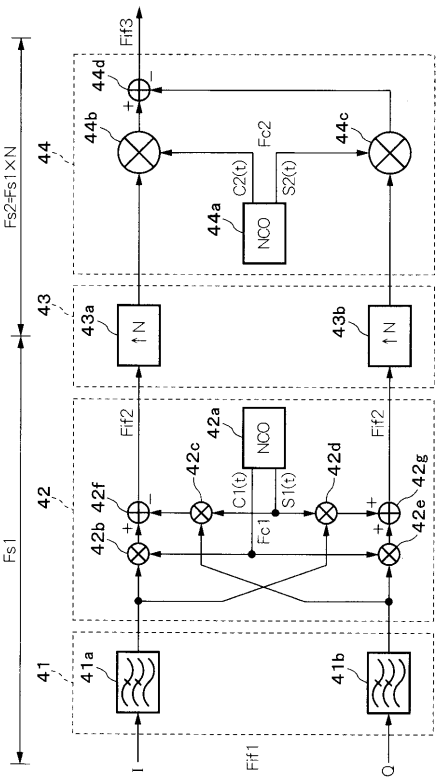
【図４】


Fs2=Fs1×N
Fs1
23
22
21
23a
23b
23c
23d
22a
22b
21a
21b
NCO
C(t)
S(t)
Fc
↑N
I
Q
Fif2
Fif1

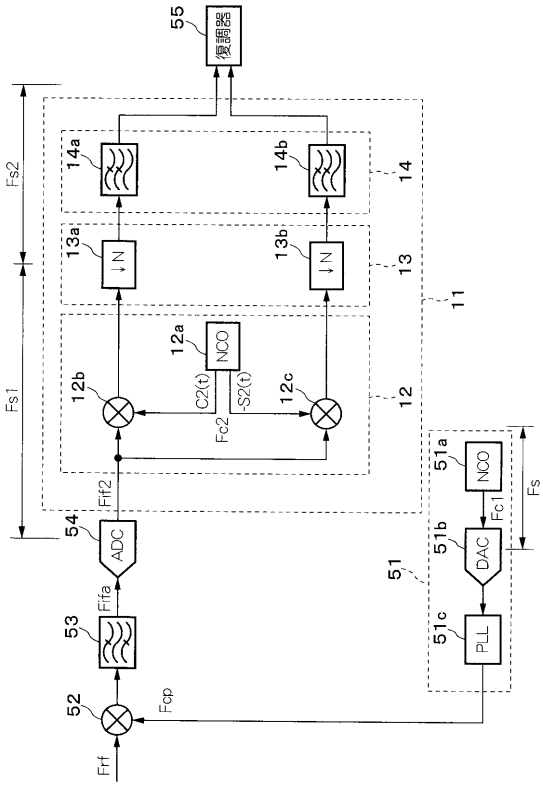
【図５】


Fs2=Fs1/N
Fs1
34
33
32
31
34a
34b
33a
33b
33c
33d
33e
33f
33g
32a
32b
31a
31b
31c
NCO
C2(t)
-S2(t)
Fc2
C1(t)
-S1(t)
Fc1
↓N
I
Q
Fif3
Fif2
Fif1

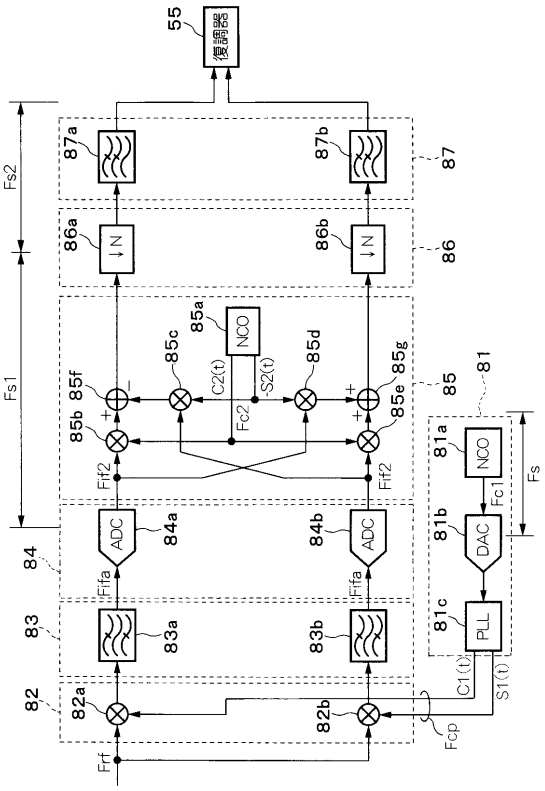
【図６】


Fs2=Fs1×N
Fs1
44
43
42
41
44a
44b
44c
44d
43a
43b
42a
42b
42c
42d
42e
42f
42g
41a
41b
NCO
C2(t)
S2(t)
Fc2
C1(t)
S1(t)
Fc1
↑N
I
Q
Fif3
Fif2
Fif1

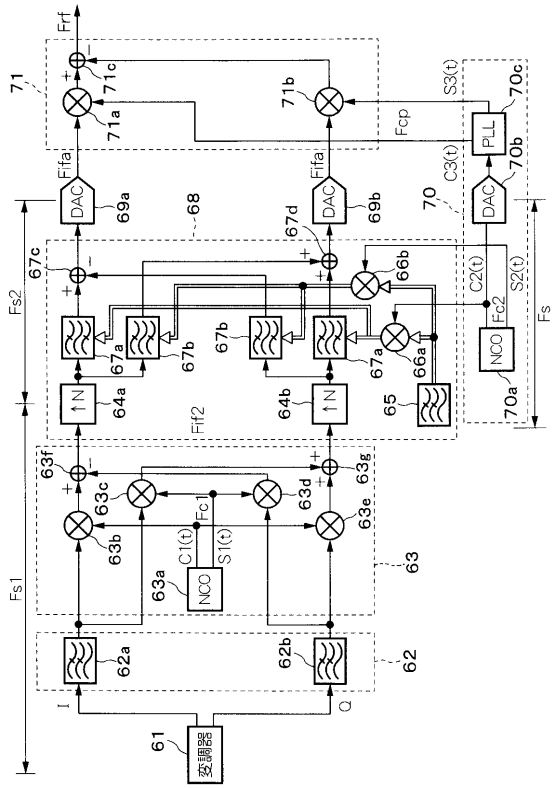
【図７】


55
復調器
Fs2
Fs1
14
14a
14b
13
13a
13b
↓N
11
12
12a
NCO
C2(t)
-S2(t)
Fc2
12b
12c
Fif2
54
ADC
Fifa
53
52
Fcp
Frf
51
51a
51b
51c
NCO
DAC
PLL
Fc1
Fs

【図８】


55
復調器
Fs2
Fs1
87
87a
87b
86
86a
86b
↓N
85
85a
NCO
C2(t)
-S2(t)
Fc2
85b
85c
85d
85e
85f
85g
Fif2
81
81a
81b
81c
NCO
DAC
PLL
Fc1
Fs
C1(t)
S1(t)
84
84a
84b
ADC
Fifa
83
83a
83b
82
82a
82b
Fcp
Frf

【図９】


Frf
71
71a
71b
71c
Fcp
S3(t)
70c
PLL
70b
C3(t)
70
Fifa
DAC
69a
69b
68
67d
67c
66b
C2(t)
S2(t)
Fc2
Fs
Fs2
67a
67b
66a
NCO
70a
↑N
64a
64b
65
Fif2
63f
63g
63c
63d
63e
63b
Fc1
C1(t)
S1(t)
63a
NCO
63
Fs1
62a
62b
62
I
Q
61
変調器