

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5039302号
(P5039302)

(45) 発行日 平成24年10月3日(2012.10.3)

(24) 登録日 平成24年7月13日(2012.7.13)

(51) Int.Cl.		F I	
G06F	12/00	(2006.01)	G06F 12/00 597D
G06F	1/10	(2006.01)	G06F 1/04 330A
G06F	1/12	(2006.01)	G06F 1/04 340
H04L	7/00	(2006.01)	H04L 7/00 B

請求項の数 14 (全 19 頁)

(21) 出願番号	特願2005-509996 (P2005-509996)	(73) 特許権者	508034325
(86) (22) 出願日	平成15年12月17日(2003.12.17)		モサイド・テクノロジーズ・インコーポレ ーテッド
(65) 公表番号	特表2006-511899 (P2006-511899A)		カナダ・オンタリオ・K2K・2X1・オ タワ・ハインズ・ロード・11・スイート ・203
(43) 公表日	平成18年4月6日(2006.4.6)	(74) 代理人	100064746
(86) 国際出願番号	PCT/US2003/040237		弁理士 深見 久郎
(87) 国際公開番号	W02004/059471	(74) 代理人	100085132
(87) 国際公開日	平成16年7月15日(2004.7.15)		弁理士 森田 俊雄
審査請求日	平成18年11月15日(2006.11.15)	(74) 代理人	100083703
(31) 優先権主張番号	60/434,841		弁理士 仲村 義平
(32) 優先日	平成14年12月19日(2002.12.19)	(74) 代理人	100096781
(33) 優先権主張国	米国 (US)		弁理士 堀井 豊
(31) 優先権主張番号	10/352,372		
(32) 優先日	平成15年1月27日(2003.1.27)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 スレーブQDR II 準拠コプロセッサ

(57) 【特許請求の範囲】

【請求項1】

QDR II インターフェイス要件に準拠した、データを入力クロックから出力クロックに再同期させる同期回路であって、

2nビットのデータを受取り、入力クロックによりクロック制御される第1の透過ラッチと、

第1の透過ラッチからデータを受取り、データクロックが遅延させられたものである遅延出力クロックによりクロック制御される第2の透過ラッチと、

第2の透過ラッチからデータを受取り、出力クロックによりクロック制御される出力ラッチとを備え、

出力ラッチは、

第2の透過ラッチから出力される2nビットのデータのうち後に出力するnビットのデータを受信するように構成された第1のフリップフロップと、

第2の透過ラッチから出力される2nビットのデータのうち先に出力するnビットのデータと第1のフリップフロップの出力とを出力クロックの各端により切替えるように構成されたマルチプレクサと、

マルチプレクサからデータを受取り、出力クロックの各端によりクロック制御される第2のフリップフロップとを含み、

入力クロックはマスタクロックであり、

データクロックは、マスタクロックを位相シフトしたものであり、

遅延出力クロックは挿入遅延を含み、出力クロックは、遅延出力クロックの挿入遅延を除去して遅延ロックスルー処理したものである、同期回路。

【請求項 2】

入力クロックに対する出力クロックの位相差が 0° から 180° である、請求項 1 に記載の同期回路。

【請求項 3】

出力ラッチは出力クロックの各端でトリガされる、請求項 1 に記載の同期回路。

【請求項 4】

出力クロックのクロック周期ごとに 2 回、出力ラッチからデータが出力される、請求項 1 に記載の同期回路。

10

【請求項 5】

第 1 の透過ラッチおよび第 2 の透過ラッチは、開のときには受取ったデータを通過させ、閉のときには受取った最後のデータを保持する、請求項 1 に記載の同期回路。

【請求項 6】

第 1 の透過ラッチは、入力クロックが論理「1」のときに開であり、入力クロックが論理「0」のときに閉である、請求項 5 に記載の同期回路。

【請求項 7】

第 2 の透過ラッチは、遅延出力クロックが論理「1」のときに開であり、遅延出力クロックが論理「0」のときに閉である、請求項 6 に記載の同期回路。

【請求項 8】

20

Q D R I E インターフェイス要件に準拠した、データを入力クロックから出力クロックに同期させる方法であって、

入力クロックによりクロック制御される第 1 の透過ラッチにより 2 n ビットのデータを受取るステップと、

データクロックが遅延させられたものである遅延出力クロックによりクロック制御される第 2 の透過ラッチにより第 1 の透過ラッチからデータを受取るステップと、

出力クロックによりクロック制御される出力ラッチにより第 2 の透過ラッチからデータを受取るステップとを備え、

第 2 の透過ラッチからデータを受取るステップは、

第 1 のフリップフロップによって、第 2 の透過ラッチから 出力される 2 n ビットのうち後に出力する n ビットのデータを受取るステップと、

30

マルチプレクサによって、第 2 の透過ラッチから 出力される 2 n ビットのデータのうち先に出力する n ビットのデータと第 1 のフリップフロップの出力とを 出力クロックの各端により切替えるステップと、

出力クロックの各端によりクロック制御される第 2 のフリップフロップによりマルチプレクサからデータを受取るステップとを含み、

入力クロックはマスタクロックであり、

データクロックは、マスタクロックを位相シフトしたものであり、

遅延出力クロックは挿入遅延を含み、出力クロックは、遅延出力クロックの挿入遅延を除去して遅延ロックスルー処理したものである、方法。

40

【請求項 9】

入力クロックに対する出力クロックの位相差が 0° から 180° である、請求項 8 に記載の方法。

【請求項 10】

出力ラッチは出力クロックの各端でトリガされる、請求項 8 に記載の方法。

【請求項 11】

出力クロックのクロック周期ごとに 2 回、出力ラッチからデータが出力される、請求項 8 に記載の方法。

【請求項 12】

第 1 の透過ラッチおよび第 2 の透過ラッチは、開のときには受取ったデータを通過させ

50

、閉のときには受取った最後のデータを保持する、請求項 8 に記載の方法。

【請求項 1 3】

第 1 の透過ラッチは、入力クロックが論理「1」のときに開であり、入力クロックが論理「0」のときに閉である、請求項 1 2 に記載の方法。

【請求項 1 4】

第 2 の透過ラッチは、遅延出力クロックが論理「1」のときに開であり、遅延出力クロックが論理「0」のときに閉である、請求項 1 3 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願

本願は、米国特許法第 1 1 9 条または第 3 6 5 条に基づき、2003 年 1 月 27 日出願の米国特許出願第 1 0 / 3 5 2 , 3 7 2 号の優先権を主張し、2002 年 1 2 月 1 9 日出願の米国仮特許出願第 6 0 / 4 3 4 , 8 4 1 号の利益を主張する。上記出願の教示全体は引用によりここに援用される。

【背景技術】

【0002】

発明の背景

DDR (Double Data Rate) および DDR II、ならびに QDR (Quad Data Rate) および QDR II は、SRAM (Static Random Access Memory) の相互接続を高速化する業界標準のアーキテクチャである。DDR アーキテクチャでは、1 クロックサイクル当り 2 メモリアクセスを実行することで標準 SRAM のデータレートを 2 倍にする。QDR アーキテクチャでは、入力ポートと出力ポートとを別個とし、互いに独立に動作させることによって、1 クロックサイクル当り 2 メモリ読出および 2 メモリ書込を可能としている。QDR アーキテクチャでは、1 クロックサイクル当りメモリ読出およびメモリ書込が 2 回ずつ行なわれるため、1 クロックサイクル当り 4 メモリアクセスを可能とすることで標準 SRAM のデータレートは 4 倍になっている。

【0003】

本来、QDR アーキテクチャは、高速 SRAM インターフェイスのために設計されたものである。しかし、QDR アーキテクチャはその他の高周波数用途でも利用されており、たとえばメモリベースのコプロセッサへの標準インターフェイスとして利用されている。

【0004】

QDR アーキテクチャでは、SRAM への読出アクセスおよび書込アクセスの制御に用いられるマスタ (master) クロック対が規定されている。たとえば、SRAM から読出されるデータは、いずれもマスタクロック対の立上がり端に整列させられる。

【0005】

低い動作周波数、たとえば 1 3 3 MHz 未満での動作時には、QDR 装置に結合されたバスマスタ (たとえば ASIC またはマイクロプロセッサ) には、マスタクロック対の立上がり端を用いて、マスタクロック対に同期したデータを入手する時間が十分に確保されている。しかし、QDR 装置の動作周波数の増大に伴い、データ有効窓および保持時間は減少する。メモリベースのコプロセッサがマスタクロック対に同期させたデータは、バスマスタがマスタクロック対を用いて入手したときに有効でない場合がある。動作周波数が高くてバスマスタが有効データを入手できるようにするため、QDR アーキテクチャではさらにデータクロック対が併せて規定されている。データクロック対はマスタクロック対を位相シフトしたものである。

【発明の開示】

【発明が解決しようとする課題】

【0006】

QDR アーキテクチャにおいては、バスマスタがマスタクロック対の代わりにデータクロック対を用いてデータを入手できるようにすることにより、バスマスタにおいてデータ

10

20

30

40

50

セットアップと保持時間を合わせている。したがって、データがデータ記憶部から読出された後、メモリベースのコプロセッサはこのデータをデータクロック対に同期させなければならない。しかし、マスタクロック対とデータクロック対との間にはかなりの位相差（スキュー）が存在する場合がある。

【課題を解決するための手段】

【0007】

発明の概要

スキュー補償回路であって、QDR IIインターフェイス要件に準拠し、入力クロックと出力クロックとの間の大きな位相差に対処するものが提示される。

【0008】

透過ラッチは、2つの状態すなわち開状態および閉状態を有する。開のときには、透過ラッチは入力にあるデータを出力へ通過させる。閉のときには、透過ラッチは、開状態から閉状態へ遷移した際に入力に存在するデータを保持する。透過ラッチは、開のときには、入力に存在するデータを入手するための窓を与えることにより、入力から出力へデータを通過させるために次のクロック端を待つことを回避する。

【0009】

データを入力クロックから出力クロックに再同期させる同期回路は、第1の透過ラッチ、第2の透過ラッチおよび出力ラッチを含む。第1の透過ラッチは、データを受取り、入力クロックによってクロック制御される。第2の透過ラッチは、第1の透過ラッチからデータを受取り、遅延出力クロックによってクロック制御される。この遅延出力クロックとは、出力クロックが遅延させられたものである。出力ラッチは、第2の透過ラッチからデータを受取り、出力クロックによってクロック制御される。遅延出力クロックは挿入遅延を含み得る。出力クロックは、上記遅延出力クロックの挿入遅延を除去して遅延ロックループ処理したものであり得る。

【0010】

上記入力クロックはマスタクロック対のK クロックであり、上記出力クロックはデータクロック対のC クロックである場合がある。上記出力ラッチは端でトリガされ得る。上記出力ラッチからはデータが2倍のデータレートで出力され得る。

【0011】

第1の透過ラッチおよび第2の透過ラッチは、開のときには受取ったデータを通過させ、閉のときには受取った最後のデータを保持する。一実施例では、上記第1の透過ラッチは、上記入力クロックが論理「1」のときに開であり、上記入力クロックが論理「0」のときに閉であり、上記第2の透過ラッチは、上記遅延出力クロックが論理「1」のときに開であり、上記出力クロックが論理「0」のときに閉である。

【0012】

この発明についての上述およびその他の目的、特徴および利点は、添付の図面で例示されるようなこの発明の好ましい実施例について以下に記載のより具体的な説明から明らかとなるであろう。図面においては、各図を通じて同様の参照符号は同様の部分を指す。図面は必ずしも一定の縮尺に従って描かれたものではなく、むしろこの発明の原理の説明に重点が置かれている。

【発明を実施するための最良の形態】

【0013】

発明の詳細な説明

以下、この発明の好ましい実施例について説明を行なう。

【0014】

図1は、この発明の原理に従う、データ記憶部110から受取ったデータを同期させるためのスキュー補償回路106を含む装置100のブロック図である。装置100は、バスマスタ101から受取ったデータ読出し要求にตอบสนองして、データ記憶部110に記憶されたデータを出力する。バスマスタ101としては、装置100にコマンドを発行することのできるマイクロプロセッサまたは特定用途向け集積回路（ASIC）とすることがで

10

20

30

40

50

きる。

【0015】

データ記憶部110から出力されるデータは、マスタクロック対と同期させられる。データ出力回路104は、データ記憶部から受取ったデータを、クロック選択回路108により選択される遅延出力クロック115に再同期させる。マスタクロック対112に同期させたデータ記憶部からのデータはスキュー補償回路106によって条件付けられ、こうして出力ラッチ102に転送されるデータをD L L出力クロックに同期させることが可能となっている。

【0016】

スキュー補償回路106は、マスタクロック対と選択された遅延出力クロックとの間のスキューについて補償し、さらにデータおよびマスタクロック対間のスキューについて補償する。図2A-2Bを参照して、スキュー補償回路106は2つの透過ラッチ120, 130を含む。各々の透過ラッチ120, 130は、2つの状態すなわち開状態および閉状態を有する。ラッチが開状態のとき、入力に存在するデータは出力へ通過する。ラッチが閉状態のとき、開状態から閉状態へ遷移した際に入力に存在するデータがラッチの出力に保持される。

10

【0017】

図示の実施例においては、ラッチ120, 130は、クロック入力に結合されたそれぞれのクロック信号が「1」のときに開であり、それぞれのクロック信号が「0」のときに閉になる。開のとき、透過ラッチは、次のクロック端を待つ代わりに入力にあるデータを入手するための窓を与える。

20

【0018】

図1を再び参照して、一例では、データ記憶部110は、データを記憶するためのメモリまたはレジスタを含んでおり、独立に動作する別個の入力ポート118および出力ポート116を有していることでデータを同時に読出および書込可能としている。入力ポート116でデータ出力回路104に受取られるデータ出力はマスタクロック対112に同期させられる。

【0019】

データ出力回路104は、データ記憶部110から受取ったデータをD L L出力クロックに同期させる。クロック選択回路108は、データ出力122を同期させるためのD L L出力クロックを選択する。

30

【0020】

一実施例では、出力ポート116を通じて出力されるデータは、マスタクロック対112の立上がり端に同期させられる。しかしながら、これに代わる実施例では、データ出力はマスタクロック対112の立下がり端に同期させられてもよい。マスタクロック対に同期させたデータがデータ記憶部110から出力された後、このデータを出力クロック115に同期させることができる。データクロック対114は、マスタクロック対112を位相シフトしたものである。スキュー補償回路106は、マスタクロック対112とデータクロック対114との間で最大180°の位相シフト(スキュー)に対処する。

【0021】

40

クロック選択回路108は、データクロック対114にクロック信号を検出するためのクロック検出器を含む。このクロック検出器については下に図5との関連で説明する。データクロック対114にクロック信号が検出された場合、データクロック対114のクロック信号のうち1つが遅延出力クロック115として選択され、これによりスキュー補償回路106はデータを条件付けて、データが出力ラッチ102によって出力クロックに同期させられ得るようにする。そうでない場合、マスタクロック対112のうち1つがスキュー補償回路106のための遅延出力クロック115として選択される。

【0022】

遅延出力クロック115に基づいてデータが条件付けられた後、スキュー補償回路106により出力された条件付け後のデータ123は出力ラッチ102に結合される。出力ラ

50

ッチ102は、上記条件付け後のデータを出カクロック(DLL出カクロック)117に同期させ、DLL出カクロック117に同期したデータ出力をもたらす。図2A-2Bは、図1に示す、データ記憶部110に結合されたデータ出力インターフェイス104のより詳細なブロック図である。図示の実施例では、出力ラッチ102は、DDR(Dual Data Rate)データ出力を生成するための回路を含む。しかしながら、これに代わる一実施例では出力を単一倍データレートとしてもよい。その場合、D型フリップフロップ(DFF)150の入力をスキュー補償回路106の透過ラッチ130の出力に直接結合し、DLL210から出力されたDLL__CKでD型フリップフロップ150をクロック制御する。

【0023】

上述のように、データクロック対114は、マスタクロック対112を位相シフトしたものである。QDRアーキテクチャについて示した実施例においては、マスタクロック対112は、K__CLK信号およびK__CLK信号を含む(図3)。K__CLK信号は、K__CLK信号を180°位相シフトしたものである。データクロック対114は、C__CLK信号およびC__CLK信号を含む。C__CLK信号は、C__CLK信号を180°位相シフトしたものである。

【0024】

図示の実施例では、データ記憶部110は、別個の独立した入力ポートおよび出力ポートを有するデュアルポートのSRAM(Static Random Access Memory)である。入力ポート118および出力ポート116の各々は36ビットデータバスを含む。入力ポート118はまた、アドレスおよび制御信号を含む。入力ポート118を通じて入力されるデータおよびコマンド、ならびに出力ポート116を通して出力されるデータは、いずれもマスタクロック対(K__CLK、K__CLK)112に同期させられる。

【0025】

これに代わる一実施例では、データ記憶部110には、CAM(Content Addressable Memory)またはDRAM(Dynamic Random Access Memory)を用いてもよい。データ記憶部としてはまた、データ記憶用の論理ブロックたとえばレジスタブロックを用いてもよい。

【0026】

入力ポート118は2倍データレートのデータを受け付ける。すなわち、K__CLK周期ごとに新たなコマンドまたはデータを2回受取ることができる。たとえば、一実施例では、K__CLK信号における各々の端(立下がり端および立上がり端)で新たなコマンドまたはデータが受取られ、その場合、K__CLKの立上がり端およびK__CLKの立上がり端の両方でコマンドまたはデータが入手される。当該コマンドがその完了にK__CLK周期2つ以上を要する場合でも、データ記憶部はクロック周期1つにつき新たなコマンドまたはデータを2回受け付けることができる。

【0027】

出力ポート116から送られるデータはマスタクロック対に同期させられる。スキュー補償回路106は、遅延出力クロック115に応じて出力ポート116から送られたデータを転送する。K__CLKおよびK__CLKは、当該装置の入力ピンで受取られるKクロックおよびKクロックが遅延させられたものである。C__CLKおよびC__CLK信号は、当該装置の入力ピンで受取られるCクロックおよびCクロックが遅延させられたものである。遅延ブロック231, 232, 233, 234は、入力バッファ、信号トレースおよびその他の当該装置内の構成要素に起因する遅延を意味する。遅延出力クロック115は、Kクロックが遅延させられたものか、またはCクロックが遅延させられたもののいずれかであるが、これはクロック検出器240がデータクロック対114にクロック信号を検出するか否かに依存する。

【0028】

クロック検出器240には、当該技術で公知のどのクロック検出器を用いてもよい。クロック検出器の一実施例については下に図4との関連で説明する。クロック検出器240

10

20

30

40

50

の出力202はマルチプレクサ200, 220を制御する。クロック検出器240は、データクロック対114でクロック信号が受取られたか否かを検出する。クロック検出器240により出力されマルチプレクサ220, 200に結合されるCCLK検出信号の状態によって、遅延出力クロックに転送されるのはKCLKなのか、またはCCLKなのかを選択される。データクロック対にクロック信号202が検出された場合、CCLKが遅延出力クロックとしてマルチプレクサ200を通過して遅延ロックループ(DLL)210の入力に送られ、CCLKがマルチプレクサ220を通過して遅延ロックループ(DLL)230の入力に結合される。一方、データクロック対にクロック信号が検出されなかった場合、KCLKおよびKCLKがマルチプレクサ200, 220を通過して送られる。

10

【0029】

上述のように、スキュー補償回路106は2つの透過ラッチ120, 130を含む。データ記憶部110の出力ポート116は、36ビット透過ラッチ120に結合される(Aデータ)。透過ラッチ120のデータ出力(Bデータ)は、透過ラッチ130のデータ入力に結合される。透過ラッチ120はKCLKにより制御され、透過ラッチ130は遅延出力クロック115により制御される。KCLKが論理「1」の間、透過ラッチ120は開であり、データはデータ入力から(Aデータバス)、データ出力へ(Bデータバス)転送される。KCLKが論理「0」の間、ラッチ120は閉であり、KCLKの立下がり端にて入手されたデータがラッチ120に記憶されてBデータバスに出力される。ラッチ120が閉の間、入力Aデータバスでの変化が出力Bデータバスでの変化を引き起こすことはない。透過ラッチ130も同様に、遅延出力クロックにตอบสนองして動作する。KCLKと遅延出力クロックとの間にスキューがなければ、Aバスにあるデータは、Aバスで受取られたときに両方のラッチ120, 130を通過してCデータバスへ転送される。KCLKと遅延出力クロックとの間にスキューがある場合、Aバスで受取られたデータは、受取られるとラッチ120に転送されてラッチ120により記憶され、ラッチ130が開の間にCデータバスへ転送されるよう有効データがBデータバスに転送される。透過ラッチの動作については下に図4~8との関連で説明する。

20

【0030】

遅延出力クロック115はDLLロック信号でないため、挿入遅延についての周知の問題が生じてしまう。挿入遅延とは、信号が集積回路内の入力ピンから、当該集積回路内で当該信号が使用される場所まで進むのにかかる時間のことである。挿入遅延が生じる理由としては、システムにおける物理的なワイヤおよび構成要素の抵抗遅延および容量遅延、ならびに入力バッファを通じての遷移時間がある。

30

【0031】

遅延ロックループ(DLL)210, 230は、特定のクロック周波数範囲に対して微調整され、このような挿入遅延について補償を行なう。図3は、装置100の入力ピンで受取られたとおりのデータクロック対(Cクロック、Cクロック)を示す。図3に示すように、遅延出力クロック端(立下がり端および立上がり端)は、データクロック対におけるそれぞれ立下がり端および立上がり端から挿入遅延300だけ後に生じる。DLLは、この挿入遅延のないDLL出力クロック(DLLCLK、DLLCLK)を与えることで上記挿入遅延について補償をする。すなわち、DLL出力は、ピンでのデータクロック対信号と位相整列させられる。DLLの動作については、下に図11との関連でより詳細に説明する。

40

【0032】

図2A-2Bを再び参照して、DLL230, 210の出力はエッジ検出器190に結合される。エッジ検出器190としては、当業者に周知のどのエッジ検出器を用いてもよい。エッジ検出器は、DLLCLK信号の立上がり端またはDLLCLK信号の立上がり端を検出した際にDDRクロック信号191に正のパルスを出力する。DDRクロック信号191の立上がり端により、D型フリップフロップ150がクロック制御されて2倍データレート出力がもたらされる。エッジ検出器190にはさらに、セット-リセット(

50

S R) フリップフロップ 1 8 0 が結合される。S R フリップフロップ 1 8 0 の状態は、エッジ検出器出力信号 1 9 2 における各々の立上がり端にて変化する。セット - リセットフリップフロップ出力 1 9 3 は遅延要素 1 8 5 に結合される。遅延要素 1 8 5 の出力はマルチプレクサ 1 4 0 に結合され、3 6 ビットデータのうち D D R 出力クロック 1 9 1 の各端で出力される 1 8 ビットはいずれかを選択する。データビット 3 5 ~ 1 8 は C _ C L K の立上がり端にตอบสนองして出力され、データビット 1 7 ~ 0 は C _ C L K の立上がり端にตอบสนองして出力される。

【 0 0 3 3 】

図 4 は、図 2 A - 2 B に示すスキュー補償回路におけるデータとクロックとの関係を示すタイミング図であって、早いデータでかつマスタクロック対とデータクロック対との間における並のスキューの場合を示す。図示の実施例では、クロック検出器によってデータクロック対にクロック信号が検出されており、データ出力はデータクロック対 (C _ C L K、C _ C L K) の立上がり端に同期させられている。C _ C L K は K _ C L K を遅延させたものであり、C _ C L K は K _ C L K を遅延させたものである。このタイミング図を図 2 A - 2 B のブロック図との関連で説明する。クロックをそれぞれ遅延させたものにおける立上がり端および立下がり端間に並のスキュー 8 0 0 があり、さらに K _ C L K の立上がり端と有効データとの間にデータスキューがある。

【 0 0 3 4 】

時刻 8 0 1 にて、K _ C L K の立上がり端に先立ちデータバス A のポート 1 1 6 にてデータ記憶部からの有効データが早く出力される。データ記憶部から受取られるデータは、1 つの K クロック周期の間だけ有効である。ここでは、この有効データは、最初の K _ C L K 立上がり端にตอบสนองして生じるものとして示してあるが、当業者であれば、この出力を生成するためにはいくつもの K クロックサイクルがかかる場合もあることが理解されるであろう。時刻 8 0 2 にて、K _ C L K の立上がり端で透過ラッチ 1 2 0 が開になり、データがデータバス B に転送される。時刻 8 0 3 にて、C _ C L K の立上がり端で透過ラッチ 1 3 0 が開になり、有効データがデータバス C に転送される。K _ C L K がローの間、データバス A で受取られた最後のデータがラッチ 1 2 0 に記憶される。同様に、C _ C L K がローのとき、C _ C L K がハイの間にデータバス B で受取られた最後のデータがラッチ 1 3 0 に記憶される。

【 0 0 3 5 】

図 2 A - 2 B を再び参照して、3 6 ビットデータがデータバス C に転送された後、このデータは、一度に 1 8 ビットで、D 型フリップフロップ 1 5 0 を通って 2 倍データレートで転送される。転送されるべきビットが上位 1 8 ビットなのか下位 1 8 ビットなのかは遅延マルチプレクサ制御信号 1 8 6 によって制御される。時刻 8 0 4 にて、C _ C L K (およびその D L L ロック導出信号 D L L _ C K) における次の立上がり端に伴ない、バス 1 3 3 における D 型フリップフロップ 1 7 0 の入力にあるデータビット 3 5 ~ 1 8 がバス 1 7 1 にラッチされる。結果としてエッジ検出器出力 1 9 1 に生じたパルスは D 型フリップフロップ 1 5 0 をクロック制御し、データビット 1 7 ~ 0 はバッファ 1 6 0 を通って出力される。上記パルスはさらに、セットリセットフリップフロップ 1 8 0 の状態を切替える。このセットリセットフリップフロップの出力は遅延 1 8 5 を通じて遅延させられ、マルチプレクサイネーブルの状態を切替えることによってバス 1 7 1 にあるデータビット 3 5 ~ 1 8 がこのマルチプレクサを通してバス 1 4 1 に達することを可能にする。

【 0 0 3 6 】

時刻 8 0 5 にて、C _ C L K (およびその D L L ロック導出信号 D L L _ C K) における次の立上がり端に伴ない、やはり信号 1 9 1 においてパルスが生成され、これはフリップフロップ 1 5 0 をクロック制御してデータビット 3 5 ~ 1 8 をラッチさせる。それから、データビット 3 5 ~ 1 8 はバッファ 1 6 0 により出力される。当業者であれば、フリップフロップ 1 7 0、1 5 0 のセットアップおよび保持の要件を満たすようにシステムが設計されることに注目するであろう。スキュー補償回路は、データを条件付けることによって、有効データが D D R 出力クロックでのそれぞれの端 (立上がり端または立下がり端)

10

20

30

40

50

に先立ちデータバスCに出力されるようにし、こうして有効データはDDR出力クロックに同期させられる。

【0037】

図5は、図2A - 2Bに示すスキュー補償回路におけるデータとクロックとの関係を示すタイミング図であって、遅いデータでかつマスタクロック対とデータクロック対との間における並のスキューの場合を示す。このデータは、K_{CLK}の立上がり端の後、時刻900でデータバスAで有効である。K_{CLK}がハイであれば、ラッチ120は透過可能であり、データはデータバスAからデータバスBに転送される。これに加え、C_{CLK}がハイのとき、透過ラッチ130は開であり、有効データはデータバスBからデータバスCに転送される。その直後、時刻901にて、K_{CLK}はローに遷移し、ラッチ120は、データバスAで受取った最後のデータを記憶し、記憶したデータをデータバスBに転送する。時刻902にて、C_{CLK}はハイになるとともにC_{CLK}はローになり、透過ラッチ130は、データバスBで受取った最後のデータを記憶し、記憶したデータをデータバスCに転送する。

10

【0038】

時刻903にて、エッジ検出器190を通じてのC_{CLK}（およびそのDLLロック導出信号DLL_{CLK}）の立上がり端に伴ない、D型フリップフロップ150において36ビットデータバスの下位18ビット（D[17:0]）がラッチされ、この下位18ビットが出力バスに転送される。

【0039】

時刻904にて、エッジ検出器190を通じてのC_{CLK}（およびそのDLLロック導出信号DLL_{CLK}）の立上がり端に伴ない、フリップフロップ150において36ビットデータバスの上位18ビット（D[35:18]）がラッチされ、この上位18ビットが出力バスに転送される。

20

【0040】

図6は、図2A - 2Bに示すスキュー補償回路におけるデータとクロックとの関係を示すタイミング図であって、早いデータでかつマスタクロック対とデータクロック対との間における最も不利なスキュー（180°）の場合を示す。これは最も不利なスキュー条件である。時刻1000にて、データはデータバスAで有効である。時刻1001にて、K_{CLK}の立上がり端で透過ラッチ120が開になり、有効データがデータバスAからデータバスBに転送される。時刻1002にて、C_{CLK}（信号遅延出力クロックを介する）の立上がり端で透過ラッチ130が開になり、有効データがデータバスBからデータバスCに転送される。同時に、K_{CLK}がローに遷移し、これによってデータバスBにあるデータがラッチ120に保持される。時刻1003にて、C_{CLK}における次の立下がり端でラッチ130が閉になり、データがデータバスCに保持される。

30

【0041】

時刻1004にて、エッジ検出器190を通じてのC_{CLK}（およびそのDLLロック導出信号DLL_{CLK}）の立上がり端に伴ない、D型フリップフロップ150において36ビットデータバスの下位18ビット（D[17:0]）がラッチされ、この下位18ビットが出力バスに転送される。

40

【0042】

時刻1005にて、エッジ検出器190を通じてのC_{CLK}（およびそのDLLロック導出信号DLL_{CLK}）の立上がり端に伴ない、D型フリップフロップ150において36ビットデータバスの上位18ビット（D[35:18]）がラッチされ、この上位18ビットが出力バスに転送される。

【0043】

図7は、図2A - 2Bに示すスキュー補償回路におけるデータとクロックとの関係を示すタイミング図であって、遅いデータでかつマスタクロック対とデータクロック対との間における最も不利なスキューの場合を示す。時刻1100にて、データはラッチ120の入力にあるデータバスAで有効である。K_{CLK}における論理「1」によりラッチ1

50

20は開であるため、データバスAにあるデータはラッチ120を通過してデータバスBに転送される。

【0044】

時刻1101にて、K_{CLK}における論理「0」でラッチ120が閉になり、データバスAにあるデータがラッチ120に記憶されてデータバスBに転送される。C_{CLK}における論理「1」でラッチ130が開になり、データバスBにあるデータはデータバスCに転送される。

【0045】

時刻1102にて、C_{CLK}における論理「0」でラッチ130が閉になり、データバスBにあるデータがラッチ130に記憶されてデータバスCに転送される。K_{CLK}における論理「1」でラッチ120が開になり、データバスAにあるデータはデータバスBに転送される。

10

【0046】

時刻1103にて、エッジ検出器190を通過してのC_{CLK}（およびそのDLLロック導出信号DLL_{CK}）の立上がり端に伴ない、D型フリップフロップ150において36ビットデータバスの下位18ビット（D[17:0]）がラッチされ、この下位18ビットが出力バスに転送される。

【0047】

時刻1104にて、エッジ検出器190を通過してのC_{CLK}（およびそのDLLロック導出信号DLL_{CK}）の立上がり端に伴ない、D型フリップフロップ150において36ビットデータバスCの上位18ビット（D[35:18]）がラッチされ、この上位18ビットが出力バスに転送される。

20

【0048】

図8は、図2A-2Bに示すスキュー補償回路におけるデータとクロックとの関係を示すタイミング図であって、早いデータでかつマスタクロック対とデータクロック対との間におけるスキューなしの場合を示す。時刻1200にて、データはラッチ120の入力にあるデータバスAで有効である。時刻1201にて、K_{CLK}における論理「1」でラッチ120が開になり、データバスAにあるデータはラッチ120を通過してデータバスBに転送される。時刻1201ではさらに、C_{CLK}における論理「1」でラッチ130が開になり、データバスBにあるデータはラッチ130を通過してデータバスCに転送される。

30

【0049】

時刻1202にて、K_{CLK}における論理「0」でラッチ120が閉になり、データバスAにあるデータがラッチ120に記憶されてデータバスBに転送される。また、C_{CLK}における論理「0」でラッチ130が閉になり、データバスAにあるデータがラッチ130に記憶されてデータバスCに転送される。

【0050】

時刻1203にて、エッジ検出器190を通過してのC_{CLK}（およびそのDLLロック導出信号DLL_{CK}）の立上がり端に伴ない、D型フリップフロップ150において36ビットデータバスの下位18ビット（D[17:0]）がラッチされ、この下位18ビットが出力バスに転送される。

40

【0051】

時刻1204にて、エッジ検出器190を通過してのC_{CLK}（およびそのDLLロック導出信号DLL_{CK}）の立上がり端に伴ない、D型フリップフロップ150において36ビットデータバスの上位18ビット（D[35:18]）がラッチされ、この上位18ビットが出力バスに転送される。上述のように、ラッチ120、130はともに同じ期間（時刻1201から時刻1202）の間開であり、K_{CLK}およびC_{CLK}がともにハイである間、データはデータバスAから受取られるとラッチ120、130を通過してデータバスCに転送される。

【0052】

50

以上から、この発明によれば、KクロックとCクロックとの間に広いスキュー（ 0° から 180° ）が許容されることがわかる。K __ CLKの立上がり端に対して遅くまたは早く到着した有効データは、クロック間の広いスキューにわたって一方のクロック領域から他方のクロック領域へ転送される。

【0053】

図9は、図2A - 2Bに示す透過ラッチ120, 130のいずれかについての一実施例の概略図である。制御信号420が論理「1」のとき、ラッチ120, 130は開であり、入力412で受取られたデータは出力414に直接転送される。制御信号が論理「0」の間、ラッチは閉であり、制御信号が論理「1」から論理「0」へ遷移した際にラッチされた記憶入力データが出力414に転送される。

10

【0054】

透過ラッチは、転送ゲート400, 402を含む。当業者には周知のように、転送ゲートはPMOSTランジスタおよびNMOSTランジスタを含み、これらは、当該ランジスタのゲートに結合された制御信号の状態に依存して両方のランジスタがONまたはOFFとなるように結合される。両方のランジスタがOFFの間、ラッチは閉であり、データは転送ゲートを通して転送されることはない。両方のランジスタがONの間、ラッチは開であり、データは転送ゲートを通して転送される。

【0055】

転送ゲート400, 402のうち、一時点においてはただ1つだけが開である。転送ゲート402は、制御信号が論理「1」の間は開であり、制御信号が論理「0」の間は閉である。転送ゲート400は、制御信号が論理「0」の間は開であり、制御信号が論理「1」の間は閉である。

20

【0056】

転送ゲート402が開の間、転送ゲート400は閉である。入力ポート412で受取られたデータは、転送ゲート402を通してインバータ408, 410を通り出力ポート414へ転送される。インバータ408を通じて転送されたデータはまた、インバータ416を通して転送ゲート400の入力に転送される。制御信号が論理「0」の間、転送ゲート402は閉であり、入力ポート412で受取られたデータは出力ポート414へ転送不可能である。一方、転送ゲート400は開であるため、制御信号の状態が論理「1」から論理「0」に変化する時点でインバータ416の入力に存在するデータは、転送ゲート400、インバータ408およびインバータ410を通して出力ポート414に転送される。したがって、制御信号が論理「1」の間に入力ポートを通じて受取られた最後のデータは、制御信号が論理「0」の間ラッチに記憶（保持）され、出力ポート414を通して転送される。

30

【0057】

図10は、図2A - 2Bに示すクロック検出器240の概略図である。図示の実施例では、クロック検出器は、直列接続された4つのD型ラッチ（フリップフロップ）501, 502, 503, 504を含む。ラッチ501のD入力は V_{DD} に接続され、すべてのラッチにおけるリセット入力（リセット信号RSTB）に接続される。ラッチ504からクロック検出出力信号202が出力される。

40

【0058】

リセット信号RSTBが論理「0」にセットされると、ラッチ501, 502, 503, 504のすべてがリセットされる。リセット後、各々のラッチ501, 502, 503, 504のQ出力は、ラッチ504のQ出力やクロック検出出力信号202を含め、論理「0」にセットされる。

【0059】

クロック検出器240は、データクロック対にクロック信号があるか否かを検出する。図示の実施例では、C __ CLK信号はラッチのクロック（CK）入力に結合される。しかし、ラッチ501, 502, 503, 504のクロック入力は、データクロック対信号のいずれか一方、すなわちC __ CLK信号またはC __ CLK信号に接続され得る。クロッ

50

ク検出器240は、CCLKでの4つの立上がり端の検出後に有効データクロックの検出を示す。

【0060】

ラッチ501はCCLKの最初の立上がり端を検出する。D入力がV_{DD}に接続されている場合、論理「1」が501にラッチされ、ラッチ501のQ出力506は論理「0」から論理「1」に変化する。CCLKに2番目の立上がり端が生じると、ラッチ502のD入力における論理「1」がラッチ502によってラッチされ、ラッチ502のQ出力507は論理「0」から論理「1」に変化する。

【0061】

CCLKに3番目の立上がり端が生じると、ラッチ503のD入力における論理「1」がラッチ503によってラッチされ、ラッチ503のQ出力508は論理「0」から論理「1」に変化する。CCLKに4番目の立上がり端が生じると、ラッチ504のD入力における論理「1」がラッチ504によってラッチされ、ラッチ504のQ出力505は論理「0」から論理「1」に変化する。

【0062】

CCLKに4つの立上がり端を検出した後、クロック検出出力が論理「1」にセットされる。これによって、データクロック対にクロック信号があり、データ出力すべてがデータクロック対と同期されるべきであることが示される。クロック検出出力信号は、リセット信号の検出時まで論理「1」にセットされたままとなる。

【0063】

図11は、図2A-2Bに示す遅延ロックループ210, 230のうちいずれかのブロック図である。遅延ロックループ210, 230は、位相検出器600と、チャージポンプ602と、電圧制御遅延ライン604と、挿入遅延を伴うフィードバック経路606を含む。

【0064】

位相検出器600は、入力クロックと出力クロックとの位相差を検出する。位相差が検出される間、位相検出器は、位相検出器600の出力で適当なアップ/ダウン信号を駆動することで位相差を示す。アップ/ダウン信号はチャージポンプ602に結合される。チャージポンプ602は、電圧制御遅延ラインへの制御電圧608を適当に増加または減少させることで、入力クロックに加えられる遅延を変化させ、こうして位相差を最小限にする。

【0065】

入力クロックに加えられる遅延は、入力クロックとDLL出力クロックとの間で検出される位相差に基づく。さらに、挿入遅延回路を伴うフィードバック経路606により既知の挿入遅延に基づいて遅延が加えられる。

【0066】

挿入遅延を伴うフィードバック経路606は、図3に示すように、選択されたクロック対(C、CまたはK、K)にDLL出力クロックが正確にロックされることを確実にするためのレプリカ遅延を含む。レプリカ遅延においては、入力ピン(C、CまたはK、K)と、当該装置内でクロック信号(CCLK、CCLKまたはKCLK、KCLK)が使用される場所との間で挿入遅延231, 232, 233, 234(図2A-2B)をもたらず構成要素および経路が複製される。レプリカ遅延とは、挿入遅延の正しいレプリカである1群の回路である。たとえば、レプリカ遅延は、同じ構成要素(たとえばトランジスタ)を同じレイアウトおよび同じ構成で含む。さらに、レプリカ遅延においては、同じ書込みの幅および長さが用いられる。

【0067】

図3との関連で述べたように、DLLへの入力における入力クロック信号は、当該装置の入力ピンで受取られたクロック信号に対して挿入遅延を有する。電圧制御遅延ライン604は、入力クロックをほとんど1クロック周期全体だけ遅延させてDLL出力クロックを生成する。DLL出力クロックは、挿入遅延を伴うフィードバック経路606に結合さ

10

20

30

40

50

れる。レプリカ挿入遅延はD L L出力クロックを遅延させる。位相検出器6 0 0は、入力クロックと、遅延出力クロック(フィードバッククロック)とを比較してチャージポンプ6 0 2を調整する。D L Lは、フィードバッククロックと入力クロックとが同相になるまで電圧制御遅延ライン6 0 4を調整し続ける。D L Lから出力されたD L L出力クロックは、入力クロックから挿入遅延を差引いた分である。入力クロックとフィードバッククロックとが同相であるとき、D L Lは安定である。位相差および挿入遅延についての調整後、D L L出力クロックは、当該装置のピンで受取られたとおりのK クロックまたはC クロックのいずれかに整列させられている。

【0 0 6 8】

図2 A - 2 Bを再び参照して、D L L 2 1 0は、D L L _ C K をK クロックまたはC クロックにロックする。D L L 2 3 0は、D L L _ C KをKクロックまたはCクロックにロックする。引続き図1 1を参照して、D L L 2 1 0にあるフィードバック経路6 0 6では、K _ C L KおよびC _ C L Kについての遅延2 3 2 , 2 3 4 (図2 A - 2 B)が複製され、D L L 2 3 0にあるフィードバック経路では、K _ C L KおよびC _ C L Kについての遅延2 3 1 , 2 3 3 (図2 A - 2 B)が複製される。

【0 0 6 9】

図1 2は、図2 A - 2 Bに示すエッジ検出器1 9 0およびS Rフリップフロップ1 8 0の一実施例の概略図である。エッジ検出器1 9 0は、選択されたクロック対信号のいずれかに立上がり端を検出するのに応答してD D Rクロック1 9 1に正のパルスを生成する。図示の実施例では、クロック対信号の一方(D L L _ C K)は、N A N Dゲート7 0 0における一方の入力および反転遅延回路7 0 4に結合される。遅延回路7 0 4の出力は、N A N Dゲート7 0 0の他方の入力に結合される。他方のクロック対信号(D L L _ C K)はN A N Dゲート7 0 2における一方の入力に結合される。

【0 0 7 0】

N A N Dゲート7 0 2に入力されるD L L _ C Kの立上がり端によって、N A N Dゲート7 0 2の出力に負のパルスが生成される。このパルスの長さは反転遅延7 0 6に依存する。N A N Dゲート7 0 2の出力にある負のパルスにより、D D Rクロック1 9 1と、インバータ7 1 0の出力とに正のパルスが生成される。同様に、N A N Dゲート7 0 0に入力されるD L L _ C K の立上がり端により、D D Rクロック1 9 1に正のパルスが生成される。

【0 0 7 1】

S Rフリップフロップ1 8 0は、エッジ検出器1 9 0のN A N Dゲート7 0 0 , 7 0 2の出力に結合されて、マルチプレクサ1 4 0への制御信号の状態をセットするが、これは3 6ビットデータバスについてD D R出力に出力されるべきビットが前半1 8ビットなのか後半1 8ビットなのかに依存する。S Rフリップフロップの動作は当業者に周知である。D L L _ C K の立上がり端に反応してインバータ7 1 0の出力で正のパルスが生じると、S Rフリップフロップの出力は論理「0」にリセットされる。D L L _ C Kの立上がり端に反応してインバータ7 1 2の出力で正のパルスが生じると、S Rフリップフロップの出力が論理「1」にセットされる。

【産業上の利用可能性】

【0 0 7 2】

上記の発明は、埋込システムでの使用について記載してある。しかし、この発明はさらに、入力クロックおよび出力クロックを有するシステムで動作する別個の構成要素にも適用される。

【0 0 7 3】

この発明についてその好ましい実施例を参照しながら具体的に示し説明したが、当業者であれば、前掲の特許請求の範囲に包含されるこの発明の範囲から逸脱することなく、形態および詳細においてさまざまな変更がこの発明で可能であることが理解されるであろう。

【図面の簡単な説明】

10

20

30

40

50

【0074】

【図1】この発明の原理に従う、データ記憶部から受取ったデータを同期させるためのスキュー補償回路を含む装置のブロック図である。

【図2A】図1に示すデータ記憶部に結合されたデータ出力インターフェースのより詳細なブロック図である。

【図2B】図2Aの続きの図である。

【図3】挿入遅延を説明するタイミング図である。

【図4】図2A - 2Bに示すスキュー補償回路におけるデータとクロックとの関係を示すタイミング図であって、早いデータでかつクロック間における並のスキューの場合を示す図である。

10

【図5】図2A - 2Bに示すスキュー補償回路におけるデータとクロックとの関係を示すタイミング図であって、遅いデータでかつクロック間における並のスキューの場合を示す図である。

【図6】図2A - 2Bに示すスキュー補償回路におけるデータとクロックとの関係を示すタイミング図であって、早いデータでかつクロック間における最も不利なスキューの場合を示す図である。

【図7】図2A - 2Bに示すスキュー補償回路におけるデータとクロックとの関係を示すタイミング図であって、早いデータでかつクロック間における最も不利なスキューの場合を示す図である。

【図8】図2A - 2Bに示すスキュー補償回路におけるデータとクロックとの関係を示すタイミング図であって、早いデータでかつクロック間におけるスキューなしの場合を示す図である。

20

【図9】図2A - 2Bに示す透過ラッチのいずれかについての一実施例の概略図である。

【図10】図2A - 2Bに示すクロック検出器の概略図である。

【図11】図2に示す遅延ロックループのいずれかのブロック図である。

【図12】図2A - 2Bに示すエッジ検出器およびSRフリップフロップの一実施例の概略図である。

【図1】

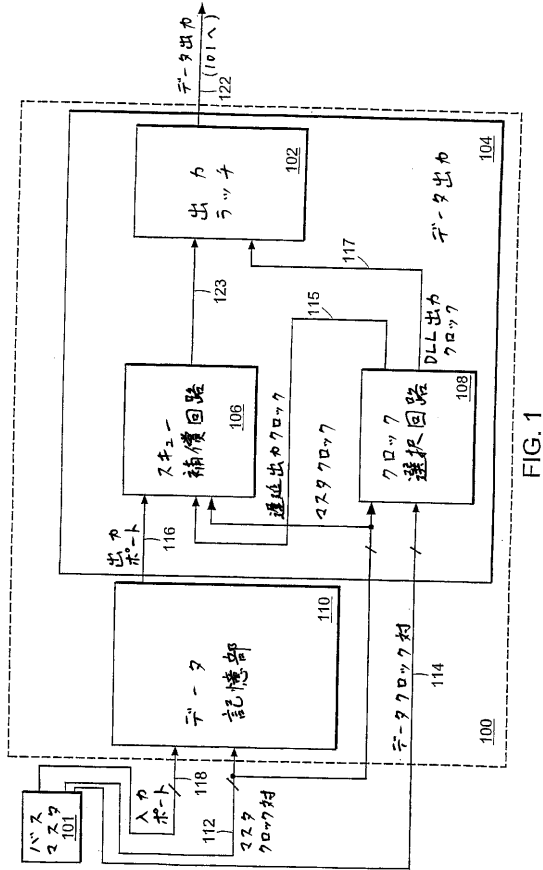


FIG. 1

【図2A】

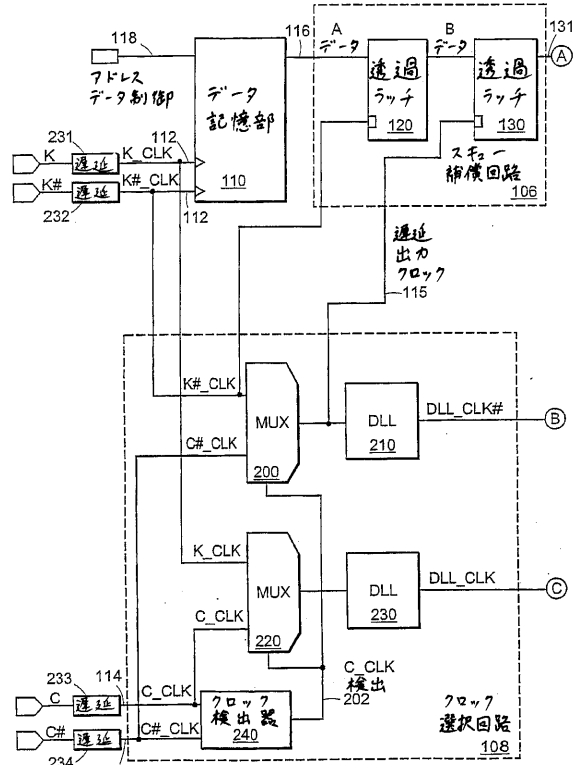


FIG. 2A

【図2B】

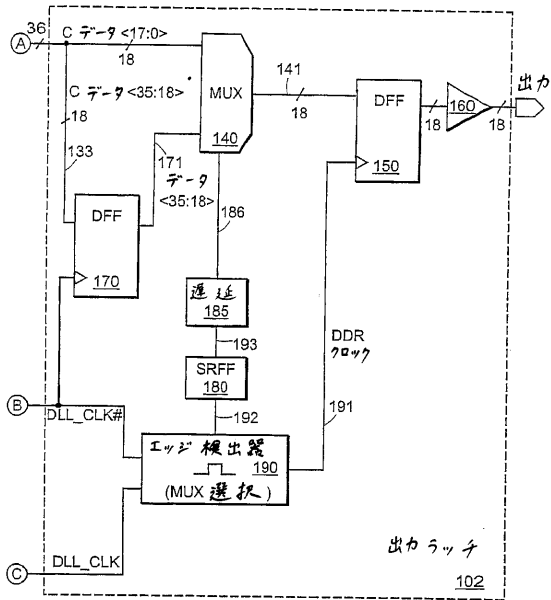


FIG. 2B

【図3】

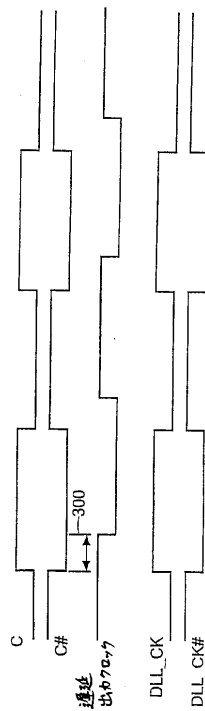


FIG. 3

【 図 4 】

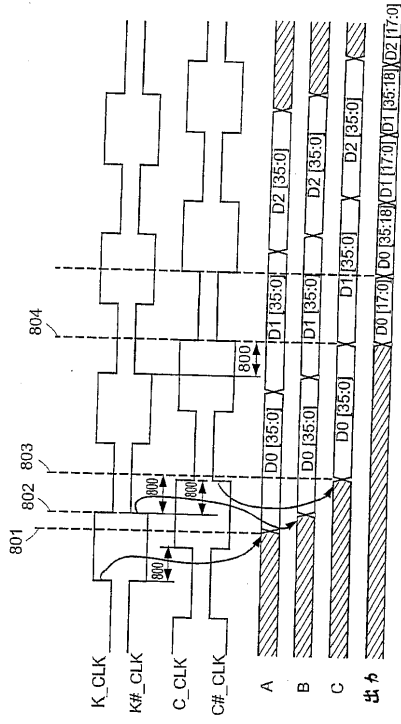


FIG. 4

【 図 5 】

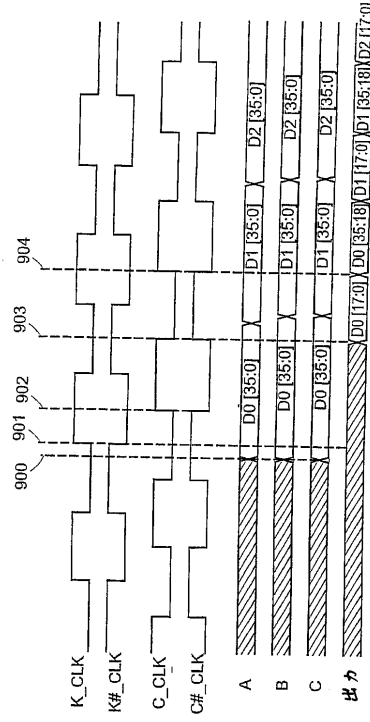


FIG. 5

【 図 6 】

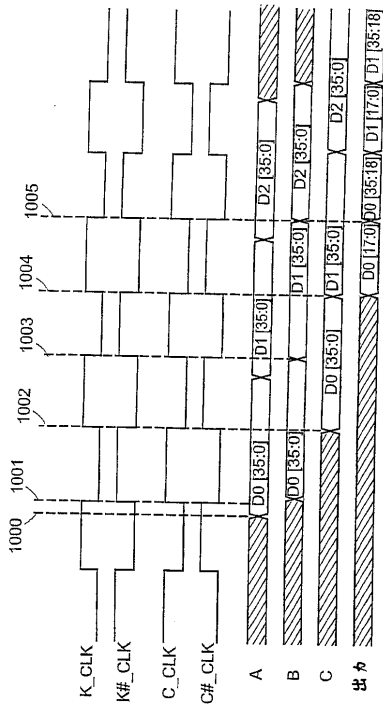


FIG. 6

【 図 7 】

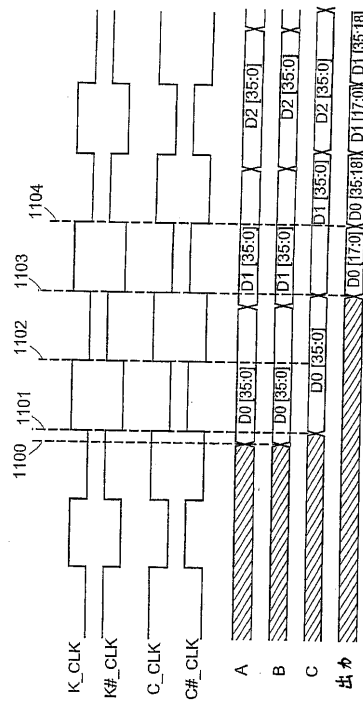


FIG. 7

【 図 8 】

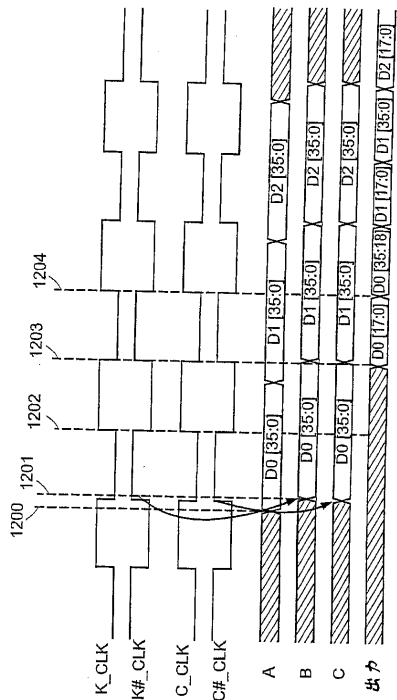


FIG. 8

【 図 9 】

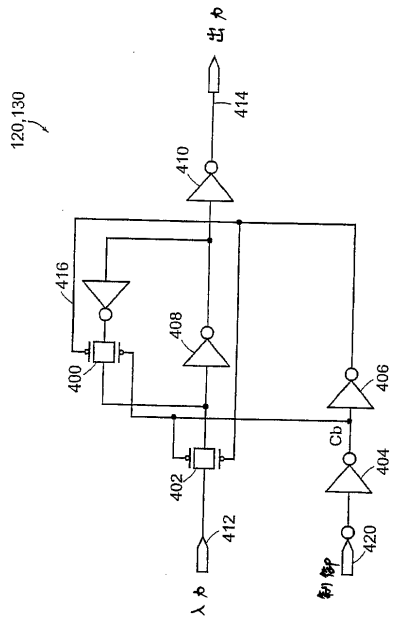


FIG. 9

【 図 10 】

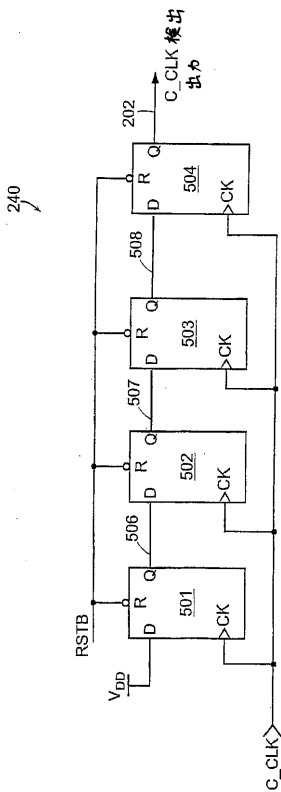


FIG. 10

【 図 11 】

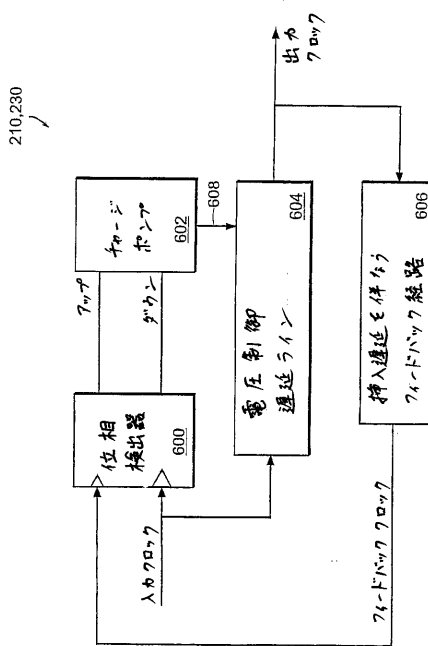


FIG. 11

【 図 1 2 】

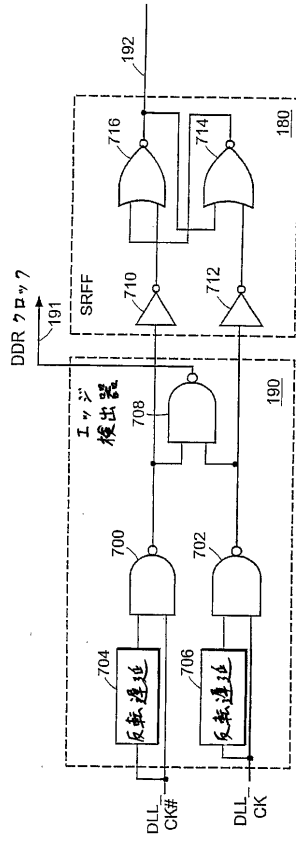


FIG. 12

フロントページの続き

- (74)代理人 100098316
弁理士 野田 久登
- (74)代理人 100109162
弁理士 酒井 将行
- (72)発明者 ロス, アラン
アメリカ合衆国、7 8 7 5 6 テキサス州、オースティン、ウッドビュー・アベニュー、5 0 1 2
- (72)発明者 ベッカ, オズワルド
アメリカ合衆国、7 8 6 6 4 テキサス州、ラウンド・ロック、ウェストミニスター・プレイス、
5 0 1
- (72)発明者 オバエ, ペドロ
アメリカ合衆国、7 8 7 1 7 テキサス州、オースティン、パンプキン・リッジ・ドライブ、1 5
7 0 9

審査官 三坂 敏夫

- (56)参考文献 特表2001-516926(JP, A)
欧州特許出願公開第00547768(EP, A1)
特表2003-508840(JP, A)
特開2001-077797(JP, A)
欧州特許出願公開第01071005(EP, A1)
米国特許第06097775(US, A)
特開平05-289770(JP, A)
国際公開第01/016958(WO, A1)

(58)調査した分野(Int.Cl., DB名)

G06F 12/00
G06F 1/10
G06F 1/12
H04L 7/00