

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(43) 国际公布日
2019 年 10 月 31 日 (31.10.2019)

(10) 国际公布号
WO 2019/206136 A1

- (51) 国际专利分类号:
H04L 1/00 (2006.01)
- (21) 国际申请号: PCT/CN2019/083883
- (22) 国际申请日: 2019 年 4 月 23 日 (23.04.2019)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201810366668.6 2018年4月23日 (23.04.2018) CN
- (71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (72) 发明人: 牛凯(NIU, Kai); 中国北京市海淀区西土城路 10 号, Beijing 100876 (CN)。 朴璿楠(PIAO,

Jinnan); 中国北京市海淀区西土城路 10 号, Beijing 100876 (CN)。 戴金晟(DAI, Jincheng); 中国北京市海淀区西土城路 10 号, Beijing 100876 (CN)。 董超(DONG, Chao); 中国北京市海淀区西土城路 10 号, Beijing 100876 (CN)。 王桂杰(WANG, Guijie); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(74) 代理人: 北京同立钧成知识产权代理有限公司 (LEADER PATENT & TRADEMARK FIRM); 中国北京市海淀区西直门北大街 32 号枫蓝国际 A 座 8F-6, Beijing 100082 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,

(54) Title: METHOD AND DEVICE FOR RATE MATCHING AND DE-RATE MATCHING POLAR CODE

(54) 发明名称: 极化码的速率匹配、解速率匹配方法及设备

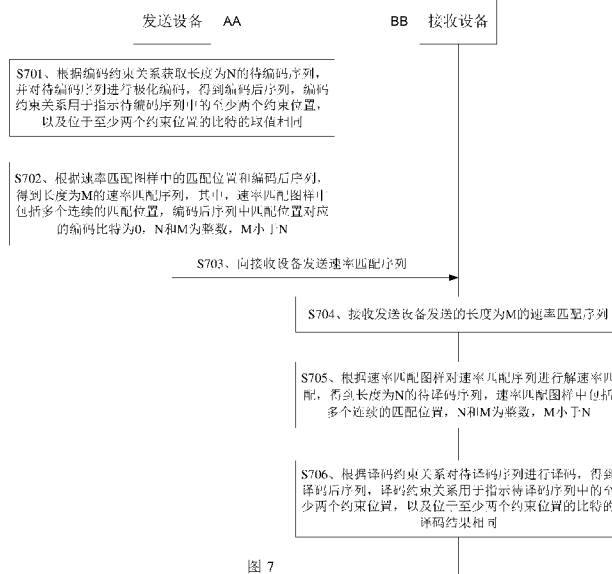


图 7

- S701 Acquire a sequence to be coded of which the length is N according to a coding constraint relationship, and perform polarization coding on the sequence to be coded so as to obtain a coded sequence, the coding constraint relationship being used to indicate at least two constraint positions in the sequence to be coded, and bits located at the at least two constraint positions having the same value
- S702 Obtain, according to matching positions in a rate matching pattern and the coded sequence, a rate matching sequence of which the length is M, wherein the rate matching pattern comprises a plurality of consecutive matching positions, and coded bits corresponding to the matching positions in the coded sequence are 0, N and M being integers, and M being less than N
- S703 Send the rate matching sequence to a receiving device
- S704 Receive a rate matching sequence of which the length is M that is sent by a sending device
- S705 Dematch the rate matching sequence according to a rate matching pattern so as to obtain a sequence to be decoded of which the length is N, the rate matching pattern comprising a plurality of consecutive matching positions, N and M being integers, and M being less than N
- S706 Decode the sequence to be decoded according to a decoding constraint relationship so as to obtain a decoded sequence, the decoding constraint relationship being used to indicate at least two constraint positions in the sequence to be decoded, and bits located at the at least two constraint positions having the same decoding result
- AA Sending device
- BB Receiving device

(57) Abstract: Provided by the embodiments of the present application are a method and device for rate matching and de-rate matching a polar code, the method comprising: acquiring a sequence to be coded of which the length is N according to a coding constraint relationship, and performing polarization coding on the sequence to be coded so as to obtain a coded sequence, the coding constraint relationship being used to indicate at least two constraint positions in the sequence to be coded, and bits located at the at least two constraint positions having the same value; obtaining, according to matching positions in a rate matching pattern and the coded sequence, a rate matching sequence of which the length is M, wherein the rate matching pattern comprises a plurality of consecutive matching positions, and coded bits corresponding to the matching positions in the coded sequence are 0, N and M being integers, and M being less than N; and sending the rate matching sequence to a receiving device. The embodiments of the present application may improve decoding performance.

JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本申请实施例提供一种极化码的速率匹配、解速率匹配方法及设备, 该方法包括: 根据编码约束关系获取长度为N的待编码序列, 并对所述待编码序列进行极化编码, 得到编码后序列, 所述编码约束关系用于指示待编码序列中的至少两个约束位置, 以及位于所述至少两个约束位置的比特的取值相同; 根据速率匹配图样中的匹配位置和所述编码后序列, 得到长度为M的速率匹配序列, 其中, 所述速率匹配图样中包括多个连续的匹配位置, 所述编码后序列中所述匹配位置对应的编码比特为0, 所述N和所述M为整数, 所述M小于N; 向接收设备发送所述速率匹配序列。本申请实施例可以提高译码性能。

极化码的速率匹配、解速率匹配方法及设备

本申请要求于 2018 年 4 月 23 日提交中国专利局、申请号为 201810366668.6、申请名称为“极化码的速率匹配、解速率匹配方法及设备”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请实施例涉及编译码技术领域，尤其涉及一种极化码的速率匹配、解速率匹配方法及设备。

背景技术

通信系统通常采用信道编码提高数据传输的可靠性，以保证通信的质量。土耳其教授 Arikan 提出的极化码 (Polar codes) 是第一个理论上可以达到香农容量且具有低编译码复杂度的好码。因此，Polar 码在 5G 中具有很大的发展和应用前景，并在第三代合作伙伴项目 (the 3rd Generation Partner Project, 3GPP) 无线接入网 (Radio Access Network, RAN1) 第 87 次会议上被接纳用于控制信道编码。

在具体实现过程中，原始 Polar 码(母码)的码长为 2 的整数次幂，在实际应用中需要通过速率匹配实现任意码长的 Polar 码。现有技术采用打孔(puncture)或缩短(shorten)等方案实现速率匹配。即现有技术在编码时进行速率匹配，对超过目标码长的母码进行打孔或缩短达到目标码长，译码时进行解速率匹配，对接收到的译码序列进行填充恢复至母码码长。然而，目前针对 polar 码的速率匹配方案，存在译码性能不高的问题，因此，亟需提供一种速率匹配方法，以提高译码性能。

发明内容

本申请实施例提供一种极化码的速率匹配、解速率匹配方法及设备，以提高译码性能。

第一方面，本申请实施例提供一种极化码的速率匹配方法，包括：

根据编码约束关系获取长度为 N 的待编码序列，并对所述待编码序列进行极化编码，得到编码后序列，所述编码约束关系用于指示待编码序列中的至少两个约束位置，以及位于所述至少两个约束位置的比特的取值相同；

根据速率匹配图样中的匹配位置对所述编码后序列进行打孔或缩短操作，得到长度为 M 的速率匹配序列，其中，所述速率匹配图样中包括多个连续的匹配位置，可以在获取匹配位置时，将搜索可用匹配位置的次数由 C_N^{N-M} 降低为 M+1 次，有效降低了搜索复杂度，通过设置编码约束关系，可以使得编码后序列中所述匹配位置对应的编码比特为 0，提高译码性能，所述 N 和所述 M 为整数，所述 M 小于 N；向接收设备发送所述速率匹配序列。

本实施例基于编码约束关系以及匹配位置连续来进行 Polar 码的速率匹配，可以提高译码性能。

在一种可能的设计中,所述编码约束关系的数量为至少一个,所述至少一个编码约束关系对应的所有约束位置的数量与所述编码约束关系的数量的差值与所述匹配位置的数量相等,可以满足码率无损原则,使得码率可以取 0 至 1 之间的任意值。

5 在一种可能的设计中,所述根据编码约束关系获取长度为 N 的待编码序列之前,所述方法还包括:

根据所述速率匹配图样中的匹配位置从编码矩阵中获取匹配列,其中,所述匹配列在所述编码矩阵中的排序与所述匹配位置在所述速率匹配图样中的排序位置相同;

10 根据预设构造序列以及与每个匹配位置的排序位置相同的匹配列,获取每个所述匹配位置对应的求解表达式,其中,所述预设构造序列为所述待编码序列的构造序列,所述求解表达式的值为 0;

根据每个所述匹配位置对应的求解表达式,获取所述编码约束关系。

在一种可能的设计中,所述根据所述速率匹配图样中的匹配位置从编码矩阵中获取匹配列,包括:

根据所述速率匹配图样中的匹配位置,从所述编码矩阵中提取初始矩阵;

15 对所述初始矩阵中的元素 1 进行高斯消元处理,得到匹配矩阵,所述匹配矩阵中的列为所述匹配列。

通过提取初始矩阵并进行高斯消元处理,对编码矩阵进行了简化,从而可以快速获取编码约束关系。

在一种可能的设计中,所述根据编码约束关系获取长度为 N 的待编码序列,包括:

20 根据所述编码约束关系、位于所述编码约束关系中的各约束位置的第一比特的属性以及位于所述编码约束关系之外的第二比特的属性,获取所述待编码序列,其中,比特的属性为冻结比特或信息比特。

在一种可能的设计中,所述根据所述编码约束关系、位于所述编码约束关系中的各约束位置的第一比特的属性以及位于所述编码约束关系之外的第二比特的属性,获取所述待编码序列之前,所述方法还包括:

确定预设构造序列中位于所述编码约束关系中的各约束位置的所述第一比特的属性,所述预设构造序列为所述待编码序列的构造序列;

确定所述预设构造序列中所述第二比特的属性,其中,所述第二比特为所述预设构造序列中除所述第一比特之外的比特,比特的属性为冻结比特或信息比特。

30 通过先构造编码约束关系中的约束位置的比特的属性,在构造其它位置的比特的属性,可以保证信息比特和冻结比特在数量和属性上正确。

在一种可能的设计中,所述确定预设构造序列中位于所述编码约束关系中的各约束位置的第一比特的属性,包括:

35 根据预设构造方法在每个所述编码约束关系的各约束位置对应的所述第一比特中确定一个第一信息比特;

将各约束位置对应的第一比特中除所述第一信息比特之外的第一比特确定为第一冻结比特,其中,所述第一冻结比特的取值满足所述编码约束关系。

在一种可能的设计中,所述确定所述预设构造序列中第二比特的属性,包括:

根据预设信息比特序列的长度和所述第一信息比特的数量,确定所述第二比特中第二

信息比特的数量；

根据所述预设构造方法和所述第二信息比特的数量，在所述第二比特中确定所述第二信息比特和第二冻结比特，所述第二冻结比特的取值为预设固定值。

第二方面，本申请实施例提供一种极化码的解速率匹配方法，包括：

5 接收发送设备发送的长度为 M 的速率匹配序列；

根据速率匹配图样对所述速率匹配序列进行解速率匹配，得到长度为 N 的待译码序列，所述速率匹配图样中包括多个连续的匹配位置，所述 N 和所述 M 为整数，所述 M 小于 N ；

10 根据译码约束关系对所述待译码序列进行译码，得到译码后序列，所述译码约束关系用于指示待译码序列中的至少两个约束位置，以及位于所述至少两个约束位置的比特的译码结果相同。

在一种可能的设计中，所述译码约束关系的数量为至少两个，至少两个所述译码约束关系对应的所有约束位置的数量与所述译码约束关系的数量的差值与所述匹配位置的数量相等。

15 在一种可能的设计中，若所述待译码序列中的第一待译码比特位于所述译码约束关系中的约束位置，所述根据所述译码约束关系对所述待译码序列进行译码，包括：

判断与所述第一待译码比特位于同一译码约束关系中的第二待译码比特是否被译码；

若是，则将所述第一待译码比特的值设置为与所述第二待译码比特的值相同；

若否，则对所述第一待译码比特进行译码，得到所述第一待译码比特的值。

第三方面，本申请实施例提供一种发送设备，包括：

20 编码模块，用于根据编码约束关系获取长度为 N 的待编码序列，并对所述待编码序列进行极化编码，得到编码后序列，所述编码约束关系用于指示待编码序列中的至少两个约束位置，以及位于所述至少两个约束位置的比特的取值相同；

25 速率匹配模块，用于根据速率匹配图样中的匹配位置和所述编码后序列，得到长度为 M 的速率匹配序列，其中，所述速率匹配图样中包括多个连续的匹配位置，所述编码后序列中所述匹配位置对应的编码比特为 0，所述 N 和所述 M 为整数，所述 M 小于 N ；

发送模块，用于向接收设备发送所述速率匹配序列。

在一种可能的设计中，所述编码约束关系的数量为至少一个，所述至少一个编码约束关系对应的所有约束位置的数量与所述编码约束关系的数量的差值与所述匹配位置的数量相等。

30 在一种可能的设计中，还包括：关系获取模块，用于在根据编码约束关系获取长度为 N 的待编码序列之前，根据所述速率匹配图样中的匹配位置从编码矩阵中获取匹配列，其中，所述匹配列在所述编码矩阵中的排序与所述匹配位置在所述速率匹配图样中的排序位置相同；

35 根据预设构造序列以及与每个匹配位置的排序位置相同的匹配列，获取每个所述匹配位置对应的求解表达式，其中，所述预设构造序列为所述待编码序列的构造序列，所述求解表达式的值为 0；

根据每个所述匹配位置对应的求解表达式，获取所述编码约束关系。

在一种可能的设计中，所述关系获取模块还具体用于：

根据所述速率匹配图样中的匹配位置，从所述编码矩阵中提取初始矩阵；

对所述初始矩阵中的元素 1 进行高斯消元处理，得到匹配矩阵，所述匹配矩阵中的列为所述匹配列。

在一种可能的设计中，所述编码模块具体用于：

5 根据所述编码约束关系、位于所述编码约束关系中的各约束位置的第一比特的属性以及位于所述编码约束关系之外的第二比特的属性，获取所述待编码序列，其中，比特的属性为冻结比特或信息比特。

10 在一种可能的设计中，还包括：比特属性确定模块，用于在根据所述编码约束关系、位于所述编码约束关系中的各约束位置的第一比特的属性以及位于所述编码约束关系之外的第二比特的属性，获取所述待编码序列之前，确定预设构造序列中位于所述编码约束关系中的各约束位置的所述第一比特的属性，所述预设构造序列为所述待编码序列的构造序列；

确定所述预设构造序列中所述第二比特的属性，其中，所述第二比特为所述预设构造序列中除所述第一比特之外的比特，比特的属性为冻结比特或信息比特。

在一种可能的设计中，所述比特属性确定模块具体用于：

15 根据预设构造方法在每个所述编码约束关系的各约束位置对应的所述第一比特中确定一个第一信息比特；

将各约束位置对应的所述第一比特中除所述第一信息比特之外的第一比特确定为第一冻结比特，其中，所述第一冻结比特的取值满足所述编码约束关系。

在一种可能的设计中，所述比特属性模块具体用于：

20 根据预设信息比特序列的长度和所述第一信息比特的数量，确定所述第二比特中第二信息比特的数量；

根据所述预设构造方法和所述第二信息比特的数量，在所述第二比特中确定所述第二信息比特和第二冻结比特，所述第二冻结比特的取值为预设固定值。

第四方面，本申请实施例提供一种接收设备，包括：

25 接收模块，用于接收发送设备发送的长度为 M 的速率匹配序列；

解速率匹配模块，用于根据速率匹配图样对所述速率匹配序列进行解速率匹配，得到长度为 N 的待译码序列，所述速率匹配图样中包括多个连续的匹配位置，所述 N 和所述 M 为整数，所述 M 小于 N ；

30 译码模块，用于根据译码约束关系对所述待译码序列进行译码，得到译码后序列，所述译码约束关系用于指示待译码序列中的至少两个约束位置，以及位于所述至少两个约束位置的比特的译码结果相同。

在一种可能的设计中，所述译码约束关系的数量为至少两个，至少两个所述译码约束关系对应的所有约束位置的数量与所述译码约束关系的数量的差值与所述匹配位置的数量相等。

35 在一种可能的设计中，若所述待译码序列中的第一待译码比特位于所述译码约束关系中的约束位置，所述译码模块具体用于：

判断与所述第一待译码比特位于同一译码约束关系中的第二待译码比特是否被译码；

若是，则将所述第一待译码比特的值设置为与所述第二待译码比特的值相同；

若否，则对所述第一待译码比特进行译码，得到所述第一待译码比特的值。

第五方面，本申请实施例提供一种发送设备，包括：存储器和处理器，所述存储器用于存储计算机程序，所述处理器用于从所述存储器中调用并运行所述计算机程序，使得所述处理器运行所述计算机程序执行如上第一方面以及第一方面的各种可能的设计所述的速率匹配方法。

5 第六方面，本申请实施例提供一种接收设备，包括：存储器、处理器以及计算机程序，所述计算机程序存储在所述存储器中，所述处理器运行所述计算机程序执行如上第二方面以及第二方面的各种可能的设计所述的解速率匹配方法。

第七方面，本申请实施例提供一种存储介质，所述存储介质包括计算机程序，所述计算机程序用于实现如上第一方面以及第一方面的各种可能的设计所述的速率匹配方法，或者，所述计算机程序用于实现如上第二方面以及第二方面的各种可能的设计所述的解速率匹配方法。

第八方面，本申请实施例提供一种计算机程序产品，所述计算机程序产品包括计算机程序代码，当所述计算机程序代码在计算机上运行时，使得计算机执行如上第一方面以及第一方面的各种可能的设计所述的速率匹配方法，或者，执行如上第二方面以及第二方面的各种可能的设计所述的解速率匹配方法。

第九方面，本申请实施例提供一种芯片，包括存储器和处理器，所述存储器用于存储计算机程序，所述处理器用于从所述存储器中调用并运行所述计算机程序，使得所述处理器执行如上第一方面以及第一方面的各种可能的设计所述的速率匹配方法，或者，执行如上第二方面以及第二方面的各种可能的设计所述的解速率匹配方法。

20 第十方面，本申请实施例提供一种编码装置，所述装置用于执行如上第一方面以及第一方面的各种可能的设计所述的速率匹配方法。

第十一方面，本申请实施例提供一种译码装置，所述装置用于如上第二方面以及第二方面的各种可能的设计所述的解速率匹配方法。

本实施例通过发送设备根据编码约束关系获取长度为 N 的待编码序列，并对待编码序列进行极化编码，得到编码后序列，编码约束关系用于指示待编码序列中的至少两个约束位置，以及位于至少两个约束位置的比特的取值相同，发送设备根据速率匹配图样中的匹配位置和编码后序列，得到长度为 M 的速率匹配序列，其中，速率匹配图样中包括多个连续的匹配位置，编码后序列中匹配位置对应的编码比特为 0， N 和 M 为整数， M 小于 N ，发送设备向接收设备发送速率匹配序列，接收设备接收发送设备发送的长度为 M 的速率匹配序列，接收设备根据速率匹配图样对速率匹配序列进行解速率匹配，得到长度为 N 的待译码序列，接收设备根据译码约束关系对待译码序列进行译码，得到译码后序列，译码约束关系用于指示待译码序列中的至少两个约束位置，以及位于至少两个约束位置的比特的译码结果相同。本实施例基于编码约束关系以及匹配位置连续来进行 Polar 码的速率匹配和解速率匹配，可以提高译码性能。

35

附图说明

图 1 示出了本申请实施例可能适用的一种网络架构；

图 2 为本申请实施例提供的极化码的速率匹配的处理流程图；

图 3 为本申请实施例提供的获取速率匹配图样的方法流程示意图；

图 4 为本申请实施例提供的速率匹配图样的结构示意图；
图 5 为本申请实施例提供的构造 Polar 码的方法流程示意图；
图 6 为本申请实施例提供的 Polar 码的构造过程示意图；
图 7 为本申请实施例提供的速率匹配和解速率匹配的信令流程图；
5 图 8 为本申请实施例提供的速率匹配序列获取示意图；
图 9 为本申请实施例提供的译码方法流程示意图；
图 10A 为本申请实施例提供的路径扩展示意图一；
图 10B 为本申请实施例提供的路径扩展示意图二；
图 11 为本申请实施例提供的译码性能对比示意图一；
10 图 12 为本申请实施例提供的译码性能对比示意图二；
图 13 为本申请实施例提供的译码性能对比示意图三；
图 14 为本申请实施例提供的发送设备的结构示意图；
图 15 为本申请实施例提供的接收设备的结构示意图；
图 16 为本申请实施例提供的发送设备的硬件结构示意图；
15 图 17 为本申请实施例提供的接收设备的硬件结构示意图。

具体实施方式

本申请实施例描述的网络架构以及业务场景是为了更加清楚的说明本申请实施例的技术方案，并不构成对于本申请实施例提供的技术方案的限定，本领域普通技术人员可知，
20 随着网络架构的演变和新业务场景的出现，本申请实施例提供的技术方案对于类似的技术问题，同样适用。

本申请实施例可以应用于无线通信系统，需要说明的是，本申请实施例提及的无线通信系统包括但不限于：窄带物联网系统（Narrow Band- Internet of Things, NB-IoT）、全球移动通信系统（Global System for Mobile Communications, GSM）、增强型数据速率GSM
25 演进系统（Enhanced Data rate for GSM Evolution, EDGE）、宽带码分多址系统（Wideband Code Division Multiple Access, WCDMA）、码分多址2000系统（Code Division Multiple Access, CDMA2000）、时分同步码分多址系统（Time Division-Synchronization Code Division Multiple Access, TD-SCDMA），长期演进系统（Long Term Evolution, LTE）以及下一代5G移动通信系统。

30 下面结合图1对本申请实施例的可能的网络架构进行介绍。图1示出了本申请实施例可能适用的一种网络架构。如图1所示，本实施例提供的网络架构包括网络设备101和终端设备102。

其中，网络设备101是一种将终端设备接入到无线网络的设备，可以是全球移动通讯（Global System of Mobile communication，简称GSM）或码分多址（Code Division Multiple
35 Access，简称CDMA）中的基站（Base Transceiver Station，简称BTS），也可以是宽带码分多址（Wideband Code Division Multiple Access，简称WCDMA）中的基站（NodeB，简称NB），还可以是长期演进（Long Term Evolution，简称LTE）中的演进型基站（Evolved Node B，简称eNB或eNodeB），或者中继站或接入点，或者未来5G网络中的网络侧设备（例如基站）或未来演进的公共陆地移动网络（Public Land Mobile Network, PLMN）中的网

络设备等，在此并不限定。图1示意性的绘出了一种可能的示意，以该网络设备101为基站为例进行了绘示。该基站可以包括各种形式的宏基站，微基站，中继站，接入点等等。

设备设备102可以是无线终端也可以是有线终端，无线终端可以是指向用户提供语音和/或其他业务数据连通性的设备，具有无线连接功能的手持式设备、或连接到无线调制解调器的其他处理设备。无线终端可以经无线接入网（Radio Access Network，简称RAN）与一个或多个核心网进行通信，无线终端可以是移动终端，如移动电话（或称为“蜂窝”电话）和具有移动终端的计算机，例如，可以是便携式、袖珍式、手持式、计算机内置的或者车载的移动装置，它们与无线接入网交换语言和/或数据。例如，个人通信业务（Personal Communication Service，简称PCS）电话、无绳电话、会话发起协议（Session Initiation Protocol，简称SIP）话机、无线本地环路（Wireless Local Loop，简称WLL）站、个人数字助理（Personal Digital Assistant，简称PDA）等设备。无线终端也可以称为系统、订户单元（Subscriber Unit）、订户站（Subscriber Station），移动站（Mobile Station）、移动台（Mobile）、远程站（Remote Station）、远程终端（Remote Terminal）、接入终端（Access Terminal）、用户终端（User Terminal）、用户代理（User Agent），在此不作限定。图1示意性的绘出了一种可能的示意，以该终端设备102为移动电话为例进行了绘示。

在本实施例中，该网络设备101和终端设备102可以将极化（Polar）码作为编译码方案。本实施例作为发送设备的编码设备可以为上述的网络设备101或终端设备102，同理，作为接收设备的译码设备可以为上述的终端设备102或网络设备101。具体地，当网络设备101作为发送设备进行极化编码时，则终端设备102作为接收设备进行极化译码。对应地，当终端设备102作为发送设备进行极化编码时，则网络设备101作为接收设备进行极化译码。

在本实施例中，这里的Polar码包括但不限于Arikan Polar码、PC-Polar码、CA-Polar码、PC-CA-Polar码。Arikan Polar是指原始的Polar码，没有与其它码级联，只有信息比特和冻结比特。PC-Polar是级联了奇偶校验（Parity Check，PC）的Polar码，CA-Polar是循环冗余校验辅助（Cyclic Redundancy Check Aided，CA）的Polar码及其他级联Polar码。PC-CA-Polar码是同时级联了PC和CA的Polar码。PC-Polar和CA-Polar是通过级联不同的码来提高Polar码的性能。

其中，Polar码是一种线性块码，其编码矩阵为 G ，编码过程为 $u^N G = x^N$ ，其中 $u^N = (u_1, u_2, \dots, u_N)$ 是一个二进制的行矢量，长度为 N （即母码长度）； G 是一个 $N \times N$ 的矩阵，且 $G = F_2^{\otimes(\log_2(N))}$ ，这里矩阵 $F_2 = \begin{bmatrix} 1 & 0 \\ 1 & 1 \end{bmatrix}$ ， $F_2^{\otimes(\log_2(N))}$ 定义为 $\log_2 N$ 个矩阵 F_2 的克罗内克（Kronecker）乘积；以上涉及加法、乘法操作均为二进制伽罗华域（Galois Field）上的加法、乘法操作。

Polar码的编码过程中， u^N 中的一部分比特用来携带信息，称为信息比特，这些比特的索引的集合记作 A ；另外的一部分比特置为收发端预先约定的固定值，称之为固定比特，其索引的集合用 A 的补集 A^c 表示。不失一般性，这些固定比特通常被设为0，只需要收发端预先约定，固定比特序列可以被任意设置。

Polar码基于串行抵消（Successive Cancellation，SC）译码算法或串行抵消列表（SC List，

SCL)译码算法等进行译码,本实施例对polar码的译码算法不做特别限制。其中,SC译码算法,即从第1个比特开始顺序译码。串行抵消列表(SC List, SCL)译码算法是对SC译码算法的改进,在每个比特保留多个候选译码结果,完成全部比特的译码后根据一定准则对列表中所有译码结果进行选择,得到最终译码结果。

图2为本申请实施例提供的极化码的速率匹配的处理流程图。如图2所示,本实施例以CA-Polar码为例,即级联了CRC码的Polar码为例来说明速率匹配的处理流程图,对于其它方式的Polar码的处理方式类似,本实施例此处不再赘述。

具体地,在发送设备侧,该发送设备根据k个信息比特和长度为m的CRC码,得到了K比特长的信息比特序列,然后对该信息比特序列进行极化编码,得到N比特长的编码后序列,其中,该N比特长的编码后序列包括信息比特和冻结比特。发送设备对该编码后序列进行打孔或删除处理,得到M比特长的速率匹配序列。发送设备通过信道将该编码后序列发送给接收设备,接收设备通过SCL译码方法进行译码,得到多条候选路径,根据CRC对得到的候选路径进行校验,若校验结果为校验通过,则校验通过的候选路径为译码结果,若校验未通过,则对其它候选路径进行校验,直至获取译码结果。

在本实施例中,提出了一种极化码的速率匹配和解速率匹配方法,该方法使得匹配位置更加灵活多变,且译码性能较高。该速率匹配可以为对编码后序列进行的打孔(puncture)处理或缩短(shorten)处理。其中,打孔处理的打孔位置或缩短处理的缩短位置可以理解为匹配位置。该匹配位置可以灵活设置,该匹配位置不仅可以为编码后序列的前端或后端,还可以为编码后序列的任意位置。

在本实施例中,可以通过速率匹配图样来指示多个连续的匹配位置。对速率匹配图样的设计原则为匹配位置为连续的,且满足匹配位置影响的冻结位数量和匹配位置的数量相等,以实现码率无损原则。基于以上两个原则,本实施例基于匹配位置对应的编码后的比特为0来获取速率匹配图样,并基于该速率匹配图样对应的编码约束关系来构造Polar码,从而有针对性的进行极化编码,以保证译码性能。下面采用具体的实施例,来进行详细说明。

本实施例的信道模型:极化码母码码长 $N=2^n$,速率匹配后码长 M ,匹配数量 $Q=N-M$,信息位长度 K ,信源序列 $u^N=(u_1, u_2, \dots, u_N)$,则编码序列 $c=u^N G$,其中 G 为极化码编码矩阵,且 $G=F_2^{\otimes(\log_2(N))}$ 。

图3为本申请实施例提供的获取速率匹配图样的方法流程示意图。如图3所示,该方法包括:

S301、设定母码长度为N的预设构造序列,速率匹配后码长为M,匹配数量 $Q=N-M$,匹配位置为i至i+Q-1,i初始化=1。

其中,预设构造序列为待编码序列的构造序列。

S302、根据速率匹配图样中的匹配位置(i至i+Q-1)从编码矩阵中获取i至i+Q-1列,得到匹配列。

其中,匹配列在编码矩阵中的排序与匹配位置在速率匹配图样中的排序位置相同。

S303、根据预设构造序列以及与每个匹配位置的排序位置相同的匹配列,获取每个匹配位置对应的求解表达式,所述求解表达式的值为0;

S304、根据每个匹配位置对应的求解表达式，获取编码约束关系。

S305、设定 $i=i+1$ ，判断 $i+1$ 是否小于等于 $i+Q-1$ ，若是，则执行 S302，若否，则执行 S306。

5 本实施例结合一具体的实施例对图3进行详细说明，对于其它的实现方式，与该实施例类似，本实施例此处不再赘述。

首先，构造母码长度为8的预设构造序列 $u^8 = (u_1, u_2, \dots, u_8)$ ，速率匹配后码长为5，即匹配数量 $Q=N-M=8-5=3$ 。其中，预设构造序列为待编码序列的构造序列，即本申请预先构造一个母码长度为8的序列，该预设构造序列与待编码序列的长度相同。

10 本实施例的匹配位置取 i 至 $i+Q-1$ ，即取 Q 个连续的匹配位置。起始时速率匹配图样中的匹配位置从1至3，然后依次2至4、3至5等。其中，速率匹配图样用于指示连续的多个匹配位置，该速率匹配图样的长度与预设构造序列相等，可以为包含0和1的序列，其中，0用于指示匹配位置，1用于指示非匹配位置。

初始化 $i=1$ 时，匹配位置为1、2、3。由此从编码矩阵 G 中获取得到的匹配列为矩阵中的第1至3列。编码矩阵具体如下所示：

$$G = \begin{matrix} & \begin{matrix} c_1 & c_2 & c_3 \end{matrix} \\ \begin{matrix} 1 \\ 1 \\ 1 \\ 1 \\ 1 \\ 1 \\ 1 \\ 1 \end{matrix} & \begin{bmatrix} 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 1 & 1 & 0 & 0 & 1 & 1 & 0 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 & 0 & 0 \\ 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \end{bmatrix} \end{matrix}$$

15

矩阵A

矩阵A中的阴影部分即为匹配列。根据预设构造序列 $u^8 = (u_1, u_2, \dots, u_8)$ 以及与每个匹配位置的排序位置相同的匹配列，获取每个匹配位置对应的求解表达式，其中，求解表达式为预设构造序列与匹配列进行相乘处理得到的表达式，该求解表达式的值为0。

20 在本实施例中，求解表达式如下所示：

$$c1 = u_1 \oplus u_2 \oplus u_3 \oplus u_4 \oplus u_5 \oplus u_6 \oplus u_7 \oplus u_8 = 0$$

$$c2 = u_2 \oplus u_4 \oplus u_6 \oplus u_8 = 0$$

$$c3 = u_3 \oplus u_4 \oplus u_7 \oplus u_8 = 0$$

其中， $\oplus$ 为取异或符号，根据求解表达式获取编码约束关系的过程如下推导一所示

$$\begin{aligned}
c_3 = 0 &\rightarrow \begin{cases} u_7 = u_8 \\ u_3 = u_4 \end{cases} \\
c_2 = 0 &\rightarrow \begin{cases} u_6 = u_8 \\ u_2 = u_4 \end{cases} \Rightarrow \begin{cases} u_1 = u_2 = u_3 = u_4 \\ u_5 = u_6 = u_7 = u_8 \end{cases} & \text{推导一} \\
c_1 = 0 &\rightarrow \begin{cases} u_5 = u_8 \\ u_1 = u_4 \end{cases}
\end{aligned}$$

本实例在推导时，先从列重小的列进行推导，再对列重大的列进行推导。由此，得到编码约束关系为 $u_1 = u_2 = u_3 = u_4$ 以及 $u_5 = u_6 = u_7 = u_8$ 。

然后，设定 $i=i+1$ ，此时匹配位置为2、3、4，得到编码约束关系的实现方式如上所示，
 5 本实施例此处不再赘述。本实施例为了便于说明，再对匹配位置为4、5、6时，如何获取编码关系进行详细说明。

当匹配位置为4、5、6时，由此从编码矩阵G中获取到的匹配列为矩阵中的第4至6列。
 编码矩阵具体如下所示：

$$\mathbf{G} = \begin{matrix} & & & c_4 & c_5 & c_6 & & \\ \begin{bmatrix} 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 1 & 1 & 0 & 0 & 1 & 1 & 0 & 0 \\ 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 \\ 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \end{bmatrix} \end{matrix}$$

10

矩阵B

矩阵B中的阴影部分即为匹配列。根据预设构造序列 $u^8 = (u_1, u_2, \dots, u_8)$ 以及与每个匹配位置的排序位置相同的匹配列，获取每个匹配位置对应的求解表达式如下所示：

$$c4 = u_4 \oplus u_8 = 0$$

$$c5 = u_5 \oplus u_6 \oplus u_7 \oplus u_8 = 0$$

15

$$c6 = u_6 \oplus u_8 = 0$$

其中，根据求解表达式获取编码约束关系的过程如下推导二所示：

$$c_6 = 0 \rightarrow \{u_6 = u_8$$

$$c_5 = 0 \rightarrow \{u_5 = u_7 \Rightarrow \begin{cases} u_4 = u_6 = u_8 \\ u_5 = u_7 \end{cases} \quad \text{推导二}$$

$$c_4 = 0 \rightarrow \{u_4 = u_8$$

本实例在推导时，先从列重小的列进行推导，再对列重大的列进行推导。由此，得到编码约束关系为 $u_4 = u_6 = u_8$ 和 $u_5 = u_7$ 。

重复上述类似的过程，在 $i=6$ 时结束，可以得到6种匹配位置对应的编码约束关系。

- 5 进一步地，在上述实施例的基础上，还可以对编码矩阵进行简化处理，从而快速得到编码约束关系。具体地，根据速率匹配图样中的匹配位置，从编码矩阵中提取初始矩阵；对初始矩阵中的元素1进行高斯消元处理，得到匹配矩阵，匹配矩阵中的列为匹配列。为了便于说明，此处以矩阵B为例进行说明。

$$\mathbf{G} = \begin{matrix} & & & c_4 & c_5 & c_6 & & \\ \begin{bmatrix} 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 1 & 1 & 0 & 0 & 1 & 1 & 0 & 0 \\ 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 \\ 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \end{bmatrix} & \longrightarrow & \mathbf{Gp} = \begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \\ 0 & 1 & 0 \\ 1 & 0 & 1 \end{bmatrix} \end{matrix}$$

- 10 其中，灰色的4、5、6三列组成了初始矩阵，对初始矩阵中的元素1进行高斯消去处理，得到匹配矩阵 $\mathbf{Gp}$ 。其中，高斯消去处理是对列重大的列进行高斯消去处理，例如，第5列的列重为4，则根据第6列对第5列进行高斯消去，由于第5列的第6个元素和第8个元素与第6列的第6个元素和第8个元素相同，所以第5列的第6个元素和第8个元素进行高斯消去处理，由元素1变为元素0。本实施例仅示意性的给出了高斯消去的过程，对于其它高斯消去的过程，本实施例此处不做特别限制。

15 在得到匹配矩阵 $\mathbf{Gp}$ 后，可以根据该匹配矩阵中的匹配列获取的求解表达式如下所示：

$$c4 = u_4 \oplus u_8 = 0$$

$$c5 = u_5 \oplus u_7 = 0$$

$$c6 = u_6 \oplus u_8 = 0$$

- 20 其中，根据求解表达式获取编码约束关系的过程如下推导三所示：

$$c_4 = 0 \rightarrow \{u_4 = u_8$$

$$c_5 = 0 \rightarrow \{u_5 = u_7 \Rightarrow \begin{cases} u_4 = u_6 = u_8 \\ u_5 = u_7 \end{cases} \quad \text{推导三}$$

$$c_6 = 0 \rightarrow \{u_6 = u_8$$

本领域技术人员可以理解，针对化简得到的匹配矩阵，得到的求解表达式更简单，每列的列重大小相等，可以从任一列来推导编码约束关系，推导过程简单，提高了处理效率。

进一步地，针对化简得到的匹配矩阵，还可以针对匹配矩阵直接得到编码约束关系。

- 5 具体地，可以根据编码约束关系中元素1的位置来直接获取编码约束关系，例如，针对匹配矩阵中的第1列，有两个元素为1的位置，对应 u_4 、 u_8 ，由于每列的模二加结果为零，则可以得到 $u_4 = u_8$ ，由于 u_8 出现在匹配矩阵中的第3列，而第3列元素为1的位置，对应 u_8 、 u_6 ，由此可以直接得到 $u_4 = u_8 = u_6$ ，针对匹配矩阵中的第2列，可以得到 $u_5 = u_7$ 。本实施例示意性的给出了另一种通过匹配矩阵获取编码约束关系的实现方式，对于其它通过匹配矩阵获取编码约束关系的实现方式，都属于本申请的保护范畴，本实施例此处不再赘述。

S306、根据各编码约束关系的数量和匹配位置的数量，获取满足码率无损原则的速率匹配图样。

- 15 本领域技术人员可以理解，通过S301至S305，可以获取6种编码约束关系，即对应6中速率匹配图样。然而，由于编码约束关系的存在，影响了能够承载的信息比特的数量，存在码率损伤的问题，因此需要在获取的所有编码约束关系中，获取满足码率无损原则的编码约束关系。

以上述矩阵A和矩阵B对应的编码约束关系为例，来说明码率损失的问题。

- 20 对于矩阵A，编码约束关系为 $u_1 = u_2 = u_3 = u_4$ 以及 $u_5 = u_6 = u_7 = u_8$ ，由于约束关系的存在，能够承载的信息比特的数量只有2，但由于 $M=5$ ，因此对于矩阵A对应的速率匹配图样，码率最大为 $2/5$ ，存在码率损失的问题。由此，该矩阵A对应的编码约束关系不满足码率无损原则。

- 25 对于矩阵B，编码约束关系为 $u_4 = u_6 = u_8$ 和 $u_5 = u_7$ 。由于约束关系的存在，能够承载的信息比特的数量为5（编码约束关系对应2个，其余3个比特对应3个），同时 $M=5$ ，因此矩阵B对应的速率匹配图样，码率最大为1，不存在码率损失的问题，保证码率可以从0取到1。

由上可知，在编码约束关系的数量为至少一个时，该至少一个编码约束关系对应的所有约束位置的数量与编码约束关系的数量的差值与匹配位置的数量相等时，则该编码约束关系对应的速率匹配图样满足码率无损原则。

- 30 例如，对于矩阵A，两个编码约束关系对应8个约束位置，则该差值为6，该差值可

以理解为被影响的冻结比特的数量，该差值与匹配位置的数量不相等，所以匹配位置为 1 至 3 的速率匹配图样不满足码率无损原则。对于矩阵 B，两个编码约束关系对应 5 个约束位置，则该差值为 3，该差值可以理解为被影响的冻结比特的数量，该差值与匹配位置的数量相等，所述匹配位置为 4 至 6 的速率匹配图样满足码率无损原则。

5 本领域技术人员可以理解，本实施例仅以矩阵 A 和矩阵 B 来示例性的说明了不满足码率无损原则的情况和满足码率无损原则的情况，在具体实现过程中，满足码率无损原则的速率匹配图样可以为至少一个，不满足码率无损的速率匹配图样也可以为多个。

S307、根据预设筛选原则和满足码率无损的速率匹配图样，获取目标速率匹配图样。

由上可知，满足码率无损原则的速率匹配图样有多个，因此可以根据预设筛选原则筛选出待使用的速率匹配图样。该预设筛选规则包括但不限于高斯近似（Gaussian Approximation, GA）估计，或者极化重量（Polarization Weight, PW）值作为衡量标准，以选出对应原则下最好的速率匹配图样作为速率匹配图样。或者固定匹配位置选取，例如前端、后端、末端等，以获取目标速率匹配图样。本实施例对预设筛选原则不做特别限制，对获取目标速率匹配图样的实现方式也不做特别限制。若目标速率匹配图样为矩阵B对应的速率匹配图样，则其实现方式如图4所示，图4为本申请实施例提供的速率匹配图样的结构示意图。其中，0代表匹配位置，1代表非匹配位置。

本实施例通过设置连续的匹配位置，不仅可以有规则的对匹配位置进行设置，还可以提高译码性能，通过编码约束关系得到的速率匹配图样，匹配位置可以为任意的位置，增加了匹配位置设置的灵活性，且该速率匹配图样满足码率无损原则，保证码率可以从0取到1。

图 5 为本申请实施例提供的构造 Polar 码的方法流程示意图。在本实施例中，先确定预设构造序列中位于编码约束关系中的各约束位置的第一比特的属性；再确定预设构造序列中第二比特的属性，其中，第二比特为预设构造序列中除第一比特之外的比特，比特的属性为冻结比特或信息比特。具体的实现过程如图 5 所示：

25 S501、根据预设构造方法在每个编码约束关系的各约束位置对应的第一比特中确定一个第一信息比特；

S502、将各约束位置对应的第一比特中除第一信息比特之外的第一比特确定为第一冻结比特，其中，第一冻结比特的取值满足编码约束关系；

30 S503、根据预设的信息比特序列的长度和第一信息比特的数量，确定第二比特中第二信息比特的数量，第二比特为预设构造序列中除第一比特之外的比特；

S504、根据预设构造方法和第二信息比特的数量，在第二比特中确定第二信息比特和第二冻结比特，第二冻结比特的取值为预设固定值。

在本实施例中，该预设构造方法可以为GA构造方式或PW构造方式，本实施例对具体的构造方式不做特别限制，只要该构造方式可以构造Polar码，都属于本申请的保护范畴。在本实施例中为了便于说明，以该预设构造方式为PW构造方式为例进行说明。

请继续参照图3所示实施例，在图3所示实施例中，得到的矩阵B对应的速率匹配图样为满足码率无损原则的图样，因此本实施例以矩阵B对应的编码约束关系为例，来说明如何构造Polar码。

本实施例以预设的信息比特序列的长度K=4为例并结合图6进行说明。图6为本申请实

施例提供的Polar码的构造过程示意图。本实施例根据PW度量来获取每个极化子信道的可靠度，根据极化子信道的可靠度来确定信息比特和冻结比特。如图6所示，本实施例对极化子信道的可靠度进行了排序，随着排序的增大，极化子信道的可靠度降低，即排序为1的极化子信道的可靠度最高，排序为8的极化子信道的可靠度最低。

5 预设构造序列为 $u^8 = (u_1, u_2, \dots, u_8)$ ，由图3实施例可知，矩阵B对应的编码约束关系为 $u_4 = u_8 = u_6$ 和 $u_5 = u_7$ ，在图5中，位于同一约束关系中的约束位置采用相同的阴影来指示。确定信息比特（Data，简称D）和冻结比特（Frozen，简称F）的过程如下：

10 1）、针对每个编码约束关系的各约束位置对应的第一比特中确定极化子信道可靠度最高的第一比特为第一信息比特，将各约束位置对应的第一比特中除第一信息比特之外的第一比特确定为第一冻结比特；

具体地，针对 $u_4 = u_8 = u_6$ 的编码约束关系，在第一比特 u_4 、 u_6 、 u_8 中确定 u_8 为信息比特，将第一比特 u_4 、 u_6 确定为冻结比特。针对 $u_5 = u_7$ 的编码约束关系，在 u_5 和 u_7 中确定 u_7 为信息比特，将 u_5 确定为冻结比特。本领域技术人员可以理解，此处确定的冻结比特的取值并不是预设固定值，而是满足编码约束关系，即取值与信息比特的取值相同。

15 2）、根据信息比特序列的长度和第一信息比特的数量的差值，确定预设构造序列中除第一比特至外的第二比特中第二信息比特的数量，根据预设构造方法和第二信息比特的数量，在第二比特中确定第二信息比特和第二冻结比特。

其中，预设的信息比特序列的长度 $K=4$ ，根据编码约束关系已确定了两个第一信息比特，还差两个信息比特，因此，在除第一比特之外的第二比特 u_1 、 u_2 、 u_3 中，根据极化子信道的可靠度，确定第二比特 u_2 、 u_3 为信息比特，第二比特 u_1 为冻结比特。本领域技术人员可以理解，此处确定的冻结比特不需要满足约束关系，取值可以为预设固定值，该预设固定值可以为0。

25 通过过程1）和过程2），以一个具体的示例，说明了确定预设构造序列中的信息比特和冻结比特的过程，对于其它的预设构造序列，也都可以采用上述的方法来确定信息比特和冻结比特，本实施例在此不再一一赘述。

本实施例先根据编码约束关系来构造Polar码，再对预设构造序列中的剩余比特进行构造，保证了冻结比特和信息比特可以符合编码约束关系，并且保证了预设构造序列中的信息比特序列的数量与信息比特序列的长度相同，从而实现了预设构造序列可以使用到Polar码的编译码过程中。

30 由此，通过上述图3至图6所示的实施例，得到了编码约束关系和速率匹配图样。本领域技术人员可以理解，对于作为译码设备的接收设备而言，可以通过同样的方式来获取译码约束关系和速率匹配图样，其中译码约束关系与编码约束关系类似。对于译码侧获取译码约束关系和速率匹配图样的方式，本实施例此处不再赘述。本领域技术人员可以理解，还可以编码设备在获取到编码约束关系和速率匹配图样之后，将其发送给接收设备。或者，

还可以通过其他设备来确定编码约束关系和速率匹配图样，然后将该编码约束关系和速率匹配图样预先设定给编码设备和译码设备，即针对二者进行预先约定。本实施例对编码设备和译码设备获取编码约束关系和速率匹配图样的实现方式不做特别限制。下面针对已经得到的速率匹配图样和编码约束关系来详细说明速率匹配和解速率匹配的具体实现方式。

5 图 7 为本申请实施例提供的速率匹配和解速率匹配的信令流程图。如图 7 所示，该方法包括：

S701、发送设备根据编码约束关系获取长度为 N 的待编码序列，并对待编码序列进行极化编码，得到编码后序列，编码约束关系用于指示待编码序列中的至少两个约束位置，以及位于至少两个约束位置的比特的取值相同。

10 本实施例为了便于说明，以上述图 3 至图 6 实施例确定的两个编码约束关系（编码约束关系 $u_4 = u_8 = u_6$ 和编码约束关系 $u_5 = u_7$ ），以及上述图 4 所示的速率匹配图样为例来进行详细说明。其中， $N=8$ ，匹配位置的数量 $Q=3$ ，信息比特序列的长度 $K=4$ 。本实施例的编码约束关系对应的速率匹配图样满足码率无损原则。本领域技术人员可以理解，针对不同的传输需求，当码率可以小于 1 时，还可以采用不满足码率无损原则的速率匹配图样。

15 在具体实现过程中，根据该编码约束关系、位于编码约束关系中的各约束位置的第一比特的属性以及位于编码约束关系之外的第二比特的属性，获取所述待编码序列。具体地，第一比特的属性和第二比特的属性可参见上述图 6 构造完成的 Polar 码。

假设信息比特为 i_1 、 i_2 、 i_3 以及 i_4 ，根据编码约束关系以及图 6 所示的 Polar 码，得到待编码序列，然后对该待编码序列进行极化编码，得到编码后序列。待编码序列以及编码后序列的结构可如图 8 所示，其中 0 代表冻结比特，A 代表 0 或 1。

S702、发送设备根据速率匹配图样中的匹配位置和编码后序列，得到长度为 M 的速率匹配序列，其中，速率匹配图样中包括多个连续的匹配位置，编码后序列中匹配位置对应的编码比特为 0， N 和 M 为整数， M 小于 N 。

25 其中，速率匹配图样可如图 4 所示，本领域技术人员可以理解，编码约束关系的确定是以匹配位置编码后的结果为 0 来设定的，因此，编码后序列中与匹配位置对应的位置编码结果必然为 0。

在得到编码后序列之后，根据速率匹配图样中的匹配位置，对编码后序列进行打孔或缩短操作，得到长度为 M 的速率匹配序列，可参见图 8。

S703、发送设备向接收设备发送速率匹配序列。

30 S704、接收设备接收发送设备发送的长度为 M 的速率匹配序列。

发送设备通过信道将该速率匹配序列发送给接收设备，接收设备接收发送设备发送的长度为 M 的速率匹配序列。本领域技术人员可以理解，当速率匹配序列经过信道传输后，接收设备接收到的接收信号序列为软信息，接收设备根据软信息得到每个待译码比特对应的对数似然比（Log likelihood Ratio, LLR），对于接收设备而言，该速率匹配序列可以理解为对数似然比序列。

S705、接收设备根据速率匹配图样对速率匹配序列进行解速率匹配，得到长度为 N 的待译码序列，速率匹配图样中包括多个连续的匹配位置， N 和 M 为整数， M 小于 N ；

S706、接收设备根据译码约束关系对待译码序列进行译码，得到译码后序列，译码约束关系用于指示待译码序列中的至少两个约束位置，以及位于至少两个约束位置的比特的译码结果相同。

接收设备在得到速率匹配序列后，根据速率匹配图样对该速率匹配序列进行解速率匹配。具体地，由于速率匹配图样中的匹配位置为打孔或缩短的位置，即匹配位置对应的比特为不传输的比特，在解速率匹配的过程中，对于打孔操作，则匹配位置对应的对数似然比设置为 0，对于缩短操作，则匹配位置对应的对数似然比设置为一个比较大的值，例如可以设置为无穷大。通过设置匹配位置的对数似然比，并结合信道接收的对数似然比，可以得到码长为 N 的待译码序列。

可选地，在本实施例中，由于匹配位置对应的编码后的比特为 0，且其对于收发双端都是已知的，因此，在编码端可以对匹配位置进行缩短操作来实现速率匹配，在译码端可以将该匹配位置对应的对数似然比设置为一个比较大的值。

在得到待译码序列后，可以采用 SC 或 SCL 译码方式，并结合译码约束关系，对待译码序列进行译码，得到译码后序列。即针对同一译码约束关系，位于至少两个约束位置的比特的译码结果相同。

本实施例通过发送设备根据编码约束关系获取长度为 N 的待编码序列，并对待编码序列进行极化编码，得到编码后序列，编码约束关系用于指示待编码序列中的至少两个约束位置，以及位于至少两个约束位置的比特的取值相同，发送设备根据速率匹配图样中的匹配位置和编码后序列，得到长度为 M 的速率匹配序列，其中，速率匹配图样中包括多个连续的匹配位置，编码后序列中匹配位置对应的编码比特为 0，N 和 M 为整数，M 小于 N，发送设备向接收设备发送速率匹配序列，接收设备接收发送设备发送的长度为 M 的速率匹配序列，接收设备根据速率匹配图样对速率匹配序列进行解速率匹配，得到长度为 N 的待译码序列，接收设备根据译码约束关系对待译码序列进行译码，得到译码后序列，译码约束关系用于指示待译码序列中的至少两个约束位置，以及位于至少两个约束位置的比特的译码结果相同。本实施例基于编码约束关系以及匹配位置连续来进行 Polar 码的速率匹配和解速率匹配，可以提高译码性能。

下面采用一个详细的实施例，来说明如何根据编码约束关系进行译码。

图 9 为本申请实施例提供的译码方法流程示意图，如图 9 所示，该方法包括：

S901、初始化 $i=1$ ；

S902、判断 u_i 是否位于约束位；

S903、判断 u_i 是否为信息位；

S904、判断与 u_i 位于同一译码约束关系中的 u_j 是否被译码；

S905、 u_i 置为 0，不进行路径扩展；

S906、 u_i 按信息位译码，进行路径扩展；

S907、 $u_i = u_j$ ，不进行路径扩展；

S908、 u_i 按信息位译码，进行路径扩展；

S909、判断扩展后的路径是否大于搜索宽度 L；

S910、选择 L 条可靠度最高的路径；

S911、判断 i 是否小于 N；

S912、 $i=i+1$;

S913、从L条路径中挑选能够通过CRC校验的路径作为译码后序列。

在 Polar 的 SCL 译码过程中，初始路径置为空路径，将所有路径按比特 0 或 1 扩展，并分别更新路径度量值，将路径按路径度量值排序，保留具有最大路径度量值的 L 条路径，删除其余的路径，在路径的长度达到母码长度 N 时，按路径度量值从大到小的顺序输出各路径对应的信息比特序列，按输出顺序逐一对各信息比特序列进行 CRC 校验，以获得译码结果。其中，L 为搜索宽度，即最大保存路径数，L 大于等于 1，在每次进行路径扩展之后，可以根据该搜索宽度对路径进行删除处理。

本实施例针对位于译码约束关系中的 u_i 和 u_j ，若 u_j 位于 u_i 之前，则对 u_i 进行译码时，置 $u_i=u_j$ ，不进行路径扩展。在本实施例中，为了便于说明，假设两种情况进行说明。一种情况为 $u_3=u_4$ ，路径扩展示意可如图 10A 所示，另一种情况为 $u_3=u_4$ ，路径扩展可如图 10B 所示。本实施例给出了路径扩展的一种示意，对于其它的路径扩展示意，本实施例此处不再赘述。

本实施例通过译码约束关系来进行译码，可以得到可靠的译码路径，提高译码性能。

下面针对仿真结果，通过图 11、图 12 以及图 13 对本申请实施例所达到的译码性能进行详细说明。具体地，将本实施例提出的基于编码约束关系的速率匹配方案与反序准均匀删余 (Reversal Quasi Uniform Puncturing, RQUP) 的速率匹配方案进行译码性能的对比。其中，表一列出了一些译码参数：

表一

信道	加性高斯白噪声 (Additive White Gaussian Noise, AWGN) 信道
调制方式	正交相移键控 (Quadrature Phase Shift Keying, QPSK)
构造方式	PW 构造
CRC 码长度	8 比特
译码算法	SCL 译码算法 L=8 (搜索宽度)

在图 11 至图 13 中，其中，RQUP 为反序准均匀删余速率匹配方案对应的译码曲线，Pd (Proposed, 简称 Pd) 为本申请实施例提出的基于编码约束关系的译码曲线的改进译码。横坐标 E_b/N_0 为比特信噪比，纵坐标为误码率 (Block Error Ratio, BLER)，R 为码率，K 为信息序列长度。

如图 11 至图 13 所示，针对相同的码率 R 和信息序列长度 K，在比特信噪比 E_b/N_0 的值相同时，本申请实施例的速率匹配方案对应的误码率明显小于 RQUP 方案的误码率，本申请实施例相对 RQUP 而言，有约 0.2dB 的性能增益。

图 14 为本申请实施例提供的发送设备的结构示意图。如图 14 所示，该发送设备 140 包括：编码模块 1401、速率匹配模块 1402 以及发送模块 1403。可选地，还包括：关系获取模块 1404 以及比特属性确定模块 1405。

编码模块 1401，用于根据编码约束关系获取长度为 N 的待编码序列，并对所述待编码

序列进行极化编码,得到编码后序列,所述编码约束关系用于指示待编码序列中的至少两个约束位置,以及位于所述至少两个约束位置的比特的取值相同;

速率匹配模块 1402,用于根据速率匹配图样中的匹配位置和所述编码后序列,得到长度为 M 的速率匹配序列,其中,所述速率匹配图样中包括多个连续的匹配位置,所述编码后序列中所述匹配位置对应的编码比特为 0,所述 N 和所述 M 为整数,所述 M 小于 N ;

发送模块 1403,用于向接收设备发送所述速率匹配序列。

可选地,所述编码约束关系的数量为至少一个,所述至少一个编码约束关系对应的所有约束位置的数量与所述编码约束关系的数量的差值与所述匹配位置的数量相等。

可选地,关系获取模块 1404,用于在根据编码约束关系获取长度为 N 的待编码序列之前,根据所述速率匹配图样中的匹配位置从编码矩阵中获取匹配列,其中,所述匹配列在所述编码矩阵中的排序与所述匹配位置在所述速率匹配图样中的排序位置相同;

根据预设构造序列以及与每个匹配位置的排序位置相同的匹配列,获取每个所述匹配位置对应的求解表达式,其中,所述预设构造序列为所述待编码序列的构造序列,所述求解表达式的值为 0;

根据每个所述匹配位置对应的求解表达式,获取所述编码约束关系。

可选地,所述关系获取模块 1404 还具体用于:

根据所述速率匹配图样中的匹配位置,从所述编码矩阵中提取初始矩阵;

对所述初始矩阵中的元素 1 进行高斯消元处理,得到匹配矩阵,所述匹配矩阵中的列为所述匹配列。

可选地,所述编码模块 1401 具体用于:

根据所述编码约束关系、位于所述编码约束关系中的各约束位置的第一比特的属性以及位于所述编码约束关系之外的第二比特的属性,获取所述待编码序列,其中,比特的属性为冻结比特或信息比特。

可选地,比特属性确定模块 1404,用于在根据所述编码约束关系、位于所述编码约束关系中的各约束位置的第一比特的属性以及位于所述编码约束关系之外的第二比特的属性,获取所述待编码序列之前,确定预设构造序列中位于所述编码约束关系中的各约束位置的所述第一比特的属性,所述预设构造序列为所述待编码序列的构造序列;

确定所述预设构造序列中所述第二比特的属性,其中,所述第二比特为所述预设构造序列中除所述第一比特之外的比特,比特的属性为冻结比特或信息比特。

可选地,所述比特属性确定模块 1404 具体用于:

根据预设构造方法在每个所述编码约束关系的各约束位置对应的所述第一比特中确定一个第一信息比特;

将各约束位置对应的第一比特中除所述第一信息比特之外的第一比特确定为第一冻结比特,其中,所述第一冻结比特的取值满足所述编码约束关系。

可选地,所述比特属性模块 1404 具体用于:

根据预设信息比特序列的长度和所述第一信息比特的数量,确定所述第二比特中第二信息比特的数量;

根据所述预设构造方法和所述第二信息比特的数量,在所述第二比特中确定所述第二信息比特和第二冻结比特,所述第二冻结比特的取值为预设固定值。

本实施例提供的发送设备，可用于执行上述方法实施例中发送设备执行的速率匹配方法，其实现原理和技术效果类似，本实施例此处不再赘述。

图 15 为本申请实施例提供的接收设备的结构示意图。如图 15 所示，该接收设备 150 包括：接收模块 1501、解速率匹配模块 1502 和译码模块 1503。

5 接收模块 1501，用于接收发送设备发送的长度为 M 的速率匹配序列；

解速率匹配模块 1502，用于根据速率匹配图样对所述速率匹配序列进行解速率匹配，得到长度为 N 的待译码序列，所述速率匹配图样中包括多个连续的匹配位置，所述 N 和所述 M 为整数，所述 M 小于 N ；

10 译码模块 1503，用于根据译码约束关系对所述待译码序列进行译码，得到译码后序列，所述译码约束关系用于指示待译码序列中的至少两个约束位置，以及位于所述至少两个约束位置的比特的译码结果相同。

可选地，所述译码约束关系的数量为至少两个，至少两个所述译码约束关系对应的所有约束位置的数量与所述译码约束关系的数量的差值与所述匹配位置的数量相等。

15 可选地，若所述待译码序列中的第一待译码比特位于所述译码约束关系中的约束位置，所述译码模块 1503 具体用于：

判断与所述第一待译码比特位于同一译码约束关系中的第二待译码比特是否被译码；

若是，则将所述第一待译码比特的值设置为与所述第二待译码比特的值相同；

若否，则对所述第一待译码比特进行译码，得到所述第一待译码比特的值。

20 本实施例提供的接收设备，可用于执行上述方法实施例中接收设备执行的解速率匹配方法，其实现原理和技术效果类似，本实施例此处不再赘述。

图 16 为本申请实施例提供的发送设备的硬件结构示意图。如图 16 所示，该发送设备 160 包括：处理器 1601 以及存储器 1602；其中

存储器 1602，用于存储计算机程序；

25 处理器 1601，用于执行存储器存储的计算机程序，以实现上述实施例中发送设备所执行的速率匹配方法。具体可以参见前述方法实施例中的相关描述。

可选地，存储器 1602 既可以是独立的，也可以跟处理器 1601 集成在一起。

当所述存储器 1602 是独立于处理器 1601 之外的器件时，所述发送设备 160 还可以包括：

总线 1603，用于连接所述存储器 1602 和处理器 1601。

30 图 16 所示的发送设备还可以进一步包括发送器 1601，用于发送速率匹配序列等。

可选地，图 14 所述的关系获取模块、编码模块、速率匹配模块以及比特属性确定模块可以被集成在处理器 1601 中实现，发送模块可以被集成在发送器 1601 中实现。

本实施例提供的发送设备，可用于执行上述方法实施例中发送设备执行的速率匹配方法，其实现原理和技术效果类似，本实施例此处不再赘述。

35 图 17 为本申请实施例提供的接收设备的硬件结构示意图。本实施例的接收设备 170 包括：处理器 1701 以及存储器 1702；其中

存储器 1702，用于存储计算机程序；

处理器 1701，用于执行存储器存储的计算机程序，以实现上述实施例中接收设备所执行的各个步骤。具体可以参见前述方法实施例中的相关描述。

可选地，存储器 1702 既可以是独立的，也可以跟处理器 1701 集成在一起。

当所述存储器 1702 是独立于处理器 1701 之外的器件时，所述接收设备 170 还可以包括：

总线 1703，用于连接所述存储器 1702 和处理器 1701。

5 图 17 所示的接收设备还可以进一步包括接收器 1704，用于接收速率匹配序列等。

可选地，图 15 所述的接收模块可以被集成在接收器 1704 中实现，解速率匹配模块和译码模块可以被集成在处理器 1701 中实现。

本实施例提供的接收设备，可用于执行上述实例接收设备所执行的解速率匹配方法，其实现原理和技术效果类似，本实施例此处不再赘述。

10 本申请实施例还提供一种存储介质，所述存储介质包括计算机程序，所述计算机程序用于实现如上实施例中第一设备所执行的编码方式的指示方法。

本申请实施例还提供一种存储介质，所述存储介质包括计算机程序，所述计算机程序用于实现如上实施例中第二设备所执行的编码方式的指示方法。

15 本申请实施例还提供一种计算机程序产品，所述计算机程序产品包括计算机程序代码，当所述计算机程序代码在计算机上运行时，使得计算机执行如上第一设备所执行的编码方式的指示方法。

本申请实施例还提供一种芯片，包括存储器和处理器，所述存储器用于存储计算机程序，所述处理器用于从所述存储器中调用并运行所述计算机程序，使得安装有所述芯片的通信设备执行如上第一设备所执行的编码方式的指示方法。

20 本申请实施例还提供一种计算机程序产品，所述计算机程序产品包括计算机程序代码，当所述计算机程序代码在计算机上运行时，使得计算机执行如上第二设备所执行的编码方式的指示方法。

25 本申请实施例还提供一种芯片，包括存储器和处理器，所述存储器用于存储计算机程序，所述处理器用于从所述存储器中调用并运行所述计算机程序，使得安装有所述芯片的通信设备执行如上第二设备所执行的编码方式的指示方法。

30 在本发明所提供的几个实施例中，应该理解到，所揭露的设备和方法，可以通过其它的方式实现。例如，以上所描述的设备实施例仅仅是示意性的，例如，所述模块的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，例如多个模块可以结合或者可以集成到另一个系统，或一些特征可以忽略，或不执行。另一点，所显示或讨论的相互之间的耦合或直接耦合或通信连接可以是通过一些接口，装置或模块的间接耦合或通信连接，可以是电性，机械或其它的形式。

所述作为分离部件说明的模块可以是或者也可以不是物理上分开的，作为模块显示的部件可以是或者也可以不是物理单元，即可以位于一个地方，或者也可以分布到多个网络单元上。可以根据实际的需要选择其中的部分或者全部模块来实现本实施例方案的目的。

35 另外，在本发明各个实施例中的各功能模块可以集成在一个处理单元中，也可以是各个模块单独物理存在，也可以两个或两个以上模块集成在一个单元中。上述模块成的单元既可以采用硬件的形式实现，也可以采用硬件加软件功能单元的形式实现。

上述以软件功能模块的形式实现的集成的模块，可以存储在一个计算机可读取存储介质中。上述软件功能模块存储在一个存储介质中，包括若干指令用以使得一台计算机设备

(可以是个人计算机, 服务器, 或者网络设备等) 或处理器 (英文: processor) 执行本申请各个实施例所述方法的部分步骤。

应理解, 上述处理器可以是中央处理单元 (英文: Central Processing Unit, 简称: CPU), 还可以是其他通用处理器、数字信号处理器 (英文: Digital Signal Processor, 简称: DSP)、
5 专用集成电路 (英文: Application Specific Integrated Circuit, 简称: ASIC) 等。通用处理器可以是微处理器或者该处理器也可以是任何常规的处理器等。结合发明所公开的方法的步骤可以直接体现为硬件处理器执行完成, 或者用处理器中的硬件及软件模块组合执行完成。

10 存储器可能包含高速 RAM 存储器, 也可能还包括非易失性存储 NVM, 例如至少一个磁盘存储器, 还可以为 U 盘、移动硬盘、只读存储器、磁盘或光盘等。

总线可以是工业标准体系结构 (Industry Standard Architecture, ISA) 总线、外部设备互连 (Peripheral Component, PCI) 总线或扩展工业标准体系结构 (Extended Industry Standard Architecture, EISA) 总线等。总线可以分为地址总线、数据总线、控制总线等。为便于表示, 本申请附图中的总线并限定仅有一根总线或一种类型的总线。

15 上述存储介质可以是由任何类型的易失性或非易失性存储设备或者它们的组合实现, 如静态随机存取存储器 (SRAM), 电可擦除可编程只读存储器 (EEPROM), 可擦除可编程只读存储器 (EPROM), 可编程只读存储器 (PROM), 只读存储器 (ROM), 磁存储器, 快闪存储器, 磁盘或光盘。存储介质可以是通用或专用计算机能够存取的任何可用介质。

20 一种示例性的存储介质耦合至处理器, 从而使处理器能够从该存储介质读取信息, 且可向该存储介质写入信息。当然, 存储介质也可以是处理器的组成部分。处理器和存储介质可以位于专用集成电路 (Application Specific Integrated Circuits, 简称: ASIC) 中。当然, 处理器和存储介质也可以作为分立组件存在于电子设备或主控设备中。

权 利 要 求 书

1、一种极化码的速率匹配方法，其特征在于，包括：

根据编码约束关系获取长度为 N 的待编码序列，并对所述待编码序列进行极化编码，得到编码后序列，所述编码约束关系用于指示待编码序列中的至少两个约束位置，以及位于所述至少两个约束位置的比特的取值相同；

根据速率匹配图样中的匹配位置和所述编码后序列，得到长度为 M 的速率匹配序列，其中，所述速率匹配图样中包括多个连续的匹配位置，所述编码后序列中所述匹配位置对应的编码比特为 0，所述 N 和所述 M 为整数，所述 M 小于 N ；

向接收设备发送所述速率匹配序列。

2、根据权利要求 1 所述的方法，其特征在于，所述编码约束关系的数量为至少一个，所述至少一个编码约束关系对应的所有约束位置的数量与所述编码约束关系的数量的差值与所述匹配位置的数量相等。

3、根据权利要求 1 或 2 所述的方法，其特征在于，所述根据编码约束关系获取长度为 N 的待编码序列之前，所述方法还包括：

根据所述速率匹配图样中的匹配位置从编码矩阵中获取匹配列，其中，所述匹配列在所述编码矩阵中的排序与所述匹配位置在所述速率匹配图样中的排序位置相同；

根据预设构造序列以及与每个匹配位置的排序位置相同的匹配列，获取每个所述匹配位置对应的求解表达式，其中，所述预设构造序列为所述待编码序列的构造序列，所述求解表达式的值为 0；

根据每个所述匹配位置对应的求解表达式，获取所述编码约束关系。

4、根据权利要求 3 所述的方法，其特征在于，所述根据所述速率匹配图样中的匹配位置从编码矩阵中获取匹配列，包括：

根据所述速率匹配图样中的匹配位置，从所述编码矩阵中提取初始矩阵；

对所述初始矩阵中的元素 1 进行高斯消元处理，得到匹配矩阵，所述匹配矩阵中的列为所述匹配列。

5、根据权利要求 1 至 4 任一项所述的方法，其特征在于，所述根据编码约束关系获取长度为 N 的待编码序列，包括：

根据所述编码约束关系、位于所述编码约束关系中的各约束位置的第一比特的属性以及位于所述编码约束关系之外的第二比特的属性，获取所述待编码序列，其中，比特的属性为冻结比特或信息比特。

6、根据权利要求 5 所述的方法，其特征在于，所述根据所述编码约束关系、位于所述编码约束关系中的各约束位置的第一比特的属性以及位于所述编码约束关系之外的第二比特的属性，获取所述待编码序列之前，所述方法还包括：

确定预设构造序列中位于所述编码约束关系中的各约束位置的所述第一比特的属性，所述预设构造序列为所述待编码序列的构造序列；

确定所述预设构造序列中所述第二比特的属性，其中，所述第二比特为所述预设构造序列中除所述第一比特之外的比特，比特的属性为冻结比特或信息比特。

7、根据权利要求 6 所述的方法，其特征在于，所述确定预设构造序列中位于所述编

码约束关系中的各约束位置的第一比特的属性，包括：

根据预设构造方法在每个所述编码约束关系的各约束位置对应的所述第一比特中确定一个第一信息比特；

5 将各约束位置对应的第一比特中除所述第一信息比特之外的第一比特确定为第一冻结比特，其中，所述第一冻结比特的取值满足所述编码约束关系。

8、根据权利要求 7 所述的方法，其特征在于，所述确定所述预设构造序列中第二比特的属性，包括：

根据预设信息比特序列的长度和所述第一信息比特的数量，确定所述第二比特中第二信息比特的数量；

10 根据所述预设构造方法和所述第二信息比特的数量，在所述第二比特中确定所述第二信息比特和第二冻结比特，所述第二冻结比特的取值为预设固定值。

9、一种极化码的解速率匹配方法，其特征在于，包括：

接收发送设备发送的长度为 M 的速率匹配序列；

15 根据速率匹配图样对所述速率匹配序列进行解速率匹配，得到长度为 N 的待译码序列，所述速率匹配图样中包括多个连续的匹配位置，所述 N 和所述 M 为整数，所述 M 小于 N ；

根据译码约束关系对所述待译码序列进行译码，得到译码后序列，所述译码约束关系用于指示待译码序列中的至少两个约束位置，以及位于所述至少两个约束位置的比特的译码结果相同。

20 10、根据权利要求 9 所述的方法，其特征在于，所述译码约束关系的数量为至少两个，至少两个所述译码约束关系对应的所有约束位置的数量与所述译码约束关系的数量的差值与所述匹配位置的数量相等。

11、根据权利要求 9 或 10 所述的方法，其特征在于，若所述待译码序列中的第一待译码比特位于所述译码约束关系中的约束位置，所述根据所述译码约束关系对所述待译码序列进行译码，包括：

25 判断与所述第一待译码比特位于同一译码约束关系中的第二待译码比特是否被译码；若是，则将所述第一待译码比特的值设置为与所述第二待译码比特的值相同；若否，则对所述第一待译码比特进行译码，得到所述第一待译码比特的值。

12、一种发送设备，其特征在于，包括：

30 编码模块，用于根据编码约束关系获取长度为 N 的待编码序列，并对所述待编码序列进行极化编码，得到编码后序列，所述编码约束关系用于指示待编码序列中的至少两个约束位置，以及位于所述至少两个约束位置的比特的取值相同；

速率匹配模块，用于根据速率匹配图样中的匹配位置和所述编码后序列，得到长度为 M 的速率匹配序列，其中，所述速率匹配图样中包括多个连续的匹配位置，所述编码后序列中所述匹配位置对应的编码比特为 0，所述 N 和所述 M 为整数，所述 M 小于 N ；

35 发送模块，用于向接收设备发送所述速率匹配序列。

13、根据权利要求 12 所述的设备，其特征在于，所述编码约束关系的数量为至少一个，所述至少一个编码约束关系对应的所有约束位置的数量与所述编码约束关系的数量的差值与所述匹配位置的数量相等。

14、根据权利要求 12 或 13 所述的设备，其特征在于，还包括：关系获取模块，用于

在根据编码约束关系获取长度为 N 的待编码序列之前，根据所述速率匹配图样中的匹配位置从编码矩阵中获取匹配列，其中，所述匹配列在所述编码矩阵中的排序与所述匹配位置在所述速率匹配图样中的排序位置相同；

根据预设构造序列以及与每个匹配位置的排序位置相同的匹配列，获取每个所述匹配位置对应的求解表达式，其中，所述预设构造序列为所述待编码序列的构造序列，所述求解表达式的值为 0；

根据每个所述匹配位置对应的求解表达式，获取所述编码约束关系。

15、根据权利要求 14 所述的设备，其特征在于，所述关系获取模块还具体用于：

根据所述速率匹配图样中的匹配位置，从所述编码矩阵中提取初始矩阵；

对所述初始矩阵中的元素 1 进行高斯消元处理，得到匹配矩阵，所述匹配矩阵中的列为所述匹配列。

16、根据权利要求 12 至 15 任一项所述的设备，其特征在于，所述编码模块具体用于：

根据所述编码约束关系、位于所述编码约束关系中的各约束位置的第一比特的属性以及位于所述编码约束关系之外的第二比特的属性，获取所述待编码序列，其中，比特的属性为冻结比特或信息比特。

17、根据权利要求 16 所述的设备，其特征在于，还包括：比特属性确定模块，用于在根据所述编码约束关系、位于所述编码约束关系中的各约束位置的第一比特的属性以及位于所述编码约束关系之外的第二比特的属性，获取所述待编码序列之前，确定预设构造序列中位于所述编码约束关系中的各约束位置的所述第一比特的属性，所述预设构造序列为所述待编码序列的构造序列；

确定所述预设构造序列中所述第二比特的属性，其中，所述第二比特为所述预设构造序列中除所述第一比特之外的比特，比特的属性为冻结比特或信息比特。

18、根据权利要求 17 所述的设备，其特征在于，所述比特属性确定模块具体用于：

根据预设构造方法在每个所述编码约束关系的各约束位置对应的所述第一比特中确定一个第一信息比特；

将各约束位置对应的第一比特中除所述第一信息比特之外的第一比特确定为第一冻结比特，其中，所述第一冻结比特的取值满足所述编码约束关系。

19、根据权利要求 18 所述的设备，其特征在于，所述比特属性模块具体用于：

根据预设信息比特序列的长度和所述第一信息比特的数量，确定所述第二比特中第二信息比特的数量；

根据所述预设构造方法和所述第二信息比特的数量，在所述第二比特中确定所述第二信息比特和第二冻结比特，所述第二冻结比特的取值为预设固定值。

20、一种接收设备，其特征在于，包括：

接收模块，用于接收发送设备发送的长度为 M 的速率匹配序列；

解速率匹配模块，用于根据速率匹配图样对所述速率匹配序列进行解速率匹配，得到长度为 N 的待译码序列，所述速率匹配图样中包括多个连续的匹配位置，所述 N 和所述 M 为整数，所述 M 小于 N ；

译码模块，用于根据译码约束关系对所述待译码序列进行译码，得到译码后序列，所述译码约束关系用于指示待译码序列中的至少两个约束位置，以及位于所述至少两个约束

位置的比特的译码结果相同。

21、根据权利要求 20 所述的设备，其特征在于，所述译码约束关系的数量为至少两个，至少两个所述译码约束关系对应的所有约束位置的数量与所述译码约束关系的数量的差值与所述匹配位置的数量相等。

5 22、根据权利要求 20 或 21 所述的设备，其特征在于，若所述待译码序列中的第一待译码比特位于所述译码约束关系中的约束位置，所述译码模块具体用于：

判断与所述第一待译码比特位于同一译码约束关系中的第二待译码比特是否被译码；

若是，则将所述第一待译码比特的值设置为与所述第二待译码比特的值相同；

若否，则对所述第一待译码比特进行译码，得到所述第一待译码比特的值。

10 23、一种发送设备，其特征在于，包括：存储器和处理器，所述存储器用于存储计算机程序，所述处理器用于从所述存储器中调用并运行所述计算机程序，使得所述处理器运行所述计算机程序执行如权利要求 1 至 8 任一项所述的速率匹配方法。

15 24、一种接收设备，其特征在于，包括：存储器、处理器以及计算机程序，所述计算机程序存储在所述存储器中，所述处理器运行所述计算机程序执行如权利要求 9 至 11 任一项所述的解速率匹配方法。

25、一种存储介质，其特征在于，所述存储介质包括计算机程序，所述计算机程序用于实现如权利要求 1 至 8 任一项所述的速率匹配方法，或者，所述计算机程序用于实现如权利要求 9 至 11 任一项所述的解速率匹配方法。

20 26、一种计算机程序产品，其特征在于，所述计算机程序产品包括计算机程序代码，当所述计算机程序代码在计算机上运行时，使得计算机执行如权利要求 1 至 8 任一项所述的速率匹配方法，或者，执行如权利要求 9 至 11 任一项所述的解速率匹配方法。

25 27、一种芯片，其特征在于，包括存储器和处理器，所述存储器用于存储计算机程序，所述处理器用于从所述存储器中调用并运行所述计算机程序，使得所述处理器执行如权利要求 1 至 8 任一项所述的速率匹配方法，或者，执行如权利要求 9 至 11 任一项所述的解速率匹配方法。

28、一种编码装置，其特征在于，所述装置用于执行权利要求 1-8 任意一项所述的方法。

29、一种译码装置，其特征在于，所述装置用于执行权利要求 9-11 任意一项所述的方法。

30

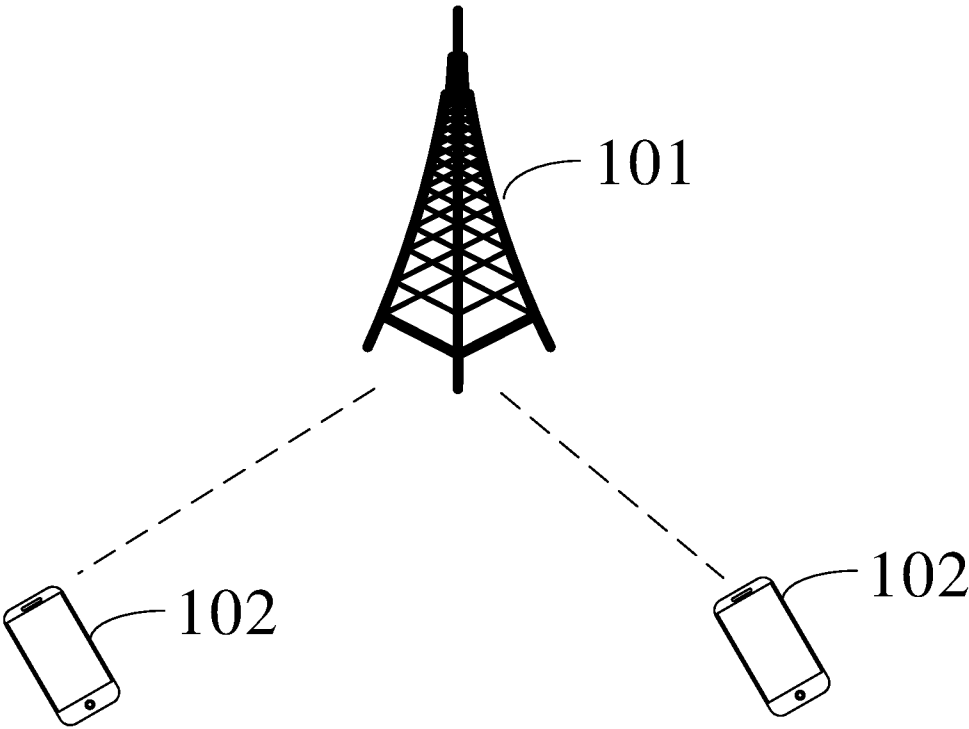


图 1

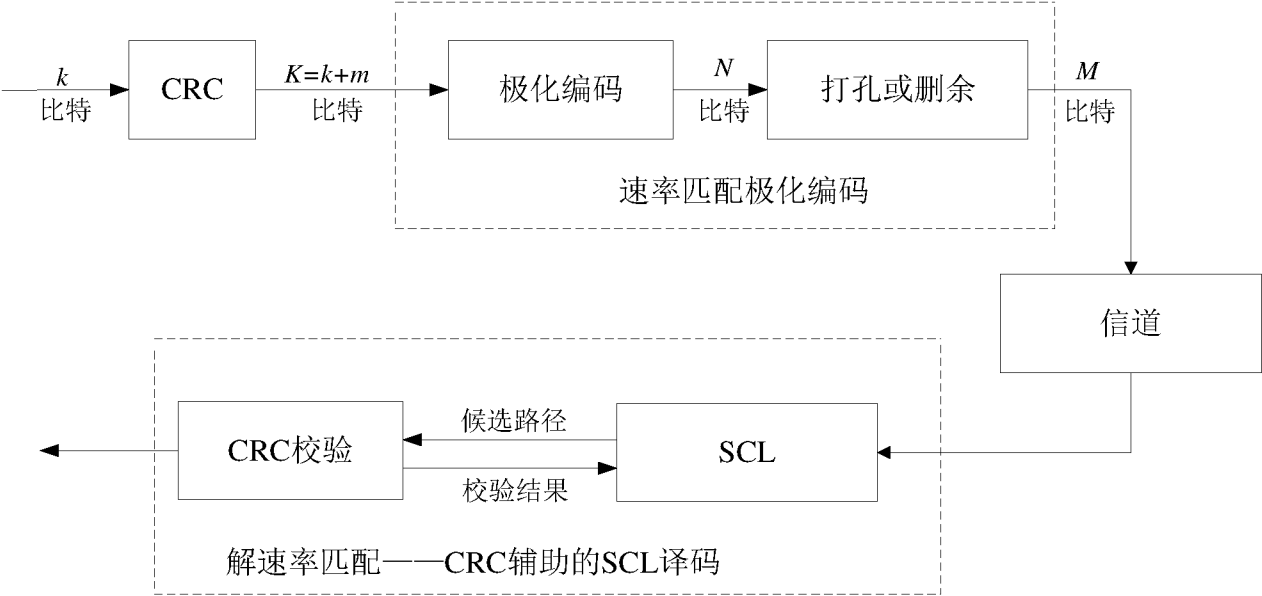


图 2

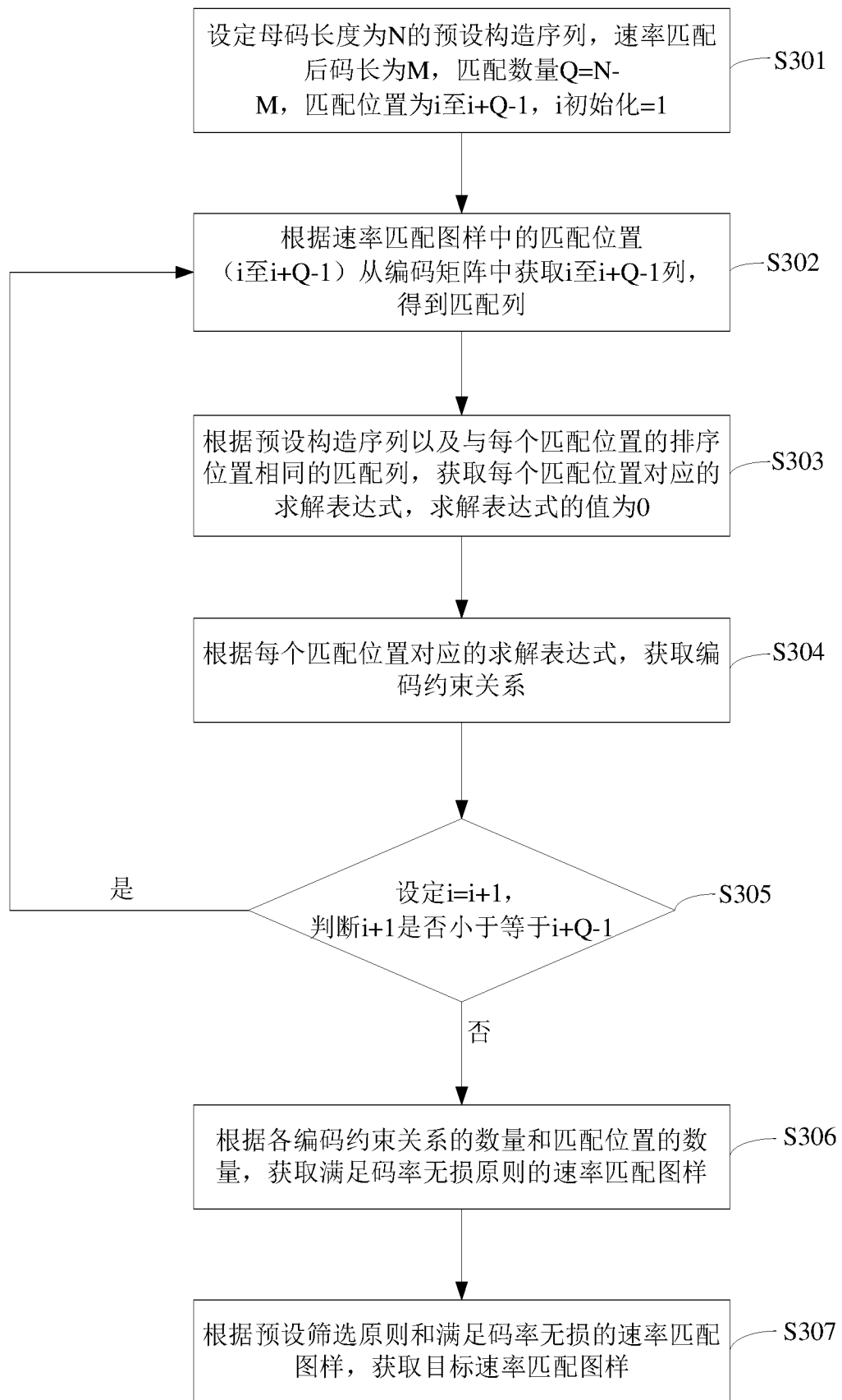


图 3

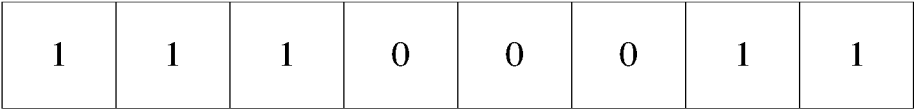


图 4

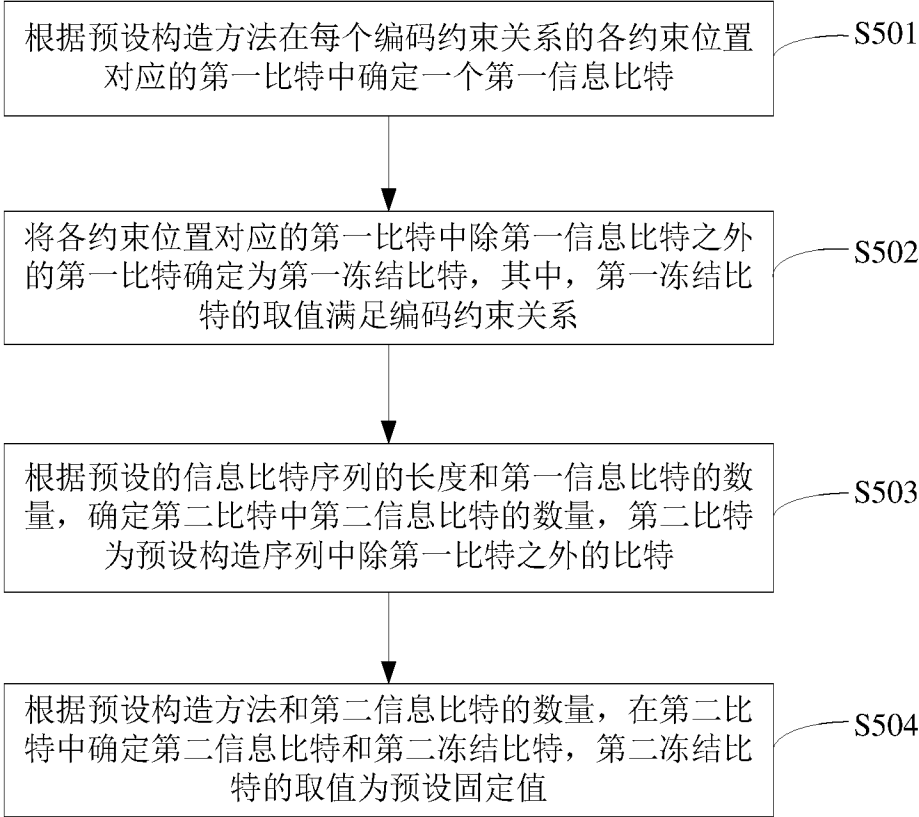


图 5

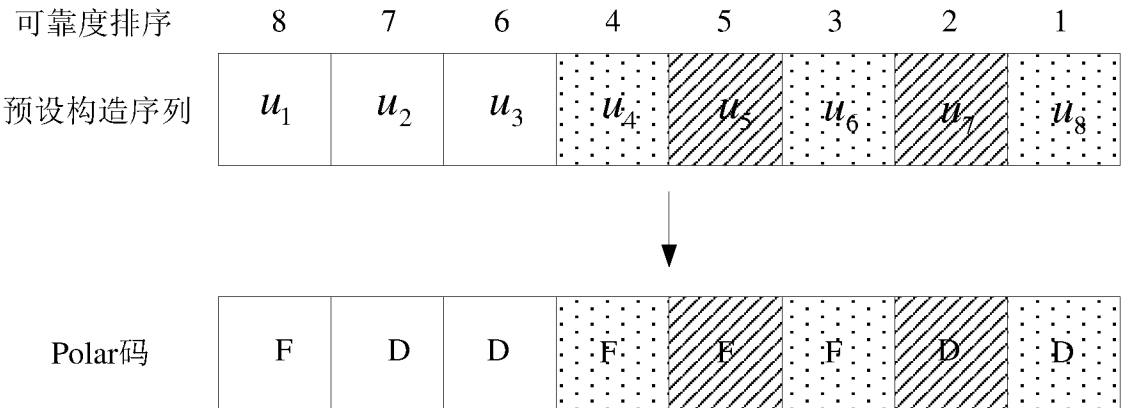


图 6

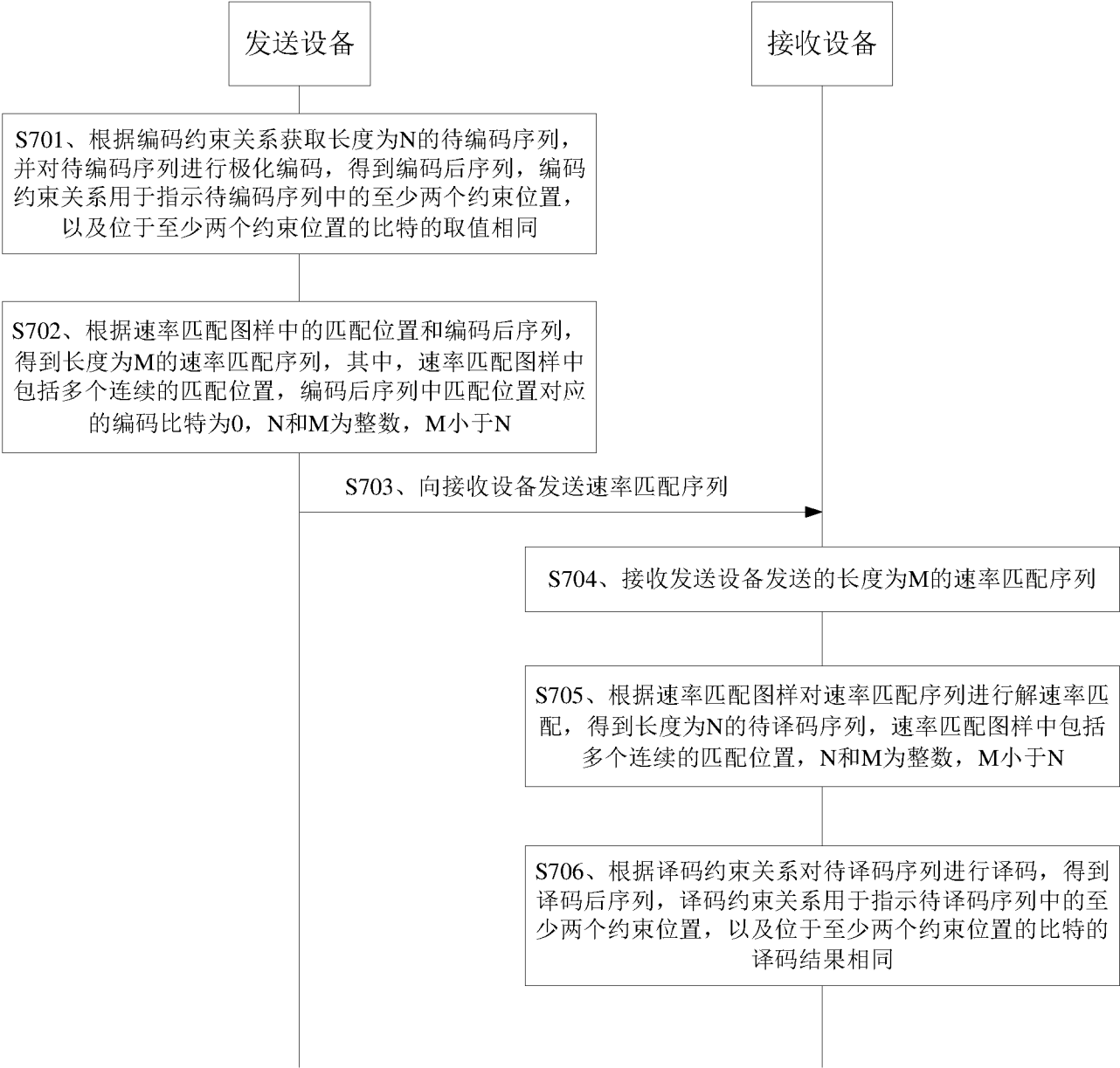


图 7

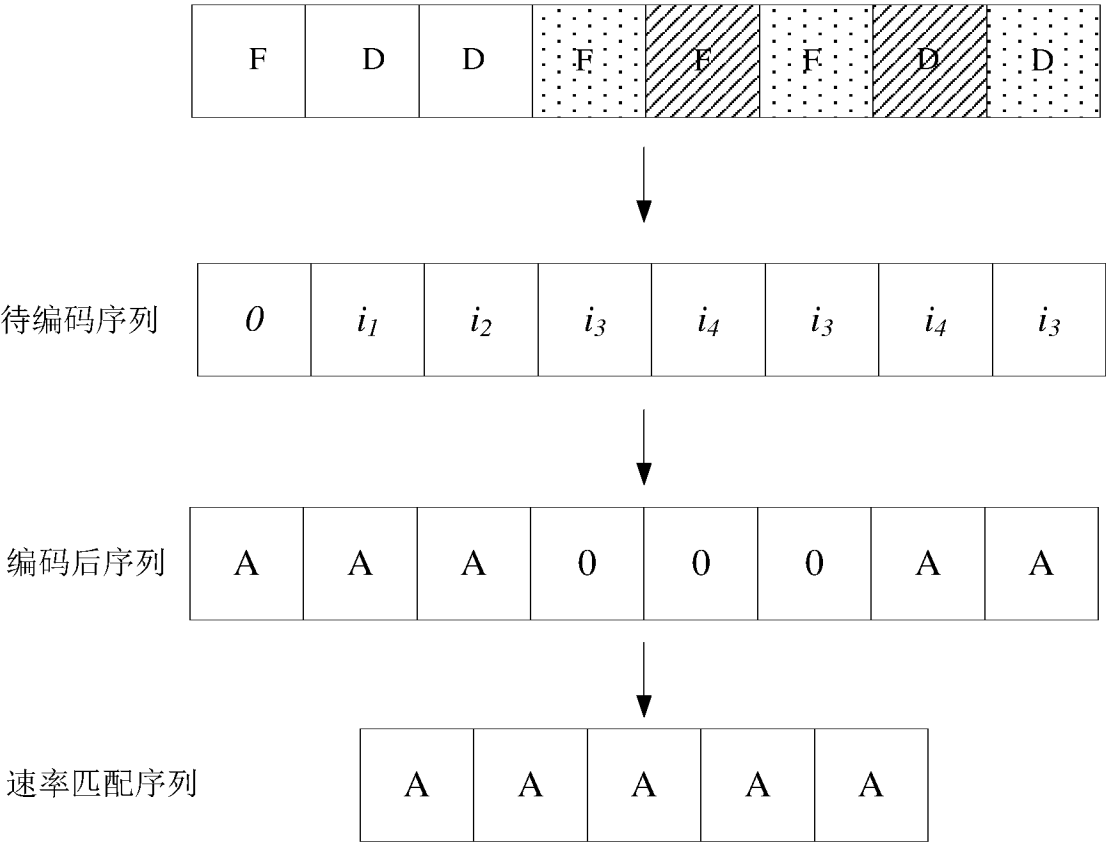


图 8

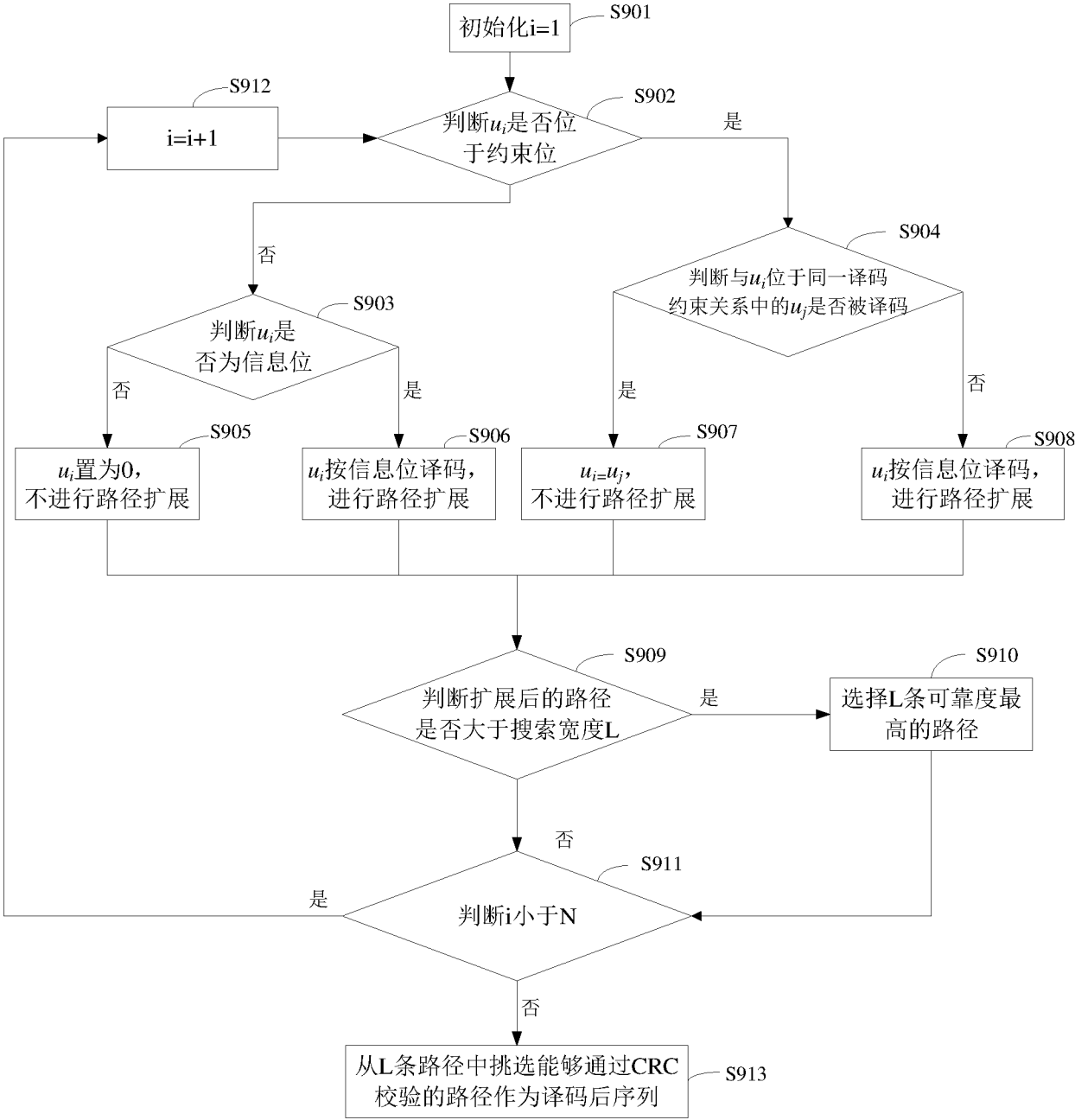


图 9

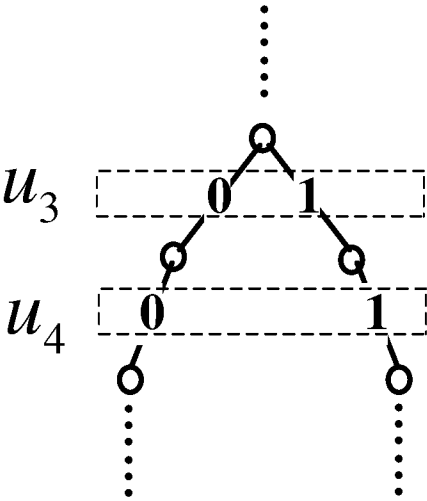


图 10A

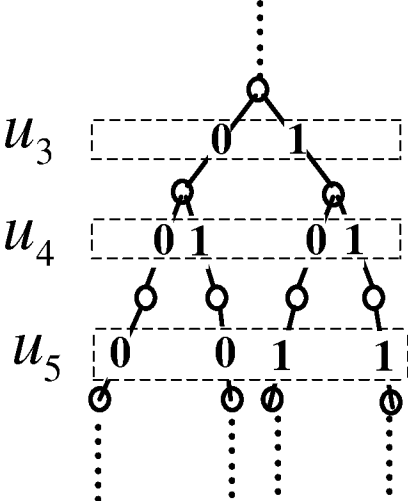


图 10B

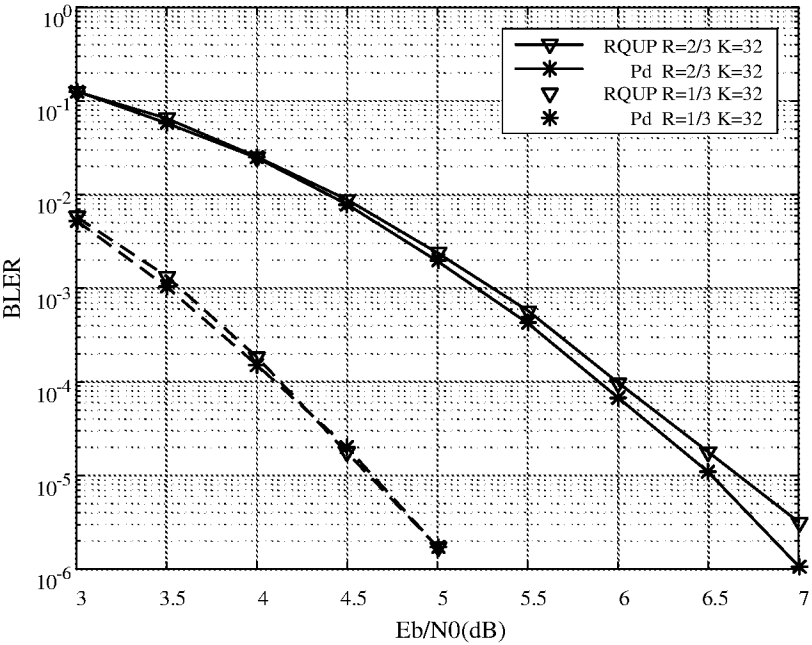


图 11

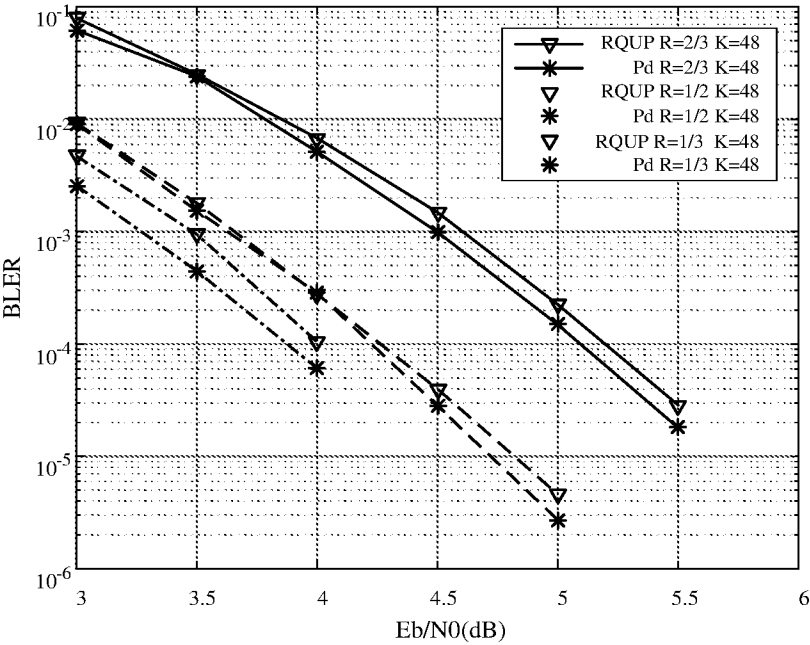


图 12

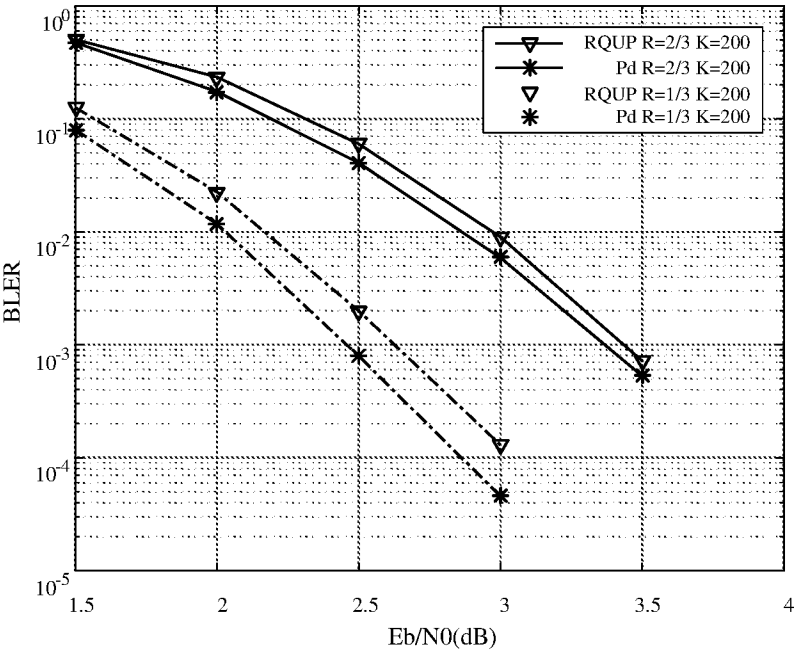


图 13

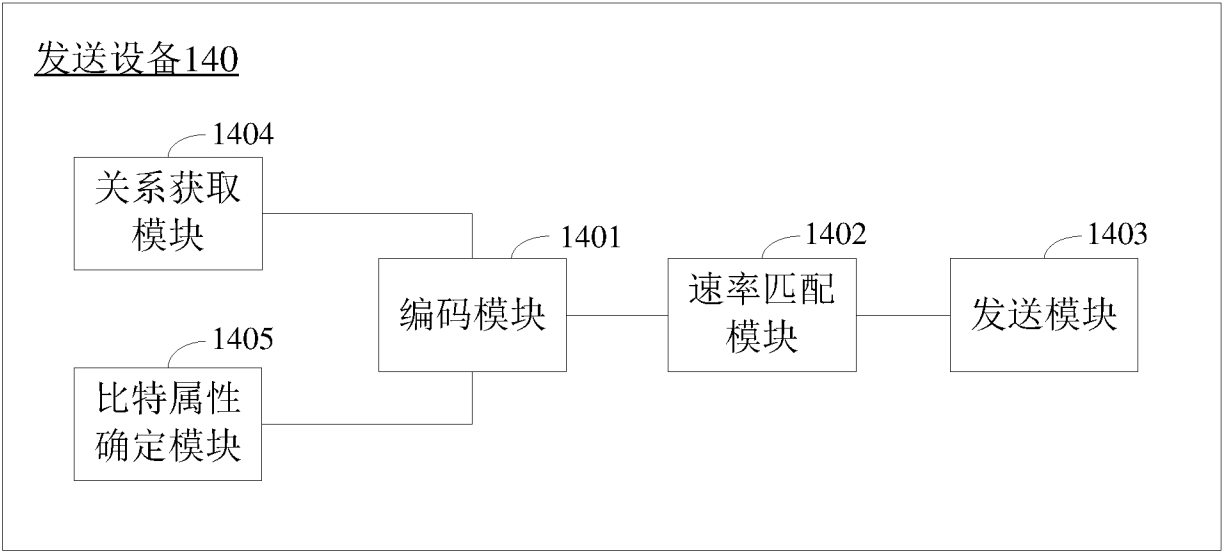


图 14

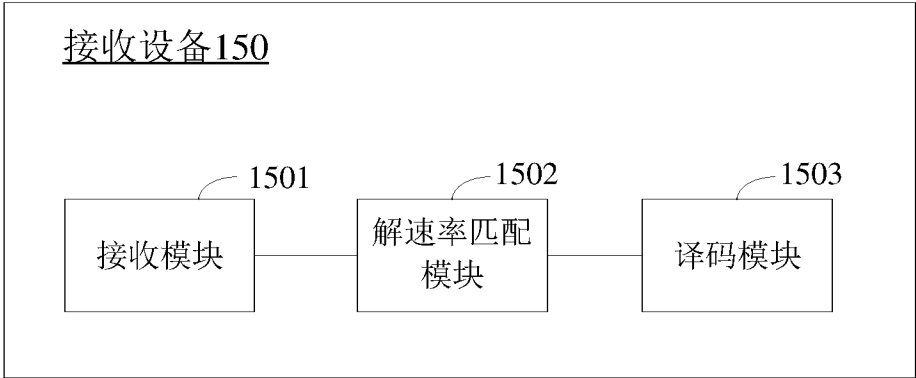


图 15

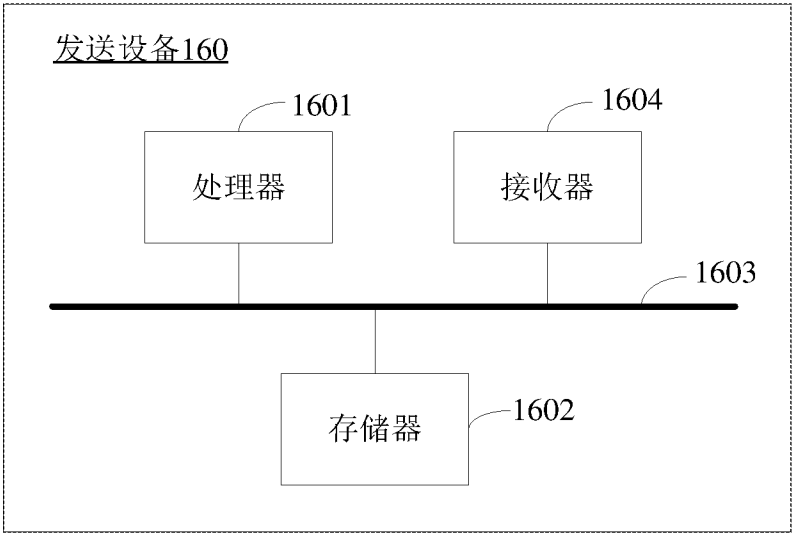


图 16

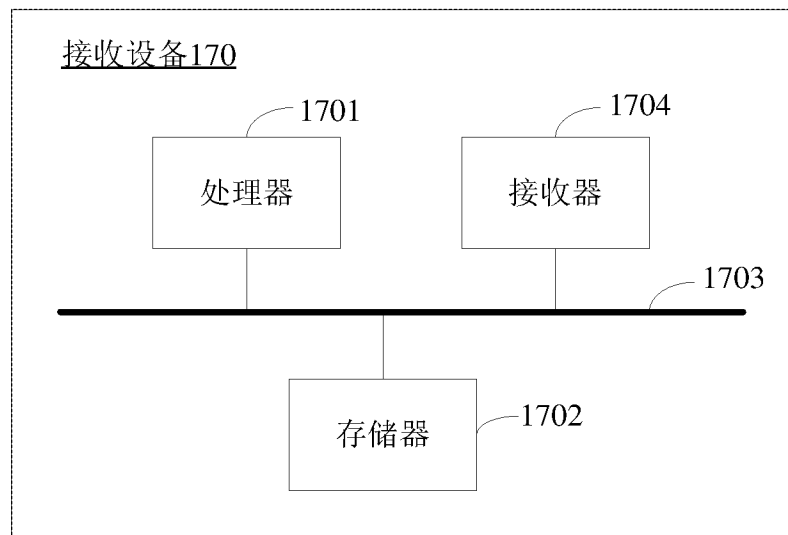


图 17

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/083883

A. CLASSIFICATION OF SUBJECT MATTER

H04L 1/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI, 3GPP: 极化码, 编码, 约束, 位置, 比特, 连续, 匹配, 速率, 解码, 译码, 解匹配, 序列, polar, code, positon, constraint, restrict, bind, bit, rate, matching, sequence

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 109391358 A (HUAWEI TECHNOLOGIES CO., LTD.) 26 February 2019 (2019-02-26) description, paragraphs [0121]-[0292]	1-29
A	ZTE et al. "R1-1704385, Rate Matching of Polar Codes for eMBB" 3GPP TSG RAN WG1 Meeting #88bis, 07 April 2017 (2017-04-07), sections 1-3	1-29
A	CN 101938326 A (ZTE CORPORATION) 05 January 2011 (2011-01-05) entire document	1-29
A	CN 107332570 A (BEIJING INSTITUTE OF TECHNOLOGY) 07 November 2017 (2017-11-07) entire document	1-29
A	US 2015269309 A1 (TATA CONSULTANCY SERVICES LIMITED) 24 September 2015 (2015-09-24) entire document	1-29

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

14 June 2019

Date of mailing of the international search report

27 June 2019

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/083883

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	109391358	A	26 February 2019	WO	2019029748	A1	14 February 2019
CN	101938326	A	05 January 2011	None			
CN	107332570	A	07 November 2017	None			
US	2015269309	A1	24 September 2015	EP	2921979	A1	23 September 2015

国际检索报告

国际申请号

PCT/CN2019/083883

A. 主题的分类 H04L 1/00 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																				
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) H04L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNPAT, WPI, EPDOC, CNKI, 3GPP: 极化码, 编码, 约束, 位置, 比特, 连续, 匹配, 速率, 解码, 译码, 解匹配, 序列, polar, code, positon, constraint, restrict, bind, bit, rate, matching, sequence																				
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 109391358 A (华为技术有限公司) 2019年 2月 26日 (2019 - 02 - 26) 说明书第[0121]-[0292]段</td> <td>1-29</td> </tr> <tr> <td>A</td> <td>ZTE 等. "R1-1704385, Rate Matching of Polar Codes for eMBB" 3GPP TSG RAN WG1 Meeting #88bis, 2017年 4月 7日 (2017 - 04 - 07), 第1-3节</td> <td>1-29</td> </tr> <tr> <td>A</td> <td>CN 101938326 A (中兴通讯股份有限公司) 2011年 1月 5日 (2011 - 01 - 05) 全文</td> <td>1-29</td> </tr> <tr> <td>A</td> <td>CN 107332570 A (北京理工大学) 2017年 11月 7日 (2017 - 11 - 07) 全文</td> <td>1-29</td> </tr> <tr> <td>A</td> <td>US 2015269309 A1 (TATA CONSULTANCY SERVICES LIMITED) 2015年 9月 24日 (2015 - 09 - 24) 全文</td> <td>1-29</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 109391358 A (华为技术有限公司) 2019年 2月 26日 (2019 - 02 - 26) 说明书第[0121]-[0292]段	1-29	A	ZTE 等. "R1-1704385, Rate Matching of Polar Codes for eMBB" 3GPP TSG RAN WG1 Meeting #88bis, 2017年 4月 7日 (2017 - 04 - 07), 第1-3节	1-29	A	CN 101938326 A (中兴通讯股份有限公司) 2011年 1月 5日 (2011 - 01 - 05) 全文	1-29	A	CN 107332570 A (北京理工大学) 2017年 11月 7日 (2017 - 11 - 07) 全文	1-29	A	US 2015269309 A1 (TATA CONSULTANCY SERVICES LIMITED) 2015年 9月 24日 (2015 - 09 - 24) 全文	1-29
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
PX	CN 109391358 A (华为技术有限公司) 2019年 2月 26日 (2019 - 02 - 26) 说明书第[0121]-[0292]段	1-29																		
A	ZTE 等. "R1-1704385, Rate Matching of Polar Codes for eMBB" 3GPP TSG RAN WG1 Meeting #88bis, 2017年 4月 7日 (2017 - 04 - 07), 第1-3节	1-29																		
A	CN 101938326 A (中兴通讯股份有限公司) 2011年 1月 5日 (2011 - 01 - 05) 全文	1-29																		
A	CN 107332570 A (北京理工大学) 2017年 11月 7日 (2017 - 11 - 07) 全文	1-29																		
A	US 2015269309 A1 (TATA CONSULTANCY SERVICES LIMITED) 2015年 9月 24日 (2015 - 09 - 24) 全文	1-29																		
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																				
<table border="0"> <tr> <td style="vertical-align: top;"> * 引用文件的具体类型: "A" 认为不特别相关的表示了现有技术一般状态的文件 "E" 在国际申请日的当天或之后公布的在先申请或专利 "L" 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) "O" 涉及口头公开、使用、展览或其他方式公开的文件 "P" 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td style="vertical-align: top;"> "T" 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 "X" 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 "Y" 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 "&" 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: "A" 认为不特别相关的表示了现有技术一般状态的文件 "E" 在国际申请日的当天或之后公布的在先申请或专利 "L" 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) "O" 涉及口头公开、使用、展览或其他方式公开的文件 "P" 公布日先于国际申请日但迟于所要求的优先权日的文件	"T" 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 "X" 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 "Y" 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 "&" 同族专利的文件																
* 引用文件的具体类型: "A" 认为不特别相关的表示了现有技术一般状态的文件 "E" 在国际申请日的当天或之后公布的在先申请或专利 "L" 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) "O" 涉及口头公开、使用、展览或其他方式公开的文件 "P" 公布日先于国际申请日但迟于所要求的优先权日的文件	"T" 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 "X" 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 "Y" 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 "&" 同族专利的文件																			
国际检索实际完成的日期		国际检索报告邮寄日期																		
2019年 6月 14日		2019年 6月 27日																		
ISA/CN的名称和邮寄地址		受权官员																		
中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		杨盈霄 电话号码 86-(10)-53961572																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/083883

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	109391358	A	2019年 2月 26日	WO	2019029748	A1	2019年 2月 14日
CN	101938326	A	2011年 1月 5日	无			
CN	107332570	A	2017年 11月 7日	无			
US	2015269309	A1	2015年 9月 24日	EP	2921979	A1	2015年 9月 23日