

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G03F 7/004 (2006.01)

H01L 21/027 (2006.01)



[12] 发明专利申请公开说明书

[21] 申请号 200610067407.1

[43] 公开日 2006 年 12 月 13 日

[11] 公开号 CN 1877448A

[22] 申请日 2006.3.27

[21] 申请号 200610067407.1

[30] 优先权

[32] 2005.6.9 [33] KR [31] 10-2005-0049453

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 朴弘植 金时烈 郑钟铉 申原硕

[74] 专利代理机构 北京康信知识产权代理有限责任公司

代理人 李 伟

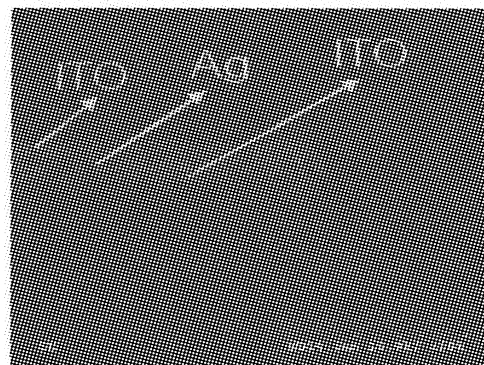
权利要求书 4 页 说明书 26 页 附图 14 页

[54] 发明名称

蚀刻剂及使用蚀刻剂制造布线及薄膜晶体管基板的方法

[57] 摘要

本发明提供一种蚀刻剂，一种使用该蚀刻剂制造布线的方法，以及使用该蚀刻剂制造薄膜晶体管 (TFT) 基板的方法。该蚀刻剂包括具有分子式 1 的材料、乙酸铵和余量的去离子水，其中，所述分子式 1 表示为： $M(OH)_X L_Y \cdots (1)$ ，M 表示 Zn、Sn、Cr、Al、Ba、Fe、Ti、Si 或 B，X 表示 2 或 3，L 表示 H_2O 、 NH_3 、CN、COR 或 NH_2R ，Y 表示 0、1、2 或 3，以及 R 表示烷基。



1. 一种蚀刻剂，其包括具有分子式 1 的材料、乙酸铵和余量的去离子水，其中，所述分子式 1 表示为：



其中 M 表示 Zn、Sn、Cr、Al、Ba、Fe、Ti、Si 或 B，X 表示 2 或 3，L 表示 H₂O、NH₃、CN、COR 或 NH₂R，Y 表示 0、1、2 或 3，以及 R 表示烷基。

2. 根据权利要求 1 所述的蚀刻剂，其中，所述材料的量在 0.1-5wt% 的范围内以及所述乙酸铵的量在 0.001-0.1wt% 的范围内。
3. 根据权利要求 1 或 2 所述的蚀刻剂，进一步包括 60-70wt% 范围的磷酸、0.5-5wt% 范围的硝酸和 2-10wt% 范围的乙酸。
4. 一种制造布线的方法，所述方法包括：

在基板上形成多层结构，其包括导电氧化层和由 Ag 或 Ag 合金形成的 Ag 导电层；以及

使用蚀刻剂蚀刻所述多层结构，所述蚀刻剂包括具有分子式 1 的材料、乙酸铵和余量的去离子水，其中，所述分子式 1 表示为：



其中，M 表示 Zn、Sn、Cr、Al、Ba、Fe、Ti、Si 或 B，X 表示 2 或 3，L 表示 H₂O、NH₃、CN、COR 或 NH₂R，Y 表示 0、1、2 或 3，以及 R 表示烷基。

5. 根据权利要求4所述的方法,其中,所述多层结构的形成包括在所述基板上依次沉积导电氧化层、由Ag或Ag合金形成的所述导电层、以及导电氧化层。
6. 根据权利要求4所述的方法,其中,所述材料的量在0.1-5wt%的范围内以及所述乙酸铵的量在0.001-0.1wt%的范围内。
7. 根据权利要求4或6所述的方法,进一步包括60-70wt%范围的磷酸、0.5-5wt%范围的硝酸和2-10wt%范围的乙酸。
8. 根据权利要求4所述的方法,其中,所述基板由绝缘体或者半导体形成。
9. 根据权利要求4所述的方法,其中,所述蚀刻在30-50℃的温度下进行。
10. 根据权利要求4所述的方法,其中,所述蚀刻通过喷射进行。
11. 根据权利要求4所述的方法,其中,所述蚀刻进行30-100秒。
12. 根据权利要求4所述的方法,其中,所述蚀刻在形成所述多层结构的各个层上以分次的方式进行。
13. 根据权利要求4所述的方法,其中,所述导电氧化层由氧化铟锡(ITO)或者氧化铟锌(IZO)形成。
14. 一种用于制作薄膜晶体管(TFT)基板的方法,所述方法包括:

在基板上形成将要形成栅极的栅极多层结构,包括导电氧化层和由Ag或Ag合金形成的导电层;

通过使所述栅极多层结构图样化形成栅极布线;

在所述基板和栅极布线上形成栅极绝缘层和半导体层;

在所述半导体层上形成包括导电氧化层和由 Ag 或 Ag 合金形成的导电层的数据多层结构；以及

通过使所述数据多层结构图样化形成数据布线；

其中，所述栅极布线和/或所述数据布线的形成包括使用包含具有分子式 1 的材料、乙酸铵和余量的去离子水的蚀刻剂进行蚀刻，其中，所述分子式 1 表示为：



M 表示 Zn、Sn、Cr、Al、Ba、Fe、Ti、Si 或 B，X 表示 2 或 3，L 表示 H₂O、NH₃、CN、COR 或 NH₂R，Y 表示 0、1、2 或 3，以及 R 表示烷基。

15. 根据权利要求 14 所述的方法，其中，所述栅极多层结构的形成包括在所述基板上依次沉积导电氧化层、由 Ag 或 Ag 合金形成的导电层、以及导电氧化层。
16. 根据权利要求 14 所述的方法，其中，所述数据多层结构的形成包括在所述基板上依次沉积导电氧化层、由 Ag 或 Ag 合金形成的导电层、以及导电氧化层。
17. 根据权利要求 14 所述的方法，其中，所述材料的量在 0.1-5wt% 的范围内以及所述乙酸铵的量在 0.001-0.1wt% 的范围内。
18. 根据权利要求 14 或 17 所述的方法，进一步包括 60-70wt% 范围的磷酸、0.5-5wt% 范围的硝酸和 2-10wt% 范围的乙酸。
19. 根据权利要求 14 所述的方法，其中，所述蚀刻在 30-50℃ 的温度下进行。
20. 根据权利要求 14 所述的方法，其中，所述蚀刻通过喷射进行。

-
21. 根据权利要求 14 所述的方法, 其中, 所述蚀刻进行 30-100 秒。
 22. 根据权利要求 14 所述的方法, 其中, 所述蚀刻在形成所述多层结构的各个层上以分次的方式进行。
 23. 根据权利要求 14 所述的方法, 其中, 所述导电氧化层由氧化铟锡 (ITO) 或者氧化铟锌 (IZO) 形成。

蚀刻剂及使用蚀刻剂制造布线及 薄膜晶体管基板的方法

本申请要求 2005 年 6 月 9 日在韩国知识产权局提交的韩国专利申请第 10-2005-0049453 号的优先权，其全部内容结合于此作为参考。

技术领域

本发明涉及一种蚀刻剂，更具体而言，涉及一种用于 Ag 布线的蚀刻剂，一种使用该蚀刻剂制造 Ag 布线的方法，以及一种使用该蚀刻剂制造薄膜晶体管（TFT）基板的方法。

背景技术

液晶显示器（“LCD”）是使用最为广泛的平板显示器之一，其包括具有多个电极的两个面板和插入在两面板之间的液晶层。LCD 向电极施加电压以重新排列液晶分子，从而调整入射光的透光量。

在各个面板上具有电极、并且使用薄膜晶体管（“TFT”）切换施加至电极的电压的 LCD 在各种 LCD 中应用最为广泛。TFT 通常设置在两个面板的其中一个上。在 LCD 中，多个像素电极呈矩阵排列在一个面板上，共电极则布满另一面板的整个表面。通过向各个像素电极施加单独的电压在 LCD 上显示图像。为了施加单独的电压，多个三端子薄膜晶体管（TFT）连接至各个像素电极，并且面板上设置有多条传输用于控制 TFT 的信号栅极线以及多条传输用于施加至像素电极的电压的数据线。

随着 LCD 显示区域的增大，连接至 TFT 的栅极线和数据线也随之更长，从而导致布线间的阻抗增大。为解决阻抗增大带来的信号延迟的问题，栅极线和数据线应该由尽可能低阻抗的材料制成。

在众多用于布线的材料中，Ag 的阻抗最低。众所周知，Ag 的阻抗为约 $1.59\mu\Omega\text{cm}$ 。因此，在实用工艺中使用由 Ag 制成的栅极线和数据线可以减轻信号延迟的问题。

但是，由于 Ag 与诸如玻璃制成的下部基板或诸如本征非晶硅或掺杂非晶硅制成的半导体基板之间的粘附度较差，Ag 不易被沉积并且有可能引起布线的翘起或脱落。此外，即使 Ag 导电层恰当地沉积在基板上，仍需要使用蚀刻剂对 Ag 导电层进行图样化。当使用传统蚀刻剂用于图样化时，Ag 被过蚀刻或者无法被均匀蚀刻，从而引起布线的翘起或脱落以及布线侧面轮廓的剥蚀。

因此，在对沉积在基板上的 Ag 导电层进行图样化的过程中，就需要这样一种蚀刻剂，其能够在保持 Ag 导电层与基板的粘附度的同时改善布线的侧面轮廓。

发明内容

本发明提供一种用于 Ag 布线的蚀刻剂。

本发明还提供一种使用该蚀刻剂制造 Ag 布线的方法。

本发明还提供一种使用该蚀刻剂制造薄膜晶体管（TFT）的方法。

参照下面的描述，本发明以上所述的目标以及其他目标、特征和优点对于本领域的技术人员将变得显而易见。

根据本发明的一个方面,提供了这样一种蚀刻剂,其包含一种具有分子式 1 的材料、乙酸铵 (ammonium acetic acid)、余量的去离子水 (remainder of deionized water), 其中, 分子式 1 表示为:



其中, M 表示 Zn、Sn、Cr、Al、Ba、Fe、Ti、Si 或 B, X 表示 2 或 3, L 表示 H₂O、NH₃、CN、COR 或 NH₂R, Y 表示 0、1、2 或 3, R 表示烷基。

根据本发明的另一方面,提供一种制造布线的方法,其包括:在基板上形成多个层(包括导电氧化层和由 Ag 或 Ag 合金制成的 Ag 导电层),使用一种蚀刻剂蚀刻该多个层,该蚀刻剂包括一种具有分子式 1 的材料、乙酸铵、余量的去离子水(remainder of deionized water), 其中, 分子式 1 表示为:



其中 M 表示 Zn、Sn、Cr、Al、Ba、Fe、Ti、Si 或 B, X 表示 2 或 3, L 表示 H₂O、NH₃、CN、COR 或 NH₂R, Y 表示 0、1、2 或 3, R 表示烷基。

附图说明

通过参照附图并详细描述本发明的优选实施例,本发明的上述特征以及其他特征和优点将是显而易见的,附图中:

图 1 至图 3 是说明根据本发明实施例的金属布线制造方法的加工步骤的横截面图;

图 4 是说明根据本发明实施例的金属布线的轮廓的横截面图;

图 5A 是使用根据本发明实施例的 TFT 基板制造方法而制造的薄膜晶体管 (TFT) 基板的布局图;

图 5B 是沿图 5A 所示 B-B' 线截取的横截面图;

图 6A、7A、8A 和 9A 为布局图, 依次说明了根据本发明实施例的 TFT 基板的制造方法;

图 6B、7B、8B 和 9B 是沿图 6A、7A、8A 和 9A 所示的线 B-B' 截取的横截面图;

图 10A 是使用根据本发明另一实施例的 TFT 基板制造方法制造的 TFT 基板的布局图;

图 10B 是沿图 10A 所示 B-B' 线截取的横截面图;

图 11A、13A 和 19A 为布局图, 依次说明了根据本发明另一实施例的 TFT 基板的制造方法;

图 11B 和 12 是沿图 11A 所示 B-B' 线截取的说明加工步骤的横截面图;

图 13B 至 18 是沿图 13A 所示 B-B' 线截取的说明加工步骤的横截面图; 以及

图 19B 是沿图 19A 所示 B-B' 线截取的横截面图。

具体实施方式

参照附图和以下优选实施例的具体描述, 本发明的优点和特征及其实现方法将是更加容易理解。然而, 本发明也可涵盖多种不同的形式, 而并不局限于在此所述的实施例。提供这些实施例, 以便

公开内容是彻底和完整的，并且向本领域的技术人员充分地传达本发明的思想，本发明仅受所附权利要求限定。整个说明书中，相同的附图标号表示相同的元件。

下面将参照附图描述根据本发明实施例的金属布线的制造方法。图 1 至 3 是说明根据本发明实施例的金属布线制造方法的工艺步骤的横截面图。

参照图 1，依次在基板 1 上沉积导电层 2a（以下称下部导电氧化层）、导电层 2b（以下称 Ag 导电层）和导电层 2c（以下称上部导电氧化层），从而形成三层结构 2，其中导电层 2a 由诸如氧化铟锡（ITO）或氧化铟锌（IZO）的导电氧化材料形成，导电层 2b 包括 Ag 或 Ag 合金，导电层 2c 由诸如氧化铟锡（ITO）或氧化铟锌（IZO）的导电材料形成。这里，基板 1 可以是例如玻璃制成的绝缘基板，或者是由本征非晶硅或掺杂的非晶硅形成的半导体基板。

下部导电氧化层 2a、Ag 导电层 2b 和上部导电氧化层 2c 通过诸如溅射的方法来形成。下面将描述使用 ITO 和 Ag 作为溅射靶来形成三层结构 2 的溅射方法。

首先，通过仅向 ITO 靶供电而不向 Ag 靶供电，在基板 1 上形成由 ITO 形成的下部导电氧化层 2a。形成的下部导电氧化层 2a 的厚度为约 30-300Å。当下部导电氧化层 2a 的厚度大于 30Å 时，可以通过有效防止基板 1 与 Ag 导电层 2b 彼此部分接触来保证基板 1 与 Ag 导电层 2b 之间具有足够的粘附度。下部导电氧化层 2a 的厚度优选小于 300Å，以达到理想的接触阻抗。更优选地，所形成的下部导电氧化层 2a 的厚度为 50-100Å。

溅射可以在例如约 150℃或者更低的温度下进行，优选地在室温下进行。在这样的温度下，包括 ITO 的导电氧化物材料无法结晶，

即,可表现为非晶形式。在这样的条件下沉积 ITO 会形成非晶 ITO。这时,可以供给氢气(H_2)或水蒸气(H_2O)。此外,在溅射过程中,可以通过将 ITO 暴露于诸如氮气(N_2)、氨气(NH_3)或一氧化二氮(N_2O)等含氮气体中来形成 ITO 氮化物(ITON)。ITO 氮化物(ITON)通过防止 Ag 在其与 ITO 接触的区域发生氧化而抑制布线阻抗的剧增。

将提供至 ITO 靶的电关闭后,向 Ag 靶供电以形成 Ag 导电层 2b。所形成的 Ag 导电层 2b 的厚度在约 1000-3000Å,优选 1500-2000Å。

这里,由非晶 ITO 形成的下部导电氧化层 2a 被插入在 Ag 导电层 2b 与基板 1 之间。非晶 ITO 是一种表面粗糙度较大的材料并且其表面上具有许多突起或凹陷的部分。由于具有突起和凹陷的部分,基板 1 与下部导电氧化层 2a 之间以及下部导电氧化层 2a 与 Ag 导电层 2b 之间的接触面积增大了,从而提高了粘附度。

将施加至 Ag 靶的电力关闭后,向 ITO 靶施加电力以形成上部导电氧化层 2c。由于上部导电氧化层 2c 由非晶 ITO 形成,三层结构 2 上的待形成层诸如绝缘层与 Ag 导电层 2b 之间粘附度增强。上部导电氧化层 2c 同样防止 Ag 导电层 2b 中的 Ag 扩散至三层结构 2 的上部。所形成的上部导电层 2c 的厚度为约 30-300Å,优选 50-100Å,正如下部导电氧化层 2a。

接下来,如图 2 所示,光刻胶层被涂布在三层结构 2 上并被曝光和显影,从而形成用于确定布线图样的光刻胶图样 3。

如图 3 所示,使用光刻胶图样 3 作为蚀刻掩模蚀刻三层结构 2,然后去除光刻胶图样 3,以形成三层布线 2。对于三层结构 2 的蚀刻可以是利用蚀刻剂的湿刻法。

此处，用于湿刻工艺的根据本发明实施例的蚀刻剂包含一种具有分子式 1 的材料、乙酸铵、余量的去离子水(remainder of deionized water)，其中，分子式 1 的表达式为：



其中 M 表示 Zn、Sn、Cr、Al、Ba、Fe、Ti、Si 或 B，X 表示 2 或 3，L 表示 H₂O、NH₃、CN、COR 或 NH₂R，Y 表示 0、1、2 或 3，R 表示烷基。

分子式 1 所代表的材料起到稳定剂的作用，其提高蚀刻剂的稳定性并通过增强蚀刻的均匀性来改善被蚀刻材料的轮廓。相对于蚀刻剂总量，蚀刻剂中所包含的材料的量可以为例如 0.1-5wt%。蚀刻剂中所含材料的量大于 0.1wt%提供了理想的均匀度，众所周知，当蚀刻剂中材料的量达到 5wt%时，可实现理想的蚀刻均匀度和蚀刻剂稳定性。蚀刻剂中材料的量优选在 0.5-2wt%之间。

乙酸铵以微量和分子式 1 所代表的材料一起用于蚀刻剂中，以提高蚀刻均匀度并改善所得的蚀刻轮廓。相对于蚀刻剂的总量，乙酸铵的量可以例如在 0.001-0.1wt%之间。当蚀刻剂中的乙酸铵在这样的范围内时，提供了所期望的蚀刻均匀度和蚀刻轮廓的改善，乙酸铵的量优选在 0.002-0.005wt%之间。

但是，分子式 1 所代表的材料的量与乙酸铵的量并不受上述范围的限定，而可随蚀刻靶(etching target)、蚀刻温度、蚀刻时间、蚀刻方法和添加剂类型的不同而有所变化，所有这些都属于本发明的范围中。

根据本发明实施例的蚀刻剂可进一步地包括磷酸(phosphoric acid)、硝酸(nitric acid)和乙酸(acetic acid)。

这里，磷酸加速蚀刻速度。磷酸相对于蚀刻剂总量的量可在 50-80wt% 的范围内。当磷酸的量超过 50wt% 时，可以保证足够快的蚀刻速度。当磷酸的量超过 80wt% 时，可观察到由于粘度增加带来的蚀刻剂喷射困难。这种困难可通过将磷酸的量限制在 80wt% 以下来解决。磷酸的量在 60-70wt% 的范围内是优选的。

硝酸提高蚀刻速度。硝酸相对于蚀刻剂总量的量可在 0.1-10wt% 的范围内。当硝酸的量大于 0.1wt% 时，蚀刻速度可显著提高。当硝酸的量大于 10wt% 时，有可能破坏光刻胶层。蚀刻剂中磷酸小于 10wt% 可有效防止光刻胶层受到破坏。硝酸的量优选在 0.5-5wt% 的范围内。

乙酸提高相对于光刻胶层的可湿性。乙酸的量可在 1-25wt% 的范围内。当乙酸的量大于 1wt% 时，有可能有效避免由于蚀刻剂相对于光刻胶层的可湿性下降而导致的不完全蚀刻。当乙酸的量小于 25wt% 时，可通过抑制乙酸挥发来防止蚀刻剂由于其成分剧变引起的寿命缩短。乙酸的量优选在 2-10wt% 的范围内。

此外，为了改善蚀刻剂的特性，蚀刻剂可进一步包括诸如表面活性剂的添加剂。表面活性剂可以为阴离子表面活性剂、阳离子表面活性剂或者非离子型表面活性剂。蚀刻剂中所包含的表面活性剂的量可以在 0.001-1wt% 的范围内，优选地为 0.005-0.1wt%。

除了该材料外，余量的蚀刻剂还可包括去离子水。

蚀刻剂可通过（但不限于于此）将分子式 1 所表示的材料、乙酸铵、磷酸、硝酸和乙酸混合于去离子水来制成，或者通过将前面制备的这些材料的溶液混合于超纯水（ultra-super water）中制成。另外，混合的顺序没有特定限制。

当蚀刻剂中存在微球体 (microspheres) 时, 可能无法正确蚀刻细致的图样。因此, 在使用蚀刻剂前, 需要去除蚀刻剂中的微球体, 以便直径 $0.5\mu\text{m}$ 或者更大的微球体的数量可以小于 $1000/\text{mL}$ 。通过纤细的过滤器过滤蚀刻剂可去除微球体。过滤的过程可以为一次过滤, 优选进行循环过滤, 可快速地去去除微球体。

该蚀刻剂对于三层结构 **2** 具有很高的蚀刻选择性, 并保持三层结构 **2** 与基板 **1** 之间的粘附度, 并且使得三层布线 **2** 的侧面轮廓具有良好的锥形锐角。

接下来详细描述使用根据本发明实施例的蚀刻剂来蚀刻三层结构 **2** 的方法。

三层结构 **2** 的蚀刻过程可以在上部导电氧化层 **2c**、Ag 导电层 **2b** 和下部导电氧化层 **2a** 的每一层上分别完成。但是, 由于包含在上部导电氧化层 **2c** 和下部导电氧化层 **2a** 中的 ITO 以及包含在 Ag 导电层 **2b** 中的 Ag 或者 Ag 合金具有相同的蚀刻速度, 上部导电氧化层 **2c**、Ag 导电层 **2b** 和下部导电氧化层 **2a** 可以通过分次的方式进行蚀刻, 从而形成三层布线 **2** 的良好侧面轮廓。

蚀刻可通过将蚀刻剂喷射在其中形成有光刻胶图样 **3** 的三层结构 **2** 的表面上来进行。这时, 蚀刻的温度可保持在约 $30\text{--}50^{\circ}\text{C}$ 之间。蚀刻时间可一直持续至额外地经过了终点检测器 (EPD) 检测到的时间的一半 (在该期间基板 **1** 被暴露于蚀刻剂)。例如, 蚀刻时间可为约 $30\text{--}100$ 秒。

下面将参照图 4 描述根据本发明实施例使用该蚀刻剂制造的金属布线的轮廓。图 4 是横截面图, 示出了使用根据本发明实施例的蚀刻剂对形成于基板之上的包括 ITO、Ag 导电层以及的 ITO 的三层布线进行图样化后的金属布线的轮廓。

通常,三层结构**2**中包括的Ag导电层**2b**与基板**1**之间的粘附度很差。为了增强与基板**1**之间的粘附度,在本发明的本实施例中,由ITO形成的下部导电氧化层**2a**和上部导电氧化层**2c**分别形成在Ag导电层**2b**的下方和上方。但是,当采用传统布线图样化所用的现有技术的传统蚀刻剂形成三层布线**2**时,随着蚀刻的进行,三层结构**2**与基板**1**之间的粘附度也随之降低,从而导致三层布线**2**翘起或脱落。此外,三层布线**2**的侧面轮廓也不会均匀并且可能具有倒锥形倾角。

另一方面,在使用根据本发明实施例的蚀刻剂时,由于该蚀刻剂对于三层结构**2**具有很高的蚀刻选择性并且表现出优秀的蚀刻均匀度,就可以在不降低三层布线**2**与基板**1**之间的粘附度的情况下形成具有较好的锥形锐角的侧面轮廓,如图4所示。

虽然在本发明的本实施例中采用在基板上的包括下部导电氧化层、Ag导电层和上部导电氧化层的三层结构作为实例,也可以形成与Ag导电层上方或者下方的导电氧化层等同的多层导电层。

该蚀刻剂和使用该蚀刻剂制作Ag布线的方法也可以应用到制造薄膜晶体管(TFT)基板的方法中。

下面将参照附图描述根据本发明实施例的TFT基板的制造方法。

首先参照图5A和5B描述使用该方法制造的TFT基板的结构。图5A是使用根据本发明实施例制造TFT基板的方法制造的薄膜晶体管(TFT)基板的布局图,图5B是沿图5A所示B-B'线截取的横截面图。

用于传输栅极信号的多条栅极布线在绝缘基板**10**(图5B)上形成。栅极布线包括:栅极线**22**,如图5A所示水平延伸;栅极端

部 24, 连接至栅极线 22 的端部, 以接受来自外部的栅极信号并将该栅极信号传输至栅极线 22; 栅电极 26, 作为突起的 TFT 的一部分连接至栅极线 22; 以及维持电极 (sustain electrode) 27 和维持电极线 28, 其平行于栅极线 22。维持电极线 28 水平延伸穿过像素区域并连接至比维持电极线 28 宽的维持电极 27。维持电极 27 重叠于与像素电极 82 相连的漏电极扩展部 67 (但由电介质 30 分离, 图 5A 中未示出), 以形成维持电容器, 该维持电容器提高像素的电荷保存能力。维持电极 27 和维持电极线 28 的形状和排列可以有所变化, 如果可以肯定通过像素电极 82 与栅极线 22 之间重叠而产生的保持能力 (sustain capability) 足够高, 那么也可以不形成维持电极 27 和维持电极线 28。

栅极布线由三层 (结构层) 22、24、26、27 和 28 组成。三层结构栅极线 22 包括导电层 221、222 和 223。三层结构层 24 包括导电层 241、242 和 243。三层结构层 26 包括导电层 261、262 和 263。三层结构层 27 包括导电层 271、272 和 273。导电层 221、241、261 和 271 由导电氧化材料形成, 例如氧化铟锡 (ITO) 或氧化铟锌 (IZO) (以下称为 “下部导电氧化层”)。导电层 222、242、262 和 272 由 Ag 或者 Ag 合金形成。导电层 223、243、263 和 273 由诸如 ITO 或 IZO 的导电氧化材料形成 (以下称为 “上部导电氧化层”)。虽然图 5B 中未示出, 维持电极线 28 也具有与三层结构层 22、24、26 和 27 相同的三层结构。以下对于三层结构的栅极布线的描述中包括维持电极线 28。

三层 (结构层) 22、24、26 和 27 的结构和功能与上述根据本发明实施例制作 Ag 布线的方法中的三层结构层是相同的。

栅极绝缘层 30 形成在基板 10 和三层结构层 22、24、26、27 和 28 上, 由氮化硅形成。

半导体层 40 形成在栅电极 26 上的栅极绝缘层 30 上, 其由非晶硅氢化物或者多晶硅形成岛状。阻抗接触层 (resistive contact layer) 55 和 56 形成在半导体层 40 上, 由硅化物或者重掺杂 n 型杂质的 n+非晶硅氢化物形成。

数据布线形成在阻抗接触层 55、56 和栅极绝缘层 30 上。数据布线包括: 数据线 62, 如图 5A 所示垂直形成并与栅极线 22 交叉以确定像素; 源电极 65, 其是数据线 62 的分支并延伸至阻抗接触层 55 之上; 数据端部 68, 连接至数据线 62 的端部并接受来自外界的图像信号; 漏电极 66, 与源电极 65 分开并在阻抗接触层 56 上形成, 从栅电极 26 或者 TFT 的一个沟槽部分来看, 与源电极 65 相对; 以及漏电极扩展部 67, 其具有从漏电极 66 延伸并与维持电极 27 重叠的大区域, 但是它们之间被电介质 30 所分离。

数据布线由三层 (结构层) 62、65、66、67 和 68 组成。三层结构的数据线 62 包括导电层 621、622 和 623。三层结构的源电极 65 包括导电层 651、652 和 653。三层结构的漏电极 66 包括导电层 661、662 和 663。三层结构层 67 包括导电层 671、672 和 673。三层结构层 68 包括导电层 681、682 和 683。导电层 621、651、661、671 和 681 由诸如 ITO 的导电氧化材料形成(以下称“下部导电氧化层”)。导电层 622、652、662、672 和 682 由 Ag 或 Ag 合金形成(以下称“Ag 导电层”)。导电层 623、653、663、673 和 683 由诸如 ITO 的导电氧化材料形成(以下称为“上部导电氧化层”)。这里, 由于下部导电氧化层 621、651、661、671 和 681 以及上部导电氧化层 623、653、663、673 和 683 的结构和功能与栅极布线中的相同, 所以对其未给以解释。

源电极 65 至少具有一部分与半导体层 40 重叠。漏电极 66 与源电极对置并如图 5B 所示位于栅电极 26 的一部分的上方, 并且至少具有一部分与半导体层 40 重叠。这里, 阻抗层 55 和 56 分别存

在于半导体层 40 与源电极 65 之间以及半导体层 40 与漏电极 66 之间，以降低其间的接触阻抗。

漏电极扩展部 67 与维持电极 27 重叠，以便一方面在维持电极 27 与栅极绝缘层 30 之间形成保持能力（即由漏电极扩展部 67、栅极绝缘层 30 和维持电极 27 形成的电容器保持电荷的能力），另一方面在与漏电极扩展部 67 之间形成保持能力。当不形成维持电极 27 时，也不形成漏电极扩展部 67。

钝化层 70 形成在数据布线以及未被数据布线覆盖的半导体层部分 40 之上。钝化层 70 可由以下材料形成，例如具有优良平面特性和光敏性的有机材料、通过等离子体增强化学气相沉积法（PECVD）形成的诸如 a-Si:C:O 和 a-Si:O:F 的具有低介电常数的绝缘材料或者诸如氮化硅的无机材料。当钝化层 70 由有机材料形成时，可进一步地在钝化层 70 下方形成由氮化硅（ SiN_x ）或氧化硅（ SiO_x ）或二氧化硅（ SiO_2 ）形成的的绝缘层（未示出），以防止钝化层 70 的有机材料接触位于源电极 65 和漏电极 66 之间的半导体层 40 部分。

接触孔 77 和 78 形成在钝化层 70 中，露出漏电极扩展部 67 和数据线端部 68。接触孔 74 形成在钝化层 70 和栅极绝缘层 30 中，露出栅极线端部 24。位于像素中并通过接触孔 77 电连接至漏电极 66 的像素电极 82 形成在钝化层 70 上。施加以数据电压的像素电极 82 与上部显示面板（未示出）上的共电极一起产生电场，以确定像素电极与共电极之间的液晶层中的液晶（“LC”）微球体的排列。

通过接触孔 74 连接至栅极端部 24 的辅助栅极端部 84 以及通过接触孔 78 连接至数据端部 68 的辅助数据端部 88 形成在钝化层 70 之上。像素电极 82、辅助栅极端部 84 以及辅助数据端部 88 由 ITO 形成。

下面将参照附图 5A 和 5B 以及图 6A 至 9B 具体描述根据本发明实施例的 TFT 基板的制造方法。

如图 6A 和 6B 所示, 在绝缘基板 **10** 上依次沉积由诸如 ITO 或 IZO 等导电氧化材料形成的导电层、由 Ag 形成的导电层以及由诸如 ITO 或 IZO 等导电氧化材料形成的导电层, 由此形成栅极三层结构层 **22**、**24**、**26**、**27** 和 **28** (图 6B 未示出), 其包括下部导电氧化层 **221**、**241**、**261** 和 **271**、导电层 **222**、**242**、**262** 和 **272** 以及上部导电氧化层 **223**、**243**、**263** 和 **273**。

栅极三层结构层 **22**、**24**、**26**、**27** 和 **28** 通过使用根据本发明实施例制造 Ag 布线的方法中的形成三级结构层的方法来形成。

接下来在栅极三层结构层上进行光刻。光刻处理使用蚀刻剂通过湿刻来进行。蚀刻剂与图 1 至 4 所述蚀刻剂相同, 因此对其将不作解释。

在使用根据本发明实施例的蚀刻剂进行蚀刻时, 由于蚀刻剂对于三层结构层具有很高的蚀刻选择性并且表现出优秀的蚀刻均匀度, 就可以在不影响三层结构栅极布线 **22**、**24**、**26**、**27** 和 **28** 与基板 **10** 之间的粘附度的情况下获得具有较好锥形锐角的侧面轮廓。

因此, 如图 6A 和 6B 所示, 形成了包括栅极线 **22**、栅电极 **26**、栅极端部 **24**、维持电极 **27** 和维持电极线 **28** 的栅极布线。

接下来, 如图 7A 和 7B 所示, 通过诸如化学气相沉积 (CVD) 依次沉积厚度为 1500-5000Å 的由氮化硅形成的栅极绝缘层 **30** (在本文中有时也称电介质 **30**)、厚度为 500-2000Å 的本征非晶硅层(将形成硅层 **40**)以及厚度为 300-600Å 的掺杂的非晶硅层(将形成阻抗接触体 **55** 和 **56**)。在本征非晶硅层 **40** 和掺杂的非晶硅层上进行

光刻，以形成岛状半导体层 40，并在覆盖栅电极 24 的栅极绝缘层 30 上形成阻抗接触层 55 和 56。

这里，由于栅极绝缘层 30、本征非晶硅层 40 与掺杂的非晶硅层是在约 200℃或更高的温度下形成的，所以栅极布线中包含的非晶 ITO 转化为结晶 ITO。结果，提高了导电氧化层 221、241、261、271、223、243、263 和 273 与 Ag 导电层 222、242、262 和 272 之间的粘附度。

接下来，如图 8A 和 8B 所示，在栅极绝缘层 30、半导体层 40 的暴露部分以及阻抗接触层 55、56 上通过溅射依次沉积数据三层结构层 62、65、66、67 和 68，其中下部导电氧化层 621、651、661、671 和 681 由 ITO 形成，Ag 导电层 622、652、662、672 和 682 由 Ag 或 Ag 合金形成，上部导电氧化层 623、653、663、673 和 683 由 ITO 形成。这里，由于沉积下部导电氧化层 621、651、661、671 和 681、Ag 导电层 622、652、662、672 和 682 以及上部导电氧化层 623、653、663、673 和 683 的方法与上述形成栅极布线的处理中沉积下部导电氧化层 221、241、261 和 271、Ag 导电层 222、242、262 和 272 以及上部导电氧化层 223、243、263 和 273 的方法相同，所以不再给出重复的说明。

在数据三层结构层上进行光刻。光刻处理是使用蚀刻剂通过湿刻来进行的。该蚀刻剂与图 1 至 4 所述蚀刻剂相同，因此对其将不作进一步的说明。

在使用根据本发明实施例的蚀刻剂进行蚀刻时，由于蚀刻剂对于数据三层结构层具有很高的蚀刻选择性并且表现出较好的蚀刻均匀度，就可以在不影响三层结构数据布线 62、65、66、67 和 68 与栅极绝缘层 30 和阻抗接触层 55、56 之间的粘附度的情况下形成具有较好锥形锐角的侧面轮廓。

因此，形成了数据布线 62、65、66、67 和 68，其包括与栅极线 22 交叉的数据线 62、连接至数据线 62 并延伸至栅电极 26 上的源电极 62、连接至数据线 62 端部的数据端部 68、与源电极 65 分离并且从栅电极 26 看与源电极 65 对置的漏电极 66、以及漏电极扩展部 67，其具有从漏电极 66 延伸并重叠于（但通过电介质 30 分离于）维持电极 27 的较大区域。

通过蚀刻除去未被数据布线覆盖的掺杂非晶硅层的部分以便露出阻抗接触层 55 与 56 之间的半导体层部分 40，数据布线 62、65、66、67 和 68 被分离，但是其中的 65 和 66 部分仍保留在如图 5B 所示的栅电极 26 两侧的上方。这时，最好进行氧等离子体工艺来稳定半导体层 40 的外露部分的表面。

接下来，如图 9A 和 9B 所示，所形成的钝化层 70 可以是单层结构或是包括具有优良平面特性和光敏性的有机材料的多层结构。例如，钝化层 70 可以由通过 PECVD 形成的 Si:C:O，具有低介电常数的绝缘材料诸如 Si:O:F，或者由诸如 SiNx 的无机材料形成。

接下来，栅极绝缘层 30 和钝化层 70 通过光刻被图样化，从而形成露出栅极端部 24、漏电极扩展突出部（漏电极扩展部）67 和数据端部 68 的接触孔 74、77 和 78。这时，当钝化层 70 为具有光敏性的有机层时，接触孔 74、77 和 78 只能通过光刻形成。最好使用对栅极绝缘层 30 和钝化层 70 具有相同选择性的蚀刻剂和蚀刻工艺来形成接触孔 74、77 和 78。

最后，如图 5A 和 5B 所示，沉积 ITO 层并进行光刻，以形成通过接触孔 77 连接至漏电极 66 的像素电极 82，形成通过接触孔 74 连接至栅极端部 24 的辅助栅极端部 84，并形成通过接触孔 78 连接至数据端部 68 的辅助数据端部 88。

虽然在本发明的本实施例中，在基板上形成了包括下部导电氧化层、Ag 导电层和上部导电氧化层的三层结构的栅极布线和数据布线，但是可以只有栅极布线或者数据布线通过三层结构来形成。此外，虽然栅极布线和数据布线是在基板上由包括下部导电氧化层、Ag 导电层和上部导电氧化层的三层结构形成，导电氧化层也可以是形成在 Ag 导电层下方或上方的多层结构的导电层。

在上述描述中，通过使用不同的掩模进行光刻形成了半导体层和数据布线，但是也可如下所述，通过使用单一的光刻胶图样进行光刻来形成半导体层和数据布线。

下面将参照图 10A 至 19B 描述使用根据本发明另一实施例的 TFT 基板制造方法制造的 TFT 基板的单元像素的结构。

图 10A 示出了使用根据本发明另一实施例的 TFT 基板制造方法制造的 TFT 基板的布局图，图 10B 是沿图 10A 所示 B-B 线截取的横截面图。

在本发明的实施例中，首先在绝缘基板 **10** 上形成多条传输栅极信号的栅极布线。该栅极布线包括：栅极线 **22**，如图 10A 所示水平延伸；栅极端部 **24**，连接至栅极线 **22** 的端部，用于接收来自外部的栅极信号并将该栅极信号传输至栅极线 **22**；栅电极 **26**，作为突起的 TFT 的一部分连接至栅极线 **22**；以及维持电极（sustain electrode）**27** 和平行于栅极线 **22** 的维持电极线 **28**。在图 10A 中维持电极线 **28** 水平延伸穿过像素区域并连接至比维持电极线 **28** 宽的维持电极 **27**。如图 10B 所示，维持电极 **27** 部分位于（但被电介质 **30**、内部硅层 **44** 的一部分以及掺杂非晶硅层 **56** 的一部分所分离）与像素电极 **82** 相连的漏电极扩展部 **67** 的一部分下方，以形成维持电容器来提高像素的电荷保存能力。维持电极 **27** 和维持电极线 **28** 的形状和排列可以变化，当通过像素电极 **82** 与栅极线 **22** 之间的重

叠而产生的保持能力足够高，则可以不形成维持电极 27 和维持电极线 28。

如同图 5A 至 9B 所示的本发明实施例中那样，栅极布线由三层结构层 22、24、26、27 和 28 组成，其包括由 ITO 或 IZO 形成的下部导电氧化层 221、241、261 和 271、由 Ag 或 Ag 合金形成的导电层 222、242、262 和 272 以及由 ITO 或 IZO 形成的上部导电氧化层 223、243、263 和 273。

栅极绝缘层 30 形成在基板 10 和栅极布线 22、24、26、27 和 28 之上。

半导体图样 42、44 和 48 形成在栅极绝缘层 30 之上。阻抗接触层 52、55、56 和 58 形成在半导体图样 42、44 和 48 之上。

数据布线 62、65、66、67 和 68 形成在阻抗接触层 52、55、56 和 58 上。数据布线包括：数据线 62，如图 10A 所示垂直并与栅极线 22 交叉以确定像素；源电极 65，其作为数据线 62 的一个分支并延伸至阻抗接触层 55a 之上；数据端部 68，连接至数据线 62 的端部并接受来自外界的图像信号，漏电极 66，与源电极 65 相分离，形成在阻抗接触层 56 上并与源电极 65 相对，同时覆盖栅电极 26 的一部分，其决定了 TFT 的一个沟槽区域；以及漏电极扩展部 67，其具有从漏电极 66 延伸并重叠于维持电极 27 的较大区域。

数据布线 62、65、66、67 和 68 由三层结构层组成，其包括由导电氧化材料形成的导电层 621、651、661、671 和 681（以下称为“下部导电氧化层”）、由 Ag 和 Ag 合金形成的导电层 622、652、662、672 和 682（以下称“Ag 导电层”）、以及由导电氧化材料形成的导电层 623、653、663、673 和 683（以下称为“上部导电氧化层”）。

源电极 65 具有至少一个与层 44 的一部分（通过包括半导体层 40 的图样化和蚀刻处理的初期光刻步骤形成）重叠的部分，并且漏电极 66 位于从栅极线 26 来看（以致覆盖一部分）与源电极 65 对置的位置，并且具有至少一个与半导体层 44 的一部分重叠的部分。这里，阻抗层 55 和 56 分别存在于半导体层 44 与源电极 65 之间以及半导体层 44 与漏电极 66 之间，以降低其间的接触阻抗。

漏电极扩展部 67 重叠于维持电极 27 以便在维持电极 27 与 67 之间形成保持能力，栅极绝缘层 30 起到位于电极 27 与 67 之间的电介质的作用。不形成维持电极 27 时，也就不形成漏电极扩展部 67。

阻抗接触层 52、55、56 和 58 降低了半导体图样 42、44 和 48 与数据布线 62、65、66、67 和 68 之间的接触阻抗，并且具有与数据布线 62、65、66、67 和 68 相同的平面形状。

同时，除了 TFT 的沟槽部分外，半导体图样 42、44 和 48 具有与数据布线 62、65、66、67 和 68 以及阻抗接触层 52、55、56 和 58 相同的形状。也就是说，在 TFT 的沟槽部分中，源电极 65 和漏电极 66 彼此分离并且在源电极 65 下的阻抗接触层 55 与漏电极 66 下的阻抗接触层 56 也彼此分离。但是，用于 TFT 的半导体图样 44 在 TFT 的沟槽部分是连续的，由此形成了 TFT 的一个沟槽。

钝化层 70 形成在数据布线 62、65、66、67 和 68 以及未被数据线 62、65、66、67 和 68 覆盖的半导体图样 44 部分之上。钝化层 70 可由以下材料形成，例如具有优良平面特性和光敏性的有机材料、通过等离子体增强化学气相沉积法（PECVD）形成的诸如 a-Si:C:O 和 a-Si:O:F 的低介电绝缘材料或者诸如氮化硅的无机材料。当钝化层 70 由有机材料形成时，可进一步在钝化层 70 下方形成由氮化硅（SiN_x）或氧化硅（SiO_x）或二氧化硅（SiO₂）形成的绝

缘层（未示出），以防止钝化层 70 的有机材料接触位于源电极 65 和漏电极 66 之间的半导体层 40 部分。

接触孔 77 和 78 形成在钝化层 70 中，分别露出漏电极扩展部 67 和数据线端部 68。接触孔 74 形成在钝化层 70 中，以露出栅极绝缘层 30 的一部分。

像素电极 82 形成在钝化层 70 上，其通过接触孔 77 电连接至漏电极 66 并位于像素中。施加至像素电极 82 的数据电压与上部显示面板（未示出）的共电极产生电场，以确定像素电极与共电极之间的液晶层中的液晶（LC）微球体的排列。

此外，通过接触孔 74 连接至栅极端部 24 的辅助栅极端部 84 和通过接触孔 78 连接至数据端部 68 的辅助数据端部 88 形成在钝化层 70 之上。像素电极 82、辅助栅极端部 84 以及辅助数据端部 88 由 ITO 形成。

下面将参照附图 10A 和 10B 以及图 11A 至 19B 描述根据本发明另一实施例的 TFT 基板的制造方法。

首先，如图 11A 和 11B 所示，通过依次沉积图 5A 至 9B 所示的本发明实施例中的由 ITO 或 IZO 形成的下部导电氧化层 221、241、261 和 271、由 Ag 或 Ag 合金形成的导电层 222、242、262 和 272 以及由 ITO 或 IZO 形成的上部导电氧化层 223、243、263 和 273 来形成栅极三层结构层 22、24、26、27 和 28。

接下来，在栅极三层结构层 22、24、26、27 和 28 上进行光刻。光刻处理通过使用蚀刻剂的湿刻进行。蚀刻剂与图 1 至 4 所述蚀刻剂相同，因此不再对其加以说明。

因此，如图 11A 和 11B 所示，形成了包括栅极线 22、栅电极 26、栅极端部 24、维持电极 27 和维持电极线 28 的栅极布线。

接下来，如图 12 所示，通过化学气相沉积（CVD）分别连续沉积厚度例如为 1500-5000Å 的由氮化硅形成的栅极绝缘层 30、厚度为 500-2000Å 的本征非晶硅层 40 以及厚度为 300-600Å 的掺杂非晶硅层 50。通过溅射在掺杂的非晶硅层 50 上形成数据三层结构层 60，该层中依次堆叠由 ITO 形成的下部导电氧化层 601、由 Ag 或 Ag 合金形成的 Ag 导电层 602 以及由 ITO 形成的上部导电氧化层 603。这里，数据三层结构层 60 的沉积方法与图 5A 至 9B 所示的本发明实施例的数据三层结构层相同。

光刻胶层 110 涂布在数据三层结构层 60 上。

参照图 13A 至图 18，光线穿过掩模投射到光刻胶层 110 上并进行显影。这样形成如图 13B 所示的光刻胶图样 112 和 114。这时，在光刻胶图样 112 和 114 中，待形成的 TFT 的沟槽部分，即位于光刻胶 114（图 13B）之下以及位于待形成的源电极 65 与待形成的漏电极 66（图 16、17、和 18）之间的非晶硅层 40 的第一部分，被光刻胶 114 覆盖，光刻胶 114 的厚度比位于数据布线部分上方的光刻胶 112（即待形成数据布线的区域上方的光刻胶 112 的第二部分）的厚度小。除光刻胶 114 的沟槽部分和光刻胶 112 的数据布线部分以外，光刻胶层 110（图 12）的剩余部分被去除。这时，残留在待形成的 TFT 晶体管的沟槽部分上方的光刻胶层 114 与残留在数据布线部分上的光刻胶层 112 之间的厚度比作为稍后将要描述的光刻过程的一个函数发生变化。第一光刻胶部分 114 的厚度优选地小于第二光刻胶部分 112 的厚度的一半（在一个实施例中大约为 8000Å），也就是说，小于 4000Å。这样，光刻胶层 110 的厚度可随位置的变化而以多种方式变化。一种方式是使用众所周知的光刻工艺改变在光刻胶层 110 的不同部分上的入射光量。为了调节透射的光量，可

形成狭缝或者晶格图样或者使用半透明薄膜作为光刻胶层 **110** 图样化所用的掩模部分。

这时，掩模上狭缝之间图样的线条宽度或者掩模上图样之间的间隙，即狭缝的宽度，优选地小于曝光系统的分辨率。当使用半透明层作为掩模时，可使用透射比或厚度不同于半透明层的透射比或厚度的薄膜作为掩模的部分，以在制造掩模时控制掩模部分的透射比。

一旦光线通过掩模投射到光刻胶层 **110** 上，直接暴露于光线的光刻胶层 **110** 部分中的聚合物就被完全分解。但是，由于透过掩模的光线量小，位于形成有狭缝图样或半透明层的掩模部分之下的光刻胶 **110** 中的聚合物没有被完全分解，并且掩模遮光层下的光刻胶 **110** 中的聚合物也几乎未被分解。一旦光刻胶层 **110** 被显影，光刻胶层 **110** 中只有聚合物没有被分解的部分得以保留，有少量光线透射到其上的光刻胶 **110** 的部分的厚度比那些没有光线透射到其上的部分的厚度小。少量光线透射在光刻胶部分 **114** 上。这时，如果曝光时间过长，有可能光刻胶 **110** 的聚合物中所有的微球体都被分解，所以应该适当地调整曝光时间。聚合物材料可以为酚醛清漆树脂，并且曝光时间（表示为能量）可以为约 36mJ。

在一个实施例中，将由可回流材料制成的光刻胶层通过普通掩模（其分为可完全透光的部分和完全不透光的部分）加以曝光，对该光刻胶层显影并使光刻胶层回流，从而光刻胶层 **114** 的一部分流至无光刻胶层 **114** 的区域，这样就形成了厚度小于光刻胶部分 **112** 的光刻胶部分 **114**。“回流工艺”可通过加热光刻胶层超过光刻胶转化温度并使光刻胶层向下流至沟槽区域来进行。现在使用上述蚀刻剂蚀刻具有上部导电氧化层 **603**、Ag 导电层 **602** 和下部导电氧化层 **601** 的数据三层结构层 **60** 和光刻胶图样 **114**。由于本蚀刻过程与如图 5A 至 9B 所示的本发明实施例的形成数据布线的蚀刻过程以及形

成栅极布线 22、24、26、28 和 29 的蚀刻过程大致相同，所以不再对其加以说明。

这样，如图 14 所示，只有待形成的沟槽部分的三层结构图样 64 以及数据线部分的 62 和 68 被保留。数据三层结构层 60 的其他部分被完全去除。结果，掺杂的非晶硅层 50 被暴露。图 14 和图 15 中除源电极 65 和漏电极 66 尚未分离（即限定）以外，残留的三层结构图样 62、64 和 68 与数据布线（图 5B 所示 62、65、66、67 和 68）相同。

接下来，如图 15 所示，对暴露的掺杂的非晶硅层 50 和本征非晶硅层 40 进行干刻法，以去除除沟槽部分（图 15 中的层 44）和数据布线部分（图 15 中的层 42 和 48）以外的这些层的所有部分。同时，光刻胶层的第一部分 114 也通过该干刻法去除。干刻处理的结果如横截面图 15 所示。优选地，进行该蚀刻过程使得光刻胶图样 112 和 114、掺杂的非晶硅层 50 以及本征非晶硅层 40 被同时蚀刻而栅极绝缘层 30 不被蚀刻。特别地，在对光刻胶图样 112 和 114 与本征非晶硅层 40 的蚀刻选择性彼此相似的情况下进行蚀刻是优选的。例如，使用 SF_6 或 HCl 的混合气体或者 SF_6 或 O_2 的混合气体可以将两个层蚀刻至相似的厚度。当对光刻胶图样 112 和 114 与本征非晶硅层 40 的蚀刻选择性相同时，第一部分 114 的厚度等于或者小于本征非晶硅层 40 与掺杂的非晶硅层 50 的总厚度。在恰当的时间停止干刻，从而电介质层 30 和 ITO 层 643 实质上未被该干刻步骤蚀刻。在一个实施例中，包含诸如 SF_6 和 HCL 的混合气体进入反应室，并且向反应室施加高频电场以引起辉光放电等离子体。通过使该等离子体与本征非晶硅层和掺杂的非晶硅层发生碰撞来进行干刻。这样，如图 15 所示，在去除沟槽区域的第一部分 114 后，源极/漏极三层结构图样 64 被暴露，在去除其他部分的掺杂的非晶硅层 50 和本征非晶硅层 40 后，栅极绝缘层 30 被暴露。由于覆盖数

据布线部分的第二光刻胶部分 **112** 也被蚀刻，光刻胶部分 **112** 的厚度至少被减少了相当于光刻胶部分 **114** 的厚度。

留存在沟槽部分的源极/漏极三层结构图样 **64** 的表面上的光刻胶层 **110** 的残留部分通过灰化被去除。

接下来，如图 16 所示，图 15 中所示的包括沟槽部分的上部导电氧化层 **643**、Ag 导电层 **642** 以及下部导电氧化层 **641** 的三层结构图样 **64** 的一部分通过例如湿刻法去除，以露出掺杂的非晶硅层 **50** 的上表面。在本蚀刻步骤中使用了与参照图 1 至 4 所述的相同的蚀刻剂。因此不再描述该蚀刻步骤。

由掺杂的非晶硅 **50** 形成的阻抗接触层被蚀刻。这时，可采用干刻法。蚀刻气体可以是 CF_4 和 HCl 的混合物或者是 CF_4 和 O_2 的混合物。当使用 CF_4 和 O_2 时，由本征非晶硅形成的半导体图样 **44** 的均匀厚度可以得到保留。这时，如图 16 所示，半导体层 **44** 的一部分被去除，因此可以减小层 **44** 被蚀刻部分的厚度。光刻胶图样的第二部分 **112** 也可被蚀刻，从而这部分光刻胶 **112** 的厚度将被减小。进行的蚀刻应该使得栅极绝缘层 **30** 不被蚀刻。本段中上述的特定蚀刻混合气体可以达到这样的效果。光刻胶图样 **112** 应该较厚，以便在蚀刻第二部分 **112** 后数据布线 **62**、**65**、**66**、**67** 和 **68** 不被露出，这也是优选的。

这样，源电极 **65** 和漏电极 **66** 被分离并确定下来，由此完整形成了数据布线 **65** 和 **66**，其与阻抗接触层 **55** 和 **56** 组成这些电极。

接下来，如图 17 所示，留存在结构的数据布线部分上方的光刻胶层的第二部分 **112** 被去除。

接下来，如图 18 所示，钝化层 **70** 形成在结构的上表面的上方。该层典型地由氮化硅形成。如图 19A 和 19B 所示，在钝化层 **70** 和

栅极绝缘层 30 上进行光刻，从而形成接触孔 77、74 和 78，露出漏电极扩展部 67、栅极端部 24 和数据端部 68。

最后，如图 10A 和 10B 所示，沉积厚度在 400-500Å 之间的 ITO 层并且对其进行光刻，从而形成连接至漏电极扩展部 67 的像素电极 82、连接至栅极端部 24 的辅助栅极端部 84 和连接至数据端部 68 的辅助数据端部 88。

理想的是在沉积 ITO 之前使用氮气进行预加热处理，以防止通过接触孔 74、77 和 78 暴露在外的金属层 24、67 和 68 上形成金属氧化层。

在本发明的另一实施例中，可以得到根据本发明实施例的效果，并且只使用单一的掩模来形成数据布线 62、65、66、67 和 68、阻抗接触层 52、55、56 和 58、以及半导体图样 42 和 48，其中漏电极 66 和源电极 65 被分离并确定下来，从而简化了制造过程。

虽然在本发明的本实施例中采用包括下部导电氧化层、Ag 导电层和上部导电氧化层的三层结构作为实例，但是只有栅极布线或数据布线可具有三层结构。此外，虽然栅极布线和数据布线在基板上形成包括下部导电氧化层、Ag 导电层和上部导电氧化层的三层结构，导电氧化层仍可以为形成在 Ag 导电层下方或上方的多层结构导电层。

根据本发明的 TFT 基板的制造方法可以很容易地运用到色彩滤镜矩阵（array on color filter, AOC，其中 TFT 矩阵形成在彩色滤光片上）中。

如上所述，通过使用根据本发明实施例的蚀刻剂蚀刻包括在 Ag 导电层上和/或在 Ag 导电层下的导电氧化层的多层结构，可以保持多层结构与基板之间的粘附度，并且可获得具有良好轮廓的导

电布线。此外，通过使用根据本发明实施例的蚀刻剂蚀刻制造具有在 Ag 导电层上和/或在 Ag 导电层下的导电氧化层的多层结构的 TFT 基板，可以增强栅极布线和数据布线与 TFT 基板之间的粘附度，并且改善栅极布线和数据布线的轮廓，从而提高信号特征和图像质量。

本领域的技术人员将理解，在不违反本发明的精神和保护范围的前提下，前面所述的优选实施例可以有各种更改和变化。因此，本发明所公开的优选实施例仅用于一般地描述性用途，而并非用于限定本发明。

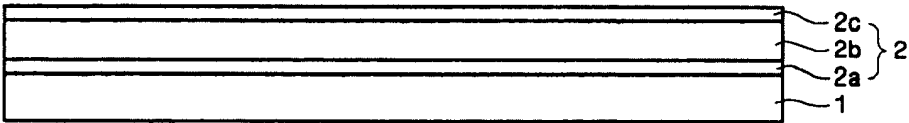


图 1

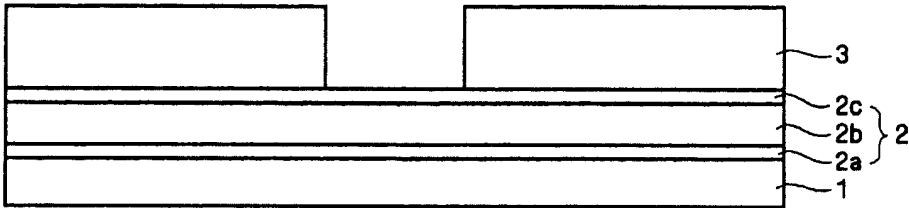


图 2



图 3

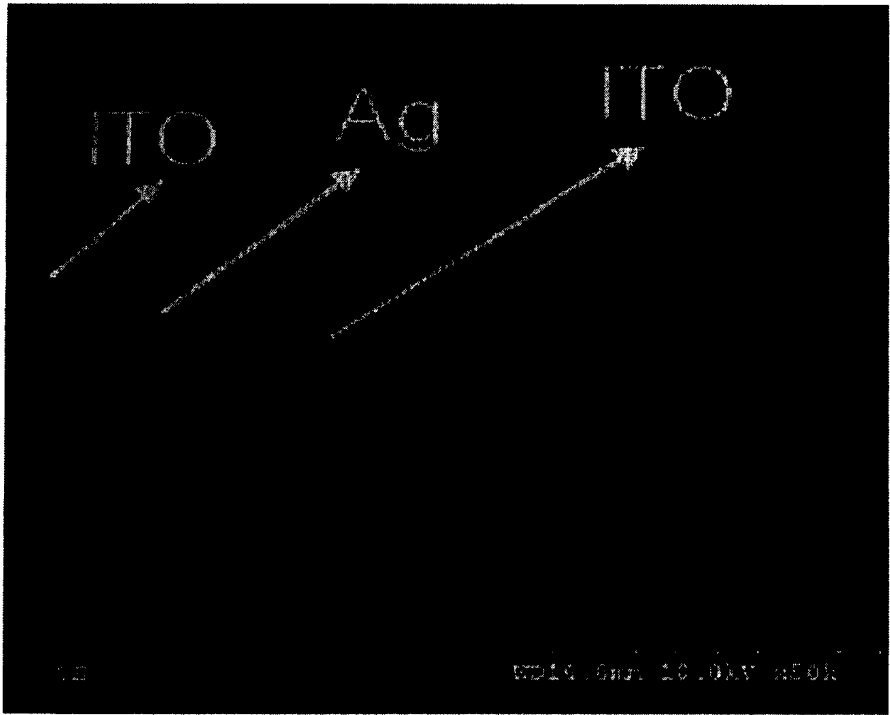


图 4

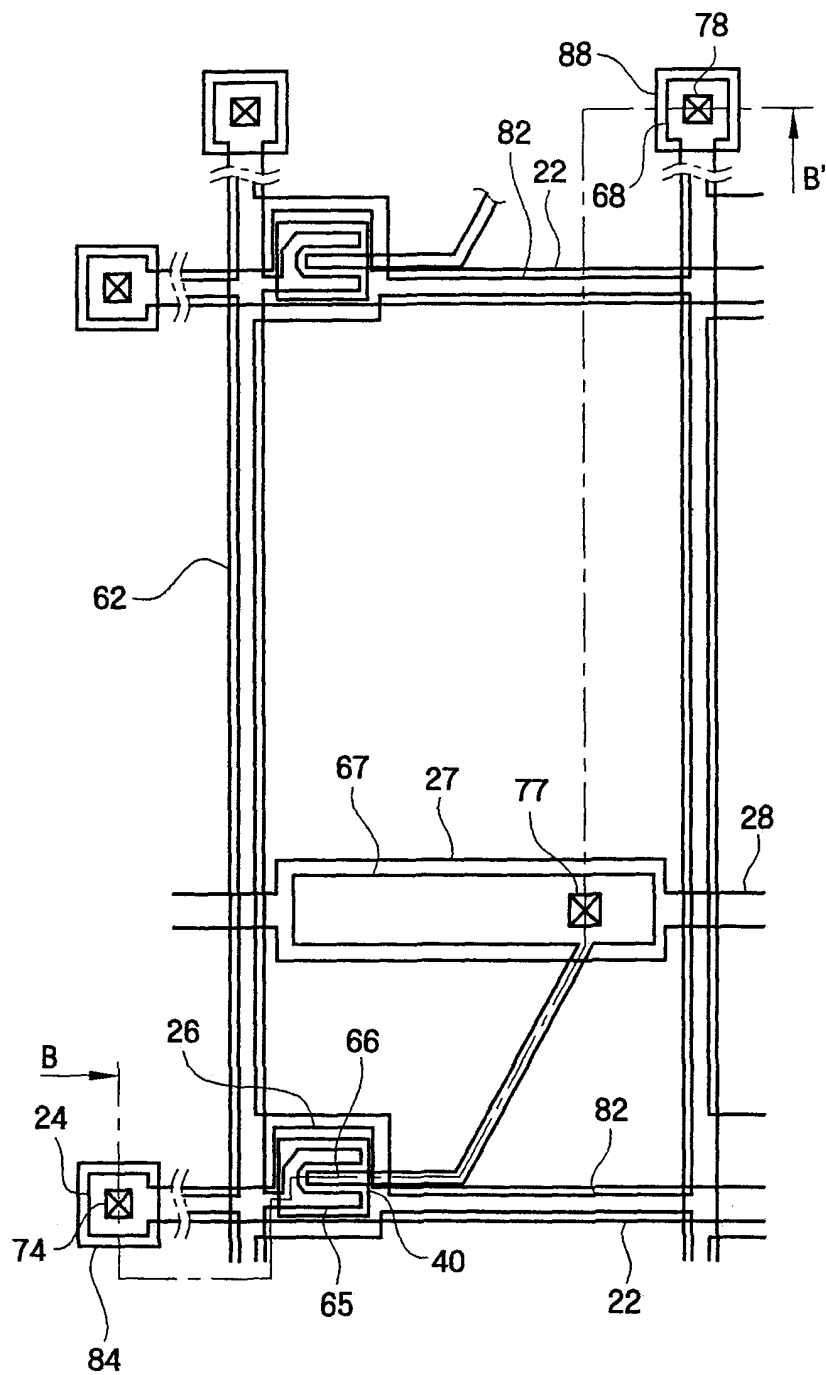


图 5A

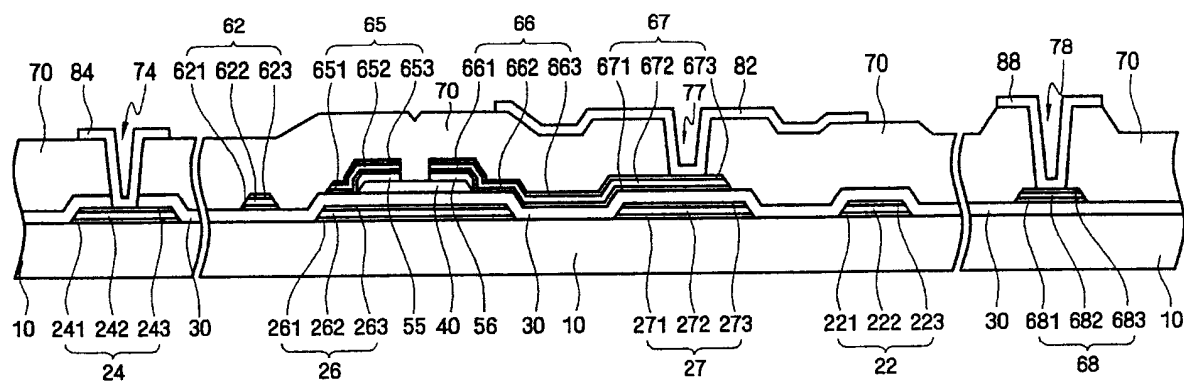


图 5B

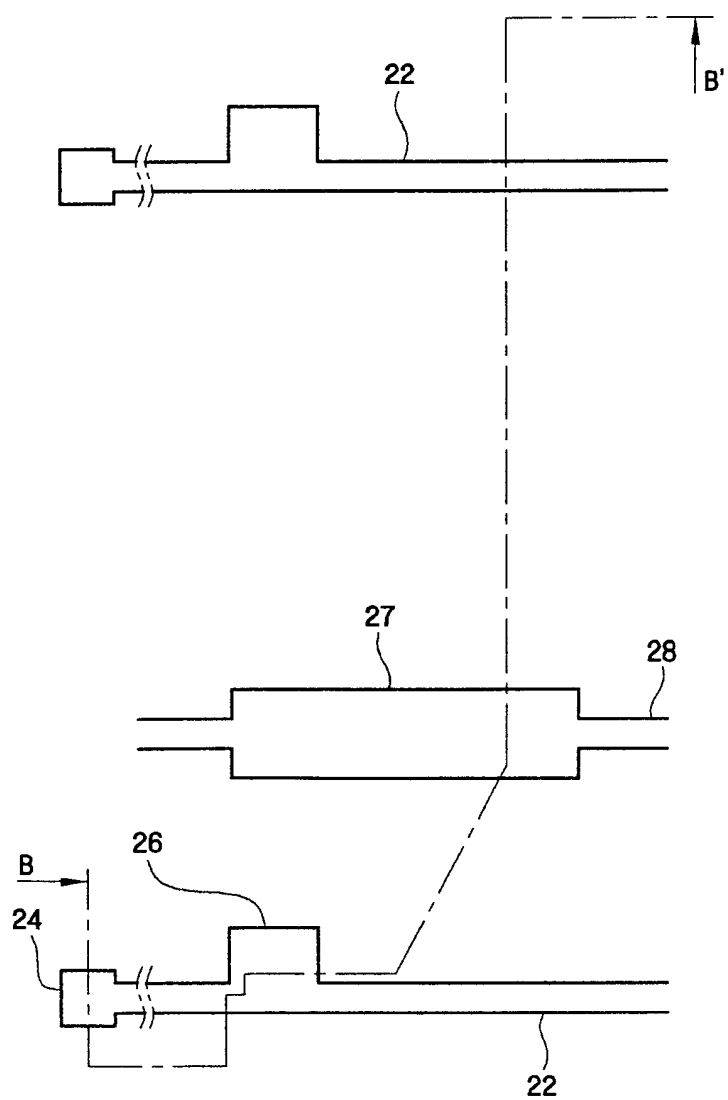


图 6A

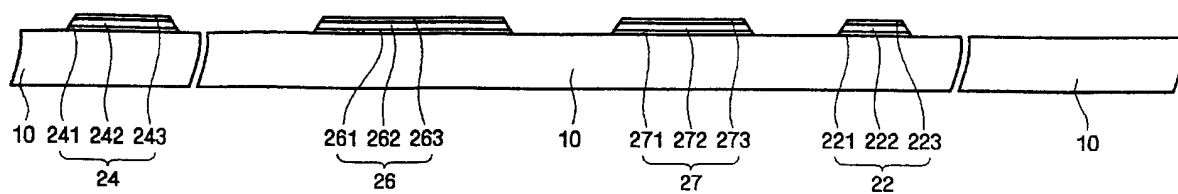


图 6B

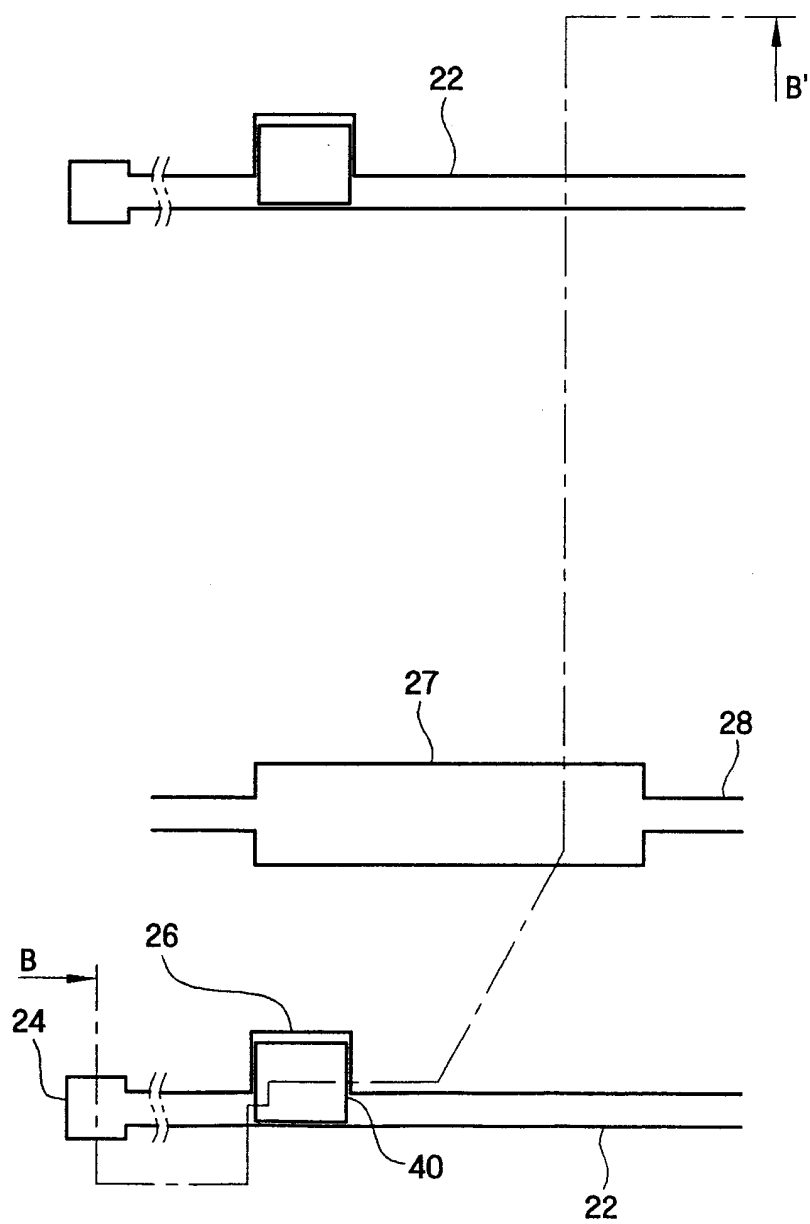


图 7A

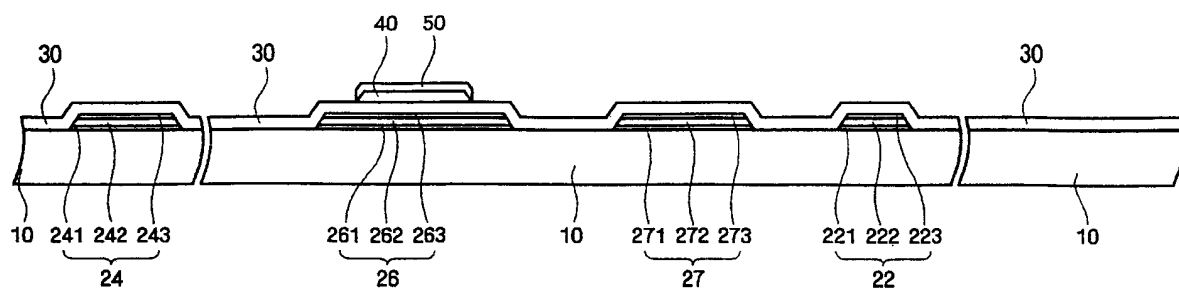


图 7B

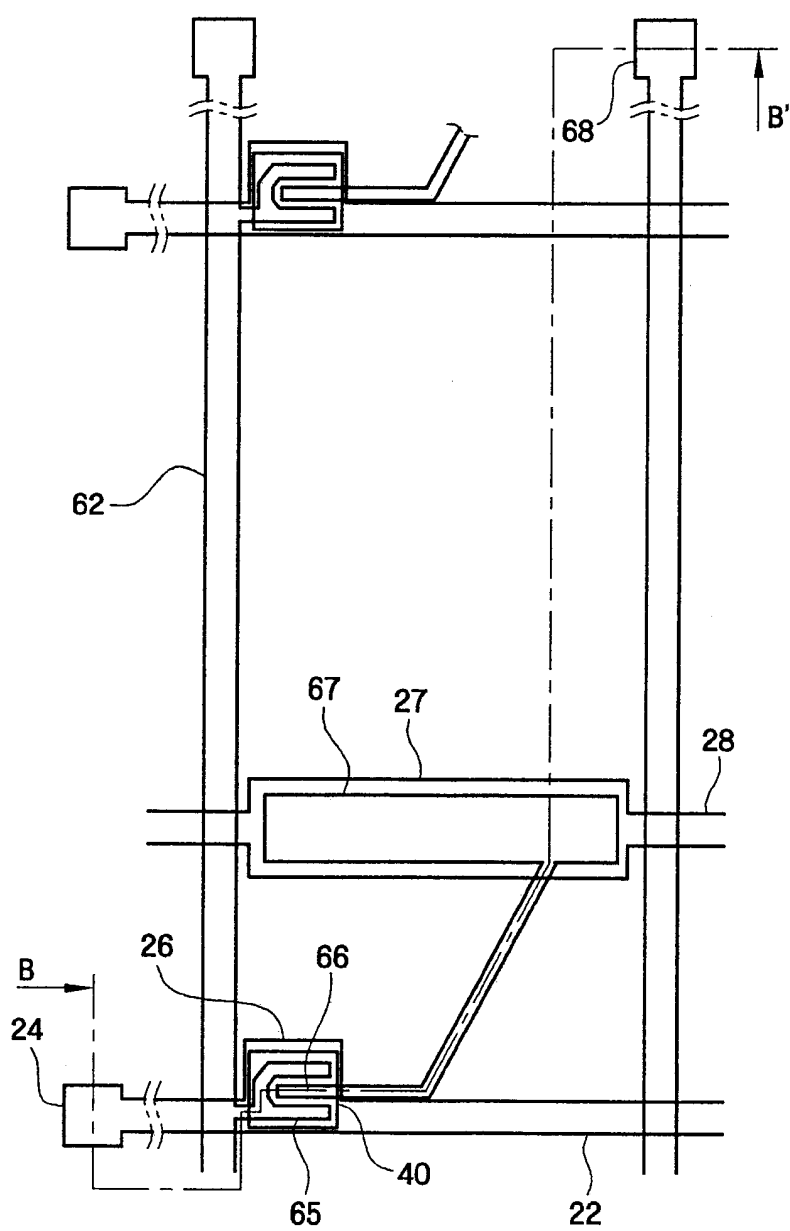


图 8A

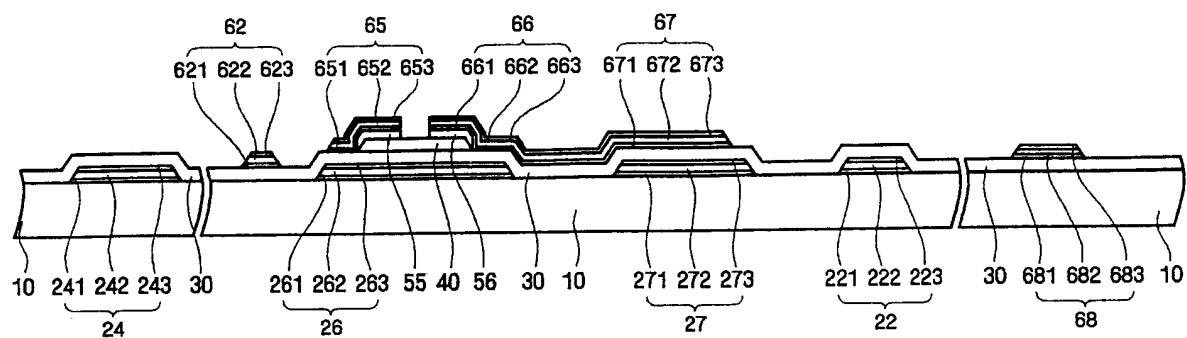


图 8B

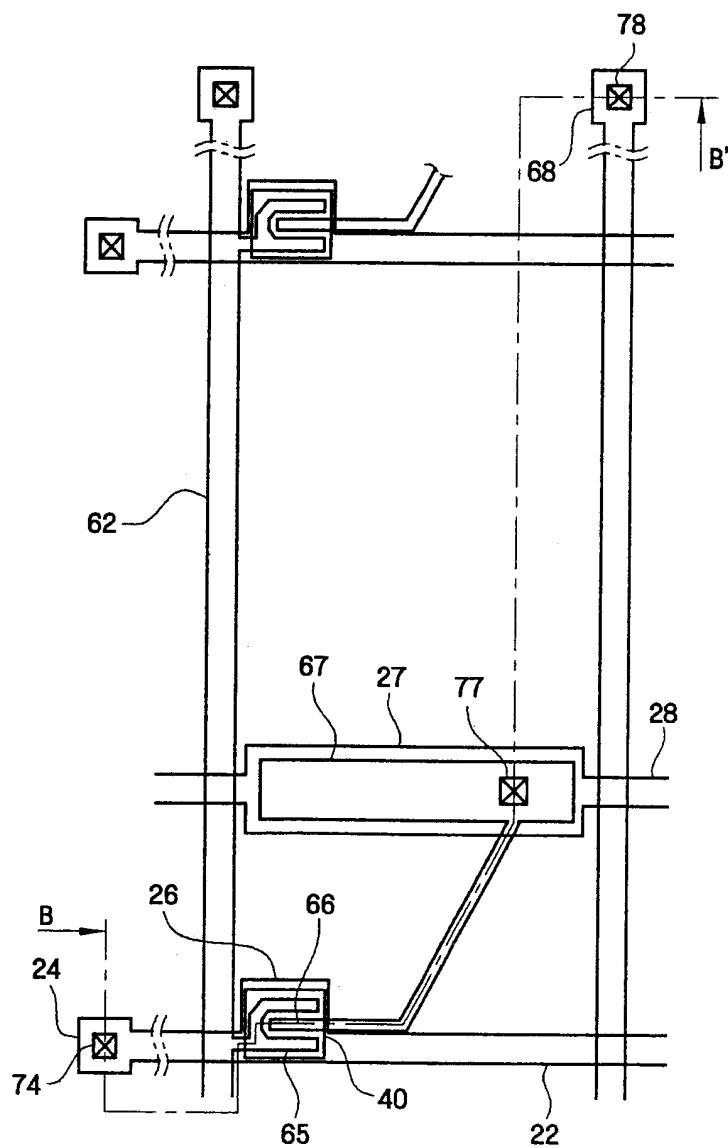


图 9A

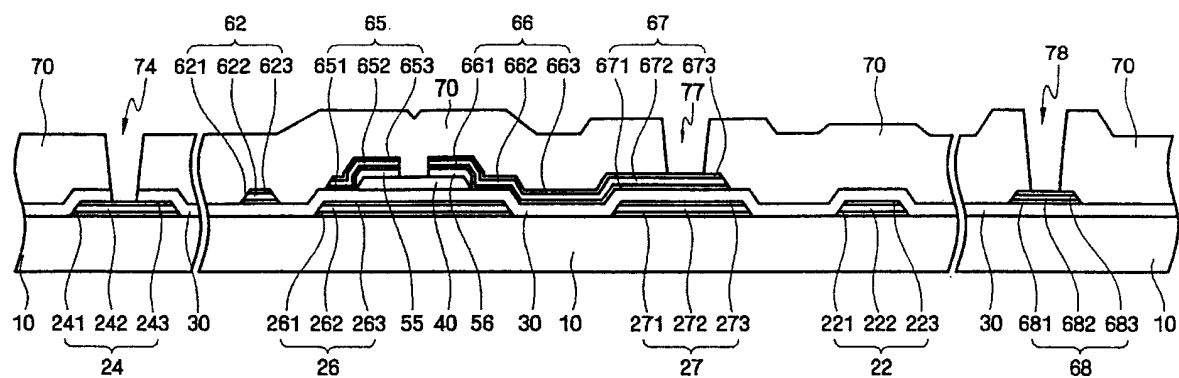


图 9B

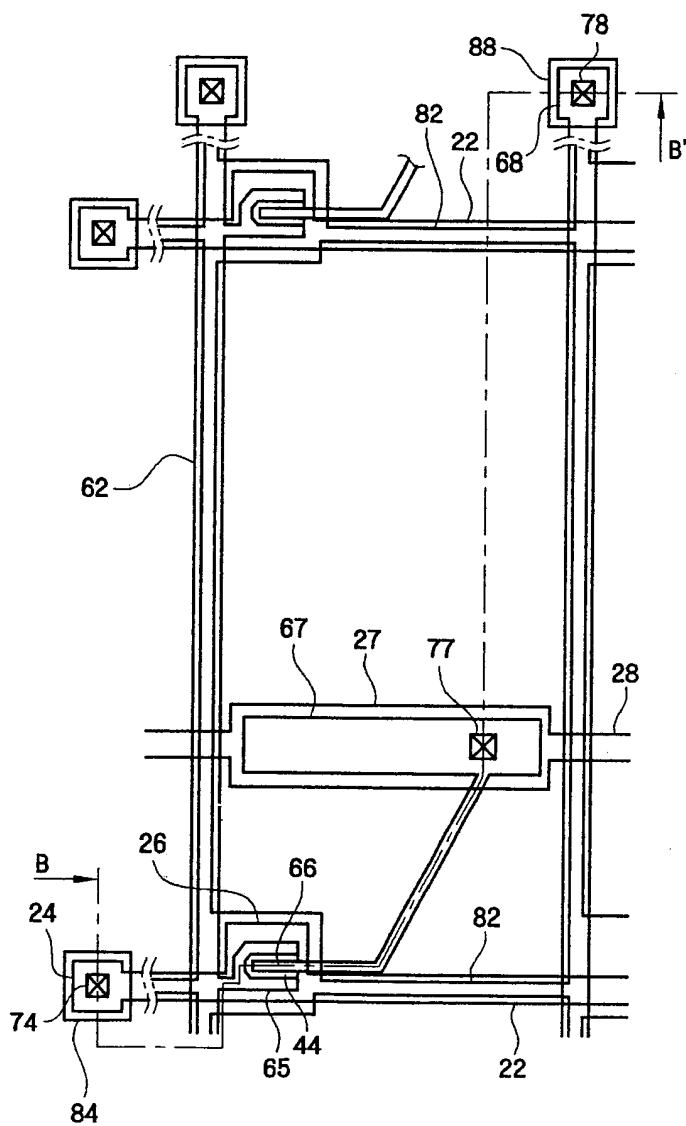


图 10A

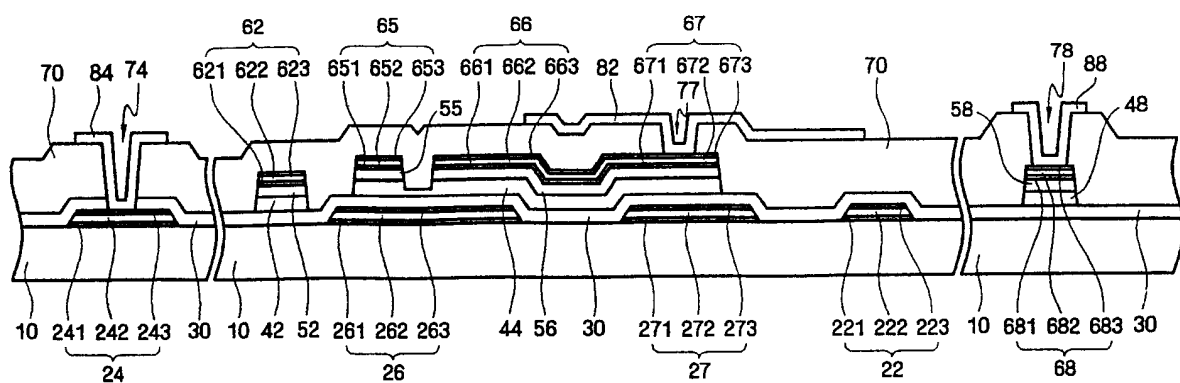


图 10B

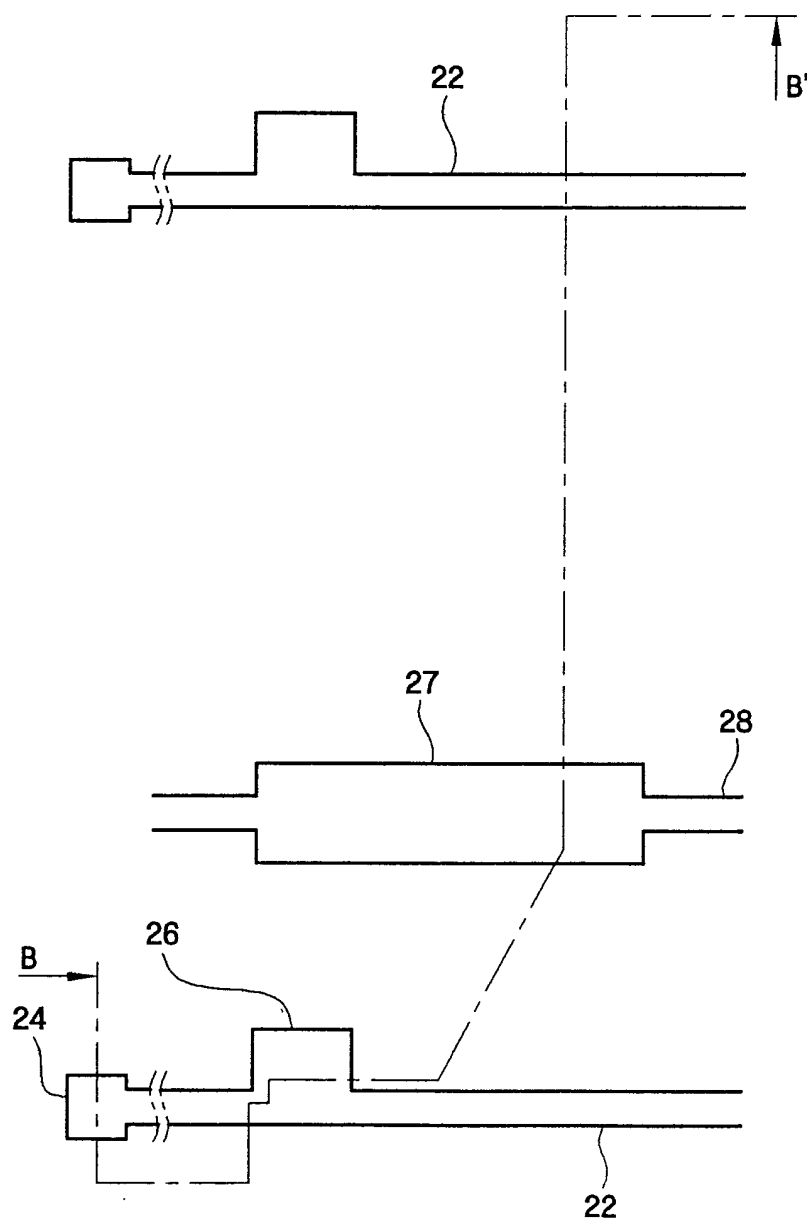


图 11A

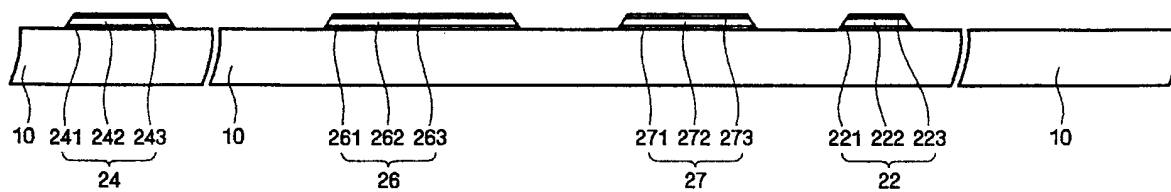


图 11B

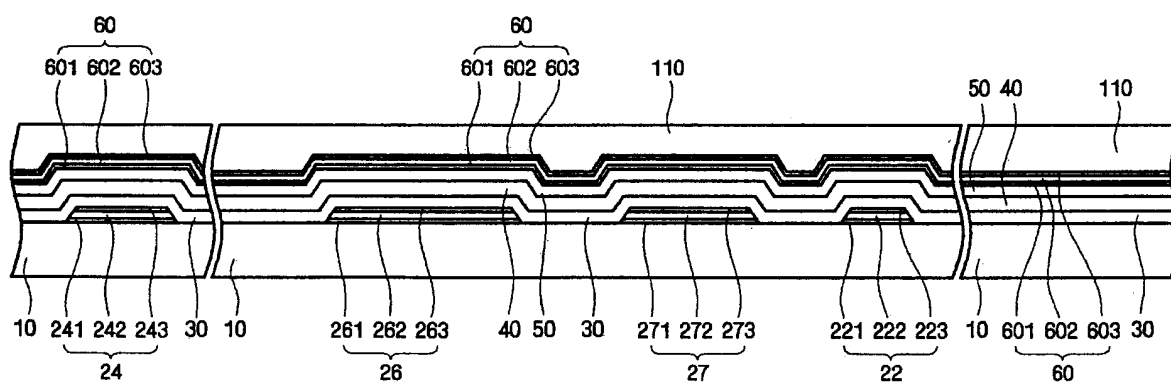


图 12

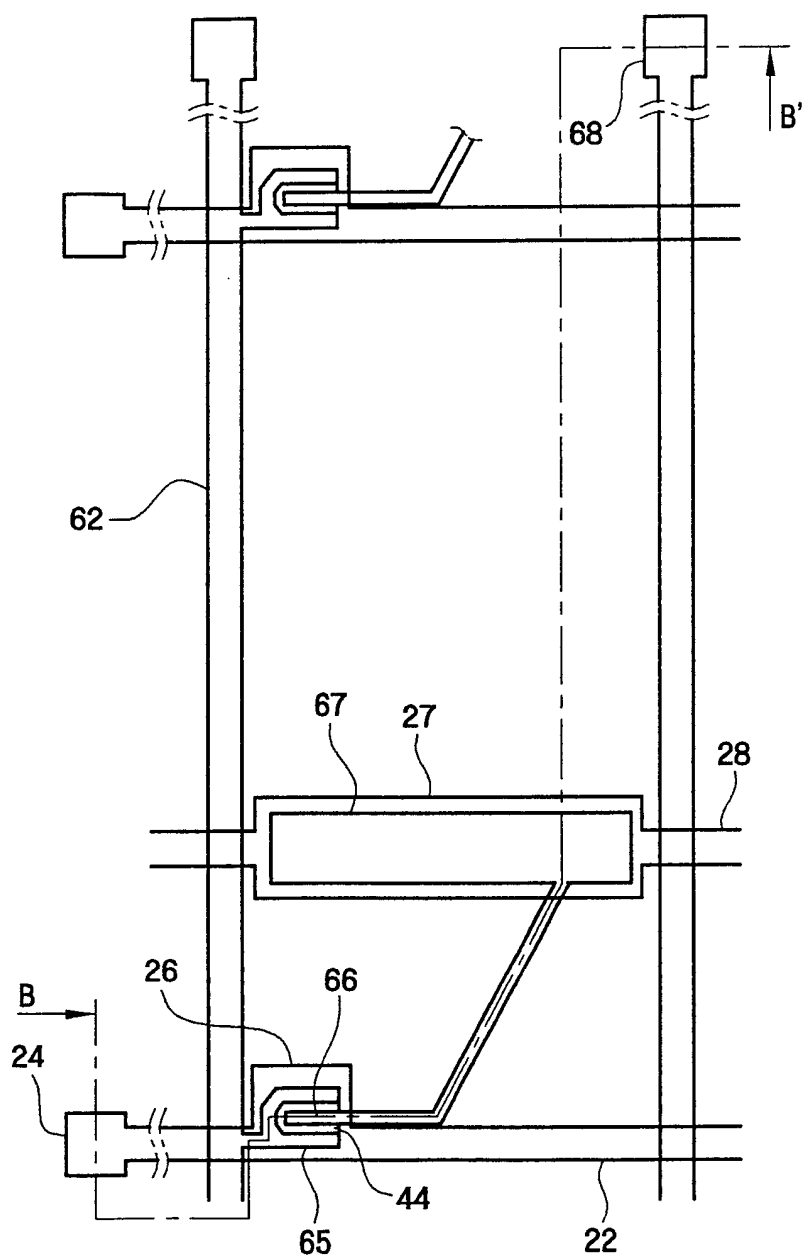


图 13A

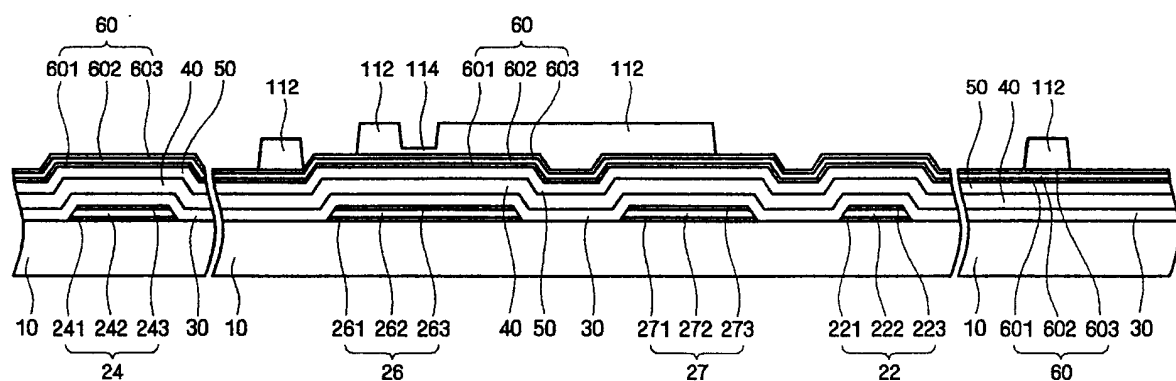


图 13B

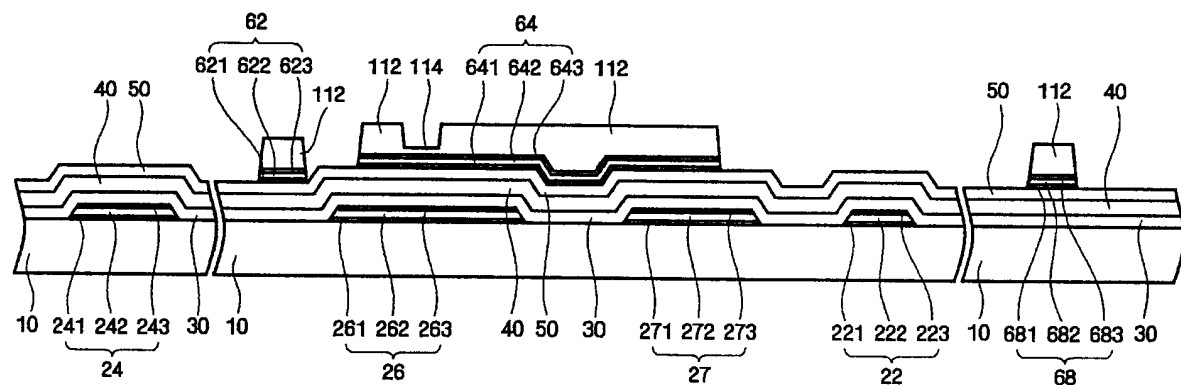


图 14

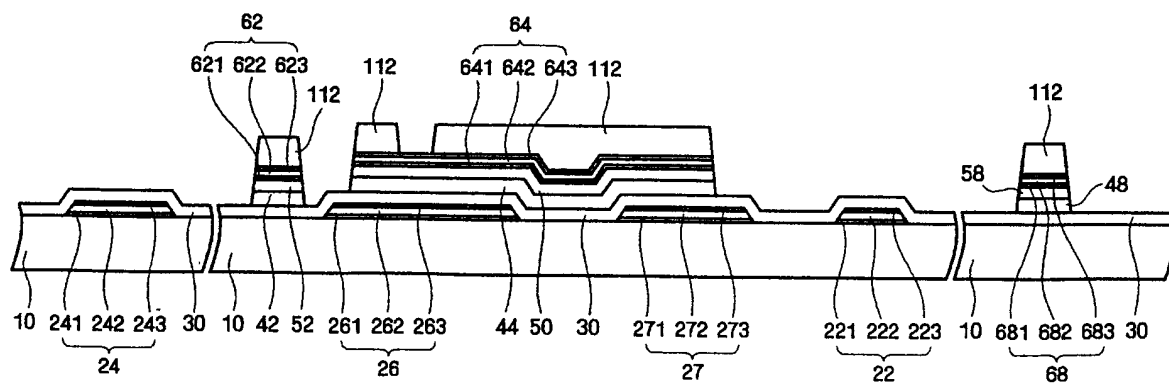


图 15

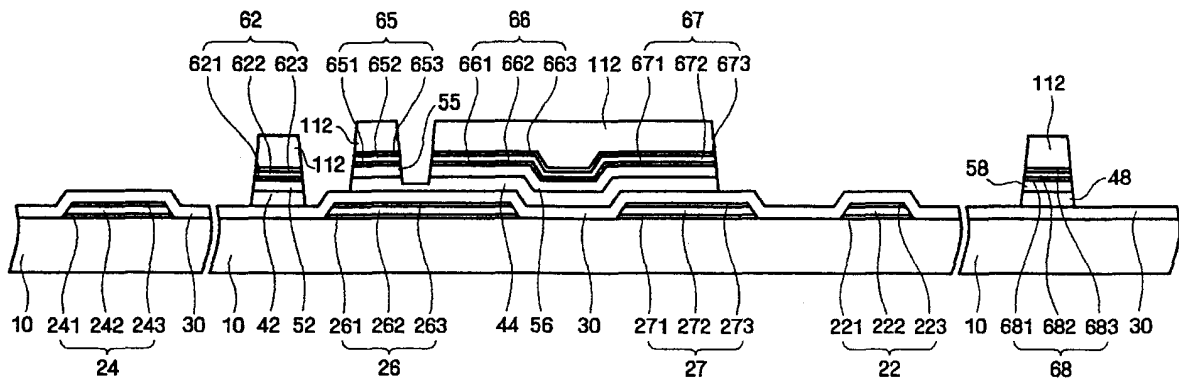


图 16

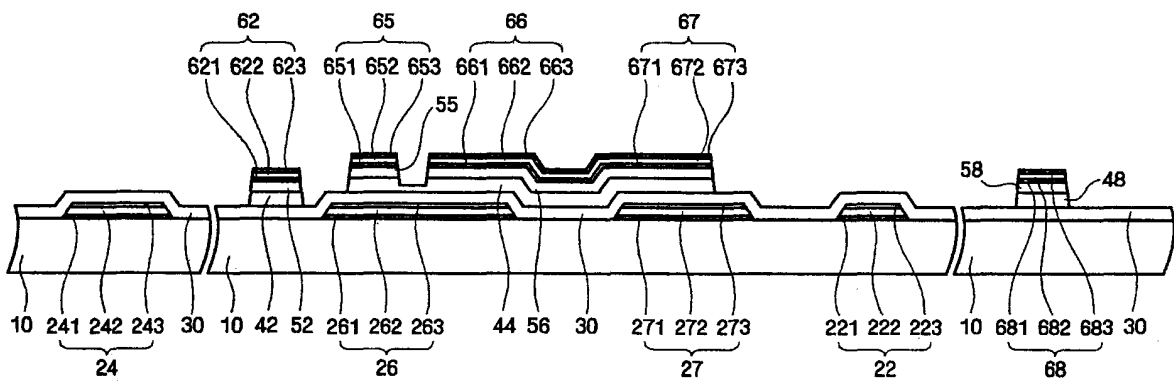


图 17

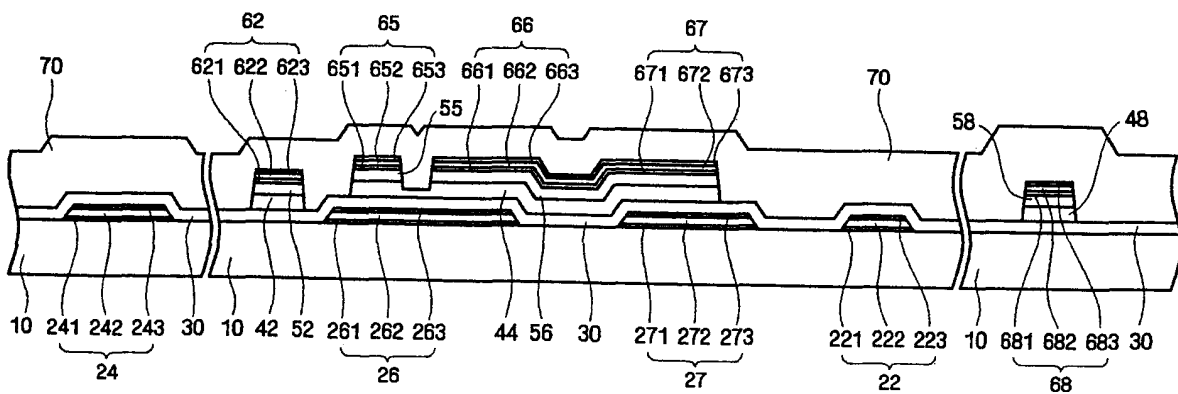


图 18

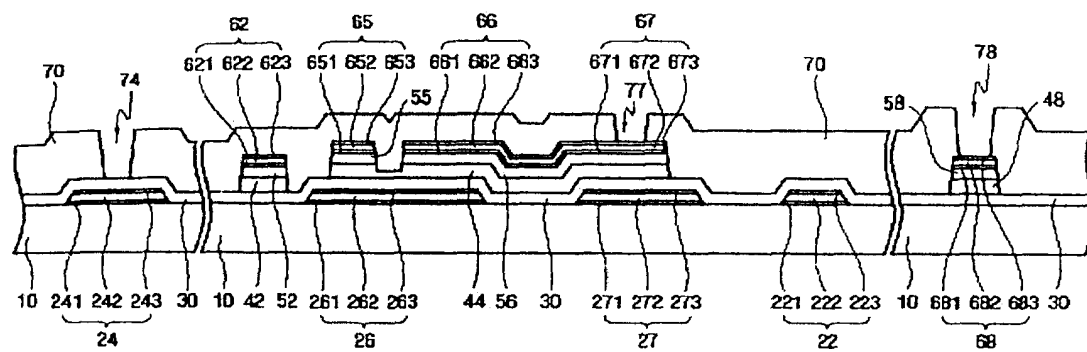


图 19B