



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2024년11월29일

(11) 등록번호 10-2736304

(24) 등록일자 2024년11월26일

(51) 국제특허분류(Int. Cl.)

G09G 3/3208 (2016.01)

(52) CPC특허분류

G09G 3/3208 (2013.01)

G09G 2230/00 (2013.01)

(21) 출원번호 10-2023-0072163

(22) 출원일자 2023년06월05일

심사청구일자 2023년06월05일

(56) 선행기술조사문헌

KR1020230060135 A\*

KR1020130139328 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

경희대학교 산학협력단

경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)

(72) 발명자

남형식

인천광역시 연수구 독배로40번길 48, 103동 202호(옥련동, 우성1차아파트)

장민규

인천광역시 부평구 안남로 272, 107동 502호(청천동, 부평1차 금호타운)

(74) 대리인

김연권

전체 청구항 수 : 총 10 항

심사관 : 유하진

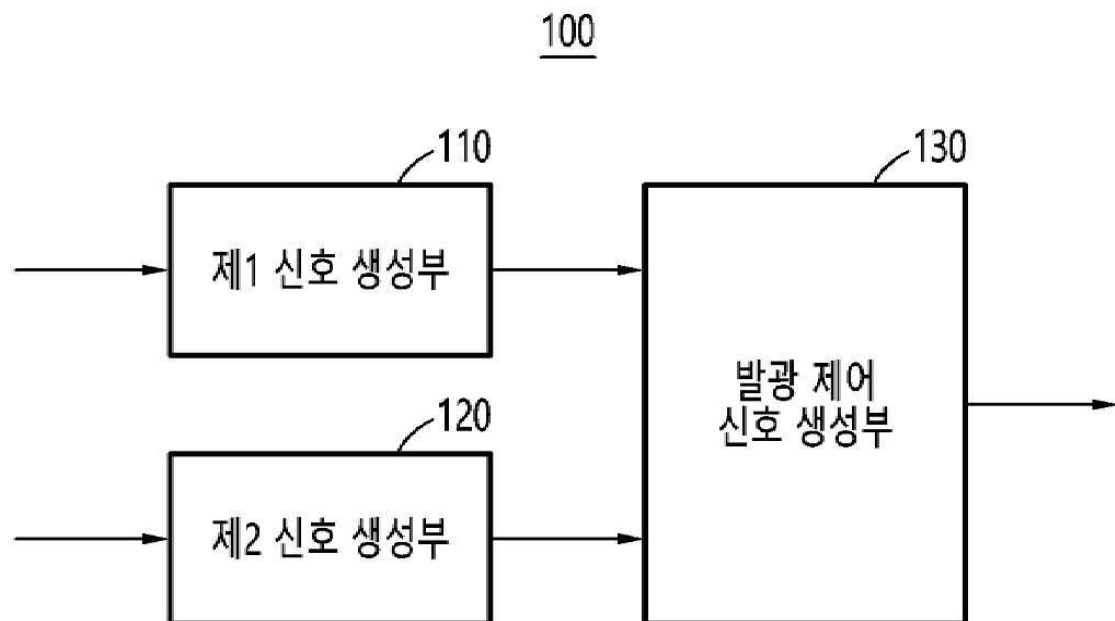
(54) 발명의 명칭 발광 제어 신호를 생성하는 신호 생성 장치 및 그 동작방법

## (57) 요약

본 발명은 발광 제어 신호를 생성하는 신호 생성 장치 및 그 동작방법에 관한 것으로, 보다 상세하게는 유기 발광 표시장치의 픽셀 구동 회로에서 이용되는 발광 제어 신호(emission control signal, EM)를 생성하는 기술적 사상에 관한 것으로, 본 발명의 일실시예에 따른 신호 생성 장치는 제1 클록, 상기 제1 클록과 반대의 위상을 갖

(뒷면에 계속)

대표도 - 도1



는 제2 클럭 및 제 $n-1$  발광 제어 라인을 통해 인가되는 제 $n-1$  발광 제어 신호를 수신하고, 상기 제1 클럭, 상기 제2 클럭 및 상기 제 $n-1$  발광 제어 신호에 기초하여 제1 게이트 신호를 생성하는 제1 신호 생성부, 상기 제1 클럭 및 상기 제2 클럭 중 어느 하나의 클럭과 동일한 펄스 폭 및 위상을 갖는 인에이블 클럭, 누설 제어 라인을 통해 인가되는 누설 제어 신호 및 상기 제 $n-1$  발광 제어 신호를 수신하며, 상기 제 $n-1$  발광 제어신호, 상기 누설 제어 신호 및 상기 인에이블 클럭에 기초하여 제2 게이트 신호를 생성하는 제2 신호 생성부 및 상기 제1 게이트 신호 및 상기 제2 게이트 신호에 기초하여 제 $n$  발광 제어라인을 통해 인가되는 타겟 발광 제어 신호를 생성하는 발광 제어 신호 생성부를 포함할 수 있다.

(52) CPC특허분류

G09G 2310/0202 (2013.01)

G09G 2310/08 (2013.01)

G09G 2320/0233 (2013.01)

G09G 2330/021 (2013.01)

이 발명을 지원한 국가연구개발사업

|             |                                                        |
|-------------|--------------------------------------------------------|
| 과제고유번호      | 1415185467                                             |
| 과제번호        | 20016317                                               |
| 부처명         | 산업통상자원부                                                |
| 과제관리(전문)기관명 | 한국산업기술평가관리원                                            |
| 연구사업명       | 전자부품산업기술개발-디스플레이혁신공정플랫폼구축                              |
| 연구과제명       | [RCMS 3/4]산화물 반도체 기반 1270 ppi 저전력 OLED 디스플레이용 내장회로 및 구 |
| 동시시스템 기술    |                                                        |
| 기 여 율       | 1/1                                                    |
| 과제수행기관명     | 건국대학교산학협력단                                             |
| 연구기간        | 2021.04.01 ~ 2024.12.31                                |
| 공지예외적용 :    | 있음                                                     |

## 명세서

### 청구범위

#### 청구항 1

제1 클록, 상기 제1 클록과 반대의 위상을 갖는 제2 클록 및 제 $n-1$  발광 제어 라인을 통해 인가되는 제 $n-1$  발광 제어 신호를 수신하고, 상기 제1 클록, 상기 제2 클록 및 상기 제 $n-1$  발광 제어 신호에 기초하여 제1 게이트 신호를 생성하는 제1 신호 생성부;

상기 제1 클록 및 상기 제2 클록 중 어느 하나의 클록과 동일한 펄스 폭 및 위상을 갖는 인에이블 클록, 누설 제어 라인을 통해 인가되는 누설 제어 신호 및 상기 제 $n-1$  발광 제어 신호를 수신하며, 상기 제 $n-1$  발광 제어 신호, 상기 누설 제어 신호 및 상기 인에이블 클록에 기초하여 제2 게이트 신호를 생성하는 제2 신호 생성부; 및

상기 제1 게이트 신호 및 상기 제2 게이트 신호에 기초하여 제 $n$  발광 제어라인을 통해 인가되는 타겟 발광 제어 신호를 생성하는 발광 제어 신호 생성부를 포함하고,

상기 제1 신호 생성부는 상기 제2 클록 및 상기 제 $n-1$  발광 제어 신호를 수신하는 제1 트랜지스터 및 상기 제1 클록을 수신하는 제2 트랜지스터를 포함하며,

상기 발광 제어 신호 생성부는 상기 제1 게이트 신호를 수신하는 제4 트랜지스터, 상기 제2 게이트 신호를 수신하는 제3 트랜지스터 및 제5 트랜지스터, 상기 제5 트랜지스터와 전기적으로 연결되어 상기 타겟 발광 제어 신호를 출력하는 제6 트랜지스터를 포함하고,

상기 제2 신호 생성부는 상기 제 $n-1$  발광 제어 신호를 수신하는 제7 트랜지스터 및 제9 트랜지스터, 상기 누설 제어 신호를 수신하는 제8 트랜지스터, 상기 인에이블 클록을 수신하는 제10 트랜지스터를 포함하며,

상기 누설 제어 신호는 상기 제 $n-1$  발광 제어신호 대비 일정 라인 시간(line time) 앞서고 반전 신호인 것을 특징으로 하는

신호 생성 장치.

#### 청구항 2

삭제

#### 청구항 3

삭제

#### 청구항 4

제1항에 있어서,

상기 제2 신호 생성부는 상기 누설 제어 신호와 상기 제 $n-1$  발광 제어신호에 기반하여 상기 일정 라인 시간만큼만 상기 제7 트랜지스터와 상기 제8 트랜지스터를 동시에 턴온하여 전류를 누설하는 것을 특징으로 하는

신호 생성 장치.

#### 청구항 5

제1항에 있어서,

상기 발광 제어 신호 생성부는 상기 제3 트랜지스터, 상기 제4 트랜지스터 및 상기 제6 트랜지스터와 연결되는 커플링 커패시터와 제 $n+1$  발광 제어신호를 인가하는 제 $n+1$  발광 제어라인 사이에서 제11 트랜지스터를 더 포함하고, 상기 제11 트랜지스터에 기반하여 상기 제 $n+1$  발광 제어신호에 기반한 용량성 결합(capacitive coupling)을 제어함에 따라 상기 커플링 커패시터에 기반한 노이즈를 제거하는 것을 특징으로 하는

신호 생성 장치.

## 청구항 6

제1 클록, 상기 제1 클록과 반대의 위상을 갖는 제2 클록 및 제n-1 발광 제어 라인을 통해 인가되는 제n-1 발광 제어 신호를 수신하고, 상기 제1 클록, 상기 제2 클록 및 상기 제n-1 발광 제어 신호에 기초하여 제1 게이트 신호를 생성하는 제1 신호 생성부;

상기 제1 클록 및 상기 제2 클록 중 어느 하나의 클록과 동일한 펄스 폭 및 위상을 갖는 인에이블 클록, 누설 제어 라인을 통해 인가되는 누설 제어 신호 및 상기 제n-1 발광 제어 신호를 수신하며, 상기 제n-1 발광 제어 신호, 상기 누설 제어 신호 및 상기 인에이블 클록에 기초하여 제2 게이트 신호를 생성하는 제2 신호 생성부; 및

상기 제1 게이트 신호 및 상기 제2 게이트 신호에 기초하여 제n 발광 제어라인을 통해 인가되는 타겟 발광 제어 신호를 생성하는 발광 제어 신호 생성부를 포함하고,

상기 제1 신호 생성부는 상기 제2 클록 및 상기 제n-1 발광 제어 신호를 수신하는 제1 트랜지스터 및 상기 제1 클록을 수신하는 제2 트랜지스터를 포함하며,

상기 발광 제어 신호 생성부는 상기 제1 게이트 신호를 수신하는 제4 트랜지스터, 상기 제2 게이트 신호를 수신하는 제3 트랜지스터 및 제5 트랜지스터, 상기 제5 트랜지스터와 전기적으로 연결되어 상기 타겟 발광 제어 신호를 출력하는 제6 트랜지스터를 포함하고,

상기 제2 신호 생성부는 상기 제n-1 발광 제어 신호를 수신하는 제7 트랜지스터 및 제9 트랜지스터, 상기 누설 제어 신호를 수신하는 제8 트랜지스터, 상기 인에이블 클록을 수신하는 제10 트랜지스터를 포함하며,

상기 제1 신호 생성부는 상기 제1 트랜지스터의 게이트 단자를 통해 상기 제n-1 발광 제어 신호를 수신하고, 상기 제2 트랜지스터의 게이트 단자를 통해 상기 제1 클록을 수신하고,

상기 제2 신호 생성부는 상기 제7 트랜지스터의 게이트 단자를 통해 상기 제n-1 발광 제어 신호를 수신하고, 상기 제8 트랜지스터의 게이트 단자를 통해 상기 누설 제어 신호를 수신하며, 상기 제10 트랜지스터의 게이트 단자가 상기 제7 트랜지스터와 상기 제8 트랜지스터를 전기적으로 연결하는 노드와 연결되는 것을 특징으로 하는

신호 생성 장치.

## 청구항 7

제1항에 있어서,

상기 타겟 발광 제어 신호는 상기 제n-1 발광 제어 신호와 동일한 펄스폭을 갖으며, 상기 제n-1 발광 제어 신호와 대비하여, 상기 제1 클록, 상기 제2 클록 및 상기 인에이블 클록 중 적어도 하나의 클록의 펄스폭에 대응되는 라인 시간만큼 지연된 신호로 생성되는 것을 특징으로 하는

신호 생성 장치.

## 청구항 8

제1 클록, 상기 제1 클록과 반대의 위상을 갖는 제2 클록 및 제n-1 발광 제어 라인을 통해 인가되는 제n-1 발광 제어 신호를 수신하고, 상기 제1 클록, 상기 제2 클록 및 상기 제n-1 발광 제어 신호에 기초하여 제1 게이트 신호를 생성하는 제1 신호 생성부;

상기 제1 클록 및 상기 제2 클록 중 어느 하나의 클록과 동일한 펄스 폭 및 위상을 갖는 제1 인에이블 클록, 상기 제1 인에이블 클록에서 반전된 펄스 폭 및 위상을 갖는 제2 인에이블 클록 및 상기 제n-1 발광 제어 신호를 수신하며, 상기 제n-1 발광 제어신호, 상기 제1 인에이블 클록 및 상기 제2 인에이블 클록에 기초하여 제2 게이트 신호를 생성하는 제2 신호 생성부; 및

상기 제1 게이트 신호 및 상기 제2 게이트 신호에 기초하여 제n 발광 제어라인을 통해 인가되는 타겟 발광 제어 신호를 생성하는 발광 제어 신호 생성부를 포함하고,

상기 제1 신호 생성부는 상기 제2 클록 및 상기 제n-1 발광 제어 신호를 수신하는 제1 트랜지스터 및 상기 제1 클록을 수신하는 제2 트랜지스터를 포함하고,

상기 발광 제어 신호 생성부는 상기 제1 게이트 신호를 수신하는 제3 트랜지스터, 상기 제2 게이트 신호를 수신하는 제4 트랜지스터 및 제6 트랜지스터, 상기 제6 트랜지스터와 전기적으로 연결되어 상기 타겟 발광 제어 신

호를 출력하는 제5 트랜지스터, 상기 제5 트랜지스터와 제 $n+1$  발광 제어신호를 인가하는 제 $n+1$  발광 제어라인에 전기적으로 연결되는 제1 커플링 커패시터를 포함하며,

상기 제2 신호 생성부는 상기 인에이블 클록을 수신하는 제7 트랜지스터 및 제8 트랜지스터, 상기 제8 트랜지스터와 전기적으로 연결되는 제9 트랜지스터 및 제11 트랜지스터, 상기 제7 트랜지스터, 상기 제8 트랜지스터 및 상기 제11 트랜지스터와 전기적으로 연결되는 제2 커플링 커패시터, 상기 제 $n-1$  발광 제어 신호를 수신하는 제10 트랜지스터, 상기 제10 트랜지스터 및 상기 제9 트랜지스터와 전기적으로 연결되는 제12 트랜지스터를 포함하는 것을 특징으로 하는 것을 특징으로 하는

신호 생성 장치.

## 청구항 9

삭제

## 청구항 10

제8항에 있어서,

상기 제2 신호 생성부는 상기 제10 트랜지스터의 게이트 단과 상기 제11 트랜지스터의 게이트단으로 상기 제2 인에이블 클록을 수신하고, 상기 제1 인에이블 클록과 상기 제2 인에이블 클록에 기반하여 상기 제7 및 상기 제8 트랜지스터를 제어하여 하이 레벨 전압(VGH)과 로우 레벨 전압(VGL) 간의 전류 패스를 제거하는 것을 특징으로 하는

신호 생성 장치.

## 청구항 11

제1 신호 생성부에서, 제1 클록, 상기 제1 클록과 반대의 위상을 갖는 제2 클록 및 제 $n-1$  발광 제어 라인을 통해 인가되는 제 $n-1$  발광 제어 신호를 수신하고, 상기 제1 클록, 상기 제2 클록 및 상기 제 $n-1$  발광 제어 신호에 기초하여 제1 게이트 신호를 생성하는 단계;

제2 신호 생성부에서, 상기 제1 클록 및 상기 제2 클록 중 어느 하나의 클록과 동일한 펄스 폭 및 위상을 갖는 제1 인에이블 클록 및 상기 제 $n-1$  발광 제어 신호 그리고 누설 제어 라인을 통해 인가되는 누설 제어 신호 및 상기 제1 인에이블 클록에서 반전된 펄스 폭 및 위상을 갖는 제2 인에이블 클록 중 어느 하나를 수신하며, 상기 제 $n-1$  발광 제어신호 및 상기 제1 인에이블 클록 그리고 상기 누설 제어 신호 및 상기 제2 인에이블 클록 중 어느 하나에 기초하여 제2 게이트 신호를 생성하는 단계; 및

발광 제어 신호 생성부에서, 상기 제1 게이트 신호 및 상기 제2 게이트 신호에 기초하여 제 $n$  발광 제어라인을 통해 인가되는 타겟 발광 제어 신호를 생성하는 단계를 포함하고,

상기 제1 신호 생성부는 상기 제2 클록 및 상기 제 $n-1$  발광 제어 신호를 수신하는 제1 트랜지스터 및 상기 제1 클록을 수신하는 제2 트랜지스터를 포함하고,

상기 발광 제어 신호 생성부는 상기 제1 게이트 신호를 수신하는 제3 트랜지스터, 상기 제2 게이트 신호를 수신하는 제4 트랜지스터 및 제6 트랜지스터, 상기 제6 트랜지스터와 전기적으로 연결되어 상기 타겟 발광 제어 신호를 출력하는 제5 트랜지스터, 상기 제5 트랜지스터와 제 $n+1$  발광 제어신호를 인가하는 제 $n+1$  발광 제어라인에 전기적으로 연결되는 제1 커플링 커패시터를 포함하며,

상기 제2 신호 생성부는 상기 인에이블 클록을 수신하는 제7 트랜지스터 및 제8 트랜지스터, 상기 제8 트랜지스터와 전기적으로 연결되는 제9 트랜지스터 및 제11 트랜지스터, 상기 제7 트랜지스터, 상기 제8 트랜지스터 및 상기 제11 트랜지스터와 전기적으로 연결되는 제2 커플링 커패시터, 상기 제 $n-1$  발광 제어 신호를 수신하는 제10 트랜지스터, 상기 제10 트랜지스터 및 상기 제9 트랜지스터와 전기적으로 연결되는 제12 트랜지스터를 포함하는 것을 특징으로 하는

신호 생성 방법.

## 청구항 12

제11항에 있어서,

상기 누설 제어 신호는 상기 제n-1 발광 제어신호 대비 일정 라인 시간(line time) 앞서고 반전 신호인 것을 특징으로 하는

신호 생성 방법.

### 청구항 13

제11항에 있어서,

상기 타겟 발광 제어 신호는 상기 제n-1 발광 제어 신호와 동일한 펄스폭을 갖으며, 상기 제n-1 발광 제어 신호와 대비하여, 상기 제1 클록, 상기 제2 클록 및 상기 인에이블 클록 중 적어도 하나의 클록의 펄스폭에 대응되는 라인 시간만큼 지연된 신호로 생성되는 것을 특징으로 하는

신호 생성 방법.

### 발명의 설명

### 기술 분야

[0001] 본 발명은 발광 제어 신호를 생성하는 신호 생성 장치 및 그 동작방법에 관한 것으로, 보다 상세하게는 유기 발광 표시장치의 픽셀 구동 회로에서 이용되는 발광 제어 신호(emission control signal, EM)를 생성하는 기술적 사상에 관한 것이다.

### 배경 기술

- [0002] EM TFT(thin-film transistor)는 AMOLED(active matrix organic light-emitting diode)를 구동하는 픽셀(pixel) 회로 내 구성되는 TFT 중 하나이다.
- [0003] EM TFT를 구성하는 목적은 일반적으로 비발광 구간에서 AMOLED 애노드(Anode) 전압의 과도한 상승을 방지하는 역할을 한다.
- [0004] 과도한 애노드 전압 상승은 화소의 보상 능력을 방해함으로써 디스플레이 제품 성능을 저하시킨다.
- [0005] 따라서 EM TFT는 원하지 않는 발광을 저지하는 스위칭(switcing) 역할을 해준다. EM TFT를 구동해주는 신호를 EM(emission control signal) 펄스라고 지칭한다.
- [0006] 이 신호는 비발광 기간에만 하이(high) 펄스 상태로 유지하면 되기 때문에 이를 이용하여 휘도(luminance)를 컨트롤 해줄 수 있다.
- [0007] 빛의 발광 시간으로 밝기 표현이 가능하기 때문에 하나의 프레임(1frame) 내에서 EM 펄스의 로우(low) 시간으로 휘도 표현이 가능하다.
- [0008] EM 펄스는 픽셀 회로와 별개 회로에서 생성되며 능동형 구동인 액티브 매트릭스(Active matrix) 구동을 하는 픽셀과 동일하게 1 라인 시간씩 시프팅 되어야 한다.
- [0009] 결과적으로 EM 펄스에 노이즈 발생할 경우 픽셀의 휘도 표현에 문제가 발생할 수 있다.
- [0010] 또한 장시간 구동하는 EM TFT 특성 상 EM 펄스 생성회로 역시 장시간 출력을 하게 된다.
- [0011] 이에 따라 발생할 수 있는 전류는 소비 전력의 증가를 발생시키고 배터리 기반 제품 군의 구동 시간 저하를 가져오는 문제점이 발생될 수 있다.

### 선행기술문헌

### 특허문헌

- [0012] (특허문헌 0001) 미국등록특허 제9799272호, "SHIFT REGISTER, GATE DRIVING CIRCUIT AND RELEVANT DISPLAY DEVICE"
- (특허문헌 0002) 한국등록특허 제10-0624317호, "주사 구동부 및 이를 이용한 발광 표시 장치와 그의 구동 방법"

(특허문헌 0003) 한국등록특허 제10-1642992호, "쉬프트 레지스터와 이를 이용한 표시 장치"

## 발명의 내용

### 해결하려는 과제

- [0013] 본 발명은 동작 안정성을 확보하면서 전력 소비를 저감할 수 있는 LTPS(low-temperature polycrystalline silicon) TFT(thin film transistor) 백플레인(backplane) 및 산화물(Oxide) TFT 백플레인 중 적어도 하나를 위한 발광 제어 신호를 생성하는 장치 및 방법을 제공하는 것을 목적으로 한다.
- [0014] 또한, 본 발명은 라인 시간의 홀수 배 또는 짝수 배의 여부와 관계없이 임의의 배수의 펄스폭을 갖는 발광 제어 신호를 생성하면서도 모든 펄스폭에 대해 한 라인 타임의 누설만 발생하여 전력 소모를 최소화하는 것을 목적으로 한다.
- [0015] 또한, 본 발명은 발광 제어 신호를 생성함에 있어서 용량성 결합(capacitive coupling)에 따른 노이즈를 제어하여 픽셀 휘도 표현의 안정성을 확보하는 것을 목적으로 한다.
- [0016] 또한, 본 발명은 산화물 백플레인 용 회로에서 하이 레벨 전압(VGH)과 로우 레벨 전압(VGL) 간의 전류 패스를 형성하는 트랜지스터 연결 구조가 제거되어 전력 소모를 개선하는 발광 제어 신호를 생성하는 장치 및 방법을 제공하는 것을 목적으로 한다.

### 과제의 해결 수단

- [0017] 본 발명의 일실시예에 따른 신호 생성 장치는 제1 클록, 상기 제1 클록과 반대의 위상을 갖는 제2 클록 및 제 $n-1$  발광 제어 라인을 통해 인가되는 제 $n-1$  발광 제어 신호를 수신하고, 상기 제1 클록, 상기 제2 클록 및 상기 제 $n-1$  발광 제어 신호에 기초하여 제1 게이트 신호를 생성하는 제1 신호 생성부, 상기 제1 클록 및 상기 제2 클록 중 어느 하나의 클록과 동일한 펄스 폭 및 위상을 갖는 인에이블 클록, 누설 제어 라인을 통해 인가되는 누설 제어 신호 및 상기 제 $n-1$  발광 제어 신호를 수신하며, 상기 제 $n-1$  발광 제어신호, 상기 누설 제어 신호 및 상기 인에이블 클록에 기초하여 제2 게이트 신호를 생성하는 제2 신호 생성부 및 상기 제1 게이트 신호 및 상기 제2 게이트 신호에 기초하여 제 $n$  발광 제어라인을 통해 인가되는 타겟 발광 제어 신호를 생성하는 발광 제어 신호 생성부를 포함할 수 있다.
- [0018] 상기 제1 신호 생성부는 상기 제2 클록 및 상기 제 $n-1$  발광 제어 신호를 수신하는 제1 트랜지스터 및 상기 제1 클록을 수신하는 제2 트랜지스터를 포함하고, 상기 발광 제어 신호 생성부는 상기 제1 게이트 신호를 수신하는 제4 트랜지스터, 상기 제2 게이트 신호를 수신하는 제3 트랜지스터 및 제5 트랜지스터, 상기 제5 트랜지스터와 전기적으로 연결되어 상기 타겟 발광 제어 신호를 출력하는 제6 트랜지스터를 포함하며, 상기 제2 신호 생성부는 상기 제 $n-1$  발광 제어 신호를 수신하는 제7 트랜지스터 및 제9 트랜지스터, 상기 누설 제어 신호를 수신하는 제8 트랜지스터, 상기 인에이블 클록을 수신하는 제10 트랜지스터를 포함할 수 있다.
- [0019] 상기 누설 제어 신호는 상기 제 $n-1$  발광 제어신호 대비 일정 라인 시간(line time) 앞서고 반전 신호일 수 있다.
- [0020] 상기 제2 신호 생성부는 상기 누설 제어 신호와 상기 제 $n-1$  발광 제어신호에 기반하여 상기 일정 라인 시간만큼만 상기 제7 트랜지스터와 상기 제8 트랜지스터를 동시에 턴온하여 전류를 누설할 수 있다.
- [0021] 상기 발광 제어 신호 생성부는 상기 제3 트랜지스터, 상기 제4 트랜지스터 및 상기 제6 트랜지스터와 연결되는 커패시터와 제 $n+1$  발광 제어신호를 인가하는 제 $n+1$  발광 제어라인 사이에서 제11 트랜지스터를 더 포함하고, 상기 발광 제어 신호 생성부는 상기 제11 트랜지스터에 기반하여 상기 제 $n+1$  발광 제어신호에 기반한 용량성 결합(capacitive coupling)을 제어함에 따라 상기 커패시터에 기반한 노이즈를 제거할 수 있다.
- [0022] 상기 제1 신호 생성부는 상기 제1 트랜지스터의 게이트 단자를 통해 상기 제 $n-1$  발광 제어 신호를 수신하고, 상기 제2 트랜지스터의 게이트 단자를 통해 상기 제1 클록을 수신하고, 상기 제2 신호 생성부는 상기 제7 트랜지스터의 게이트 단자를 통해 상기 제 $n-1$  발광 제어 신호를 수신하고, 상기 제8 트랜지스터의 게이트 단자를 통해 상기 누설 제어 신호를 수신하며, 상기 제10 트랜지스터의 게이트 단자가 상기 제7 트랜지스터와 상기 제8 트랜지스터를 전기적으로 연결하는 노드와 연결될 수 있다.

- [0023] 상기 타겟 발광 제어 신호는 상기 제 $n-1$  발광 제어 신호와 동일한 펄스폭을 갖으며, 상기 제 $n-1$  발광 제어 신호와 대비하여, 상기 제1 클록, 상기 제2 클록 및 상기 인에이블 클록 중 적어도 하나의 클록의 펄스폭에 대응되는 라인 시간만큼 지연된 신호로 생성될 수 있다.
- [0024] 본 발명의 일실시예에 따르면 신호 생성 장치는 제1 클록, 상기 제1 클록과 반대의 위상을 갖는 제2 클록 및 제 $n-1$  발광 제어 라인을 통해 인가되는 제 $n-1$  발광 제어 신호를 수신하고, 상기 제1 클록, 상기 제2 클록 및 상기 제 $n-1$  발광 제어 신호에 기초하여 제1 게이트 신호를 생성하는 제1 신호 생성부, 상기 제1 클록 및 상기 제2 클록 중 어느 하나의 클록과 동일한 펄스 폭 및 위상을 갖는 제1 인에이블 클록, 상기 제1 인에이블 클록에서 반전된 펄스 폭 및 위상을 갖는 제2 인에이블 클록 및 상기 제 $n-1$  발광 제어 신호를 수신하며, 상기 제 $n-1$  발광 제어신호, 상기 제1 인에이블 클록 및 상기 제2 인에이블 클록에 기초하여 제2 게이트 신호를 생성하는 제2 신호 생성부 및 상기 제1 게이트 신호 및 상기 제2 게이트 신호에 기초하여 제 $n$  발광 제어라인을 통해 인가되는 타겟 발광 제어 신호를 생성하는 발광 제어 신호 생성부를 포함할 수 있다.
- [0025] 상기 제1 신호 생성부는 상기 제2 클록 및 상기 제 $n-1$  발광 제어 신호를 수신하는 제1 트랜지스터 및 상기 제1 클록을 수신하는 제2 트랜지스터를 포함하고, 상기 발광 제어 신호 생성부는 상기 제1 게이트 신호를 수신하는 제3 트랜지스터, 상기 제2 게이트 신호를 수신하는 제4 트랜지스터 및 제6 트랜지스터, 상기 제6 트랜지스터와 전기적으로 연결되어 상기 타겟 발광 제어 신호를 출력하는 제5 트랜지스터, 상기 제5 트랜지스터와 제 $n+1$  발광 제어신호를 인가하는 제 $n+1$  발광 제어라인에 전기적으로 연결되는 제1 커플링 커패시터를 포함하며, 상기 제2 신호 생성부는 상기 인에이블 클록을 수신하는 제7 트랜지스터 및 제8 트랜지스터, 상기 제8 트랜지스터와 전기적으로 연결되는 제9 트랜지스터 및 제11 트랜지스터, 상기 제7 트랜지스터, 상기 제8 트랜지스터 및 상기 제11 트랜지스터와 전기적으로 연결되는 제2 커플링 커패시터, 상기 제 $n-1$  발광 제어 신호를 수신하는 제10 트랜지스터, 상기 제10 트랜지스터 및 상기 제9 트랜지스터와 전기적으로 연결되는 제12 트랜지스터를 포함할 수 있다.
- [0026] 상기 제2 신호 생성부는 상기 제10 트랜지스터의 게이트 단과 상기 제11 트랜지스터의 게이트단으로 상기 제2 인에이블 클록을 수신하고, 상기 제1 인에이블 클록과 상기 제2 인에이블 클록에 기반하여 상기 제7 및 상기 제8 트랜지스터를 제어하여 하이 레벨 전압(VGH)과 로우 레벨 전압(VGL) 간의 전류 패스를 제거할 수 있다.
- [0027] 본 발명의 일실시예에 따른 신호 생성 방법은 제1 신호 생성부에서, 제1 클록, 상기 제1 클록과 반대의 위상을 갖는 제2 클록 및 제 $n-1$  발광 제어 라인을 통해 인가되는 제 $n-1$  발광 제어 신호를 수신하고, 상기 제1 클록, 상기 제2 클록 및 상기 제 $n-1$  발광 제어 신호에 기초하여 제1 게이트 신호를 생성하는 단계, 제2 신호 생성부에서, 상기 제1 클록 및 상기 제2 클록 중 어느 하나의 클록과 동일한 펄스 폭 및 위상을 갖는 제1 인에이블 클록 및 상기 제 $n-1$  발광 제어 신호 그리고 누설 제어 라인을 통해 인가되는 누설 제어 신호 및 상기 제1 인에이블 클록에서 반전된 펄스 폭 및 위상을 갖는 제2 인에이블 클록 중 어느 하나를 수신하며, 상기 제 $n-1$  발광 제어신호 및 상기 인에이블 클록 그리고 상기 누설 제어 신호 및 상기 제2 인에이블 클록 중 어느 하나에 기초하여 제2 게이트 신호를 생성하는 단계 및 발광 제어 신호 생성부에서, 상기 제1 게이트 신호 및 상기 제2 게이트 신호에 기초하여 제 $n$  발광 제어라인을 통해 인가되는 타겟 발광 제어 신호를 생성하는 단계를 포함할 수 있다.
- [0028] 상기 누설 제어 신호는 상기 제 $n-1$  발광 제어신호 대비 일정 라인 시간(line time) 앞서고 반전 신호일 수 있다.
- [0029] 상기 타겟 발광 제어 신호는 상기 제 $n-1$  발광 제어 신호와 동일한 펄스폭을 갖으며, 상기 제 $n-1$  발광 제어 신호와 대비하여, 상기 제1 클록, 상기 제2 클록 및 상기 인에이블 클록 중 적어도 하나의 클록의 펄스폭에 대응되는 라인 시간만큼 지연된 신호로 생성될 수 있다.

### 발명의 효과

- [0030] 본 발명은 동작 안정성을 확보하면서 전력 소비를 저감할 수 있는 LTPS(low-temperature polycrystalline silicon) TFT(thin film transistor) 백플레인(backplane) 및 산화물(Oxide) TFT 백플레인 중 적어도 하나를 위한 발광 제어 신호를 생성하는 장치 및 방법을 제공할 수 있다.
- [0031] 또한, 본 발명은 라인 시간의 홀수 배 또는 짝수 배의 여부와 관계없이 임의의 배수의 펄스폭을 갖는 발광 제어 신호를 생성하면서도 모든 펄스폭에 대해 한 라인 타임의 누설만 발생하여 전력 소모를 최소화할 수 있다.
- [0032] 또한, 본 발명은 발광 제어 신호를 생성함에 있어서 용량성 결합(capacitive coupling)에 따른 노이즈를 제어하여 픽셀 휘도 표현의 안정성을 확보할 수 있다.

[0033] 또한, 본 발명은 산화물 백플레인 용 회로에서 하이 레벨 전압(VGH)과 로우 레벨 전압(VGL) 간의 전류 패스를 형성하는 트랜지스터 연결 구조가 제거되어 전력 소모를 개선하는 발광 제어 신호를 생성하는 장치 및 방법을 제공할 수 있다.

### 도면의 간단한 설명

[0034] 도 1은 본 발명의 일실시예에 따른 발광 제어 신호를 생성하는 신호 생성 장치를 설명하는 도면이다.

도 2는 본 발명의 일실시예에 따른 발광 제어 신호를 생성하기 위한 LTPS 백플레인 용 N타입 회로를 설명하는 도면이다.

도 3a 및 도 3b는 본 발명의 일실시예에 따른 발광 제어 신호를 생성하기 위한 LTPS 백플레인 용 N타입 회로의 동작 타이밍도를 설명하는 도면이다.

도 4는 본 발명의 일실시예에 따른 발광 제어 신호를 생성하기 위한 LTPS 백플레인 용 P타입 회로를 설명하는 도면이다.

도 5a 및 도 5b는 본 발명의 일실시예에 따른 발광 제어 신호를 생성하기 위한 LTPS 백플레인 용 P타입 회로의 동작 타이밍도를 설명하는 도면이다.

도 6은 본 발명의 일실시예에 따른 LTPS 백플레인 용 P타입 회로에서 짝수 배 및 홀수 배 타이밍 다이어그램에 따른 시뮬레이션 결과를 설명하는 도면이다.

도 7a 내지 도 7d는 본 발명의 일실시예에 따른 LTPS 백플레인 용 P타입 회로의 동작을 설명하는 도면이다.

도 8은 본 발명의 일실시예에 따른 발광 제어 신호를 생성하는 신호 생성 장치가 누설 제어 신호를 설명하기 위한 도면이다.

도 9a 내지 도 9d는 본 발명의 일실시예에 따른 발광 제어 신호를 생성하는 신호 생성 장치에서 용량성 결합(capacitive coupling)에 따른 노이즈의 제어를 설명하기 위한 도면이다.

도 10은 본 발명의 일실시예에 따른 LTPS 백플레인 용 발광 제어 신호를 생성하는 신호 생성 장치에서 소비 전력 시뮬레이션 결과를 설명하는 도면이다.

도 11은 본 발명의 일실시예에 따른 발광 제어 신호를 생성하기 위한 산화물(Oxide) 백플레인 용 N타입 회로를 설명하는 도면이다.

도 12a 및 도 12b는 본 발명의 일실시예에 따른 발광 제어 신호를 생성하기 위한 산화물 백플레인 용 N타입 회로의 동작 타이밍도를 설명하는 도면이다.

도 13은 본 발명의 일실시예에 따른 산화물 백플레인 용 N타입 회로에서 짝수 배 및 홀수 배 타이밍 다이어그램에 따른 시뮬레이션 결과를 설명하는 도면이다.

도 14는 본 발명의 일실시예에 따른 산화물 백플레인 용 발광 제어 신호를 생성하는 신호 생성 장치에서 소비 전력 시뮬레이션 결과를 설명하는 도면이다.

도 15a 내지 도 15d는 본 발명의 일실시예에 따른 산화물 백플레인 용 발광 제어 신호를 생성하는 신호 생성 장치에서 구조 변화를 통해 문턱전압 특성을 개선한 회로를 설명하는 도면이다.

도 16은 본 발명의 일실시예에 따른 발광 제어 신호를 생성하는 신호 생성 방법을 설명하는 도면이다.

### 발명을 실시하기 위한 구체적인 내용

[0035] 이하, 본 문서의 다양한 실시 예들이 첨부된 도면을 참조하여 기재된다.

[0036] 실시 예 및 이에 사용된 용어들은 본 문서에 기재된 기술을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 해당 실시 예의 다양한 변경, 균등물, 및/또는 대체물을 포함하는 것으로 이해되어야 한다.

[0037] 하기에서 다양한 실시 예들을 설명에 있어 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다.

[0038] 그리고 후술되는 용어들은 다양한 실시 예들에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야

할 것이다.

- [0039] 도면의 설명과 관련하여, 유사한 구성요소에 대해서는 유사한 참조 부호가 사용될 수 있다.
- [0040] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함할 수 있다.
- [0041] 본 문서에서, "A 또는 B" 또는 "A 및/또는 B 중 적어도 하나" 등의 표현은 함께 나열된 항목들의 모든 가능한 조합을 포함할 수 있다.
- [0042] "제1," "제2," "첫째," 또는 "둘째," 등의 표현들은 해당 구성요소들을, 순서 또는 중요도에 상관없이 수식할 수 있고, 한 구성요소를 다른 구성요소와 구분하기 위해 사용될 뿐 해당 구성요소들을 한정하지 않는다.
- [0043] 어떤(예: 제1) 구성요소가 다른(예: 제2) 구성요소에 "(기능적으로 또는 통신적으로) 연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 상기 어떤 구성요소가 상기 다른 구성요소에 직접적으로 연결되거나, 다른 구성요소(예: 제3 구성요소)를 통하여 연결될 수 있다.
- [0044] 본 명세서에서, "~하도록 구성된(또는 설정된)(configured to)"은 상황에 따라, 예를 들면, 하드웨어적 또는 소프트웨어적으로 "~에 적합한," "~하는 능력을 가지는," "~하도록 변경된," "~하도록 만들어진," "~를 할 수 있는," 또는 "~하도록 설계된"과 상호 호환적으로(interchangeably) 사용될 수 있다.
- [0045] 어떤 상황에서는, "~하도록 구성된 장치"라는 표현은, 그 장치가 다른 장치 또는 부품들과 함께 "~할 수 있는" 것을 의미할 수 있다.
- [0046] 예를 들면, 문구 "A, B, 및 C를 수행하도록 구성된(또는 설정된) 프로세서"는 해당 동작을 수행하기 위한 전용 프로세서(예: 임베디드 프로세서), 또는 메모리 장치에 저장된 하나 이상의 소프트웨어 프로그램들을 실행함으로써, 해당 동작들을 수행할 수 있는 범용 프로세서(예: CPU 또는 application processor)를 의미할 수 있다.
- [0047] 또한, '또는' 이라는 용어는 배타적 논리합 'exclusive or' 이기보다는 포함적인 논리합 'inclusive or' 를 의미한다.
- [0048] 즉, 달리 언급되지 않는 한 또는 문맥으로부터 명확하지 않는 한, 'x가 a 또는 b를 이용한다' 라는 표현은 포함적인 자연 순열들(natural inclusive permutations) 중 어느 하나를 의미한다.
- [0049] 이하 사용되는 '...부', '...기' 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어나 소프트웨어, 또는, 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다.
- [0051] 도 1은 본 발명의 일실시예에 따른 발광 제어 신호를 생성하는 신호 생성 장치를 설명하는 도면이다.
- [0052] 도 1은 본 발명의 일실시예에 따른 발광 제어 신호를 생성하는 신호 생성 장치의 구성 요소를 예시한다.
- [0053] 도 1을 참고하면, 본 발명의 일실시예에 따른 발광 제어 신호를 생성하는 신호 생성 장치(100)는 제1 신호 생성부(110), 제2 신호 생성부(120) 및 발광 제어 신호 생성부(130)를 포함한다.
- [0054] 본 발명의 일실시예에 따르면 제1 신호 생성부(110)가 제1 게이트 신호를 생성하고, 제2 신호 생성부(120)가 제2 게이트 신호를 생성하며, 발광 제어 신호 생성부(130)가 제1 게이트 신호 및 제2 게이트 신호에 기반하여 발광 제어 신호를 생성한다.
- [0055] 본 발명의 일실시예에 따른 신호 생성 장치(100)는 이전 발광 제어 신호인 제n-1 제어 신호의 펄스폭을 유지하며 시프트 동작한 제n 발광 제어 신호를 생성한다. 예를 들어, n은 임의의 양수일 수 있다.
- [0056] 일례로, 신호 생성 장치(100)는 라인 시간의 임의의 배수를 가지는 펄스폭에 대해서 동작하기 위해 인에이블 클록을 이용한다.
- [0057] 본 발명의 일실시예에 따르면 신호 생성 장치(100)는 다음 단의 발광 제어 신호를 커패시터를 통해 노드(Q)에 연결하여 노드(Q)의 전압을 증폭시키고, 출력되는 발광 제어 신호의 전압이 N타입 트랜지스터 회로에서는 하이 레벨 전압(VGH) 라인으로 나오고, P타입 트랜지스터 회로에서는 로우 레벨 전압(VGL) 라인으로 나오도록 한다.
- [0058] 본 발명의 일실시예에 따른 신호 생성 장치(100)는 누설 제어 신호를 이용하여 출력 신호의 펄스폭에 따른 전류는 발생하지 않고 모든 펄스폭에 대해 한 라인 타임의 누설만 발생하여 전력 소모를 최소화한다.
- [0059] 일례로, 신호 생성 장치(100)는 추가 트랜지스터를 이용하여 커패시터를 통해 주는 용량성 정합에 따른 노이즈를 제거할 수 있다.

- [0060] 본 발명의 일실시예에 따르면 제1 신호 생성부(110)는 제1 클록, 제1 클록과 반대의 위상을 갖는 제2 클록 및 제 $n-1$  발광 제어 라인을 통해 인가되는 제 $n-1$  발광 제어 신호를 수신하고, 제1 클록, 제2 클록 및 제 $n-1$  발광 제어 신호에 기초하여 제1 게이트 신호를 생성할 수 있다.
- [0061] 일례로, 제1 신호 생성부(110)는 제2 클록 및 제 $n-1$  발광 제어 신호를 수신하는 제1 트랜지스터 및 제1 클록을 수신하는 제2 트랜지스터를 포함할 수 있다.
- [0062] 본 발명의 일실시예에 따르면 제2 신호 생성부(120)는 제1 클록 및 제2 클록 중 어느 하나의 클록과 동일한 펄스 폭 및 위상을 갖는 인에이블 클록, 누설 제어 라인을 통해 인가되는 누설 제어 신호 및 제 $n-1$  발광 제어 신호를 수신할 수 있다.
- [0063] 또한, 제2 신호 생성부(120)는 제 $n-1$  발광 제어신호, 누설 제어 신호 및 인에이블 클록에 기초하여 제2 게이트 신호를 생성할 수 있다.
- [0064] 본 발명의 일실시예에 따르면 제2 신호 생성부(120)는 제 $n-1$  발광 제어 신호를 수신하는 제7 트랜지스터 및 제9 트랜지스터, 누설 제어 신호를 수신하는 제8 트랜지스터 및 인에이블 클록을 수신하는 제10 트랜지스터를 포함할 수 있다.
- [0065] 일례로, 제2 신호 생성부(120)는 누설 제어 신호와 제 $n-1$  발광 제어신호에 기반하여 일정 라인 시간만큼만 제7 트랜지스터와 제8 트랜지스터를 동시에 턴온하여 전류를 누설할 수 있다.
- [0066] 본 발명의 일실시예에 따르면 제2 신호 생성부(120)는 제1 클록 및 제2 클록 중 어느 하나의 클록과 동일한 펄스 폭 및 위상을 갖는 제1 인에이블 클록, 제1 인에이블 클록에서 반전된 펄스 폭 및 위상을 갖는 제2 인에이블 클록 및 제 $n-1$  발광 제어 신호를 수신하며, 제 $n-1$  발광 제어신호, 제1 인에이블 클록 및 제2 인에이블 클록에 기초하여 제2 게이트 신호를 생성할 수 있다.
- [0067] 일례로, 제2 신호 생성부(120)는 인에이블 클록을 수신하는 제7 트랜지스터 및 제8 트랜지스터, 제8 트랜지스터와 전기적으로 연결되는 제9 트랜지스터 및 제11 트랜지스터, 상기 제7 트랜지스터, 상기 제8 트랜지스터 및 제11 트랜지스터와 전기적으로 연결되는 제2 커플링 커패시터, 제 $n-1$  발광 제어 신호를 수신하는 제10 트랜지스터, 제10 트랜지스터 및 제9 트랜지스터와 전기적으로 연결되는 제12 트랜지스터를 포함할 수 있다.
- [0068] 본 발명의 일실시예에 따르면 제2 신호 생성부(120)는 제10 트랜지스터의 게이트 단과 제11 트랜지스터의 게이트 단으로 제2 인에이블 클록을 수신하고, 제1 인에이블 클록과 제2 인에이블 클록에 기반하여 제7 및 제8 트랜지스터를 제어하여 하이 레벨 전압(VGH)과 로우 레벨 전압(VGL) 간의 전류 패스를 제거할 수 있다.
- [0069] 제2 신호 생성부(120)는 산화물 백플레인 용 회로에서 제7 및 제8 트랜지스터가 동시에 턴온되는 구조가 제거된 상태로 동작됨에 따라 하이 레벨 전압(VGH)과 로우 레벨 전압(VGL) 간의 전류 패스를 제거할 수 있다.
- [0070] 다시 말해, 제2 신호 생성부(120)는 산화물 백플레인 용 회로에서 하이 레벨 전압(VGH)과 로우 레벨 전압(VGL) 간의 전류 패스를 형성하는 트랜지스터 연결 구조가 제거됨에 따라 전력 소모를 개선할 수 있다.
- [0071] 일례로, 발광 제어 신호 생성부(130)는 제1 게이트 신호 및 제2 게이트 신호에 기초하여 제 $n$  발광 제어라인을 통해 인가되는 타겟 발광 제어 신호를 생성할 수 있다.
- [0072] 본 발명의 일실시예에 따르면 발광 제어 신호 생성부(130)는 발광 제어 신호 생성부는 제1 게이트 신호를 수신하는 제4 트랜지스터, 제2 게이트 신호를 수신하는 제3 트랜지스터 및 제5 트랜지스터, 제5 트랜지스터와 전기적으로 연결되어 타겟 발광 제어 신호를 출력하는 제6 트랜지스터를 포함할 수 있다.
- [0073] 예를 들어, 누설 제어 신호는 제 $n-1$  발광 제어신호 대비 일정 라인 시간(line time) 앞서고 반전 신호일 수 있다.
- [0074] 본 발명의 일실시예에 따르면 발광 제어 신호 생성부(130)는 제3 트랜지스터, 제4 트랜지스터 및 제6 트랜지스터와 연결되는 커플링 커패시터와 제 $n+1$  발광 제어신호를 인가하는 제 $n+1$  발광 제어라인 사이에서 제11 트랜지스터를 더 포함한다.
- [0075] 이에 따라 발광 제어 신호 생성부(130)는 제11 트랜지스터에 기반하여 제 $n+1$  발광 제어신호에 기반한 용량성 결합(capacitive coupling)을 제어함에 따라 커플링 커패시터에 기반한 노이즈를 제거할 수 있다.
- [0076] 예를 들어 타겟 발광 제어 신호는 제 $n-1$  발광 제어 신호와 동일한 펄스폭을 갖으며, 제 $n-1$  발광 제어 신호와 대비하여, 제1 클록, 제2 클록 및 인에이블 클록 중 적어도 하나의 클록의 펄스폭에 대응되는 라인 시간만큼 지연

된 신호로 생성될 수 있다.

- [0077] 따라서, 본 발명은 라인 시간의 홀수 배 또는 짝수 배의 여부와 관계없이 임의의 배수의 펄스폭을 갖는 발광 제어 신호를 생성하면서도 모든 펄스폭에 대해 한 라인 타임의 누설만 발생하여 전력 소모를 최소화할 수 있다.
- [0078] 또한, 본 발명은 발광 제어 신호를 생성함에 있어서 용량성 결합(capacitive coupling)에 따른 노이즈를 제어하여 픽셀 휘도 표현의 안정성을 확보할 수 있다.
- [0080] 도 2는 본 발명의 일실시예에 따른 발광 제어 신호를 생성하기 위한 LTPS 백플레인 용 N타입 회로를 설명하는 도면이다.
- [0081] 도 2는 본 발명의 일실시예에 따른 발광 제어 신호를 생성하기 위한 LTPS 백플레인 용 N타입 회로를 예시한다.
- [0082] 도 2를 참고하면, 본 발명의 일실시예에 따른 발광 제어 신호를 생성하는 신호 생성 장치의 회로(200)는 제1 신호 생성부(210), 제2 신호 생성부(220) 및 발광 제어 신호 생성부(230)를 포함한다.
- [0083] 제1 신호 생성부(210)는 제1 트랜지스터(N1) 및 제2 트랜지스터(N2)를 포함하고, 제1 클록(CLK) 및 제2 클록(CCLK) 그리고 제n-1 발광 제어 신호(EM[n-1])를 수신한다.
- [0084] 제2 신호 생성부(220)는 제7 트랜지스터(N7) 내지 제10 트랜지스터(N10)를 포함하고, 누설 제어 신호(B[n-1]), 제n-1 발광 제어 신호(EM[n-1]), 인에이블 클록(CLKE) 및 로우 레벨 전압(VGL)을 수신한다.
- [0085] 발광 제어 신호 생성부(230)는 제4 트랜지스터(N4) 내지 제6 트랜지스터(N6)를 포함하고, 추가적으로 제11 트랜지스터(N11)를 포함한다.
- [0086] 발광 제어 신호 생성부(230)는 제4 트랜지스터(N4)로 제1 게이트 신호를 인가 받고, 제3 트랜지스터(N3) 및 제5 트랜지스터(N5)로 제2 게이트 신호가 인가되고, 제n+1 발광 제어 신호(EM[n+1])를 수신한다.
- [0087] 본 발명의 일실시예에 따르면 회로(200)는 제8 트랜지스터(N8)에 누설 제어 라인을 연결하여 누설 제어 신호(B[n-1])를 인가받고 커패시터(C1)는 제11 트랜지스터(N11)를 통해 제n+1 발광 제어 신호(EM[n+1])가 입력되도록 하여 제n+1 발광 제어 신호(EM[n+1])가 커패시터(C1)를 통해 노드(Q[n])에 주는 노이즈를 제거한다.
- [0088] 제11 트랜지스터(N11)는 게이트단에 해당 스테이지(Stage)의 노드(Q[n])를 이용한다.
- [0089] 노드(Q[n])가 하이(high)일 때만 다음 스테이지의 출력을 이용하기 때문에 라인 시간의 짝수 배 구동을 할 때 발생하는 노이즈를 제거할 수 있다.
- [0090] 누설 제어 신호(B[n-1])는 제n-1 발광 제어 신호(EM[n-1]) 입력 신호 대비 한 라인 시간 앞서고 반전 신호이기 때문에 전류 누설은 한 라인 시간만 발생하도록 한다.
- [0091] 따라서, 출력 신호의 펄스폭에 따른 전류는 발생하지 않고 모든 펄스폭에 대해 한 라인 타임의 누설만 발생하여 전력 소모를 최소화할 수 있다.
- [0093] 도 3a 및 도 3b는 본 발명의 일실시예에 따른 발광 제어 신호를 생성하기 위한 LTPS 백플레인 용 N타입 회로의 동작 타이밍도를 설명하는 도면이다.
- [0094] 도 3a는 본 발명의 일실시예에 따른 발광 제어 신호를 생성하기 위한 LTPS 백플레인 용 N타입 회로의 동작과 관련하여 라인 시간의 짝수 배일 경우에 파형을 예시한다.
- [0095] 도 3a를 참고하면, 타이밍도(300)는 구간(1), 구간(2) 및 구간(3)으로 구분하여 설명될 수 있다.
- [0096] 구간 (1)에서는 노드(A[n])가 로우(low)로 유지되고 노드(QB[n])가 하이(high)이기 때문에 노드(Q[n])와 발광 제어 신호(EM[n])가 로우로 유지된다.
- [0097] 구간 (2)에서 노드(A[n])가 제2 클록(CCLK)을 따라 하이가 되기 시작하여 발광 제어 신호(EM[n-1])보다 한 라인 시간 뒤에 노드(Q[n])가 하이가 되고 바로 다음 발광 제어 신호(EM[n+1])가 하이로 올라갈 때 커패시터(capacitor)를 통한 커플링(coupling)으로 노드(Q[n])가 더 높은 전압으로 올라가게 된다.
- [0098] 발광 제어 신호(EM[n])는 노드(Q[n])를 따라 풀업 트랜지스터(pull-up TFT)인 제6 트랜지스터(N6)가 턴온이기 때문에 하이가 된다.
- [0099] 종래의 회로의 경우 제8 트랜지스터(N8)가 다이오드처럼 동작을 하기 때문에 제7 트랜지스터(N7)가 켜지면 하이 레벨 전압(VGH)에서 로우 레벨 전압(VGL) 방향으로 전류가 발생하고 전력 소모량이 증가한다.

- [0100] 전력 소모는 발광 제어 신호(EM[n])의 펄스폭이 증가 할 수록 비례하여 증가한다.
- [0101] 본 발명의 일실시예에 따른 신호 생성 장치의 회로는 제8 트랜지스터(N8)가 이전 스테이지(stage)의 출력에 반하여 턴온 되기 때문에 제7 트랜지스터(N7)와 제8 트랜지스터(N8)가 동시에 턴온 되는 시간은 펄스폭에 상관없이 한 라인 시간만 발생함에 따라 전력 소모를 크게 개선 가능하다.
- [0102] 구간 (3)에서는 인에이블 클록(CLKE)이 제2 클록(CLKB)과 동일한 파형을 가지기 때문에 노드(QB[n])가 발광 제어 신호(EM[n-1])가 로우로 떨어진 후 한 라인 시간 후에 하이로 올라가게 되고 노드(Q[n])와 발광 제어 신호가 출력된 노드(EM[n])에서 한 라인 시간 후에 로우로 떨어지게 된다. 이로 인해 한 라인 시간 시프트된 발광 제어 신호가 생성된다.
- [0103] 구간 (2)에서 발광 제어 신호(EM[n+1])는 노드(Q[n])가 하이인 경우에만 제11 트랜지스터(N11)를 통해 커패시터(C1)에 영향을 주기 때문에 노드(EM[n])가 로우인 상태에서 노이즈를 제거해 줄 수 있다.
- [0104] 도 3b는 본 발명의 일실시예에 따른 발광 제어 신호를 생성하기 위한 LTPS 백플레인 용 N타입 회로의 동작과 관련하여 라인 시간의 홀수 배일 경우에 파형을 예시한다.
- [0105] 도 3b를 참고하면, 타이밍도(310)는 구간(1), 구간(2) 및 구간(3)으로 구분하여 설명될 수 있다.
- [0106] 인에이블 클록(CLKE)이 제1 클록(CLK)과 동일한 파형을 가지는 것 외에는 동작하는 방식은 타이밍도(300)와 같다.
- [0107] 홀수 배이기 때문에 발광 제어 신호(EM[n-1])가 제1 클록(CLK)이 로우일 때 로우가 되고 한 라인 후에 노드(EM[n])에서 로우로 떨어지도록 하기위해 인에이블 클록(CLKE)을 제1 클록(CLK)과 동일한 파형으로 인가한 것이다.
- [0109] 도 4는 본 발명의 일실시예에 따른 발광 제어 신호를 생성하기 위한 LTPS 백플레인 용 P타입 회로를 설명하는 도면이다.
- [0110] 도 4는 본 발명의 일실시예에 따른 발광 제어 신호를 생성하기 위한 LTPS 백플레인 용 P타입 회로를 예시한다.
- [0111] 도 4를 참고하면, 본 발명의 일실시예에 따른 발광 제어 신호를 생성하는 신호 생성 장치의 회로(400)는 제1 신호 생성부(410), 제2 신호 생성부(420) 및 발광 제어 신호 생성부(430)를 포함한다.
- [0112] 제1 신호 생성부(410)는 제1 트랜지스터(P1) 및 제2 트랜지스터(P2)를 포함하고, 제1 클록(CLK) 및 제2 클록(CLKB) 그리고 제n-1 발광 제어 신호(EM[n-1])를 수신한다.
- [0113] 제2 신호 생성부(420)는 제7 트랜지스터(P7) 내지 제10 트랜지스터(P10)를 포함하고, 누설 제어 신호(B[n-1]), 제n-1 발광 제어 신호(EM[n-1]), 인에이블 클록(CLKE) 및 로우 레벨 전압(VGL)을 수신한다.
- [0114] 발광 제어 신호 생성부(430)는 제4 트랜지스터(P4) 내지 제6 트랜지스터(P6)를 포함하고, 추가적으로 제11 트랜지스터(P11)를 포함한다.
- [0115] 발광 제어 신호 생성부(430)는 제4 트랜지스터(P4)로 제1 게이트 신호를 인가 받고, 제3 트랜지스터(P3) 및 제5 트랜지스터(P5)로 제2 게이트 신호가 인가되고, 제n+1 발광 제어 신호(EM[n+1])를 수신한다.
- [0116] 본 발명의 일실시예에 따르면 회로(400)는 제8 트랜지스터(P8)에 누설 제어 라인을 연결하여 누설 제어 신호(B[n-1])를 인가받고 커패시터(C1)는 제11 트랜지스터(P11)를 통해 제n+1 발광 제어 신호(EM[n+1])가 입력되도록 하여 제n+1 발광 제어 신호(EM[n+1])가 커패시터(C1)를 통해 노드(Q[n])에 주는 노이즈를 제거한다.
- [0117] 제11 트랜지스터(P11)는 게이트단에 해당 스테이지(Stage)의 노드(Q[n])를 이용한다.
- [0118] 노드(Q[n])가 하이(high)일 때만 다음 스테이지의 출력을 이용하기 때문에 라인 시간의 짝수 배 구동을 할 때 발생하는 노이즈를 제거할 수 있다.
- [0119] 누설 제어 신호(B[n-1])는 제n-1 발광 제어 신호(EM[n-1]) 입력 신호 대비 한 라인 시간 앞서고 반전 신호이기 때문에 전류 누설은 한 라인 시간만 발생하도록 한다.
- [0120] 따라서, 출력 신호의 펄스폭에 따른 전류는 발생하지 않고 모든 펄스폭에 대해 한 라인 타임의 누설만 발생하여 전력 소모를 최소화할 수 있다.
- [0122] 도 5a 및 도 5b는 본 발명의 일실시예에 따른 발광 제어 신호를 생성하기 위한 LTPS 백플레인 용 P타입 회로의

동작 타이밍도를 설명하는 도면이다.

- [0123] 도 5a는 본 발명의 일실시예에 따른 발광 제어 신호를 생성하기 위한 LTPS 백플레인 용 P타입 회로의 동작과 관련하여 라인 시간의 짝수 배일 경우에 파형을 예시한다.
- [0124] 도 5a를 참고하면, 타이밍도(500)는 구간(1), 구간(2) 및 구간(3)으로 구분하여 설명될 수 있다.
- [0125] 도 5b는 본 발명의 일실시예에 따른 발광 제어 신호를 생성하기 위한 LTPS 백플레인 용 P타입 회로의 동작과 관련하여 라인 시간의 홀수 배일 경우에 파형을 예시한다.
- [0126] 도 5b를 참고하면, 타이밍도(510)는 구간(1), 구간(2) 및 구간(3)으로 구분하여 설명될 수 있다.
- [0127] 타이밍도(500)에 따른 P타입 회로의 동작은 타이밍도(300)에 따른 N타입 회로의 동작과 동일하다.
- [0128] 타이밍도(510)에 따른 P타입 회로의 동작은 타이밍도(310)에 따른 N타입 회로의 동작과 동일하다.
- [0129] 다만, P타입 회로의 전기적 특성상 N타입 회로와 반대로 로우 펄스 신호에 트랜지스터가 구동된다.
- [0131] 도 6은 본 발명의 일실시예에 따른 LTPS 백플레인 용 P타입 회로에서 짝수 배 및 홀수 배 타이밍 다이어그램에 따른 시뮬레이션 결과를 설명하는 도면이다.
- [0132] 도 6은 본 발명의 일실시예에 따른 LTPS 백플레인 용 P타입 회로에서 짝수 배 및 홀수 배 타이밍 다이어그램에 따른 시뮬레이션 결과를 예시한다.
- [0133] 도 6을 참고하면, 시뮬레이션 결과(600)는 타이밍도(500)에 따른 P타입 회로의 동작에서 시뮬레이션 결과일 수 있고, 시뮬레이션 결과(610)는 타이밍도(510)에 따른 P타입 회로의 동작에서 시뮬레이션 결과이다.
- [0134] 제1 클럭과 인에이블 클럭이 동일한 펄스폭 및 위상을 가지는 짝수 배에서 결과인 시뮬레이션 결과(600)와 제2 클럭과 인에이블 클럭이 동일한 펄스폭 및 위상을 가지는 홀수 배에서 결과인 시뮬레이션 결과(610)를 살펴보면 전력 소모가 개선되고, 노이즈가 제어됨을 확인할 수 있다.
- [0136] 도 7a 내지 도 7d는 본 발명의 일실시예에 따른 LTPS 백플레인 용 P타입 회로의 동작을 설명하는 도면이다.
- [0137] 도 7a는 본 발명의 일실시예에 따른 LTPS 백플레인 용 P타입 회로에서 풀 다운(pulling-down)을 설명한다.
- [0138] 도 7a를 참고하면, 본 발명의 일실시예에 따른 신호 생성 장치의 회로(700)는 제2 신호 생성부를 구성하는 제7 내지 제10 트랜지스터(P7-P10)에서 제n-1 발광 제어 신호(EM[n-1])의 저전압에 의해 노드(QB[n])를 하이로 설정하므로 제3 트랜지스터(P3)와 제5 트랜지스터(P5)를 턴오프한다.
- [0139] 높은 제1 클럭(CLK) 및 낮은 제2 클럭(CLKB)은 노드(A[n])를 방전하여 제4 트랜지스터(P4)를 켜고 노드(Q[n])와 노드(EM[n])를 풀다운한다.
- [0140] 그러나, 노드(A[n]), 노드(Q[n]) 및 노드(EM[n])는 제1 트랜지스터(P1), 제4 트랜지스터(P4) 및 제6 트랜지스터(P6)의 문턱 전압(Vth)으로 인해 VGL까지 완전히 풀다운되지 않고,  $VGL + |V_{th}|$ ,  $VGL + 2|V_{th}|$ ,  $VGL + 3|V_{th}|$ 로 정산된다.
- [0141] 노드(EM[n])의 하강 전이는 발광 제어 신호(EM[n-1])의 하강 전이가 제2 클럭(CLKB)의 하이 펄스에 동기화되고 노드(Q[n])에 제2 클럭(CLKB)의 낮은 펄스가 인가된다.
- [0142] 도 7b는 본 발명의 일실시예에 따른 LTPS 백플레인 용 P타입 회로에서 용량성 정합(capacitive-coupling)을 설명한다.
- [0143] 도 7b를 참고하면, 본 발명의 일실시예에 따른 신호 생성 장치의 회로(710)에서 P4는 소스-게이트 전압으로 인해 꺼진 상태로 유지된다.
- [0144] Vth보다 낮아서 Q[n]이 부동 상태가 됨에 따라서 EM[n+1]의 낮은 전이는 C1을 통한 용량 결합에 의해 Q[n]을 VGL보다 낮은 전압으로 끌어내린다.
- [0145] 동시에 이 낮은 Q[n] 전압은 P6을 더 켜고 EM[n]이 VGL로 완전히 방전되도록 한다.
- [0146] EM[n-1]이 낮은 구간에서는 QB[n]과 Q[n]이 각각 고전압과 저전압을 유지하므로 EM[n]은 CLK, CLKB, CLKE와 관계없이 VGL을 유지한다.
- [0147] 도 7c는 본 발명의 일실시예에 따른 LTPS 백플레인 용 P타입 회로에서 홀딩(holding)을 설명한다.

- [0148] 도 7c를 참고하면, 본 발명의 일실시예에 따른 신호 생성 장치의 회로(720)에서 EM[n-1]의 상승 천이에서 라인 타임을 지연시키기 위해서는 한 라인 타임 동안 EM[n-1]의 고전압에서도 EM[n]의 로우 레벨을 유지한다.
- [0149] 회로(720)는 CLKE는 P10을 통해 high에서 어서트(assert)되어 P3과 P5를 계속 턴오프한다.
- [0150] 회로(720)에서는 EM[n-1]이 높기 때문에 A[n]은 VGH에 머물고 P4를 턴오프한다
- [0151] 동시에 Q[n]과 EM[n]은 낮게 유지하고, 이 기간에 P3과 P5를 턴오프하기 위해서는 CLKE의 레벨을 높게 설정하는 것이 매우 중요할 수 있다.
- [0152] 따라서 펄스폭이 라인 타임의 홀수인지 짝수배인지에 따라 CLKE의 위상을 조정할 필요성이 있다.
- [0153] 도 7d는 본 발명의 일실시예에 따른 LTPS 백플레인 용 P타입 회로에서 풀업(pulling-up)을 설명한다.
- [0154] 도 7d를 참고하면, 본 발명의 일실시예에 따른 신호 생성 장치의 회로(730)에서 Q[n]과 EM[n]은 CLKE의 낮은 펄스에 의해 켜지는 P3과 P5를 통해 VGH까지 풀업된다.
- [0155] QB[n]이 CLKE의 펄스 레벨을 따르더라도 P4 및 P6이 턴오프됨으로 인해 Q[n] 및 EM[n]의 고전압 레벨은 CLKE의 하이 펄스에 대해 플로팅(floating) 상태로 유지된다.
- [0156] 이 단계는 P11을 끄고 P11의 소스와 게이트 노드 사이의 작은 기생 커패시터로 인해 Q[n]과 EM[n+1] 사이의 결합 효과를 줄일 수 있다.
- [0158] 도 8은 본 발명의 일실시예에 따른 발광 제어 신호를 생성하는 신호 생성 장치가 누설 제어 신호를 설명하기 위한 도면이다.
- [0159] 도 8은 본 발명의 일실시예에 따른 발광 제어 신호를 생성하는 신호 생성 장치가 누설 제어 신호와 관련하여 트랜지스터의 동작을 예시한다.
- [0160] 도 8을 참고하면, 종래 기술에 따른 회로(800)와 회로(800)에서 제7 트랜지스터(P7) 및 제8 트랜지스터(P8)의 동작 상태(801)를 보여주고, 본 발명에 따른 회로(810)와 회로(810)에서 제7 트랜지스터(P7) 및 제8 트랜지스터(P8)의 동작 상태(811)를 예시한다.
- [0161] 회로(800)는 제8 트랜지스터(P8)가 다이오드 연결 구조이고, 회로(810)는 제8 트랜지스터(P8)에 누설 제어 신호(B[n-1])가 인가된다.
- [0162] 동작 상태(801)는 제n-1 발광 제어 신호의 로우 구간과 노드(B[n])의 하이 구간에 대하여 제7 및 제8 트랜지스터가 동시에 턴온 되어서 전력이 소모되는 것을 보여준다.
- [0163] 동작 상태(811)는 제7 및 제8 트랜지스터가 동시에 턴온되는 시간이 펄스폭에 상관 없이 한 라인 시간(1 line time)만 발생하여 전력 소모를 크게 개선하는 것을 보여준다.
- [0164] 예를 들어, 동작 상태(811)는 누설 제어 신호(B[n-1])가 제n-1 발광 제어신호(EM[n-1]) 대비 일정 라인 시간(line time) 앞서고 반전 신호인 것을 보여준다.
- [0166] 도 9a 내지 도 9d는 본 발명의 일실시예에 따른 발광 제어 신호를 생성하는 신호 생성 장치에서 용량성 결합(capacitive coupling)에 따른 노이즈의 제어를 설명하기 위한 도면이다.
- [0167] 도 9a는 본 발명의 일실시예에 따른 발광 제어 신호를 생성하는 신호 생성 장치에서 용량성 결합(capacitive coupling)에 따른 노이즈의 제어를 설명하기 위한 종래 기술에 따른 LTPS 백플레인 용 P타입 회로에서 짝수 배 출력과 홀수 배 출력과 제n+1 발광 제어 신호에 의한 노이즈 발생 원리를 예시한다.
- [0168] 도 9b는 본 발명의 일실시예에 따른 발광 제어 신호를 생성하는 신호 생성 장치에서 용량성 결합(capacitive coupling)에 따른 노이즈의 제어를 설명하기 위한 종래 기술에 따른 LTPS 백플레인 용 P타입 회로에서 짝수 배 출력과 홀수 배 출력에 따른 노이즈 발생 시뮬레이션 결과를 예시한다.
- [0169] 도 9a를 참고하면, 노이즈 발생하는 P타입 회로에서 짝수 배 출력에 따른 회로 동작(900)을 예시하고, 홀수 배 출력에 따른 회로 동작(901)을 보여준다.
- [0170] 회로 동작(900)에 따르면 라인 시간의 짝수 배 경우 EM[n+1]이 high가 될 때 Q[n]에 영향을 주지만 A[n]이 제2 트랜지스터(P2)를 통해 로우 상태이기 때문에 제4 트랜지스터(P4)가 오프를 유지한다.
- [0171] 그러나, 회로 동작(901)에 따르면 홀수 배 경우 A[n]이 플로팅 상태이기 때문에 같이 커플링(coupling) 되어 제

4 트랜지스터(P4)가 턴 온 되어 A[n], Q[n] 증가에 따른 출력 노이즈가 발생한다.

- [0172] 도 9c는 본 발명의 일실시예에 따른 발광 제어 신호를 생성하는 신호 생성 장치에서 용량성 결합(capacitive coupling)에 따른 노이즈의 제어를 설명하기 위하여 본 발명에 따른 LTPS 백플레인 용 P타입 회로에서 짝수 배 출력과 홀수 배 출력과 제n+1 발광 제어 신호에 의한 노이즈 발생 원리를 예시한다.
- [0173] 도 9d는 본 발명의 일실시예에 따른 발광 제어 신호를 생성하는 신호 생성 장치에서 용량성 결합(capacitive coupling)에 따른 노이즈의 제어를 설명하기 위하여 본 발명에 따른 LTPS 백플레인 용 P타입 회로에서 짝수 배 출력과 홀수 배 출력과 제n+1 발광 제어 신호에 의한 노이즈 발생 시뮬레이션 결과를 예시한다.
- [0174] 도 9c를 참고하면, 노이즈 발생하는 P타입 회로에서 짝수 배 출력에 따른 회로 동작(920)을 예시하고, 홀수 배 출력에 따른 회로 동작(921)을 보여준다.
- [0175] 회로 동작(920) 및 회로 동작(921)에 따르면 A[n], Q[n] 동일하게 커플링(coupling) 되지만 Q[n]을 게이트 입력으로 사용하는 제11 트랜지스터(P11)에 의해 Q[n]에 대한 커플링(coupling)을 제어하여 노이즈를 제거할 수 있다.
- [0176] 도 9b 및 도 9d를 참고하면, 짝수 배에 대한 시뮬레이션 결과인 시뮬레이션 결과(910)와 시뮬레이션 결과(930)를 비교하고, 홀수 배에 대한 시뮬레이션 결과인 시뮬레이션 결과(911)와 시뮬레이션 결과(931)를 비교하면 EM[n+1]이 커패시터를 통해 Q[n]에 주는 노이즈를 제거함에 따라 회로의 안정성이 향상된 것을 확인할 수 있다.
- [0177] 따라서, 또한, 본 발명은 발광 제어 신호를 생성함에 있어서 용량성 결합(capacitive coupling)에 따른 노이즈를 제어하여 픽셀 휘도 표현의 안정성을 확보할 수 있다.
- [0179] 도 10은 본 발명의 일실시예에 따른 LTPS 백플레인 용 발광 제어 신호를 생성하는 신호 생성 장치에서 소비 전력 시뮬레이션 결과를 설명하는 도면이다.
- [0180] 도 10은 본 발명의 일실시예에 따른 LTPS 백플레인 용 발광 제어 신호를 생성하는 신호 생성 장치에서 소비 전력 시뮬레이션 결과를 예시한다.
- [0181] 도 10을 참고하면, 그래프(1000)는 지시선(1001)으로 종래 기술이 다이오드 연결 구조의 소비 전력 변화를 나타내고, 지시선(1002)으로 본 발명의 일실시예에 따라 누설 제어 신호를 인가하는 경우에 소비 전력 변화를 나타낸다.
- [0182] 지시선(1001)과 지시선(1002)을 대비하면 본 발명이 소비 전력에 개선됨을 확인할 수 있다.
- [0184] 도 11은 본 발명의 일실시예에 따른 발광 제어 신호를 생성하기 위한 산화물(Oxide) 백플레인 용 N타입 회로를 설명하는 도면이다.
- [0185] 도 11은 본 발명의 일실시예에 따른 발광 제어 신호를 생성하기 위한 산화물 백플레인 용 N타입 회로를 예시한다.
- [0186] 도 11을 참고하면, 본 발명의 일실시예에 따른 산화물 백플레인 용 N타입 회로(1100)는 제1 신호 생성부(1110), 제2 신호 생성부(1120) 및 발광 제어 신호 생성부(1130)를 포함한다.
- [0187] 본 발명의 일실시예에 따르면 제1 신호 생성부(1110)는 제2 클럭(CLKB) 및 제n-1 발광 제어 신호(EM[n-1])를 수신하는 제1 트랜지스터(N1) 및 제1 클럭(CLK)을 수신하는 제2 트랜지스터(N2)를 포함한다.
- [0188] 일례로, 제2 신호 생성부(1120)는 제1 인에이블 클럭(CLKE)을 수신하는 제7 트랜지스터(N7) 및 제8 트랜지스터(N8), 제8 트랜지스터(N8)와 전기적으로 연결되는 제9 트랜지스터(N9) 및 제11 트랜지스터(N11), 제7 트랜지스터(N7), 제8 트랜지스터(N8) 및 제11 트랜지스터(N11)과 전기적으로 연결되는 제2 커플링 커패시터(C2), 제n-1 발광 제어 신호(EM[n-1])를 수신하는 제10 트랜지스터(N10), 제10 트랜지스터(N10) 및 제9 트랜지스터(N9)와 전기적으로 연결되는 제12 트랜지스터(N12)를 포함한다.
- [0189] 제10 트랜지스터(N10)와 제11 트랜지스터(N11)의 게이트 단은 제2 인에이블 클럭(CLKEB)을 수신한다.
- [0190] 본 발명의 일실시예에 따르면 발광 제어 신호 생성부(1130)는 제1 게이트 신호를 수신하는 제3 트랜지스터(N4), 제2 게이트 신호를 수신하는 제4 트랜지스터(N4) 및 제6 트랜지스터(N6), 제6 트랜지스터(N6)와 전기적으로 연결되어 타겟 발광 제어 신호(EN[n])를 출력하는 제5 트랜지스터(N5), 제5 트랜지스터(N5)와 제n+1 발광 제어 신호를 인가하는 제n+1 발광 제어라인(EM[n+1])에 전기적으로 연결되는 제1 커플링 커패시터(C1)를 포함한다.

- [0191] 일례로, 제2 신호 생성부(1120)는 제10 트랜지스터(N10)의 게이트 단과 제11 트랜지스터(N11)의 게이트단으로 제2 인에이블 클록(CLKEB)을 수신하고, 제1 인에이블 클록(CLKE)과 제2 인에이블 클록(CLKEB)에 기반하여 제7 트랜지스터(N7) 및 제8 트랜지스터(N8)의 턴온 또는 턴오프를 제어하여 제5 트랜지스터(N5)와 제6 트랜지스터(N6)로부터 타겟 발광 제어 신호가 출력 시 하이 레벨 전압(VGH)에서 로우 레벨 전압(VGL) 방향의 전류 누설을 제거할 수 있다.
- [0192] 산화물 백플레인 용 N타입 회로(1100)는 (-)Vth를 갖는 트랜지스터 환경에서 동작성을 확보한다.
- [0193] QB[n]을 정상적 턴온(normally on) 구동을 하도록 하여 제1 인에이블 클록(CLKE)에 동기화되지 않고 하이 상태를 유지하기 때문에 노이즈 제어를 위한 트랜지스터를 추가하지 않는다.
- [0195] 도 12a 및 도 12b는 본 발명의 일실시예에 따른 발광 제어 신호를 생성하기 위한 산화물 백플레인 용 N타입 회로의 동작 타이밍도를 설명하는 도면이다.
- [0196] 도 12a는 본 발명의 일실시예에 따른 발광 제어 신호를 생성하기 위한 산화물 백플레인 용 N타입 회로의 동작과 관련하여 라인 시간의 짝수 배일 경우에 파형을 예시한다.
- [0197] 도 12a를 참고하면, 타이밍도(1200)는 구간(1), 구간(2) 및 구간(3)으로 구분하여 설명될 수 있다.
- [0198] 구간 (1)에서는 노드(A[n])에서 로우 상태로 유지되고 노드(QB[n])에서 하이 상태이기 때문에 노드(Q[n])와 노드(EM[n])가 로우 상태로 유지된다.
- [0199] 노드(B[n])는 CLKEB와 EM[n-1] 로우 신호에 의해 로우를 유지한다.
- [0200] 제9 트랜지스터(N9)가 턴오프이기 때문에 제11 트랜지스터(N11)를 통해서 노드(C[n])는 계속 하이 상태를 유지할 수 있다.
- [0201] 노드(D[n])는 CLKE에 동기화되며 제7 트랜지스터(N7)을 통해 노드(QB[n])를 계속 하이 상태를 유지한다.
- [0202] 제14 트랜지스터(N14)는 (-)Vth일 때 CLKEB 로우 방향으로의 노드(C[n]) 누설(leakage)을 제어한다.
- [0203] 구간 (2)에서 노드(A[n])가 CLKEB를 따라 하이 상태가 되기 시작하여 EM[n-1]보다 한 라인 시간 뒤에 노드(Q[n])가 하이 상태가 되고 바로 다음 스테이지 출력인 EM[n+1]이 하이 상태로 올라갈 때 커패시터를 통한 커플링으로 노드(Q[n])가 더 높은 전압으로 올라가게 된다.
- [0204] 노드(EM[n])은 노드(Q[n])를 따라 풀업 트랜지스터인 제5 트랜지스터(N5)가 턴온이기 때문에 하이 상태가 된다.
- [0205] EM[n-1] 신호가 있는 동안 노드(B[n])를 하이 상태로 유지한다.
- [0206] 따라서 제12 트랜지스터(N12)를 통해 노드(QB[n])는 로우 레벨 전압(VGL)으로 된다.
- [0207] 그때 노드(C[n])는 CLKEB 신호와 동기화되고 CLKE에 의해 노드(D[n])는 로우 상태를 유지한다.
- [0208] 결과적으로 산화물 백플레인 용 N타입 회로는 제7 트랜지스터(N7) 및 제8 트랜지스터(N8)의 동작을 제어하여 노드(Q[n])가 하이 상태일 경우 제2 신호 생성부에서 하이 상태 전압(VGH)에서 로우 상태 전압(VGL)으로의 누설 경로(leakage pass)를 제거한다.
- [0209] 구간 (3)에서는 EM[n-1]이 턴오프된 후 CLKEB 신호가 하이 상태가 되면 한 라인 시간 뒤에 하이 상태로 되는 CLKE에 의해 노드(QB[n])가 하이 상태가 된다.
- [0210] 이로 인해 노드(Q[n])와 노드(EM[n])가 한 라인 시간 후에 로우 상태로 떨어지게 된다.
- [0211] 따라서 산화물 백플레인 용 N타입 회로는 한 라인 시간 시프트된 발광 제어 신호를 생성할 수 있다.
- [0212] 도 12b는 본 발명의 일실시예에 따른 발광 제어 신호를 생성하기 위한 산화물 백플레인 용 N타입 회로의 동작과 관련하여 라인 시간의 홀수 배일 경우에 파형을 예시한다.
- [0213] 도 12b를 참고하면, 타이밍도(1210)는 구간(1), 구간(2) 및 구간(3)으로 구분하여 설명될 수 있다.
- [0214] CLKE가 CLK와 동일한 파형을 가지는 것 외에는 동작하는 방식은 라인 시간의 짝수 배인 타이밍도(1200)와 같다.
- [0216] 도 13은 본 발명의 일실시예에 따른 산화물 백플레인 용 N타입 회로에서 짝수 배 및 홀수 배 타이밍 다이어그램에 따른 시뮬레이션 결과를 설명하는 도면이다.
- [0217] 도 13은 본 발명의 일실시예에 따른 산화물 백플레인 용 N타입 회로에서 짝수 배 및 홀수 배 타이밍 다이어그램

에 따른 시뮬레이션 결과를 예시한다.

- [0218] 도 13을 참고하면, 시뮬레이션 결과(1300)는 제1 인에이블 클록(CLKE)과 제2 인에이블 클록(CLKEB) 신호를 한 라인 타임 변경을 통해 라인 시간의 짝수 배 구동 결과를 나타내고, 시뮬레이션 결과(1310)는 제1 인에이블 클록(CLKE)과 제2 인에이블 클록(CLKEB) 신호를 한 라인 타임 변경을 통해 라인 시간의 홀수 배 구동 결과를 나타낸다.
- [0219] QB[3]가 정상적으로 하이 상태 구동을 하고 있는 것을 확인할 수 있고, 커패시터에 연결된 트랜지스터에 대한 노이즈가 저감된 것을 확인할 수 있다.
- [0221] 도 14는 본 발명의 일실시예에 따른 산화물 백플레인 용 발광 제어 신호를 생성하는 신호 생성 장치에서 소비 전력 시뮬레이션 결과를 설명하는 도면이다.
- [0222] 도 14는 본 발명의 일실시예에 따른 산화물 백플레인 용 발광 제어 신호를 생성하는 신호 생성 장치에서 소비 전력 시뮬레이션 결과를 예시한다.
- [0223] 도 14를 참고하면, 그래프(1400)는 지시선(1401)으로 종래 기술이 다이오드 연결 구조의 소비 전력 변화를 나타내고, 지시선(1402)으로 본 발명의 일실시예에 따라 누설 제어 신호를 인가하는 경우에 소비 전력 변화를 나타낸다.
- [0224] 지시선(1401)과 지시선(1402)을 대비하면 본 발명이 소비 전력에 개선됨을 확인할 수 있다.
- [0225] 즉, 본 발명의 일실시예에 따라서 산화물 백플레인 용 발광 제어 신호를 생성하는 신호 생성 장치를 구성하는 제7 및 제8 트랜지스터의 동작 제어에 기반하여 전류가 흐를 수 있는 구조를 제거하여 소비 전력을 크게 개선할 수 있다.
- [0227] 도 15a 내지 도 15d는 본 발명의 일실시예에 따른 산화물 백플레인 용 발광 제어 신호를 생성하는 신호 생성 장치에서 구조 변화를 통해 문턱전압 특성을 개선한 회로를 설명하는 도면이다.
- [0228] 도 15a 내지 도 15d는 본 발명의 일실시예에 따른 산화물 백플레인 용 발광 제어 신호를 생성하는 신호 생성 장치에서 문턱전압( $V_{th}$ ) 수준에 따라 트랜지스터들의 추가 또는 제거와 로우 레벨 전압을 추가하여 문턱전압 특성을 개선하는 회로를 예시한다.
- [0229] 본 발명의 일실시예에 따른 산화물 백플레인 용 발광 제어 신호를 생성하는 신호 생성 장치의 회로는 VGH와 VGL 중간에 트랜지스터가 배치되어 동시에 턴온되는 경우에 누설 전류가 발생하는 경우를 제거하기 위해서 VGH와 VGL 간의 전류 패스를 제거하여 전력 소모를 개선할 수 있다.
- [0230] 도 15a를 참고하면, 본 발명의 일실시예에 따른 신호 생성 장치의 회로(1500)는 도 11에서 설명된 회로에서 문턱전압( $V_{th}$ ) 수준에 따라 제9a 트랜지스터(N9a), 제14 트랜지스터(N14), 제15 트랜지스터(N15) 및 제16 트랜지스터(N16)를 추가하고, 제2 로우 레벨 전압 라인(VGL2) 추가를 통해서 (-) $V_{th}$  특성 개선할 수 있다.
- [0231] 도 15b를 참고하면, 본 발명의 일실시예에 따른 신호 생성 장치의 회로(1510)는 도 11에서 설명된 회로에서 문턱전압( $V_{th}$ ) 수준에 따라 제4a 트랜지스터(N4a), 제13 트랜지스터(N13), 제15 트랜지스터(N15) 및 제16 트랜지스터(N16)를 추가하고, 제2 로우 레벨 전압 라인(VGL2) 추가를 통해서 (-) $V_{th}$  특성 개선할 수 있다.
- [0232] 도 15c를 참고하면, 본 발명의 일실시예에 따른 신호 생성 장치의 회로(1520)는 도 11에서 설명된 회로에서 문턱전압( $V_{th}$ ) 수준에 따라 제15 트랜지스터(N15) 및 제16 트랜지스터(N16)를 추가하고, 제2 로우 레벨 전압 라인(VGL2) 추가를 통해서 (-) $V_{th}$  특성 개선할 수 있다.
- [0233] 도 15d를 참고하면, 본 발명의 일실시예에 따른 신호 생성 장치의 회로(1530)는 도 11에서 설명된 회로에서 문턱전압( $V_{th}$ ) 수준에 따라 캐리(carry) 구조를 제거한 회로일 수 있다.
- [0235] 도 16은 본 발명의 일실시예에 따른 발광 제어 신호를 생성하는 신호 생성 방법을 설명하는 도면이다.
- [0236] 도 16은 본 발명의 일실시예에 따른 발광 제어 신호를 생성하는 신호 생성 방법이 노이즈 제거에 따른 안정성을 확보하면서 소비 전력을 저감하면서 발광 제어 신호를 생성하는 방법을 예시한다.
- [0237] 도 16을 참고하면, 단계(1601)에서 본 발명의 일실시예에 따른 신호 생성 방법은 제1 신호 생성부에서 제1 클록, 제2 클록 및 제n-1 발광 제어 신호를 수신한다. 여기서, n은 양의 정수를 지칭한다.
- [0238] 즉, 본 발명의 일실시예에 따른 신호 생성 방법은 제1 신호 생성부에서 제1 클록, 제1 클록과 반대의 위상을 갖

는 제2 클록 및 제n-1 발광 제어 라인을 통해 인가되는 제n-1 발광 제어 신호를 수신한다.

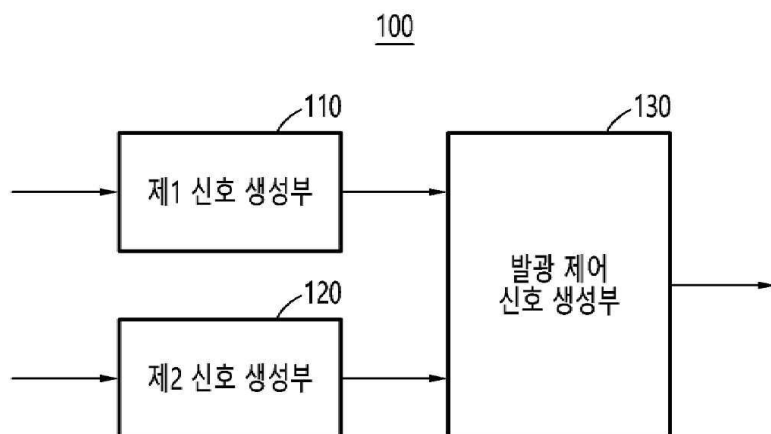
- [0239] 단계(1602)에서 본 발명의 일실시예에 따른 신호 생성 방법은 제1 신호 생성부에서 제1 게이트 신호를 생성한다.
- [0240] 본 발명의 일실시예에 따른 신호 생성 방법은 제1 신호 생성부에서 제1 클록, 제2 클록 및 제n-1 발광 제어 신호에 기초하여 제1 게이트 신호를 생성할 수 있다.
- [0241] 단계(1603)에서 본 발명의 일실시예에 따른 신호 생성 방법은 제2 신호 생성부에서 제1 인에이블 클록 및 제n-1 발광 제어 신호 그리고 누설 제어 신호 및 제2 인에이블 클록 중 어느 하나를 수신한다.
- [0242] 즉, 본 발명의 일실시예에 따르면 신호 생성 방법은 제1 클록 및 제2 클록 중 어느 하나의 클록과 동일한 펄스 폭 및 위상을 갖는 제1 인에이블 클록 및 제n-1 발광 제어 신호 그리고 누설 제어 라인을 통해 인가되는 누설 제어 신호 및 제1 인에이블 클록에서 반전된 펄스 폭 및 위상을 갖는 제2 인에이블 클록 중 어느 하나를 수신할 수 있다.
- [0243] 단계(1604)에서 본 발명의 일실시예에 따른 신호 생성 방법은 제2 신호 생성부에서 제2 게이트 신호를 생성한다.
- [0244] 즉, 본 발명의 일실시예에 따른 신호 생성 방법은 제2 신호 생성부에서 제n-1 발광 제어신호 및 인에이블 클록 그리고 상기 누설 제어 신호 및 제2 인에이블 클록 중 어느 하나에 기초하여 제2 게이트 신호를 생성할 수 있다.
- [0245] 단계(1605)에서 본 발명의 일실시예에 따른 신호 생성 방법은 제1 게이트 신호 및 제2 게이트 신호에 기초하여 제n 발광 제어라인을 통해 인가되는 타겟 발광 제어 신호를 생성할 수 있다.
- [0247] 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [0248] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

## 부호의 설명

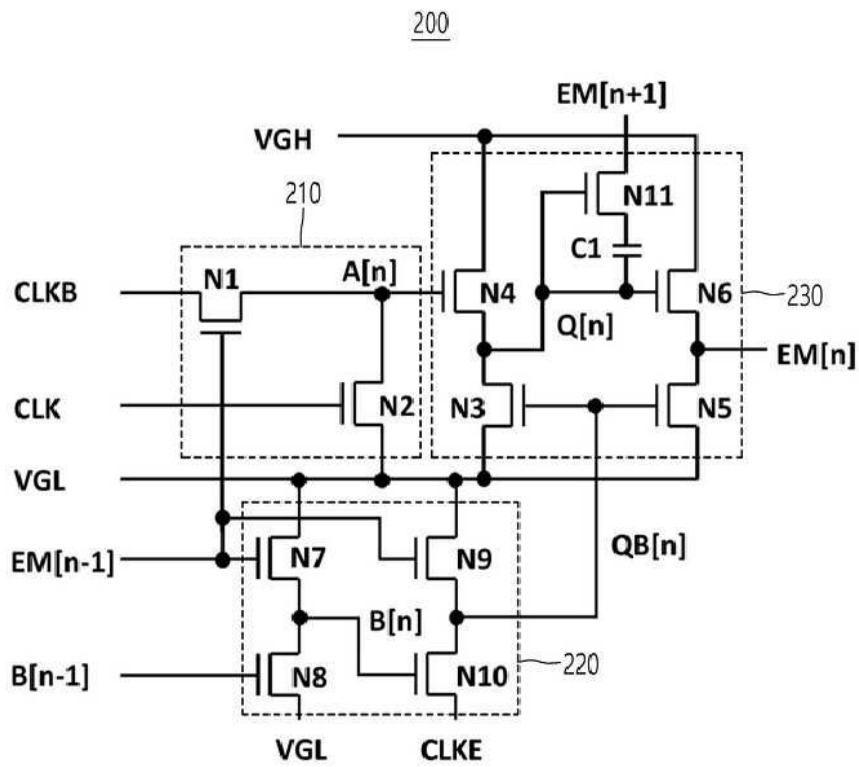
- [0249] 100: 신호 생성 장치                      110: 제1 신호 생성부  
120: 제2 신호 생성부                      130: 발광 제어 신호 생성부

## 도면

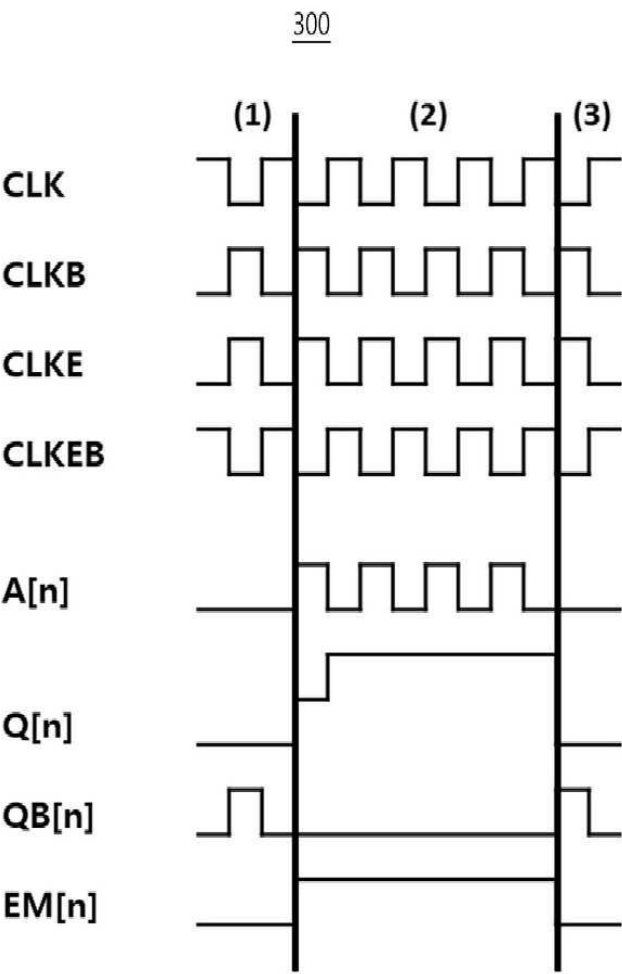
### 도면1



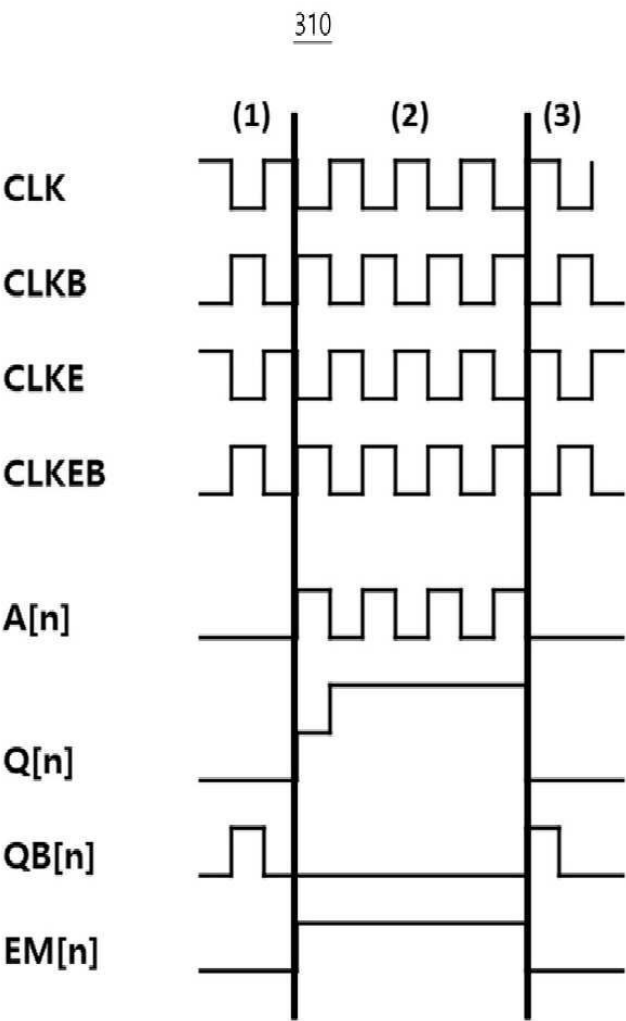
도면2



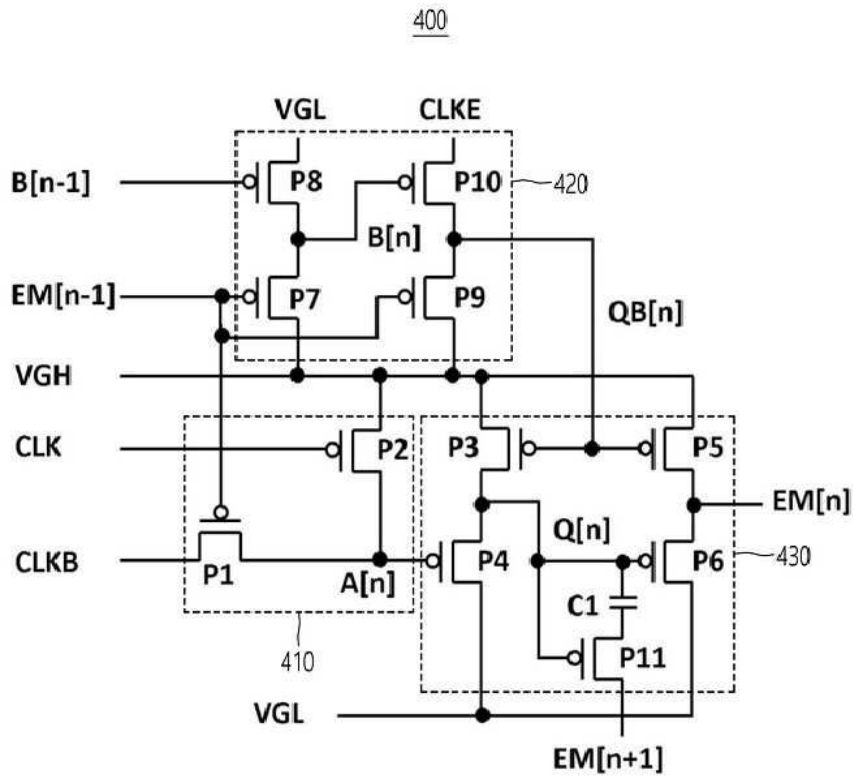
도면3a



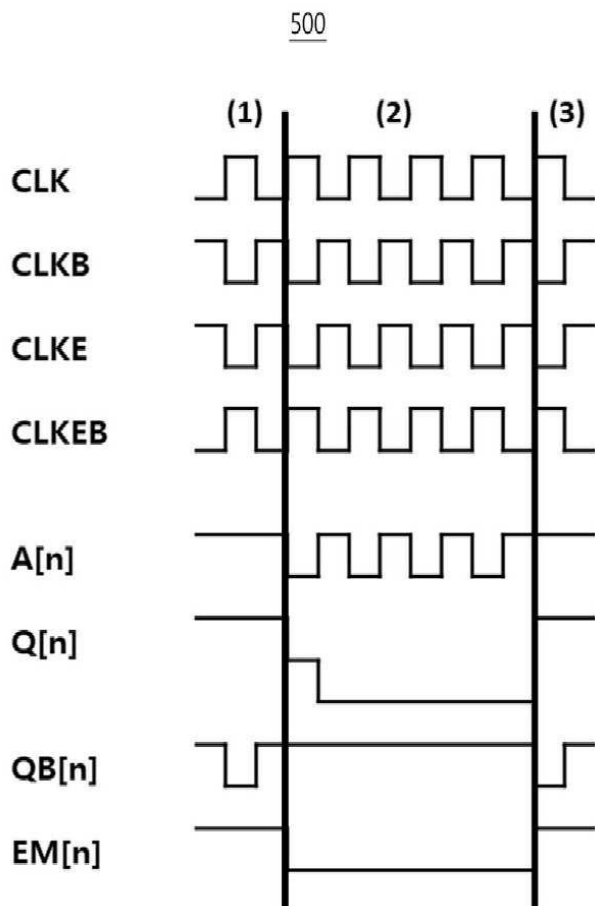
도면3b



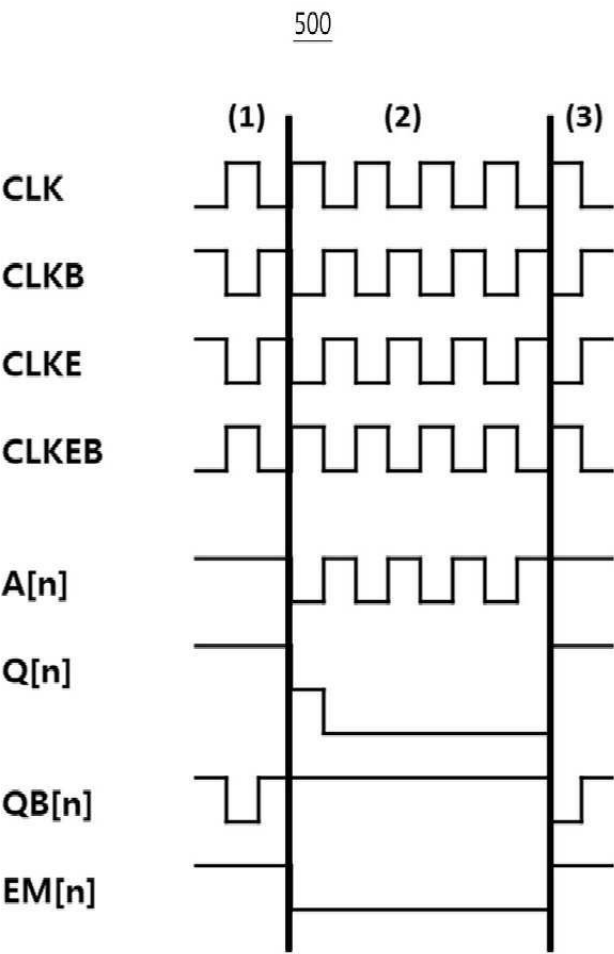
도면4



도면5a

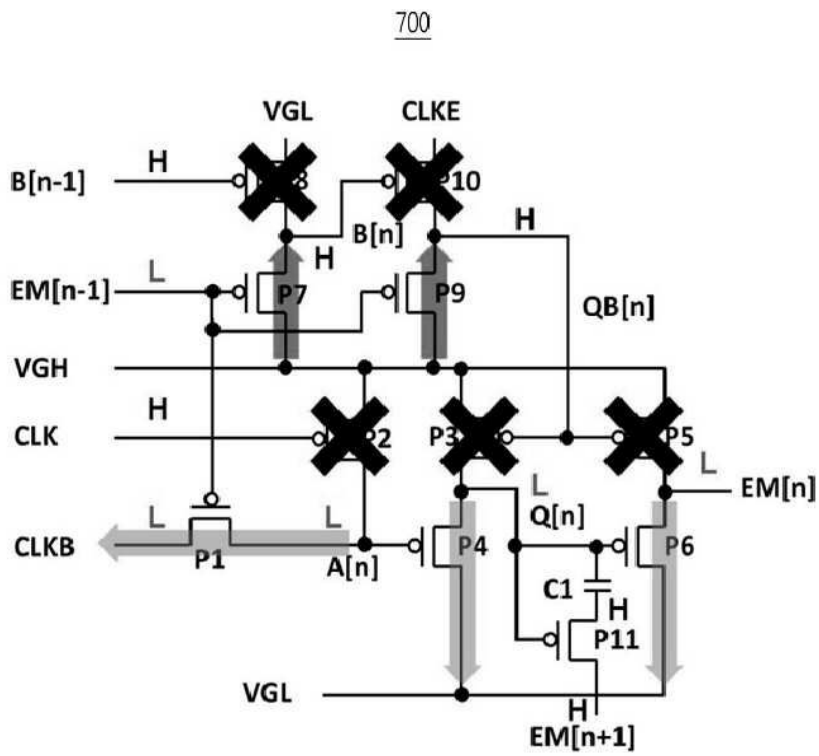


도면5b

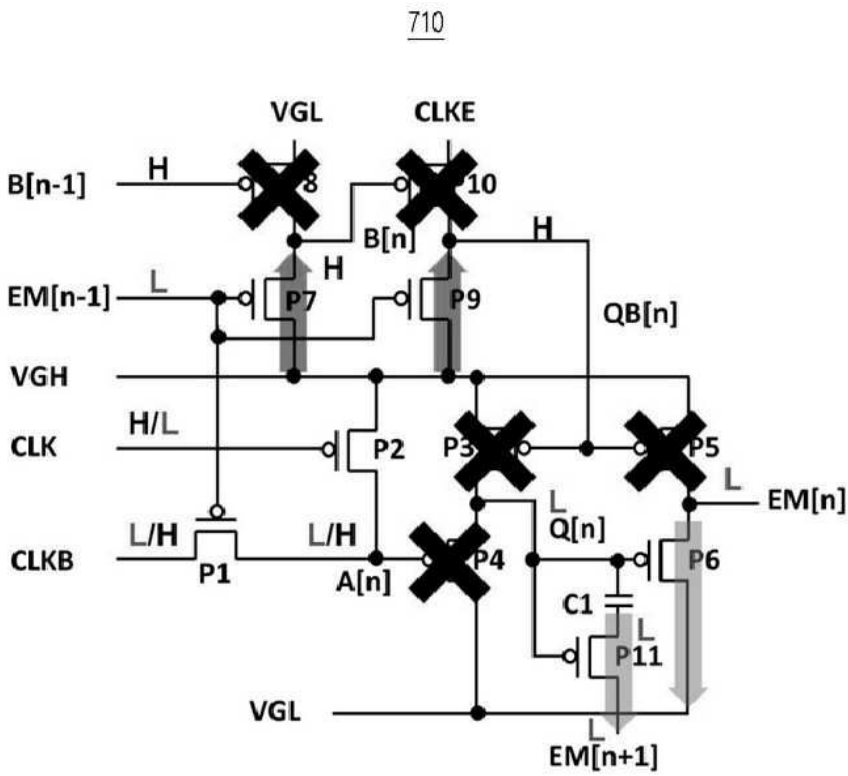




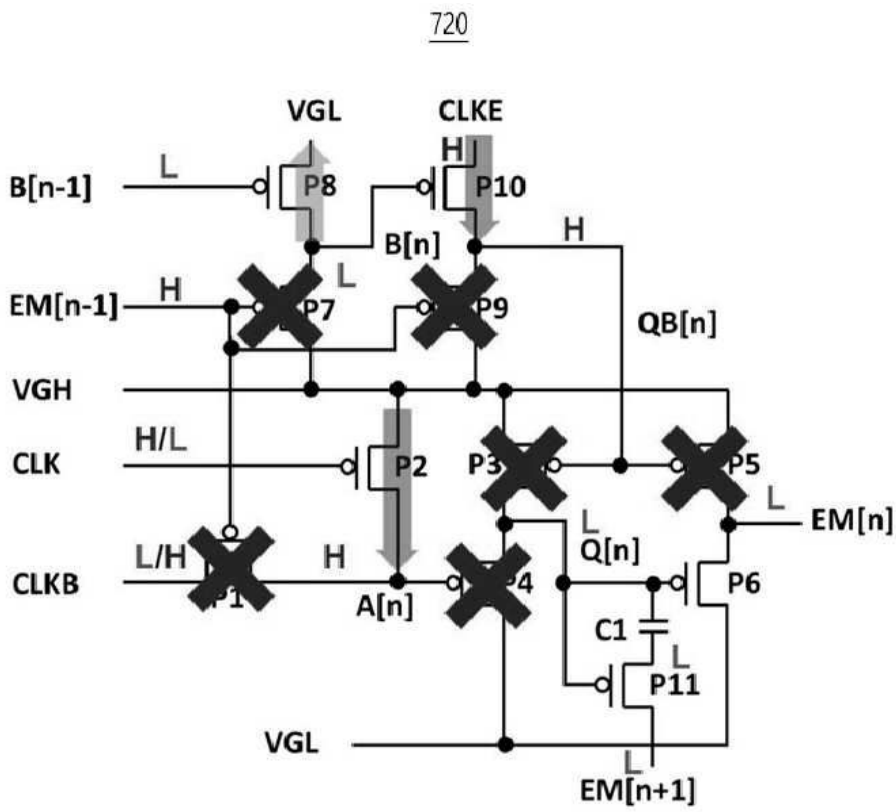
도면7a



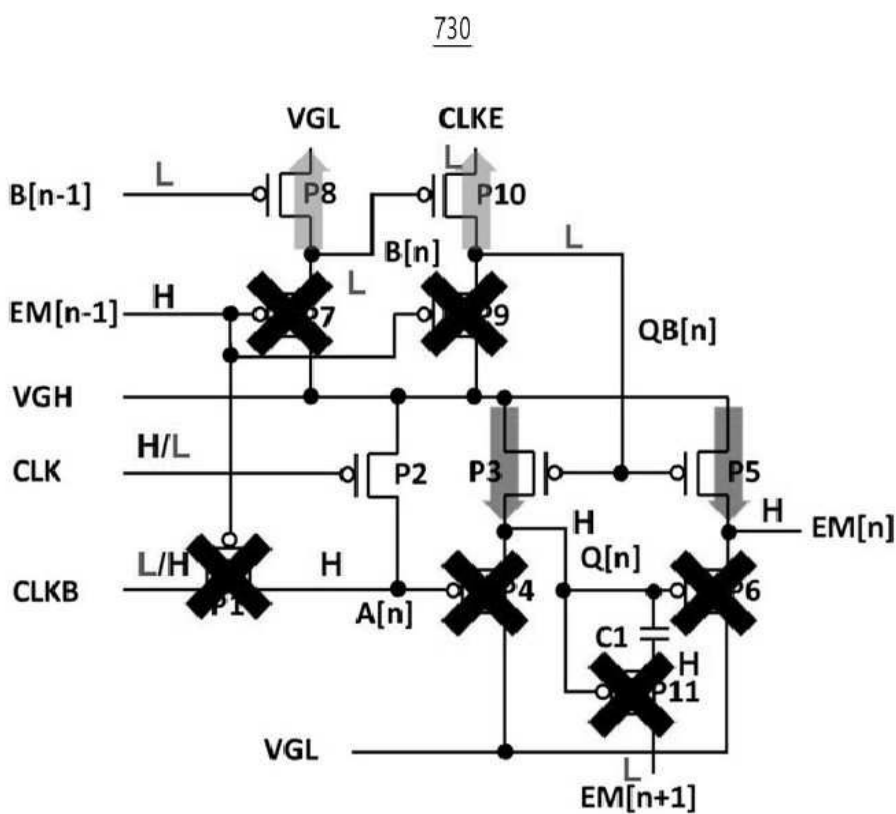
도면7b



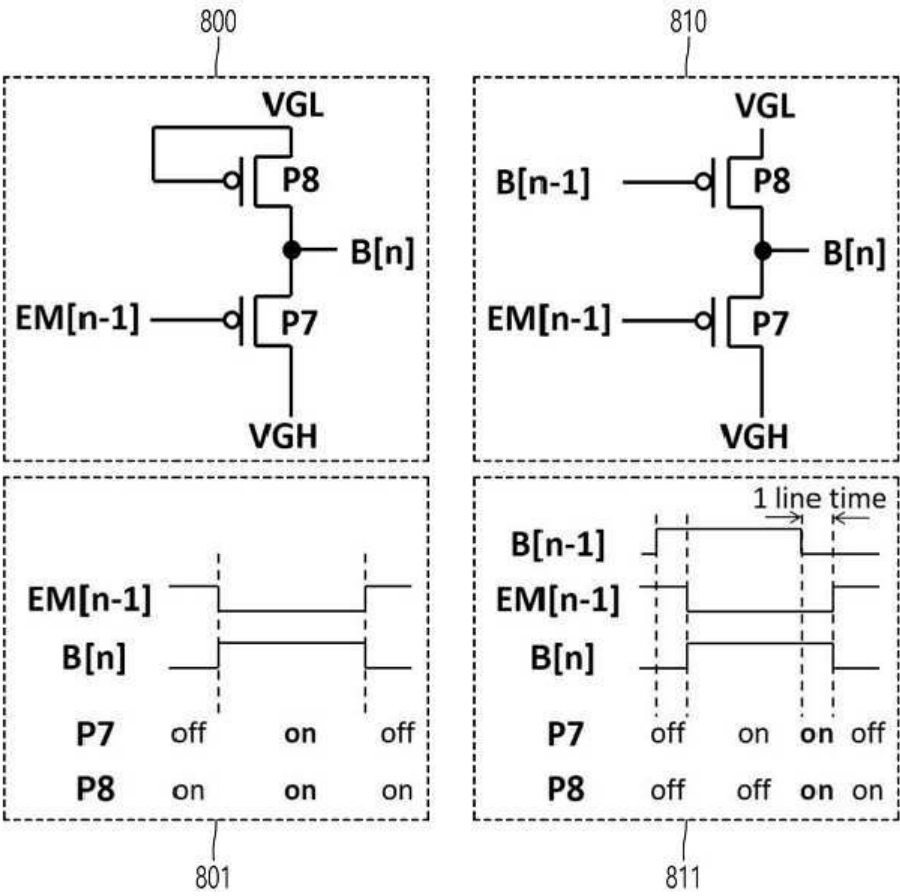
도면7c



도면7d

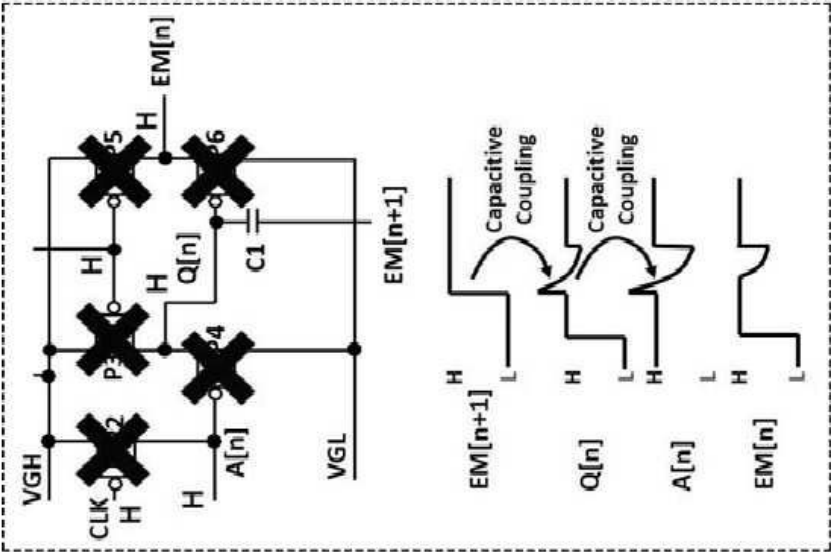


도면8

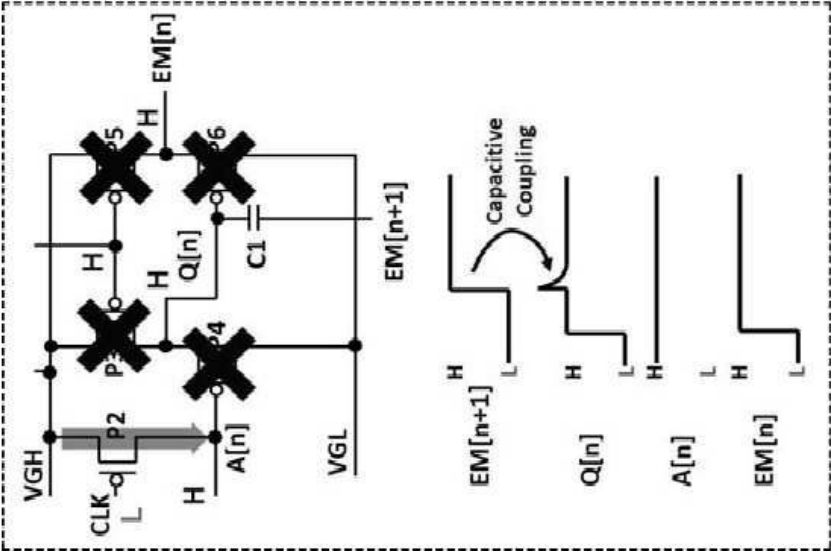


도면9a

901

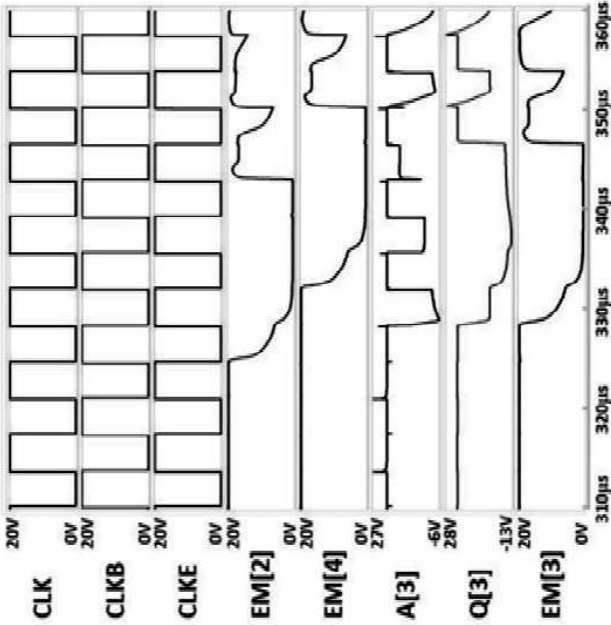


900

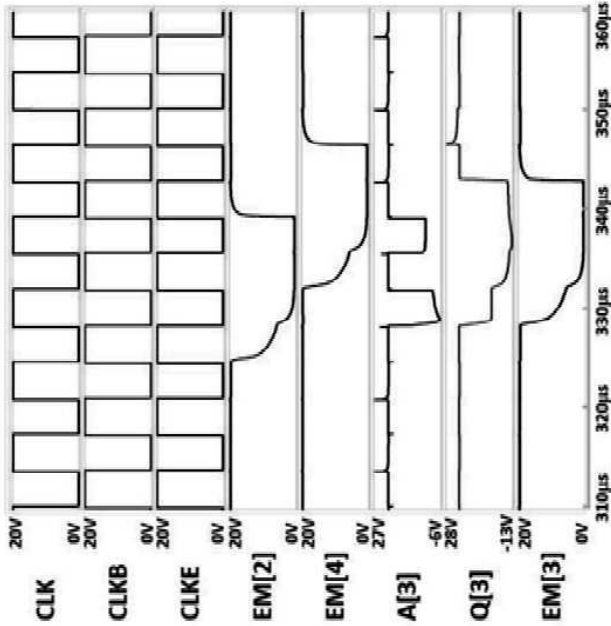


도면9b

911

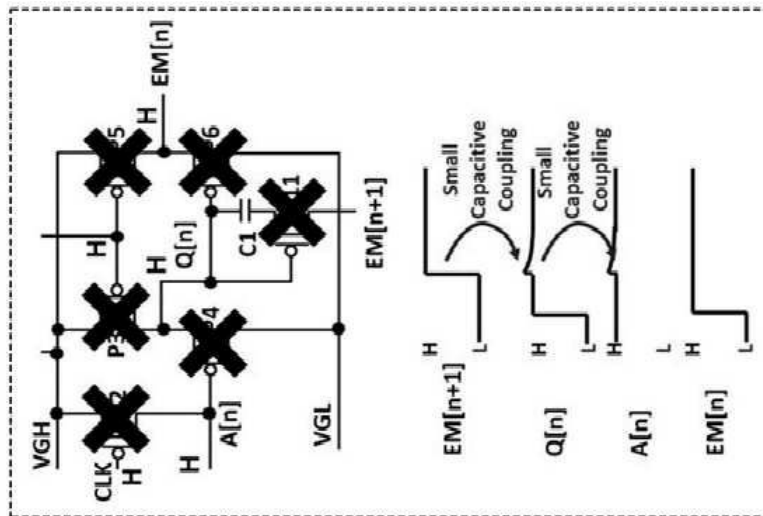


910

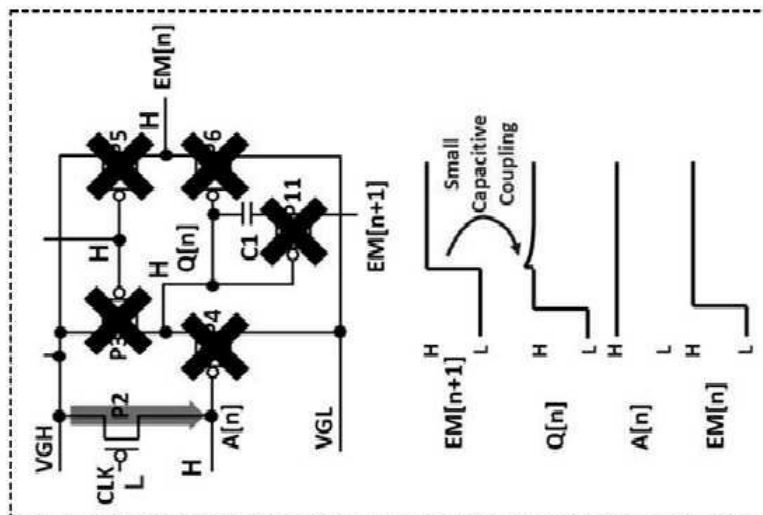


도면9c

921

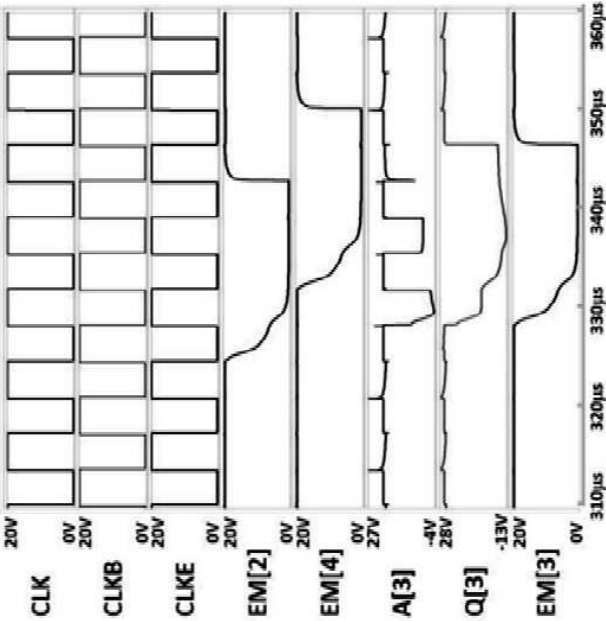


920

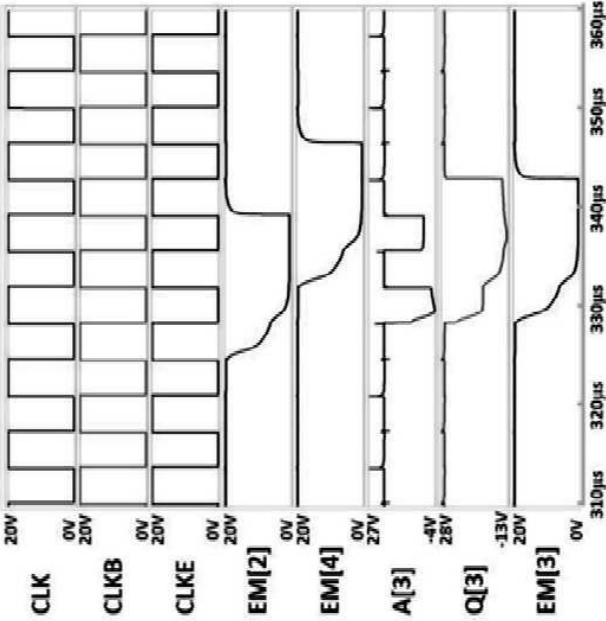


도면9d

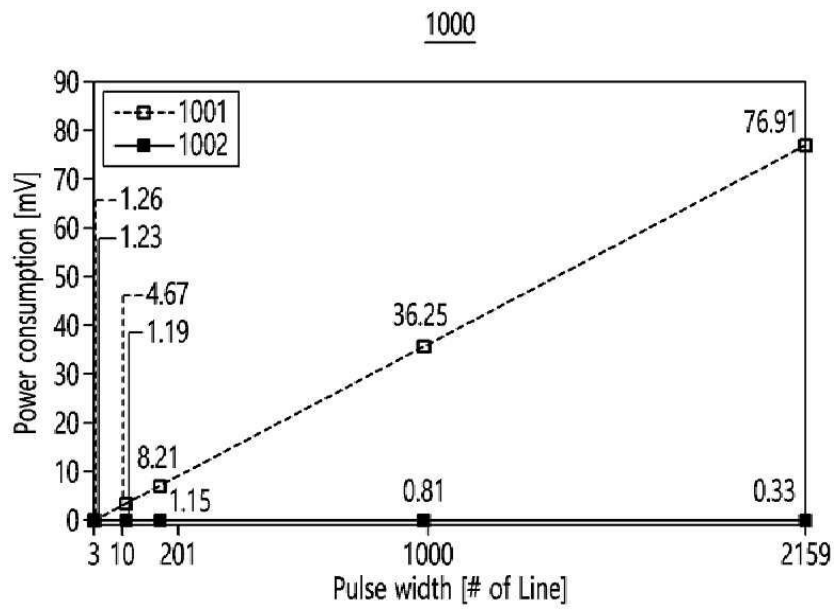
931



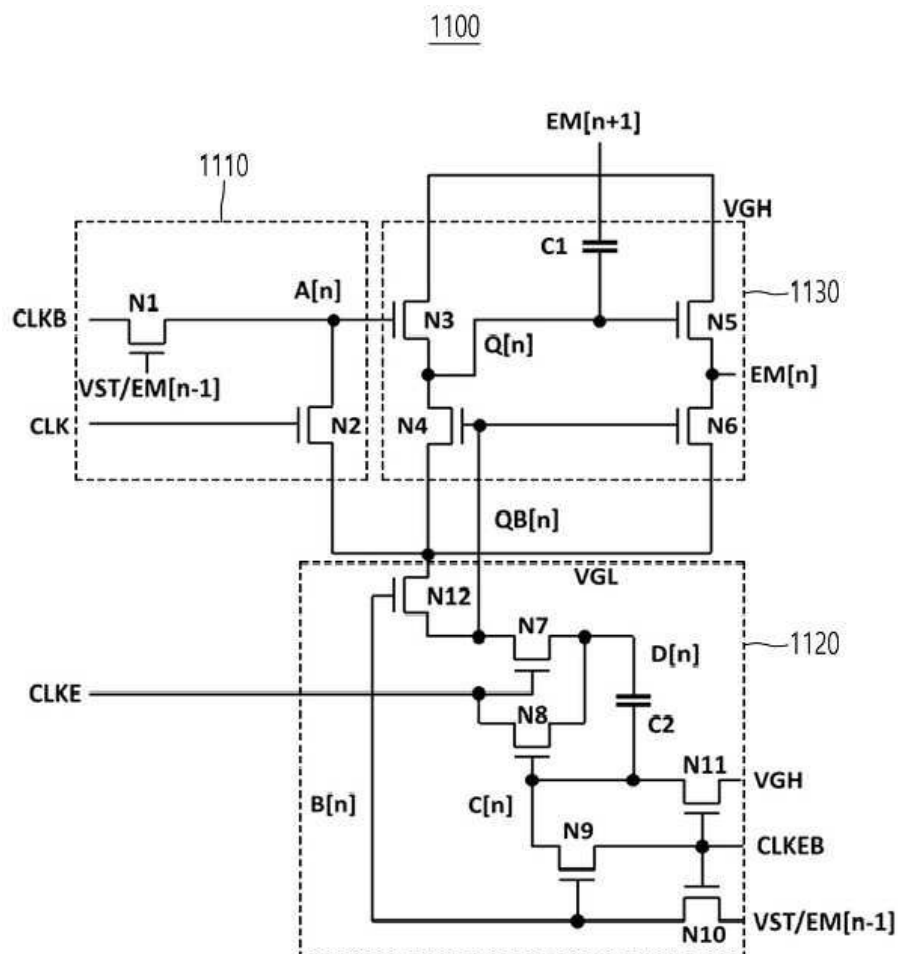
930



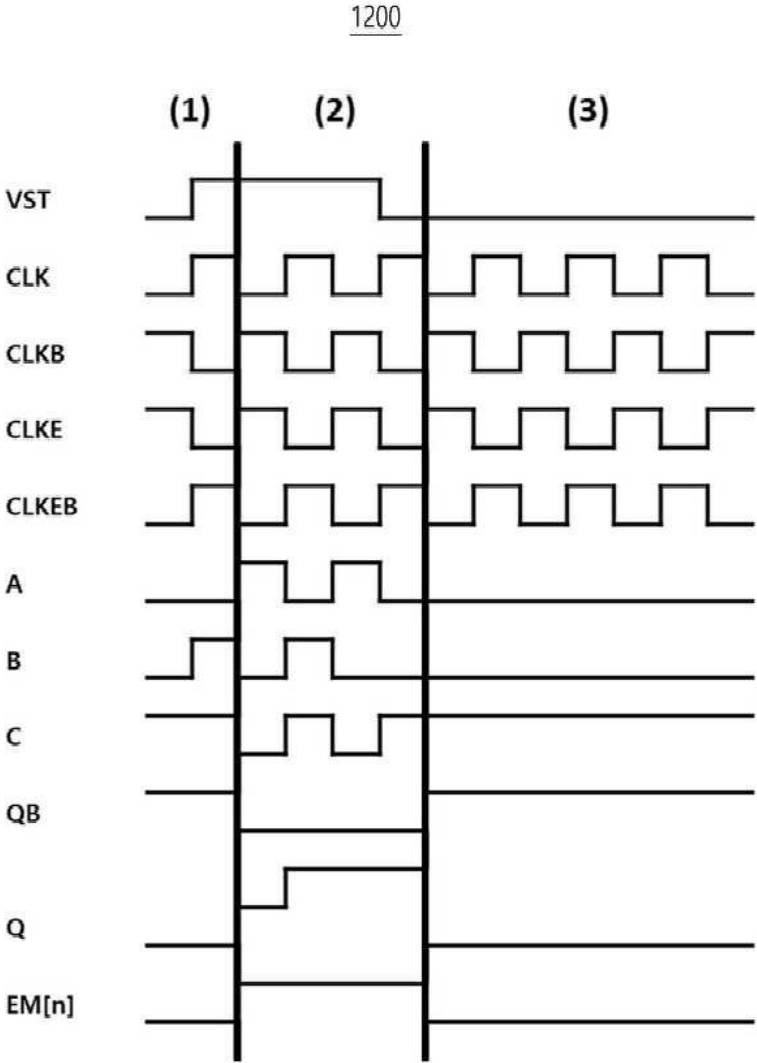
도면10



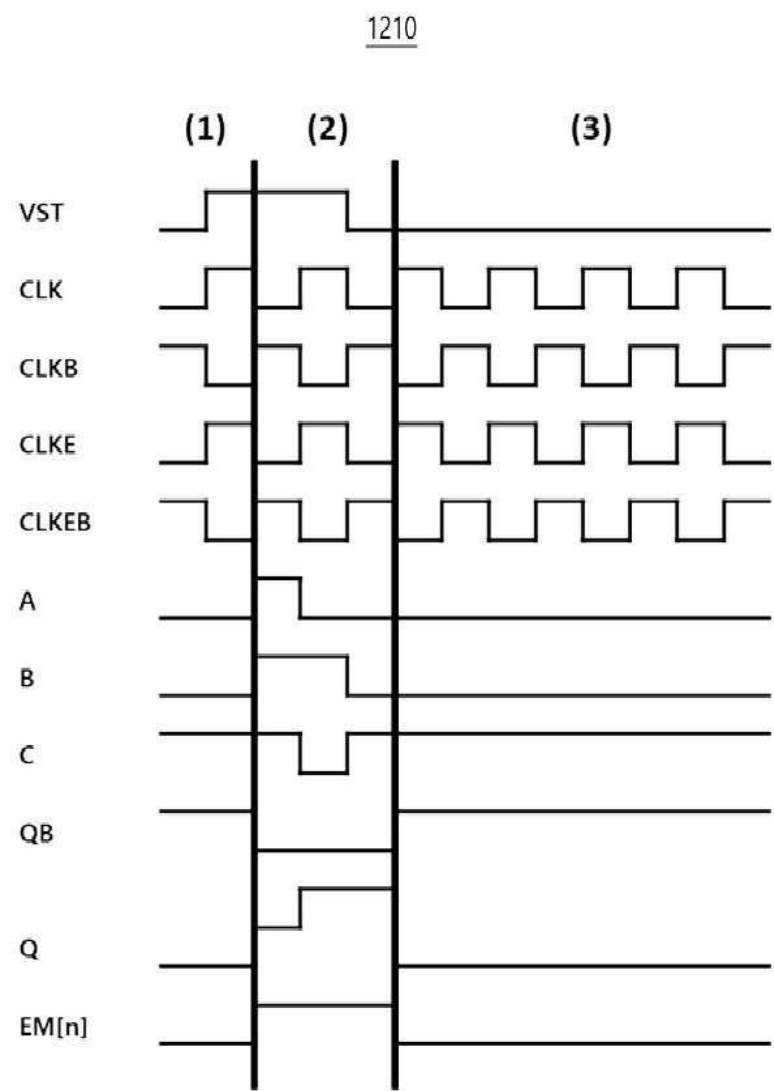
도면11



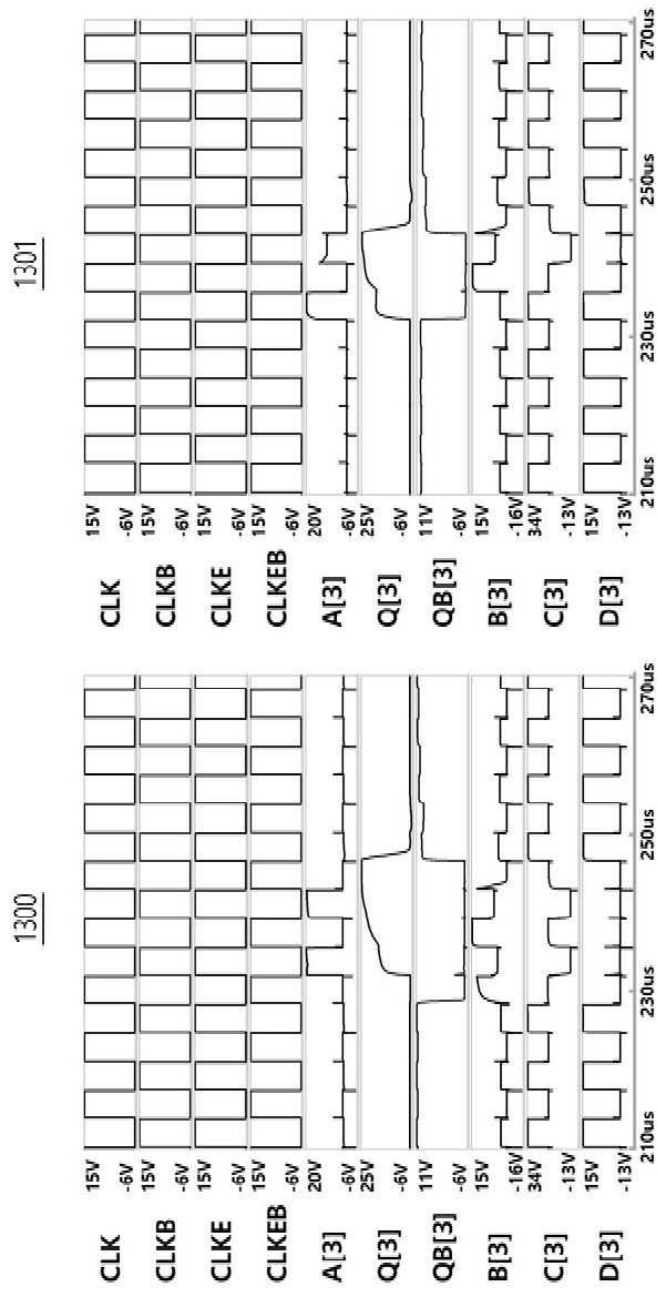
도면12a



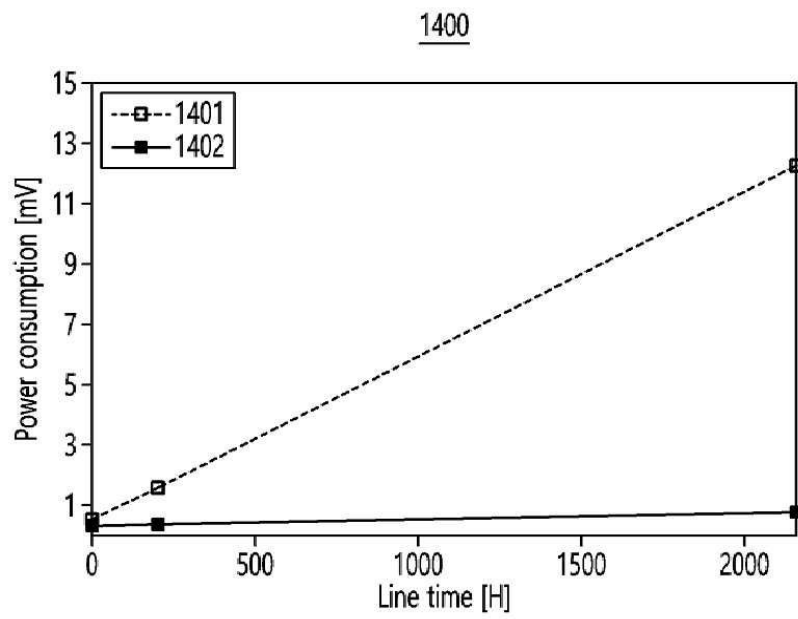
도면12b



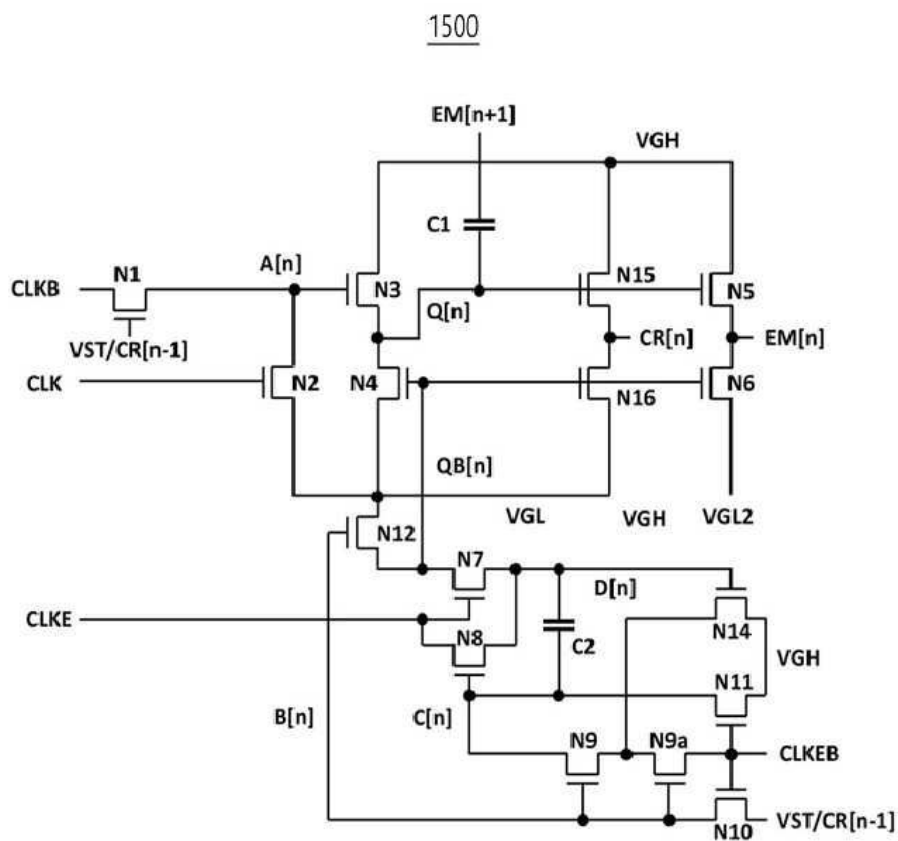
도면13



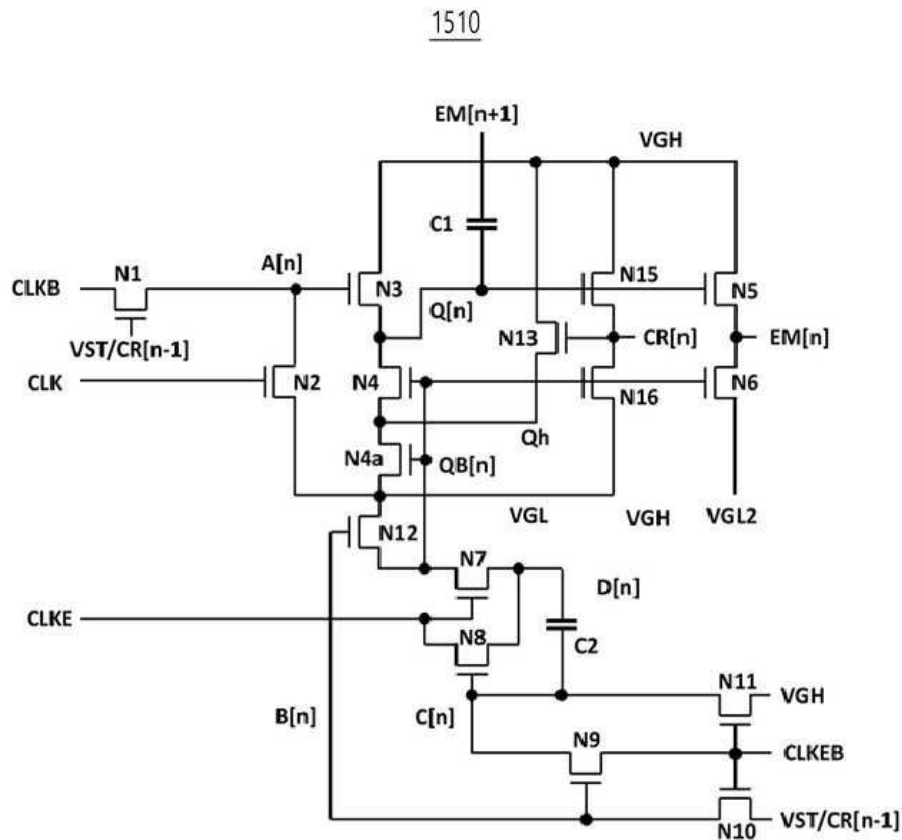
도면14



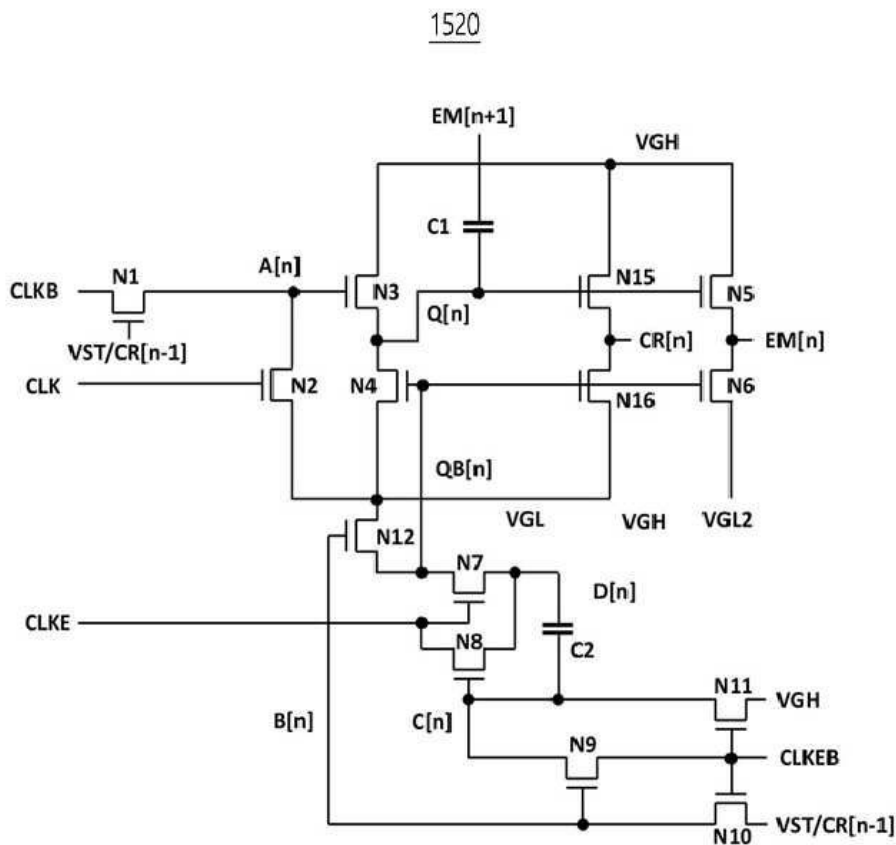
도면15a



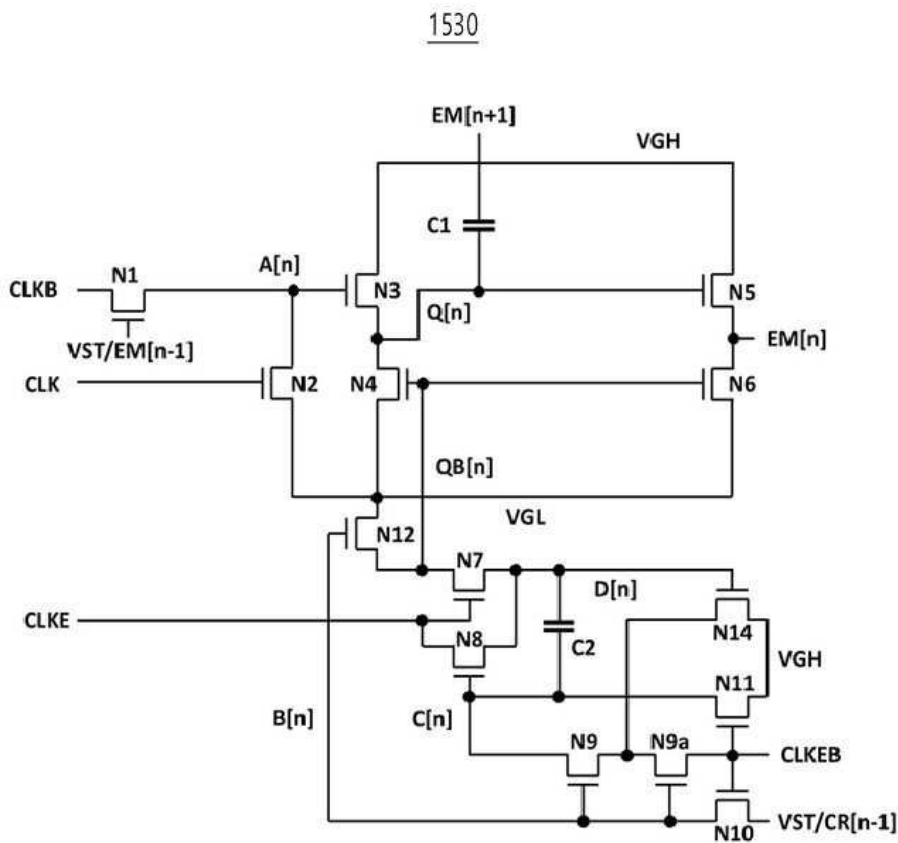
도면15b



도면15c



도면15d



도면16

