

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7618554号
(P7618554)

(45)発行日 令和7年1月21日(2025.1.21)

(24)登録日 令和7年1月10日(2025.1.10)

(51)国際特許分類	F I			
H 1 0 D 30/60 (2025.01)	H 0 1 L	29/78	3 0 1 S	
H 0 1 L 21/3205(2006.01)	H 0 1 L	29/78	3 0 1 W	
H 0 1 L 21/768 (2006.01)	H 0 1 L	21/88	T	
H 0 1 L 23/522 (2006.01)	H 0 1 L	21/88	Z	
H 0 1 L 21/60 (2006.01)	H 0 1 L	21/90	B	
請求項の数 5 (全17頁) 最終頁に続く				

(21)出願番号	特願2021-535495(P2021-535495)	(73)特許権者	521085021
(86)(22)出願日	令和1年8月29日(2019.8.29)		エフィシエント・パワー・コンバージョン・コーポレーション
(65)公表番号	特表2021-535625(P2021-535625 A)		アメリカ合衆国・カリフォルニア・9 0 2 4 5・エル・セグンド・ノース・パシフィック・コースト・ハイウェイ・9 0 9・スイート・2 3 0
(43)公表日	令和3年12月16日(2021.12.16)	(74)代理人	100108453
(86)国際出願番号	PCT/US2019/048834		弁理士 村山 靖彦
(87)国際公開番号	WO2020/047270	(74)代理人	100188558
(87)国際公開日	令和2年3月5日(2020.3.5)		弁理士 飯田 雅人
審査請求日	令和4年8月25日(2022.8.25)	(74)代理人	100110364
(31)優先権主張番号	62/724,106		弁理士 実広 信哉
(32)優先日	平成30年8月29日(2018.8.29)	(72)発明者	ウェン・チャ・リャオ
(33)優先権主張国・地域又は機関	米国(US)		台湾・2 2 0・ニュー・タイペイ・シテ
前置審査			最終頁に続く

(54)【発明の名称】 オン抵抗が低減されたラテラルパワーデバイス

(57)【特許請求の範囲】

【請求項 1】

1つ又は複数のゲート電極と、

前記1つ又は複数のゲート電極と交互配置された複数の第1のソースバー及び複数の第1のドレインバーを含む第1の金属層と、

前記第1の金属層上に形成され、誘電体によって前記第1の金属層から分離され、複数の第2のソースバー及び複数の第2のドレインバーを含む、第2の金属層であって、前記第1及び第2のソースバーが電氣的に接続され、前記第1及び第2のドレインバーが電氣的に接続された、第2の金属層と、

前記第2の金属層上に形成され、前記誘電体によって前記第2の金属層から分離され、複数の第3のソースバー及び複数の第3のドレインバーを含む、第3の金属層であって、前記第2及び第3のソースバーが電氣的に接続され、前記第2及び第3のドレインバーが電氣的に接続された、第3の金属層と、

前記第3のソースバーに電氣的に接続された第1のはんだバンプと、

前記第3のドレインバーに電氣的に接続された第2のはんだバンプと、

前記第3の金属層と前記第1及び第2のはんだバンプとの間における非導電層と、を備えるラテラルパワー半導体デバイスであって、

前記第1のはんだバンプが、前記非導電層の開口部を通して前記第3のソースバーに直接接触し、

前記第2のはんだバンプが、前記非導電層の開口部を通して前記第3のドレインバーに直

接接触し、

前記第 1 及び第 2 のソースバーの幅が、前記第 3 のソースバーの幅よりも小さく、前記第 1 及び第 2 のドレインバーの幅が、前記第 3 のドレインバーの幅よりも小さく、
前記第 3 のソースバーが、より広い部分及びより狭い部分を含み、前記第 3 のドレインバーが、より広い部分及びより狭い部分を含み、前記第 3 のソースバーの前記より広い部分が、前記第 3 のドレインバーの前記より狭い部分と交互配置され、前記第 3 のソースバーの前記より狭い部分が、前記第 3 のドレインバーの前記より広い部分と交互配置され、
前記第 1 のはんだバンプが、前記第 3 のソースバーの前記より広い部分に電氣的に接続され、前記第 2 のはんだバンプが、前記第 3 のドレインバーの前記より広い部分に電氣的に接続され、

10

前記第 1、第 2 及び第 3 の金属層における前記第 1、第 2 及び第 3 の複数のソースバー及びドレインバー並びにそれぞれの電氣的接続が、複数の電流通路を生成し、最小の抵抗を有する電気通路を通して電流が流れるようになり、それによって前記ラテラルパワー半導体デバイスのオン抵抗を低減し、

前記第 1 及び第 2 の金属層が、互いに実質的に平行であり、前記第 3 の金属層が、前記第 1 及び第 2 の金属層に実質的に垂直である、ラテラルパワー半導体デバイス。

【請求項 2】

前記第 3 のソースバー及び前記第 3 のドレインバーが、閾値距離だけ離れている、請求項 1 に記載のラテラルパワー半導体デバイス。

【請求項 3】

前記閾値距離が、2 マイクロメートル離れている、請求項 2 に記載のラテラルパワー半導体デバイス。

20

【請求項 4】

前記非導電層が、前記第 1 のはんだバンプを前記第 3 のドレインバーから分離し、前記第 2 のはんだバンプを前記第 3 のソースバーから分離する、請求項 1 に記載のラテラルパワー半導体デバイス。

【請求項 5】

前記第 1 及び第 2 のはんだバンプが、アンダーバンプ金属からなる、請求項 1 に記載のラテラルパワー半導体デバイス。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、一般に、半導体デバイス、特に窒化ガリウム (GaN) パワー半導体デバイスの分野、及び、そのようなデバイスの相互接続の方法に関する。

【背景技術】

【0002】

従来のラテラルパワー電界効果トランジスタ (FET) には、トランジスタセルと半導体デバイスの外部リードを接続するために使用される長くて薄い金属相互接続が含まれる。しかしながら、これらの相互接続は、半導体デバイスの寄生抵抗とデバイスのオン抵抗を増加させる。FET のダイサイズが大きくなり、より多くのトランジスタセルが並列に接続されてより大きな電力に耐えられるようになると、これらの相互接続による寄生抵抗、ひいてはデバイスのオン抵抗も増加する。従って、オン抵抗を低減するために寄生抵抗が低減された相互接続を備えたラテラルパワーデバイスを提供する必要がある。

40

【発明の概要】

【発明が解決しようとする課題】

【0003】

本発明は、複数の利用可能な電流経路を備えた金属相互接続レイアウトを提供し、GaN FET 半導体デバイスなどのラテラルパワーデバイスの寄生抵抗を低減し、オン抵抗を低減することによって、上記のラテラルパワー FET における従来の金属相互接続の欠点に対処する。

50

【課題を解決するための手段】

【0004】

本発明は、本明細書に記載されるように、ソース金属バー及びドレイン金属バーの第1の金属層、ソース金属バー及びドレイン金属バーの第2の金属層、並びに、ソース金属バー及びドレイン金属バーの第3の金属層を含む。第1、第2及び第3の金属層のソース金属バーは、電氣的に接続される。第1、第2及び第3の金属層のドレイン金属バーは、電氣的に接続される。一実施形態では、第1及び第2の金属層は、実質的に平行であり、第3の金属層は、第1及び第2の金属層に実質的に垂直である。別の実施形態では、第1及び第3の金属層は、実質的に平行であり、第2の金属層は、第1及び第3の金属層に実質的に垂直である。非導電層は、はんだバンプがソース金属バー又はドレイン金属バーの1つのみに電氣的に接続することを保証する。結果として、複数の利用可能な経路が存在し、電流が複数の利用可能な経路のいずれかを取ることを可能にする。

10

【0005】

実装及び要素の組み合わせの様々な新規の詳細を含む、本明細書で説明される上記及び他の好ましい特徴は、添付の図面を参照してより具体的に説明され、特許請求の範囲で指摘される。特定の方法及び装置は、例示としてのみ示され、特許請求の範囲の限定としてではないことを理解されたい。当業者によって理解されるように、本明細書の教示の原理及び特徴は、特許請求の範囲から逸脱することなく、様々な多数の実施形態で使用することができる。

【0006】

本開示の特徴、目的及び利点は、同様の参照符号が全体を通して対応して識別される図面と併せて解釈される場合、以下に記載される詳細な説明からより明らかになるであろう。

20

【図面の簡単な説明】

【0007】

【図1A】本発明の第1の実施形態によるGaNトランジスタデバイスを示している。

【図1B】本発明の第1の実施形態によるGaNトランジスタデバイスを示している。

【図1C】本発明の第1の実施形態によるGaNトランジスタデバイスを示している。

【図2A】図1AからCに示されるトランジスタデバイスを形成するためのプロセスを示す。

【図2B】図1AからCに示されるトランジスタデバイスを形成するためのプロセスを示す。

30

【図2C】図1AからCに示されるトランジスタデバイスを形成するためのプロセスを示す。

【図2D】図1AからCに示されるトランジスタデバイスを形成するためのプロセスを示す。

【図2E】図1AからCに示されるトランジスタデバイスを形成するためのプロセスを示す。

【図2F】図1AからCに示されるトランジスタデバイスを形成するためのプロセスを示す。

【図2G】図1AからCに示されるトランジスタデバイスを形成するためのプロセスを示す。

40

【図2H】図1AからCに示されるトランジスタデバイスを形成するためのプロセスを示す。

【図2I】図1AからCに示されるトランジスタデバイスを形成するためのプロセスを示す。

【図3A】本発明の第1の実施形態によるGaNトランジスタデバイスを示している。

【図3B】本発明の第1の実施形態によるGaNトランジスタデバイスを示している。

【図4A】本発明の第2の実施形態によるGaNトランジスタデバイスを示している。

【図4B】本発明の第2の実施形態によるGaNトランジスタデバイスを示している。

【図4C】本発明の第2の実施形態によるGaNトランジスタデバイスを示している。

50

【図 5 A】図 4 A から C に示されるトランジスタデバイス内の金属相互接続のレイアウトを示す。

【図 5 B】図 4 A から C に示されるトランジスタデバイス内の金属相互接続のレイアウトを示す。

【図 5 C】図 4 A から C に示されるトランジスタデバイス内の金属相互接続のレイアウトを示す。

【図 5 D】図 4 A から C に示されるトランジスタデバイス内の金属相互接続のレイアウトを示す。

【発明を実施するための形態】

【0008】

以下の詳細な説明では、特定の実施形態を参照する。これらの実施形態は、当業者がそれらを実施することを可能にするのに十分な詳細で説明されている。他の実施形態を採用することができ、様々な構造的、論理的及び電気的変更を行うことができることを理解されたい。以下の詳細な説明に開示される特徴の組み合わせは、最も広い意味での教示を實踐するために必要ではなく、代わりに、本教示の、特に代表的な例を説明するためだけに教示される。

【0009】

本明細書に記載の実施形態は、GaN半導体デバイスを含むが、本発明は、GaN半導体デバイスに限定されないことを理解されたい。例えば、記載された実施形態は、シリコン(Si)又はシリコンカーバイド(SiC)半導体デバイス及びゲルマニウム(Ge)材料半導体デバイスなどの様々な導電性材料を使用する半導体デバイス及び他のデバイスに適用可能であり得る。

【0010】

さらに、埋め込まれた又は拡散された導電性領域又は層が説明されているが、これらは、基板内の異なる極性の領域の例であることを理解されたい。従って、記載された実施形態は、反対の極性の領域を製造する特定の方法に言及し得るが、他のタイプの反対の極性の領域及びその製造方法が使用され得ることが理解されるべきである。

【0011】

記載された実施形態は、導電性基板を有し、トランジスタ又は他の半導体デバイス、例えば、GaNトランジスタ又はトランジスタを含む集積回路を含み、基板の領域は、基板の領域と反対に分極された導電性でドーピングされる。反対の極性の領域は、例えば、p型基板においてn型材料であり得る。デバイスは、ビアなどを介して、前面の接点から反対の極性の領域までの電気的接続を有する。他の実施形態では、これらの領域は、基板と同じドーピングタイプを有し得、1つ又は複数の絶縁層によって囲まれ得る。他の実施形態では、基板は、実質的に非導電性であり得るが、これらの領域は、p型又はn型のいずれかのドーピングを有する。他の実施形態では、シリコンオンインシュレータ(SOI)の実施形態、及び、並列導電性チャネルを含む実施形態も記載されている。

【0012】

図 1 A ~ C は、本発明の第 1 の実施形態による GaN トランジスタデバイス 100 を示す。図 1 A は、1 つ又は複数の Si、SiC、GaN、ガリウム砒素(GaAs)、窒化アルミニウム(AlN)、及び/又は、サファイアベースの材料から構成される基板 186 を含む、GaN トランジスタデバイス 100 の断面図を示す。バッファ層 184 は、基板 186 上に形成され、化合物半導体材料(例えば、AlN 材料)の 1 つ又は複数の層から構成され得る。チャンネル層 182 は、バッファ 184 上に形成され、0.05 から 5 マイクロメートル(μm)の間の厚さを有する一つ又は複数の GaN の層から構成され得る。いくつかの実装形態では、チャンネル層 182 は、チャンネル層 182 を通る電流の流れを促進するのに十分な電子密度及び電子移動度を有する窒化インジウムガリウム(InGaN)又は他の適切な材料から構成される。バリア層 180 は、チャンネル層 182 上に形成され、0.005 から 0.03 μm の厚さを有する窒化アルミニウムガリウム(AlGaIn)と 12 ~ 28 % の Al で構成され得る。

10

20

30

40

50

【0013】

ゲート層194は、バリア層180の直上に平行線で選択的に形成され、0.05から0.2 μmの厚さを有するIII-V化合物から構成され得る。いくつかの実装形態では、ゲート層194は、マグネシウム(Mg)でドーパされたGaNなどのp型化合物であり得る。ゲート電極198は、ゲート層194の直上に形成され、耐火金属又はその化合物、例えば、タンタル(Ta)、窒化タンタル(TaN)、窒化チタン(TiN)、パラジウム(Pd)、タングステン(W)、窒化タングステン(WSi₂)等から構成され得る。絶縁体190は、ゲート層194及びゲート電極198を覆って、それら及びバリア層180をそれらの上の構成要素から絶縁する。

【0014】

第1の金属層110は、アルミニウム銅(AlCu)から構成され得るゲート電極198間のバリア層180上に実質的に平行な線で選択的に形成されたソース金属バー115及びドレイン金属バー120を含む。第2の金属層130は、第1の金属層110のソース金属バー115上に実質的に平行に選択的に形成されたソース金属バー135を含む。ソース金属バー135及び115は、図2Cにさらに明確に示されているように、ビア125Aによって電氣的に接続される。第2の金属層130はまた、第1の金属層110のドレイン金属バー120上に実質的に平行に選択的に形成されたドレイン金属バー140を含む。ドレイン金属バー140及び120は、図2Cにより明確に示されるように、ビア125Bによって電氣的に接続される。第2の金属層130の金属バー135及び140は、AlCuから構成され得る。

【0015】

第3の金属層150は、AlCuから構成され得るソース金属バー155及びドレイン金属バー160を含む。図1Aは、第1の金属層110及び第2の金属層130に実質的に垂直に選択的に形成されたソース金属バー155を示す。ソース金属バー155及び135は、図2Eにさらに明確に示されるように、ビア125Aによって電氣的に接続される。ビア125Aは、ソース金属バー155が第2の金属層130のドレイン金属バー140に電氣的に接続されないように間隔を空けることができる。

【0016】

ここで、デバイス100の上面図を示す図1Bを参照すると、第3の金属層150はまた、第1の金属層110及び第2の金属層130に実質的に垂直に、且つ、ソース金属バー155に実質的に平行に選択的に形成されたドレイン金属バー160を含む。図2Fにより明確に示されるように、ドレイン金属バー160及び140は、ビア125Bによって電氣的に接続される。ビア125Bは、ドレイン金属バー160が第2の金属層130のソース金属バー135に電氣的に接続されないように間隔を空けることができる。ビア125A~Bは、図2E~Fを参照してさらに説明される。

【0017】

図1Aに戻って、ソース金属バー115、135及び155とドレイン金属バー120、140及び160との間の空間は、窒化ケイ素(Si₃N₄)、二酸化ケイ素(SiO₂)などで構成される得る誘電体膜165によって満たされる。非導電層170は、第3の金属層150及び誘電体膜165上に選択的に形成され、その結果、各はんだバンプ175は、ソース金属バー155のみ又はドレイン金属バー160のみに電氣的に接続され、両方には接続されない。非導電性層170は、1つ又は複数のSi₃N₄、SiO₂、ポリイミドなどから構成され得る。図1Bは、はんだバンプ175Aが、ドレイン金属バー160ではなく、ソース金属バー155に電氣的に接続され、はんだバンプ175Bが、ソース金属バー155ではなく、ドレイン金属バー160に電氣的に接続されることを示す。はんだバンプ175A~Bは、50~400 μmの厚さを有する、スズ銀合金(SnAg)、並びに、チタン(Ti)及び/又は銅(Cu)などのアンダーバンプ金属から構成され得る。

【0018】

図1Cは、デバイス100の斜視図を示す。第1の金属層110及び第2の金属層13

10

20

30

40

50

0は、実質的に平行である。ソース金属バー135は、ソース金属バー115を覆い、ビア125Aによってソース金属バー115に電氣的に接続される。ドレイン金属バー140は、ドレイン金属バー120を覆い、ビア125Bによってドレイン金属バー120に電氣的に接続される。第3の金属層150は、第1の金属層110及び第2の金属層130に実質的に垂直である。ソース金属バー155は、ソース金属バー115及び135に垂直であり、ビア125Aによってソース金属バー135に電氣的に接続される。ドレイン金属バー160は、ドレイン金属バー120及び140に垂直であり、ビア125Bによってドレイン金属バー140に電氣的に接続される。

【0019】

非導電性層170は、第3の金属層150上に形成され、はんだバンプ175Aがドレイン金属バー160に電氣的に接続するのを防ぐ。はんだバンプ175Aは、ソース金属バー155に直接接触することによって2つ以上のソース金属バー155に電氣的に接続し、良好な電気接続を確保するためにアンダーバンプ金属を含み得る。第1の金属層110、第2の金属層130及び第3の金属層150は、複数の利用可能な電流経路を作成し、デバイス100を通る電流が複数の利用可能な電流経路のいずれかを取ることを可能にすることによってデバイス100のオン抵抗を低減する。さらに、非導電性層170は、はんだバンプ175がソース金属バー155のみ又はドレイン金属バー160のみと電氣的に接続されることを保証し、はんだバンプ175が従来のソース及びドレインパッドとして機能することを可能にし、金属抵抗を低減する。

【0020】

図2A~Hは、デバイス100のレイアウトをより詳細に示す。図2Aにおいて、基板186は、ウェハ基板上などに提供され、パッファ層184、チャネル層182及びバリア層180は、基板186上に層状にされる。InGa_N又は他の適切な材料から構成されるチャネル層182は、パッファ層184の上に層状にされ、0.01から0.5µmの間の厚さを有する。AlGa_Nで構成されるバリア層180は、チャネル層182の上に層状にされ、0.005から0.03µmの間の厚さを有する。AlGa_Nは、12~28%のAlにすることができる。

【0021】

ゲート層194は、バリア層180上に実質的に平行な線を形成し、0.05から0.2µmの間の厚さを有する。ゲート層194は、例えば、MgドープGa_N材料から構成され得る。ゲート電極198は、ゲート層194の上に層状になっている。いくつかの実施形態では、ゲート層194及びゲート電極198はそれぞれ、約0.01から約1.0µmの間の厚さを有する。絶縁体190は、バリア層180、ゲート層194及びゲート電極198を選択的に覆う。絶縁体190は、ゲート層194及びゲート電極198をデバイス100上のそれらの上の他の構成要素から分離し、バリア層180の選択部分を覆い、ソース金属バー115用の開口部205と、バリア層180の直上に形成されるドレイン金属バー120用の開口部210を残す。

【0022】

第1の金属層110は、開口部205の絶縁体190とゲート電極198との間のバリア層180を横切って実質的に平行な線を形成する。ソース金属バー115とゲート電極198との間の空間は、ドレイン金属バー120とゲート電極198との間の空間よりも小さい。金属層110は、チタンアルミニウム合金を含み得る。図2Bは、ゲート電極198、金属バー115及び120の平行線、並びに、それぞれの間の相対的な間隔を示している。

【0023】

図2Cに示されるように、第2の金属層130は、金属層110上に実質的に平行な線を形成する。ソース金属バー135は、ソース金属バー115上に層状にされ、ビア125Aによって電氣的に接続される。ドレイン金属バー140は、ドレイン金属バー120の上に層状にされ、ビア125Bによって電氣的に接続される。線210は、第1の金属層110と第2の金属層130との間の境界を示している。図2Dは、第2の金属層13

10

20

30

40

50

0及び第1の金属層110、並びに、ソース金属バー115及び135を電氣的に接続するビア125A、並びに、ドレイン金属バー120及び140を電氣的に接続するビア125Bの重畳を示す。

【0024】

図2Eに示されるように、第3の金属層150は、第2の金属層130上に実質的に垂直な線を形成する。図2Eは、ソース金属バー135及びドレイン金属バー140の両方の上に層状にされ、ビア125Aによってソース金属バー135に電氣的に接続されたソース金属バー155を示す。図2Fは、ソース金属バー135及びドレイン金属バー140の両方の上に層状にされ、ビア125Bによってドレイン金属バー140に電氣的に接続された度ライン金属バー160を示す。金属層110、130及び150の間の空の空間は、図2E及び2Fの両方に見られ得るように、誘電体膜165によって満たされ得る。図2Gは、平行な金属層110及び130上の第3の金属層150の垂直重畳、並びに、ソース金属バー155及び135を電氣的に接続するために間隔を置いたビア125A、並びに、ドレイン金属バー160及び140を電氣的に接続するために間隔を置いたビア125Bを示す。

10

【0025】

図2Hに示されるように、非導電性層170は、金属層150上に選択的に形成され、はんだバンプ175Aがソース金属バー155に電氣的に接続するための開口部220と、図示されない、はんだバンプ175Bがドレイン金属バー160に電氣的に接続するための開口部225を残す。はんだバンプ175は、開口部220及び225上に形成されて、それぞれ2つ以上のソース金属バー155又は2つ以上のドレイン金属バー160を電氣的に接続する。はんだバンプ175Aは、ソース金属バー155に直接接触しているが、はんだバンプ175Bは、ソース金属バー155から隔離されている。図2Iは、第3の金属層150上のはんだバンプ175の上面図、並びに、ソース金属バー155に電氣的に接続するはんだバンプ175Aの開口部220、及び、ドレイン金属バー160に電氣的に接続するはんだバンプ175Bの開口部225を示す。

20

【0026】

図3A～Bは、本発明の第1の実施形態の変形例によるGaNトランジスタデバイス300を示す。デバイス300は、図1A～Cに示されるデバイス100と同様であるが、第3の金属層350の金属バー355及び360は、一定の幅ではない。図3Aは、金属層310及び330上の第3の金属層350の重畳を示す上面図を示す。ソース金属バー355は、部分355Aでは、より広く、部分355Bでは、より狭い。逆に、ドレイン金属バー360は、部分360Aでは、より狭く、部分360Bでは、より広い。ソース金属バー355の端部とドレイン金属バー360の端部との間の閾値距離が維持されている間、ソース金属バー355及びドレイン金属バー360のより広いオフセットされた部分は、交互配置(インターリーブ)することができる。いくつかの実装形態では、ソース金属バー355の端部とドレイン金属バー360の端部との間の閾値距離は2 μ mである。

30

【0027】

図3Bは、デバイス300の上面図を示している。はんだバンプ375は、金属バー355及び360の交互配置された、より広い部分を覆っている。はんだバンプ375Aは、ソース金属バー355のより広い部分355Aを覆い、はんだバンプ375Bは、ドレイン金属バー360のより広い部分360Bを覆う。ソース金属バー355の部分355A及びドレイン金属バー360の部分360Bの幅の増加は、はんだバンプのための接触面積を増加させ、より良い電流拡散を可能にする。さらに、金属バー355及び360のより広い部分は、バンプのための接触領域と金属バー355及び360の端部との間の距離を増加させ、これは、はんだバンプ375の接触領域を拡大し、金属バー355及び360の電流密度及び接触抵抗を減少させる。

40

【0028】

図4A～Cは、本発明の第2の実施形態によるGaNトランジスタデバイス400を示す。デバイス400は、図1A～Cに示されるデバイス100と同様であり、同様のパラ

50

メータ及び同様の製造プロセスを含むが、第1、第2及び第3の金属層にソース金属バー及びドレイン金属バーの異なるレイアウトを実装する。図4Aは、基板486、バッファ層484、チャネル層482、バリア層480、ゲート層494及びゲート電極498、並びに、デバイス100の対応する構成要素と同様の絶縁体490を含む、GaNトランジスタデバイス400の断面図を示す。第1の金属層410は、ゲート電極498間のバリア層480上に実質的に平行な線で選択的に形成されたソース金属バー415及びドレイン金属バー420を含む。

【0029】

第2の金属層430は、図4には示されていないソース金属バー435、及び、ドレイン金属バー440を含み、それらの一方は、図4Aに示される。ソース金属バー435及びドレイン金属バー440は、第1の金属層410に実質的に垂直に選択的に形成される。ドレイン金属バー440及び420は、図5Bにさらに明確に示されるように、ビア425Bによって電氣的に接続される。ビア425Bは、ドレイン金属バー440がソース金属バー415に電氣的に接続されないように間隔を空けることができる。図4Aの断面図には示されていないソース金属バー435は、ビア425Aによってソース金属バー415に電氣的に接続される。ビア425Aは、ソース金属バー435が第1の金属層410のドレイン金属バー420に電氣的に接続されないように間隔を空けることができる。

10

【0030】

第3の金属層450は、第1の金属層410と実質的に平行に、且つ、第2の金属層430に実質的に垂直に選択的に形成されたソース金属バー455及びドレイン金属バー460を含む。ソース金属バー455は、第2の金属層430に実質的に垂直に選択的に形成され、ビア425Aによってソース金属バー435に電氣的に接続される。ビア425Aは、ソース金属バー455がドレイン金属バー440に電氣的に接続されないように間隔を空けることができる。ドレイン金属バー460は、第2の層430に実質的に垂直に選択的に形成され、図5Cにさらに明確に示されるように、ビア425Bによってドレイン金属バー440に電氣的に接続される。ビア425Bは、ドレイン金属バー460がソース金属バー435に電氣的に接続されないように間隔を空けることができる。第3の金属層450における金属バー455及び460の幅は、第1の金属層410の金属バー415及び420の幅よりも大きい。誘電体膜465は、金属層410、430及び450の間の空きスペースを埋める。

20

30

【0031】

デバイス400はまた、非導電性層470、及びデバイス100の対応する構成要素と同様のはんだバンプ475を含む。ここでデバイス400の上面図を示す図4Bを参照すると、第3の金属層450の金属バー455及び460の幅は、第1の金属層410の金属バー415及び420の幅、第2の金属層430の金属バー435及び440の幅、及び、図1A～Cに示されるデバイス100の第1の金属層110の金属バー155及び160の幅より大きい。金属バー455及び460の幅の増加は、バンプのための接触面積を増加させ、より良好な電流拡散を可能にする。さらに、金属バー455及び460の幅の増加は、バンプのための接触領域と金属バー455及び460の端部との間の距離を増加させ、これは、温度変化によって誘発されるオンチップ応力を減少させる。

40

【0032】

図4Cは、デバイス400の斜視図を示す。第2の金属層430は、第1の金属層410に実質的に垂直であり、第3の金属層450は、第2の金属層430に実質的に垂直であり、第1の金属層410と実質的に平行である。ソース金属バー435及び415は、ビア425Aによって電氣的に接続され、ドレイン金属バー440及び420は、ビア425Bによって電氣的に接続される。ソース金属バー455及び435は、ビア425Aによって電氣的に接続され、ドレイン金属バー460及び440は、ビア425Bによって電氣的に接続される。

【0033】

非導電性層470は、第3の金属層450上に形成され、はんだバンプ475Aがドレ

50

イン金属バー 460 に電氣的に接続するのを防ぐ。はんだバンプ 475 A は、ソース金属バー 455 に直接接触することによってソース金属バー 455 に電氣的に接続し、良好な電氣的接続を確実にするためにアンダーバンプ金属を含み得る。第 1 の金属層 410、第 2 の金属層 430 及び第 3 の金属層 450 は、複数の利用可能な電流経路を生成し、デバイス 400 を通る電流が複数の利用可能な電流経路のいずれかを取ることを可能にすることによって、デバイス 400 のオン抵抗を低減する。さらに、非導電性層 470 は、はんだバンプ 475 がソース金属バー 455 のみ又はドレイン金属バー 460 のみと電氣的に接続されることを保証し、はんだバンプ 475 が従来のソース及びドレインパッドとして機能することを可能にし、金属抵抗を低減する。

【0034】

図 5 A ~ D は、図 4 A ~ C に示されるデバイス 400 の第 1 の金属層 410、第 2 の金属層 430、第 3 の金属層 450 及びはんだバンプ 475 のレイアウトを示す。第 1 の金属層 410 の上面図を示す図 5 A では、金属バー 415 及び 420 は、ゲート電極 498 と実質的に平行であり、それらの間である。ソース金属バー 415 とゲート電極 498 との間の空間は、ドレイン金属バー 420 とゲート電極 498 との間の空間よりも小さい。図 5 B は、第 1 の金属層 410 に実質的に垂直に重ねられた第 2 の金属層 430 の上面図を示す。ソース金属バー 435 は、ソース金属バー 415 及びドレイン金属バー 420 の両方を覆い、ビア 425 A によってソース金属バー 415 に電氣的に接続される。ドレイン金属バー 440 は、ソース金属バー 415 及びドレイン金属バー 420 の両方を覆い、ビア 425 B によってドレイン金属バー 425 に電氣的に接続される。金属バー 435 及び 440 の幅は、金属バー 415 及び 420 の幅よりも大きくてもよい。

【0035】

図 5 C は、第 2 の金属層 430 に実質的に垂直に、且つ、第 1 の金属層 410 と実質的に平行に重ねられた第 3 の金属層 450 の上面図を示す。ソース金属バー 455 は、ソース金属バー 435 及びドレイン金属バー 440 の両方を覆い、ビア 425 A によってソース金属バー 435 に電氣的に接続される。ドレイン金属バー 460 は、ソース金属バー 435 及びドレイン金属バー 440 の両方を覆い、ビア 425 B によってドレイン金属バー 445 に電氣的に接続される。金属バー 455 及び 460 の幅は、金属バー 435 及び 440 の幅よりも大きくてもよい。

【0036】

図 5 D は、第 3 の金属層 450 及び第 1 の金属層 410 に実質的に垂直に、且つ、第 2 の金属層 430 と実質的に平行に重ねられたはんだバンプ 475 の上面図を示す。はんだバンプ 475 A は、非導電性層 470 の開口部 520 を介してソース金属バー 455 に直接接触し、2 つ以上のソース金属バー 455 を電氣的に接続する。はんだバンプ 475 B は、非導電性層 470 の開口部 525 を介してドレイン金属バー 460 に直接接触し、2 つ以上のドレイン金属バー 460 を電氣的に接続する。

【0037】

上記の説明及び図面は、本明細書に記載の特徴及び利点を達成する特定の実施形態の例示とみなされるべきである。特定のプロセス条件の変更及び置換を行うことができる。従って、本発明の実施形態は、前述の説明及び図面によって限定されずとは見なされない。

【符号の説明】

【0038】

- 100 GaN トランジスタデバイス
- 110 第 1 の金属層
- 115 ソース金属バー
- 120 ドレイン金属バー
- 125 A ビア
- 125 B ビア
- 130 ビア
- 135 ソース金属バー

10

20

30

40

50

1 4 0	ドレイン金属バー	
1 5 0	第3の金属層	
1 5 5	ソース金属バー	
1 6 0	ドレイン金属バー	
1 6 5	誘電体膜	
1 7 0	非導電層	
1 7 5	はんだバンプ	
1 7 5 A	はんだバンプ	
1 7 5 B	はんだバンプ	
1 8 0	バリア層	10
1 8 2	チャンネル層	
1 8 4	バッファ層	
1 8 6	基板	
1 9 0	絶縁体	
1 9 4	ゲート層	
1 9 8	ゲート電極	
2 1 0	開口部	
2 2 0	開口部	
2 2 5	開口部	
3 0 0	GaNトランジスタデバイス	20
3 5 0	第3の金属層	
3 5 5	ソース金属バー	
3 5 5 A	広い部分	
3 5 5 B	狭い部分	
3 6 0	ドレイン金属バー	
3 6 0 A	狭い部分	
3 6 0 B	広い部分	
3 7 5 A	はんだバンプ	
3 7 5 B	はんだバンプ	
4 0 0	GaNトランジスタデバイス	30
4 1 0	第1の金属層	
4 1 5	ソース金属バー	
4 2 0	ドレイン金属バー	
4 2 5 A	ビア	
4 2 5 B	ビア	
4 3 0	第2の金属層	
4 3 5	ソース金属バー	
4 4 0	ドレイン金属バー	
4 5 0	第3の金属層	
4 5 5	ソース金属バー	40
4 6 0	ドレイン金属バー	
4 6 5	誘電体膜	
4 7 0	非導電性層	
4 7 5	はんだバンプ	
4 7 5 A	はんだバンプ	
4 7 5 B	はんだバンプ	
4 8 0	バリア層	
4 8 4	バッファ層	
4 8 6	基板	
4 9 0	絶縁体	50

494 ゲート層
498 ゲート電極

【図面】

【図 1 A】

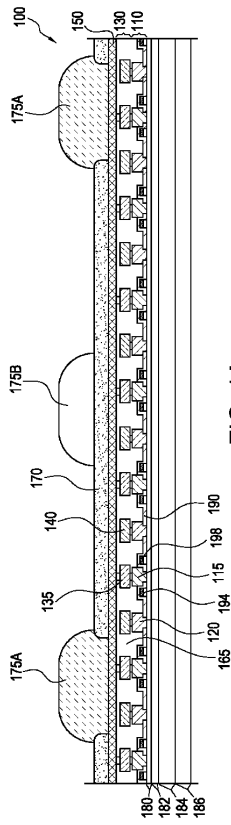


FIG. 1A

【図 1 B】

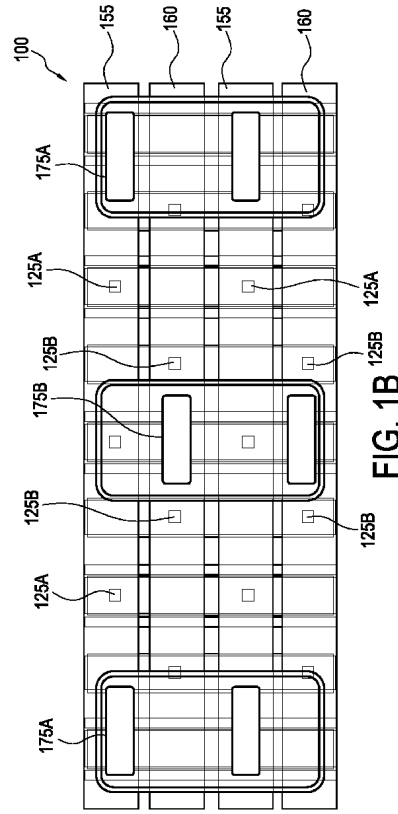


FIG. 1B

10

20

30

40

50

【 2 D 】

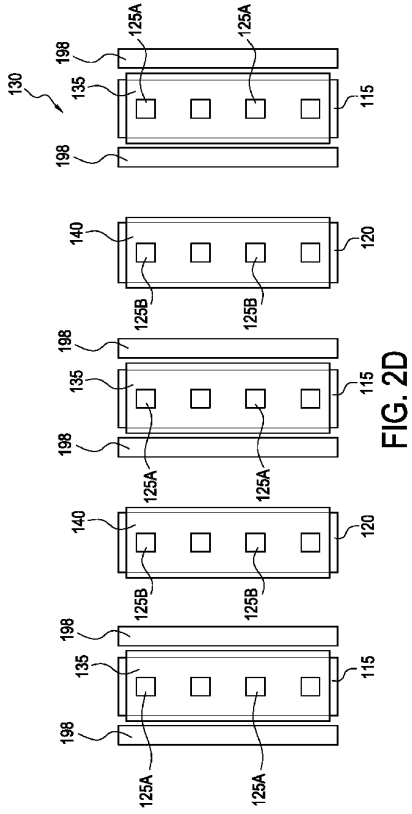


FIG. 2D

【 2 E 】

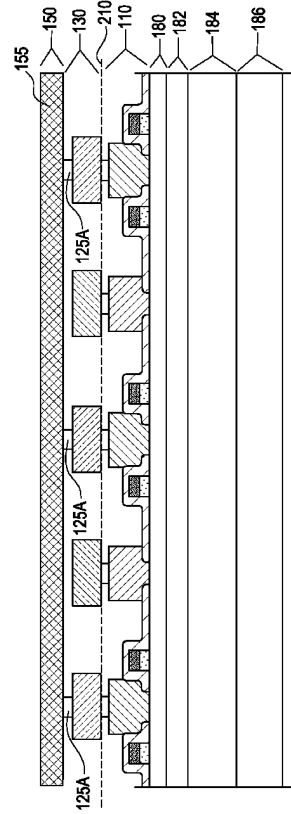


FIG. 2E

【 2 F 】

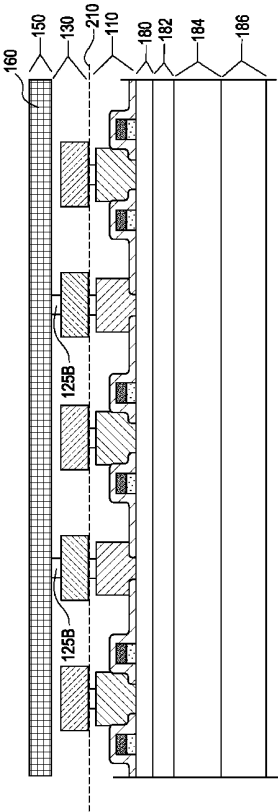


FIG. 2F

【 2 G 】

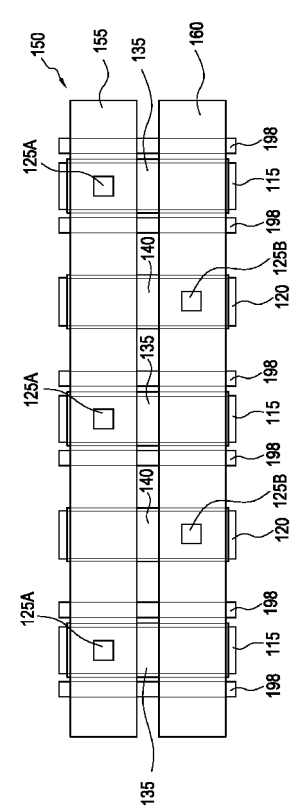


FIG. 2G

10

20

30

40

50

【 2 H 】

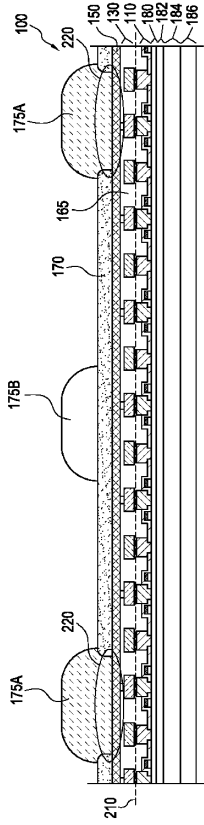


FIG. 2H

【 2 I 】

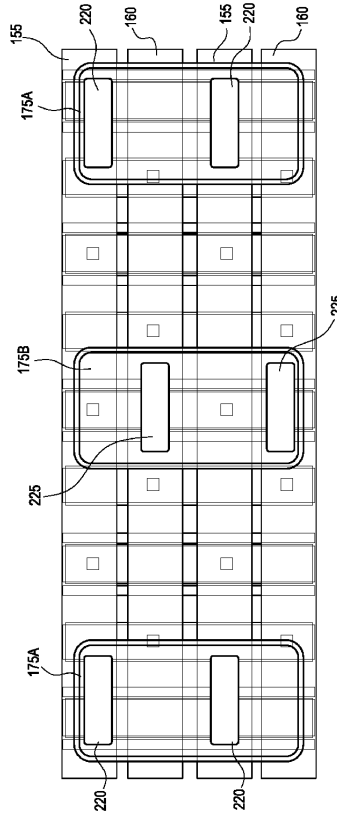


FIG. 2I

【 3 A 】

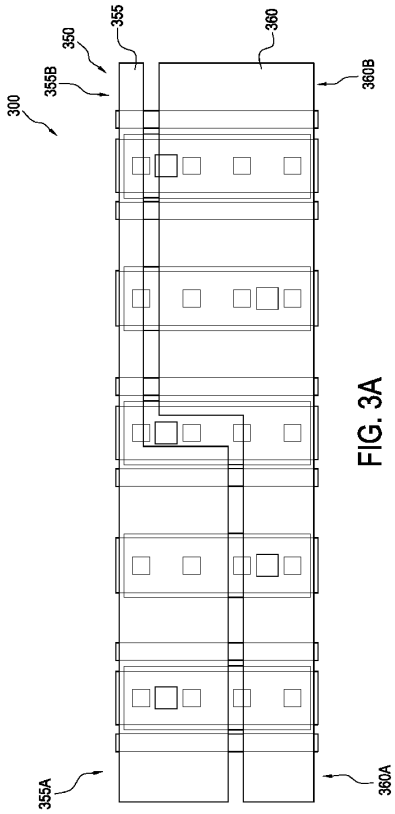


FIG. 3A

【 3 B 】

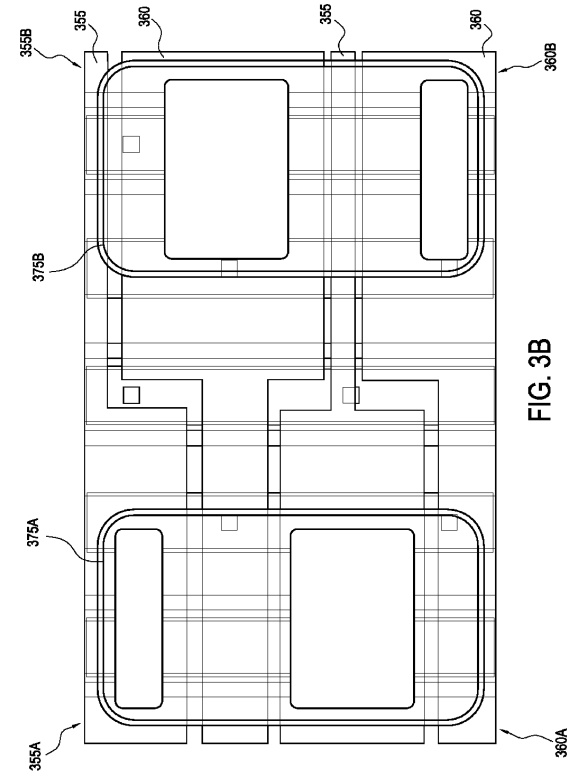


FIG. 3B

10

20

30

40

50

【 4 A 】

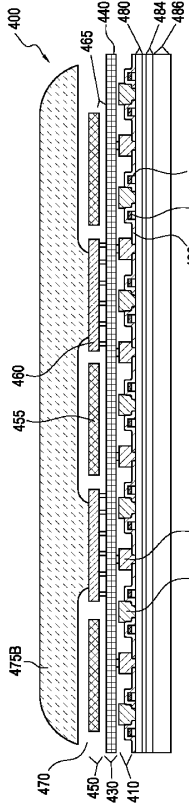


FIG. 4A

【 4 B 】

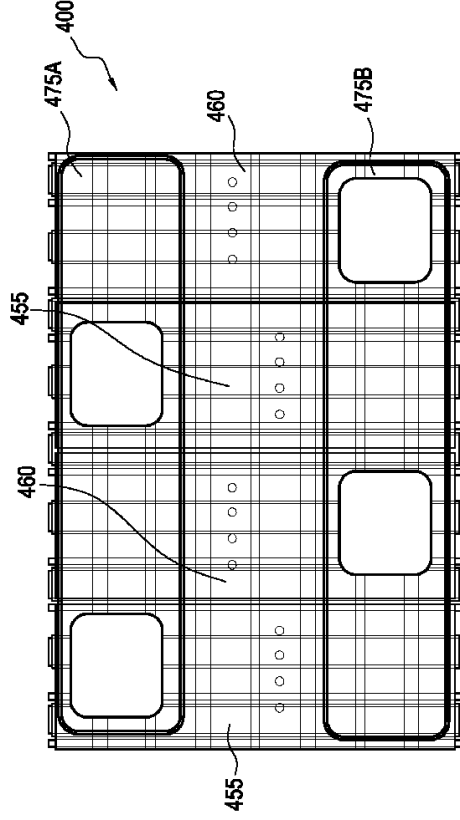


FIG. 4B

【 4 C 】

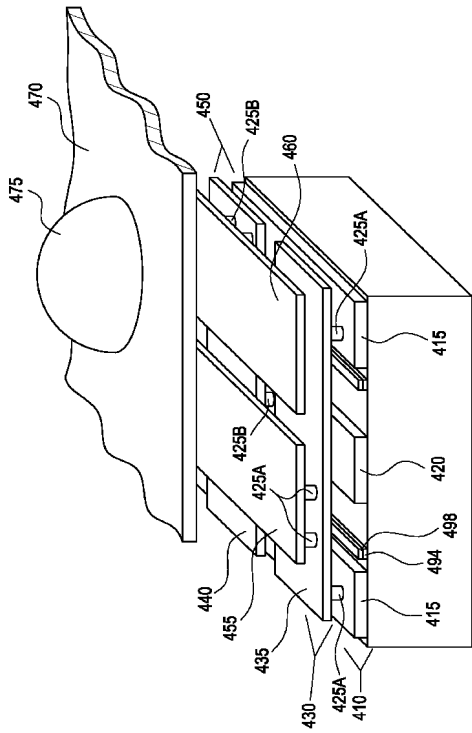


FIG. 4C

【 5 A 】

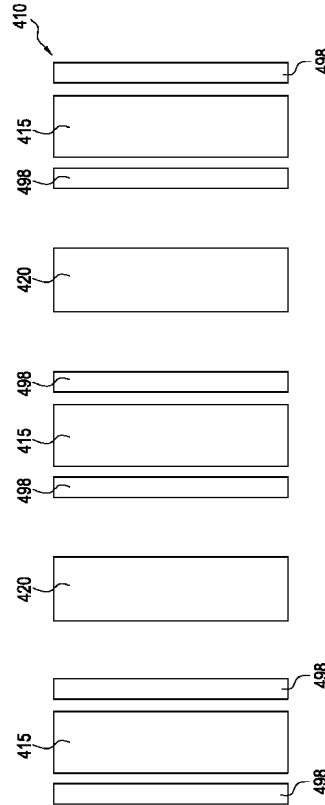


FIG. 5A

10

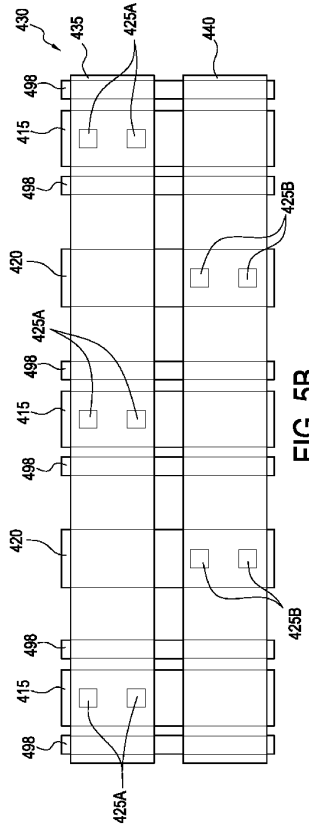
20

30

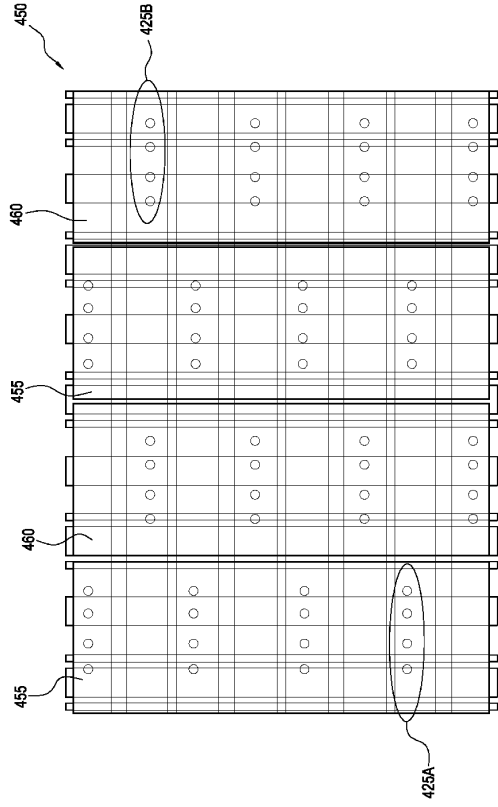
40

50

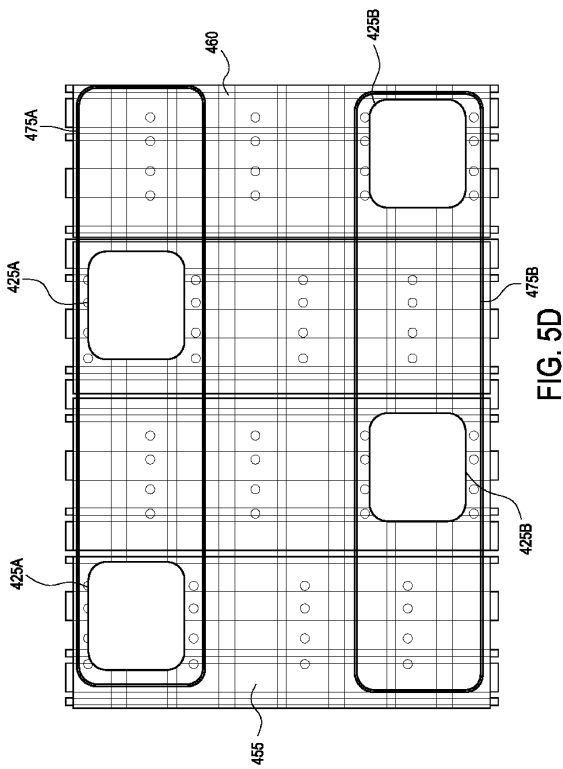
【 5 B 】



【 5 C 】



【 5 D 】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L 21/92 6 0 2 N

H 0 1 L 21/92 6 0 2 K

H 0 1 L 21/92 6 0 2 H

(72)発明者 イ・バンチャオ・ディストリクト・ヤンミン・ストリート・レーン・279・ナンバー・12-2
 ジャンジュン・カオ
 アメリカ合衆国・カリフォルニア・90505-8712・トーランス・ビンドゥーワールド・ロー
 ド・5323

(72)発明者 ファン・チャン・リウ
 台湾・300・シンジュー・シティ・イースト・ディストリクト・シジ・ロード・ナンバー・23
 8・19エフ-2

(72)発明者 ムスカン・シャーマ
 アメリカ合衆国・カリフォルニア・90504・トーランス・アーテシア・ブルバード・205
 9・アパートメント・56

審査官 戸川 匠

(56)参考文献 米国特許第09972571 (US, B1)
 特開2012-256885 (JP, A)
 国際公開第2014/188651 (WO, A1)

(58)調査した分野 (Int.Cl., DB名)
 H 0 1 L 2 1 / 3 2 0 5
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 1 / 6 0
 H 0 1 L 2 1 / 7 6 8
 H 0 1 L 2 3 / 5 2 2
 H 0 1 L 2 9 / 7 8