(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 6 月 11 日(11.06.2015)

WIPO | PCT

(10) 国際公開番号
WO 2015/083304 A1

(51) 国際特許分類:
H01L 21/338 (2006.01) *H01L 29/78* (2006.01)
H01L 21/336 (2006.01) *H01L 29/812* (2006.01)
H01L 29/778 (2006.01)

(21) 国際出願番号: PCT/JP2014/004423

(22) 国際出願日: 2014 年 8 月 28 日(28.08.2014)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2013-253365 2013 年 12 月 6 日(06.12.2013) JP

(71) 出願人: 株式会社デンソー(DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町１丁目１番地 Aichi (JP).

(72) 発明者: 土屋　義規(TSUCHIYA, Yoshinori); 〒4488661 愛知県刈谷市昭和町１丁目１番地株式会社デンソー内 Aichi (JP). 星　真一(HOSHI, Shinichi); 〒4488661 愛知県刈谷市昭和町１丁目１番地株式会社デンソー内 Aichi (JP). 冨田　一義(TOMITA, Kazuyoshi); 〒4801192 愛知県長久手市横道４１番地の１株式会社豊田中央研究所内 Aichi (JP). 伊藤　健治(ITOH, Kenji); 〒4801192 愛知県長久手市横道４１番地の１株式会社豊田中央研究所内 Aichi (JP). 樹神　雅人(KODAMA, Masahito); 〒4801192 愛知県長久手市横道４１番地の１株式会社豊田中央研究所内 Aichi (JP). 上杉　勉(UESUGI, Tsutomu); 〒4801192 愛知県長久手市横道４１番地の１株式会社豊田中央研究所内 Aichi (JP).

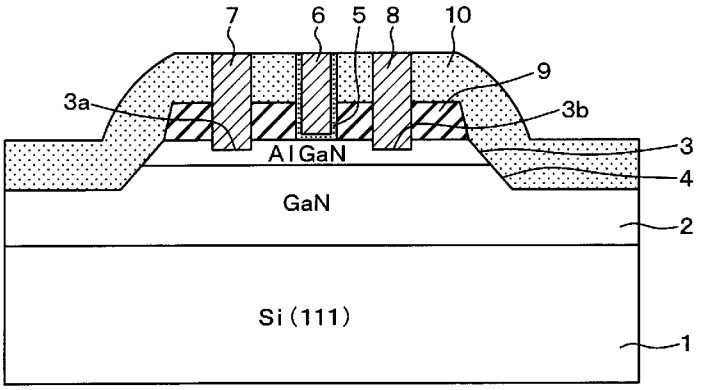
(74) 代理人: 金　順姫(KIN, Junhi); 〒4600003 愛知県名古屋市中区錦２丁目１３番１９号　瀧定ビル６階 Aichi (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) **Title**: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称 : 半導体装置およびその製造方法



(57) **Abstract**: This semiconductor device comprises a switching device which is provided with: a substrate (1) that is configured from a semi-insulating material or a semiconductor; channel formation layers (2, 3) that are formed on the substrate and are configured from a compound semiconductor which is mainly composed of a group 3 nitride; a gate structure that is obtained by forming a gate electrode (6) on the channel formation layers with a gate insulating film (5) being interposed therebetween; and a source electrode (7) and a drain electrode (8) that are formed on the channel formation layers so as to sandwich the gate structure therebetween. If a region of the channel formation layers, where the switching device is formed, is defined as an element region and a region around the element region is defined as an element isolation region, a collapse suppressing layer (9), which is configured from an insulating material, is formed on the channel formation layers in the element region and a leakage suppressing layer (10), which is configured from an insulating material different from that of the collapse suppressing layer, is formed on the channel formation layers in the element isolation region.

(57) 要約:

[続葉有]

WO 2015/083304 A1

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

半導体装置は、半絶縁性もしくは半導体にて構成される基板（１）と、基板上に形成された３族元素の窒化物を主成分とする化合物半導体にて構成されたチャネル形成層（２、３）と、チャネル形成層上に、ゲート絶縁膜（５）を介してゲート電極（６）が形成されたゲート構造と、チャネル形成層上において、ゲート構造を挟んだ両側に配置されたソース電極（７）およびドレイン電極（８）と、を備えたスイッチングデバイスを含む。チャネル形成層のうち、スイッチングデバイスが形成される領域を素子領域、素子領域の周囲を素子分離領域とすると、絶縁材料で構成されるコラプス抑制層（９）が素子領域においてチャネル形成層上に形成され、コラプス抑制層とは異なる絶縁材料で構成されるリーク抑制層（１０）が素子分離領域においてチャネル形成層上に形成される。

明　細　書

発明の名称 ： 半導体装置およびその製造方法

関連出願の相互参照

[0001] 本開示は、２０１３年１２月６日に出願された日本出願番号２０１３－２５３３６５号に基づくもので、ここにその記載内容を援用する。

技術分野

[0002] 本開示は、Ｇａ（ガリウム）、Ａｌ（アルミニウム）、Ｉｎ（インジウム）などの３族元素の窒化物を主成分とする化合物半導体を用いたスイッチングデバイスを含む半導体装置およびその製造方法に関する。例えば、本開示は、スイッチングデバイスとして、ＧａＮ－ＨＥＭＴ（High electron mobility transistor：高電子移動度トランジスタ）デバイスの一つである横型ＨＥＭＴを有する半導体装置に適用されると好適である。

背景技術

[0003] 従来、特許文献１において、３族元素の窒化物半導体層を用いて複数の素子形成を行う構造において、各素子間の絶縁分離構造の形成を容易に行えるようにする方法が開示されている。具体的には、３族元素の窒化物半導体層のうちの素子領域の周囲（以下、素子分離領域という）にイオン注入を行って改質領域を形成し、酸化処理の際に改質領域での酸化反応が促進させられるようにしている。これにより、素子分離領域に絶縁酸化膜が形成され易くなり、各素子間の絶縁分離構造の形成を容易に行うことが可能になる。しかしながら、このような方法では、素子分離領域において絶縁酸化膜が形成され易くなるものの、素子領域にも熱酸化によって部分的に絶縁酸化膜が形成され、表面の凹凸を増大させてしまう。このため、素子領域にスイッチングデバイスを形成したときに、移動度が低下してデバイス性能が低下するという問題がある。

[0004] また、基板上にバッファ層を介してＧａＮ層およびＡｌＧａＮ層を形成し、それを用いて複数の素子形成を行う構造において、各素子の間に、ＡｌＧ

ａＮ層の表面から基板まで、あるいは基板の近傍まで至るトレンチ分離構造を備える構造もある。しかしながら、エッチングによってトレンチを深く形成しなければならず、製造工程の長時間化を招き、製造コストが高くなってしまう。また、エッチングの際に用いるマスク材料も、深いトレンチが掘れるように厚膜レジストもしくはメタルマスクが必要になり、半導体装置の高集積化が難しくなる。

[0005] このため、素子分離領域に配置する絶縁膜をデポジションによって形成することが行われている。例えば、絶縁膜をデポジションによって形成する場合、次のような工程によって半導体装置が製造される。

[0006] まず、ＧａＮ層の上にＡｌＧａＮ層を形成し、素子領域の周囲となる素子分離領域を素子領域よりも凹ませることでメサ構造にする。続いて、素子領域および素子分離領域の表面上に絶縁膜としてシリコン酸化膜をデポジションする。そして、所望のマスクを用いてゲート電極の形成予定位置においてシリコン酸化膜を開口させてＡｌＧａＮ層に達する凹部を形成し、この凹部内にゲート絶縁膜を介してゲート電極を配置する。さらに、所望のマスクを用いてソース電極およびドレイン電極の形成予定位置、つまりゲート電極を挟んだ両側においてシリコン酸化膜を開口させてＡｌＧａＮ層に達する凹部を形成し、各凹部内にソース電極やドレイン電極を配置する。これにより、素子分離領域に配置する絶縁膜をデポジションにて形成した構造の半導体装置が完成する。また、素子領域および素子分離領域の表面上に形成する絶縁膜として、シリコン酸化膜に代えてシリコン窒化膜を形成することもできる。

先行技術文献

特許文献

[0007] 特許文献1：特開２００６－６６４８０号公報

発明の概要

[0008] 上記したように、素子領域および素子分離領域の表面上に配置する絶縁膜をデポジションにて形成することで、熱酸化によって発生する問題、つまり

素子領域まで部分的に絶縁酸化膜が形成されることで表面の凹凸を増大させるという問題を解消できる。

[0009] しかしながら、絶縁膜をシリコン酸化膜とする場合には、素子間のリーク防止については効果があるものの、電流コラプスについては十分な効果が得られないことが確認されている。また、絶縁膜をシリコン窒化膜とする場合には、電流コラプスについては効果があるものの、素子間のリーク防止については十分な効果が得られないことが確認されている。

[0010] なお、電流コラプスとは、スイッチングデバイスのスイッチング動作に伴う電気抵抗増大効果により、ドレイン電流量の回復に時間が掛かり、ドレイン電流が大幅に減少する現象をいう。

[0011] 本開示は素子間のリーク防止を図りつつ、電流コラプス現象についても効果が得られる構造を有する半導体装置およびその製造方法を提供することを目的とする。

[0012] 本開示では、半絶縁性もしくは半導体にて構成される基板と、基板上に形成された３族元素の窒化物を主成分とする化合物半導体にて構成されたチャネル形成層と、チャネル形成層上に、ゲート絶縁膜を介してゲート電極が形成されたゲート構造と、チャネル形成層上において、ゲート構造を挟んだ両側に配置されたソース電極およびドレイン電極と、を備えたスイッチングデバイスを含み、チャネル形成層のうちスイッチングデバイスが形成される領域を素子領域、該素子領域の周囲を素子分離領域として、素子領域においてチャネル形成層上に形成された絶縁材料で構成されるコラプス抑制層と、素子分離領域においてチャネル形成層上に形成され、コラプス抑制層とは異なる絶縁材料で形成されたリーク抑制層と、を有することを特徴としている。

[0013] このように、互いに異なる材質で構成されたコラプス抑制層とリーク抑制層の両方を備えている。このため、素子間のリーク防止を図りつつ、電流コラプス現象についても効果が得られる構造を有する半導体装置とすることが可能となる。

図面の簡単な説明

[0014] 本開示についての上記目的およびその他の目的、特徴や利点は、添付の図面を参照しながら下記の詳細な記述により、より明確になる。その図面は、

[図1]本開示の第１実施形態にかかる横型のＨＥＭＴを有する半導体装置の断面図である。

[図2]図１に示す半導体装置の製造工程を示した断面図である。

[図3]本開示の第２実施形態にかかる横型のＨＥＭＴを有する半導体装置の断面図である。

[図4]図３に示す半導体装置の製造工程を示した断面図である。

[図5]本開示の第３実施形態にかかる横型のＨＥＭＴを有する半導体装置の断面図である。

[図6]図５に示す半導体装置の製造工程を示した断面図である。

発明を実施するための形態

[0015] 以下、本開示の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

[0016] （第１実施形態）

本開示の第１実施形態について説明する。図１に示すように、本実施形態にかかる半導体装置は、３族元素の窒化物を主成分とする化合物半導体を用いたスイッチングデバイスとして、横型のＨＥＭＴを備えている。このＨＥＭＴは、以下のように構成されている。

[0017] 横型ＨＥＭＴは、基板１の表面に、ＧａＮ層２およびｎ型のＡｌＧａＮ層３が積層された構造を化合物半導体基板として用いて形成されている。この化合物半導体基板におけるＡｌＧａＮ／ＧａＮ界面のＧａＮ層側に、ピエゾ効果及び分極効果により２次元電子ガス（以下、２ＤＥＧ）キャリアが誘起されることで横型ＨＥＭＴが動作するようになっている。

[0018] 基板１は、Ｓｉ（１１１）やＳｉＣおよびサファイヤなどの半絶縁性材料や半導体材料によって構成されており、この上にＧａＮ層２とＡｌＧａＮ層３が例えばヘテロエピタキシャル成長によって形成されている。基板１の比

抵抗値は目的とするデバイスの特性に合わせて、基板１内の不純物濃度により任意に調整すればよい。また、図示していないが、ＧａＮ層２と基板１との間にＡｌＧａＮ－ＧａＮ超格子層などを介在させ、ＧａＮ層２の結晶性を良好なものにすることも有効である。ここでの結晶性とは、ＧａＮ層２中の欠陥や転位などであり、電気的及び光学的な特性に対して影響を及ぼすものである。

[0019] 基板１のうちデバイス形成が行われる部分を素子領域として、この素子領域の周囲に位置する素子分離領域に、凹部４が形成されることでメサ構造が構成されている。凹部４は、ＡｌＧａＮ層３の表面からＧａＮ層２に達する深さとされ、凹部４の側壁面は基板表面に対して傾斜させられている。例えば、ＡｌＧａＮ層３を２０ｎｍ程度の厚みで形成しているが、凹部４はそれ以上の深さとされている。

[0020] また、ＡｌＧａＮ層３の表面には溝部３ａ、３ｂが形成されている。ＡｌＧａＮ層３の表面のうち両溝部３ａ、３ｂの間には、ゲート絶縁膜５およびその上に形成されたゲート電極６にて構成されるゲート構造が備えられている。ゲート絶縁膜５は、酸化膜などによって構成されており、ゲート電極６は、不純物がドープされたＰｏｌｙ－Ｓｉや金属材料などによって構成されている。ただし、ゲート電極６及びゲート絶縁膜５の材料は、目的とするデバイスの閾値電圧及びゲート耐圧、長期信頼性等を鑑みて、最適な材料及びその構造を選べばよい。例えば、ゲート絶縁膜５としては、Ｓｉ酸化膜の他に、Ｓｉ窒化膜やＳｉＯＮ、Al_2O_3やLa_2O_3などの高誘電率材料を用いることも有効であるし、それらの混合膜、積層膜でもよい。ゲート絶縁膜５を高誘電率膜とする場合、多結晶化抑制のために、窒素やＳｉなどを高温熱処理やプラズマプロセスを用いてドープしてもよい。

[0021] 一方、ＡｌＧａＮ層３の表面のうち溝部３ａが配置された場所には、溝部３ａ内に入り込むようにソース電極７が形成されており、溝部３ｂが配置された場所には、溝部３ｂ内に入り込むようにドレイン電極８が形成されている。これらソース電極７やドレイン電極７は、例えばＡｌなどの電極材料で

構成されており、それぞれ溝部３ａ、３ｂの表面とオーミック接触させられている。

[0022] そして、素子領域において、ＡｌＧａＮ層２の表面のうちゲート構造やソース電極７およびドレイン電極８以外の部分を覆うように、コラプス抑制層９が例えば５０ｎｍの厚さで形成されている。このコラプス抑制層９は、電流コラプスを抑制するための保護膜であり、窒素もしくはＡｌを含む絶縁材料、例えばシリコン窒化膜やシリコン酸化窒化膜、アルミナ（Al_2O_3）もしくはアルミシリケート（ＡｌＳｉＯ）等により構成されている。このような絶縁材料を用いたコラプス抑制層９を備えることによって、素子領域に形成されるスイッチングデバイスのスイッチング動作に伴う電気抵抗増大を抑制でき、ドレイン電流量の回復時間の縮小を図れることで、ドレイン電流の減少を抑制することが可能となる。コラプス抑制層９の厚さは、連続膜が形成できる厚さ以上である必要がある。膜が不連続である場合には、不連続領域においてコラプス現象が生じてしまう。典型的には、１ｎｍ以上である必要があるが、ＡＬＤ（atomic layer deposition）法などにより、制御性良く膜厚制御できる場合は、１層以上のコラプス抑制層９が形成されていれば、所望の効果が達成できる。

[0023] さらに、コラプス抑制層９の表面および凹部４内におけるＧａＮ層２やＡｌＧａＮ層３の露出部分の表面上に、リーク抑制層１０が例えば１００ｎｍの厚さで形成されている。このリーク抑制層１０は、素子間のリークを抑制するためのもの保護膜であり、コラプス抑制層９とは異なる材質の絶縁材料、例えばシリコン酸化膜やＧａの酸化物を主成分とする材料等により構成されている。特に、リーク抑制層１０については酸素を少なくとも１％以上含む材料で構成すると、ＧａＮ層表面に局在する欠陥をＯ終端でき、それを介したリーク電流が効果的に抑制できるため好ましい。このような絶縁材料を用いたリーク抑制層１０を備えることにより、隣接する素子間の絶縁分離が的確に行え、素子間のリークを抑制することが可能となる。リーク抑制層１０の膜厚下限値は、コラプス抑制層９と同様に、１ｎｍ以上である必要があ

り、ＡＬＤ法を用いる場合には、１層以上が形成されていれば、所望の効果が達成できる。

[0024] このような構成により、本実施形態にかかる横型のＨＥＭＴが構成されている。このように構成される横型のＨＥＭＴは、ゲート電極６に対してゲート電圧が印加されることでスイッチング動作を行う。具体的には、ゲート電極６に対してゲート電圧が印加されることで、ゲート電極６の下方におけるＧａＮ層２とＡｌＧａＮ層３のＧａＮ層側に２ＤＥＧで構成される電子層（チャネル）の密度が制御され、ソース－ドレイン間に電圧が加えられる。これにより、横型のＨＥＭＴは、ソース－ドレイン間に電流を流すという動作を行う。

[0025] そして、本実施形態の半導体装置においては、互いに異なる材質で構成されたコラプス抑制層９とリーク抑制層１０の両方を備えている。このため、素子間のリーク防止を図りつつ、電流コラプス現象についても効果が得られる構造を有する半導体装置とすることが可能となる。また、コラプス抑制層９およびリーク抑制層１０を形成することで、デバイスの寄生容量を低減でき、高速動作化が可能になるという効果も得られる。

[0026] 以下、本実施形態にかかる横型のＨＥＭＴを有する半導体装置の製造方法について、図２を参照して説明する。

[0027] 〔図２（ａ）に示す工程〕

Ｓｉ（１１１）やＳｉＣおよびサファイヤなどで構成された基板１の表面に、ＧａＮ層２およびｎ型のＡｌＧａＮ層３が積層された構造を有する化合物半導体基板を用意する。例えば、基板１の表面に、ＧａＮ層２およびＡｌＧａＮ層３をＭＯＣＶＤ（Metal Organic Chemical Vapor Deposition：有機金属気相成長）法や超高純度、高精度にしたＭＢＥ（Molecular Beam Epitaxy：分子線エピタキシー）法などによって形成する。

[0028] 次に、ＡｌＧａＮ層３の表面に、ＬＰＣＶＤ（Low Pressure Chemical Vapor Deposition：減圧気相成長）法等により、例えば窒素もしくはＡｌを含む絶縁材料で構成されるコラプス抑制層９を成膜する。そして、スピンコート

などによってレジスト膜２０を成膜したのち、フォトリソグラフィ工程を経てレジスト膜２０をパターニングし、レジスト膜２０を素子領域となる部分にのみ残す。

[0029] 〔図２（ｂ）に示す工程〕

レジスト膜２０をマスクとして、コラプス抑制層９の表面からＲＩＥ（Reactive Ion Etching）などによってエッチングし、ＡｌＧａＮ層３を貫通してＧａＮ層２に達する深さの凹部４を形成することでメサ構造を構成する。これにより、ＡｌＧａＮ層３およびＧａＮ層２に凹部４が形成されると共に、素子領域に残されたＡｌＧａＮ層３の上にコラプス抑制層９が残される。この後、レジスト膜２０を除去する。

[0030] 〔図２（ｃ）に示す工程〕

コラプス抑制層９の表面および凹部４内におけるＧａＮ層２やＡｌＧａＮ層３の露出部分の表面上に、ＬＰＣＶＤ法等により、例えばシリコン酸化膜やＧａの酸化物を主成分とする材料等により構成されるリーク抑制層１０を成膜する。

[0031] この後の工程については従来と同様であるため図示しないが、例えば以下の工程を行っている。リーク抑制層１０の表面にレジスト膜を成膜したのち、これをパターニングしてゲート構造の形成予定領域以外の部分にレジスト膜を残す。そして、このレジスト膜をマスクとしてリーク抑制膜１０およびコラプス抑制膜９を除去してＡｌＧａＮ層３を露出させる。そして、レジスト膜を除去したのち、少なくともＡｌＧａＮ層３の露出した表面を覆うようにゲート絶縁膜５を形成し、さらにゲート絶縁膜５の上にゲート電極６を形成する。さらに、再度リーク抑制層１０やゲート構造の上にレジスト膜を成膜したのち、これをパターニングしてソース電極７およびドレイン電極８の形成予定領域以外の部分にレジスト膜を残す。このレジスト膜をマスクとしてリーク抑制膜１０やコラプス抑制膜９を除去すると共にＡｌＧａＮ層３の一部を除去することで溝部３ａ、３ｂを形成する。そして、レジスト膜を除去したのち、溝部３ａ、３ｂ内にソース電極７およびドレイン電極８を形成

する。このようにして、図１に示す半導体装置が完成する。

[0032] 以上説明したように、本実施形態では、互いに異なる材質で構成されたコラプス抑制層９とリーク抑制層１０の両方を備えている。このため、素子間のリーク防止を図りつつ、電流コラプス現象についても効果が得られる構造を有する半導体装置とすることが可能となる。

[0033] （第２実施形態）

本開示の第２実施形態について説明する。本実施形態は、第１実施形態に対してコラプス抑制層９の構造を変更したものであり、その他については第１実施形態と同様であるため、第１実施形態と異なる部分についてのみ説明する。

[0034] 図３に示すように、本実施形態では、メサ構造を構成する凹部４の側壁面が覆われるようにコラプス抑制層９を形成している。つまり、コラプス抑制層９のうちＡｌＧａＮ層３の上に形成された部分を表面部９ａとして、この表面部９ａの側面および凹部４の側壁面を覆うようにサイドウォール部９ｂを備えている。

[0035] このように、表面部９ａに加えてサイドウォール部９ｂを備えることにより、素子領域のエッジ部、つまり凹部４の側壁面の位置においても電流コラプスを抑制することができる。このため、第１実施形態に示した効果が得られるのに加えて、より効果的に電流コラプスを抑制することが可能となる。

[0036] 次に、図４を参照して、本実施形態にかかる横型ＨＥＭＴを有する半導体装置の製造方法について説明する。

[0037] 〔図４（ａ）に示す工程〕

まず、第１実施形態で説明した図２（ａ）、（ｂ）に示す工程を行う。すなわち、基板１の上に、ＧａＮ層２、ＡｌＧａＮ層３およびコラプス抑制層９の表面部９ａを形成するための表面形成膜３０を形成すると共に、素子分離領域において表面形成膜３０およびＡｌＧａＮ層３やＧａＮ層２の表面部を除去することで凹部４を形成する。

[0038] 〔図４（ｂ）に示す工程〕

表面形成膜３０の表面および凹部４内におけるＧａＮ層２やＡｌＧａＮ層３の露出部分の表面上に、コラプス抑制層９のうちのサイドウォール部９ｂを構成するためのサイドウォール形成膜３１を形成する。例えば、ＬＰＣＶＤ法等により、例えば窒素もしくはＡｌを含む絶縁材料によりで構成されるサイドウォール形成膜３１を形成する。

[0039] 〔図４Ｃに示す工程〕

サイドウォール形成膜３１を異方性エッチングすることで、表面部９ａの側面および凹部４の側壁面を覆うようにサイドウォール部９ｂを形成する。これにより、コラプス抑制層９が構成され、コラプス抑制層９によって、素子領域のエッジ部、つまり凹部４の側壁面の位置が覆われた構造となる。サイドウォール部９ｂ、メサ傾斜部分に露出したＡｌＧａＮ／ＧａＮ界面部分が覆われるように形成されていればよい。

[0040] 〔図４（ｄ）に示す工程〕

第１実施形態で説明した図２（ｃ）に示す工程を行う。これにより、コラプス抑制層９の表面および凹部４内におけるＧａＮ層２やＡｌＧａＮ層３の露出部分の表面上に、例えばシリコン酸化膜やＧａの酸化物を主成分とする材料等により構成されるリーク抑制層１０を成膜する。

[0041] この後は、第１実施形態で説明した方法によって、ゲート構造やソース電極７およびドレイン電極８を形成することで、図３に示した本実施形態にかかる半導体装置を製造することができる。

[0042] （第３実施形態）

本開示の第３実施形態について説明する。本実施形態は、第２実施形態に対してリーク抑制層１０の構造を変更したものであり、その他については第２実施形態と同様であるため、第２実施形態と異なる部分についてのみ説明する。

[0043] 図５に示すように、本実施形態でも、メサ構造を構成する凹部４の側壁面が覆われるようにコラプス抑制層９を形成しているが、リーク抑制層１０についてはコラプス抑制層９の上には形成しておらず、凹部４の底面部の表面

上にのみ形成してある。つまり、リーク抑制層１０が素子分離領域のみに形成された構造としている。

[0044] このように、リーク抑制層１０が素子分離領域のみに形成された構造としても、第２実施形態と同様、表面部９ａに加えてサイドウォール部９ｂを備えているため、素子領域のエッジ部、つまり凹部４の側壁面の位置においても電流コラプスを抑制することができる。このため、第２実施形態と同様、第１実施形態に示した効果が得られるのに加えて、より効果的に電流コラプスを抑制することが可能となる。

[0045] 次に、図６を参照して、本実施形態にかかる横型ＨＥＭＴを有する半導体装置の製造方法について説明する。

[0046] まず、図６（ａ）～（ｃ）に示す工程において、第２実施形態で説明した図４（ａ）～（ｃ）と同様の工程を行い、表面部９ａの側面および凹部４の側壁面を覆うようにサイドウォール部９ｂを形成したコラプス抑制層９を構成する。この後、図６（ｄ）に示す工程として、熱酸化工程を行うことで、凹部４の底面においてＧａＮ層２が露出している部分を熱酸化して酸化ガリウム（Ga_2O_2）からなるリーク抑制層１０を形成する。本実施形態では、リーク抑制層１０の酸化工程の際に素子領域がコラプス抑制層９に覆われているため、素子形成領域の酸化処理に伴う表面あれは生じない。この場合、コラプス抑制層９の膜厚は、リーク抑制層１０の酸化工程にて素子領域のＡｌＧａＮ層３が酸化されない膜厚以上である必要があり、典型的には５０ｎｍ以上であるが、酸化工程のプロセス条件を鑑みて調整すればよい。

[0047] このように構成されるリーク抑制層１０は、Ｇａの熱酸化物を主成分とする膜によって構成されるため、デポジション膜にくらべて界面の未結合主密度が低減でき、界面を介したリーク電流成分を効果的に抑制できる効果を得ることができる。また、素子分離領域にのみリーク抑制層１０を形成でき、メサ構造の段差を覆うようにリーク抑制層１０を形成する必要がないため、リーク抑制層１０の膜厚を薄くできる。このため、リーク抑制層１０が厚くなる場合と比較して放熱効果を改善でき、素子の大電流動作化が可能となる

。

[0048] （変形例）

本開示は、実施形態に準拠して記述されたが、当該実施形態や構造に限定されるものではない。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

[0049] 例えば、上記実施形態では、メサ構造を構成する凹部４の側壁面が基板表面に対して傾斜させられた状態としている。これは、後で形成するサイドウォール形成膜３１やリーク抑制層１０が凹部４の側壁面にも付着し易くするためであり、凹部４の側壁面が基板表面に対して垂直であっても構わない。また、必ずしもメサ構造としなくても良い。

[0050] また、リーク抑制層１０によって素子分離が可能であるが、素子分離領域においてＧａＮ層２の表面に補助的にリーク阻止元素（例えば、Ｆ（フッ素）やＦｅ（鉄）など）をイオン注入しておけば、より効果的にリーク抑制が可能となる。

[0051] さらに、上記各実施形態では、スイッチングデバイスとして、基板１上にチャネル形成膜としてＧａＮ層２およびＡｌＧａＮ層３を形成した構造を例に挙げた。これに対して他の構造のスイッチングデバイスを適用しても良い。例えば、基板１の上にＧａＮ層２が形成され、ＧａＮ層２に接触するようにゲート構造やソース電極７およびドレイン電極８が形成された構造のスイッチングデバイスを適用することもできる。また、ＧａＮ層２などのチャネル形成層を部分的に凹ませたリセス部を設け、このリセス部内にゲート構造が配置されるスイッチングデバイスを適用することもできる。リセス内部のＡｌＧａＮ層３は完全にエッチング除去してもよいし、部分的に残してもよく、形成するデバイスの動作閾値電圧、チャネル抵抗の設計によって、適宜最適なものを用いればよい。

請求の範囲

[請求項1] 半絶縁性もしくは半導体にて構成される基板（１）と、

前記基板上に形成された３族元素の窒化物を主成分とする化合物半導体にて構成されたチャネル形成層（２、３）と、

前記チャネル形成層上に、ゲート絶縁膜（５）を介してゲート電極（６）が形成されたゲート構造と、

前記チャネル形成層上において、前記ゲート構造を挟んだ両側に配置されたソース電極（７）およびドレイン電極（８）と、を備えたスイッチングデバイスを含み、

前記チャネル形成層のうち前記スイッチングデバイスが形成される領域を素子領域、該素子領域の周囲を素子分離領域として、

前記素子領域において前記チャネル形成層上に形成された絶縁材料で構成されるコラプス抑制層（９）と、

前記素子分離領域において前記チャネル形成層上に形成され、前記コラプス抑制層とは異なる絶縁材料で形成されたリーク抑制層（１０）と、を有する半導体装置。

[請求項2] 前記コラプス抑制層は窒素もしくはアルミニウムを含む絶縁材料によって構成されており、

前記リーク抑制層は少なくとも酸素を１％含む絶縁材料によって構成されている請求項１に記載の半導体装置。

[請求項3] 前記チャネル形成層のうち前記素子分離領域に凹部（４）が形成されることでメサ構造とされ、

前記リーク抑制層は、少なくとも前記凹部の底面上に形成されている請求項１または２に記載の半導体装置。

[請求項4] 前記素子領域では、前記コラプス抑制層と前記リーク抑制層とが順に積層された積層構造とされ、

前記素子分離領域では、前記リーク抑制層のみが形成された構造とされている請求項１ないし３のいずれか１つに記載の半導体装置。

[請求項5] 前記コラプス抑制層は、前記素子領域において前記チャネル形成層の表面上に形成された表面部（９ａ）と、前記メサ構造を構成する凹部の側壁面に形成されたサイドウォール部（９ｂ）とを有して構成され、

前記素子領域では、前記コラプス抑制層と前記リーク抑制層とが順に積層された積層構造とされ、

前記素子分離領域では、前記リーク抑制層のみが形成された構造とされている請求項３に記載の半導体装置。

[請求項6] 前記コラプス抑制層は、前記素子領域において前記チャネル形成層の表面上に形成された表面部（９ａ）と、前記メサ構造を構成する凹部の側壁面に形成されたサイドウォール部（９ｂ）とを有して構成され、

前記素子領域では、前記コラプス抑制層のみが形成された構造とされ、

前記素子分離領域では、前記リーク抑制層のみが形成された構造とされている請求項３に記載の半導体装置。

[請求項7] 請求項４に記載の半導体装置の製造方法であって、

前記基板上に前記チャネル形成層を形成する工程と、

前記チャネル形成層の上に、前記コラプス抑制層を形成する工程と、

前記コラプス抑制層の上にマスク（２０）を配置したのち、該マスクを用いて、前記素子分離領域において前記コラプス抑制層および前記チャネル形成層をエッチングし、前記チャネル形成層に凹部（４）を形成すると共に前記素子領域に残された前記チャネル形成層の上に前記コラプス抑制層を残す工程と、

前記コラプス抑制層の上を含め、前記凹部内における前記チャネル形成層の上に、前記コラプス抑制層とは異なる絶縁材料で構成される前記リーク抑制層を形成する工程と、を含んでいる半導体装置の製造

方法。

[請求項8] 請求項５に記載の半導体装置の製造方法であって、

前記基板上に前記チャネル形成層を形成する工程と、

前記チャネル形成層の上に、前記コラプス抑制層のうちの前記表面部を形成するための表面形成膜（３０）を形成する工程と、

前記表面形成膜の上にマスク（２０）を配置したのち、該マスクを用いて、前記素子分離領域において前記表面形成膜および前記チャネル形成層をエッチングし、前記チャネル形成層に凹部（４）を形成すると共に前記素子領域に残された前記チャネル形成層の上に前記表面部を残す工程と、

前記表面部を含め、前記凹部内における前記チャネル形成層の上に、前記コラプス抑制層のうちの前記サイドウォール部を形成するためのサイドウォール形成膜（３１）を形成する工程と、

前記サイドウォール形成膜を異方性エッチングすることで、前記表面部および前記凹部の側壁面を覆うように前記サイドウォール部を形成する工程と、

前記コラプス抑制層の上を含め、前記凹部内における前記チャネル形成層の上に、前記コラプス抑制層とは異なる絶縁材料で構成される前記リーク抑制層を形成する工程と、を含んでいる半導体装置の製造方法。

[請求項9] 請求項６に記載の半導体装置の製造方法であって、

前記基板上に前記チャネル形成層を形成する工程と、

前記チャネル形成層の上に、前記コラプス抑制層のうちの前記表面部を形成するための表面形成膜（３０）を形成する工程と、

前記表面形成膜の上にマスク（２０）を配置したのち、該マスクを用いて、前記素子分離領域において前記表面形成膜および前記チャネル形成層をエッチングし、前記チャネル形成層に凹部（４）を形成すると共に前記素子領域に残された前記チャネル形成層の上に前記表面

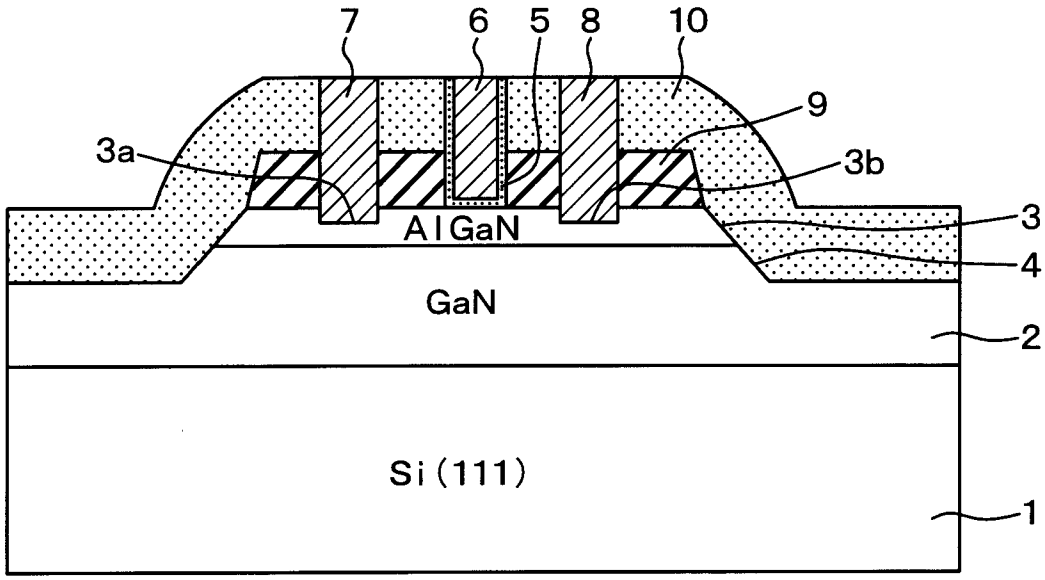
部を残す工程と、

前記表面部を含め、前記凹部内における前記チャネル形成層の上に、前記コラプス抑制層のうちの前記サイドウォール部を形成するためのサイドウォール形成膜（３１）を形成する工程と、

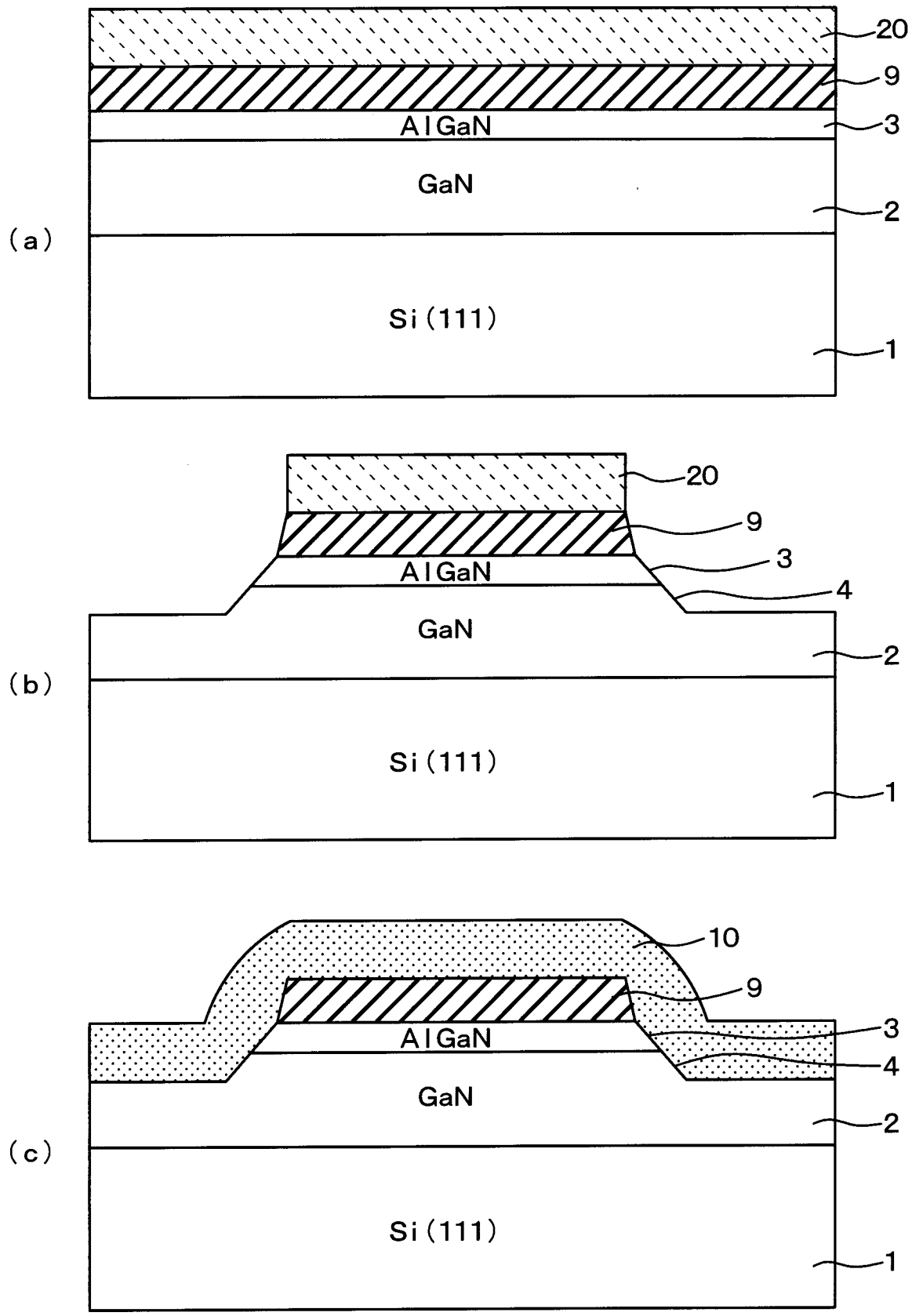
前記サイドウォール形成膜を異方性エッチングすることで、前記表面部および前記凹部の側壁面を覆うように前記サイドウォール部を形成する工程と、

熱酸化を行うことにより、前記凹部内における前記チャネル形成層の表面上に、前記コラプス抑制層とは異なる絶縁材料で構成される前記リーク抑制層を形成する工程と、を含んでいる半導体装置の製造方法。

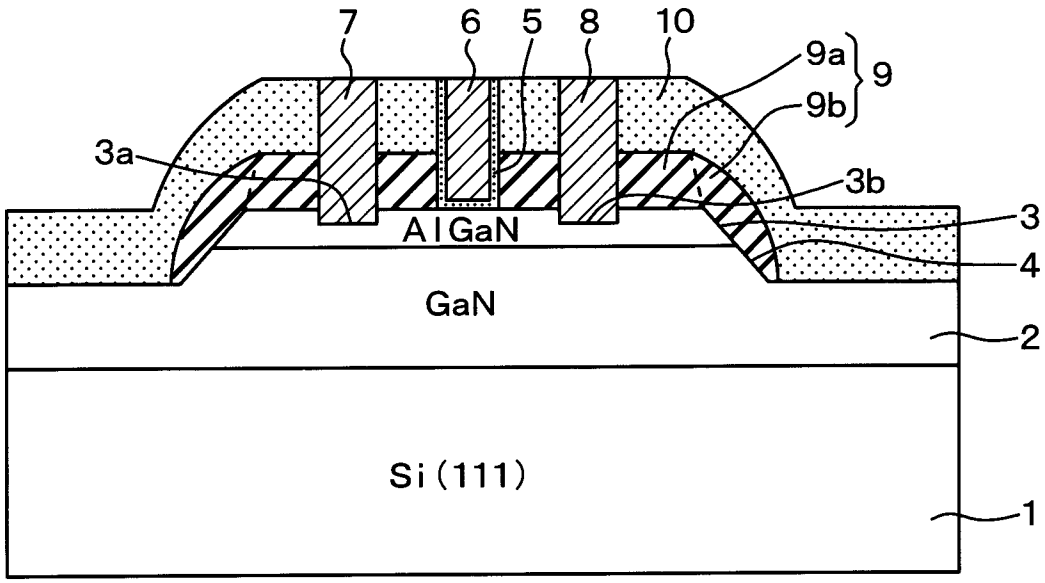
[図1]



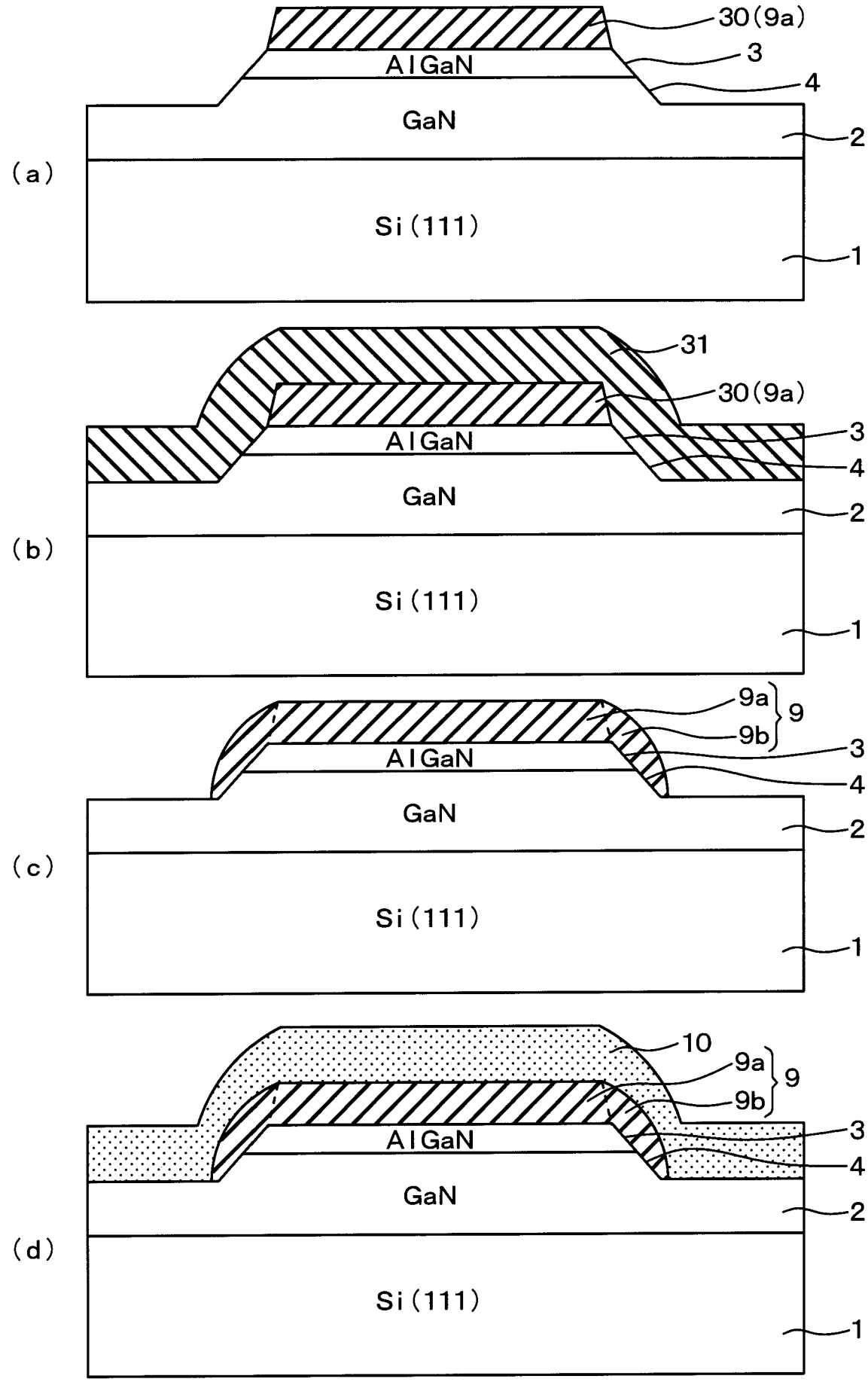
[図2]


(a)
20
9
AlGaN
3
GaN
2
Si(111)
1
(b)
20
9
AlGaN
3
4
GaN
2
Si(111)
1
(c)
10
9
AlGaN
3
4
GaN
2
Si(111)
1

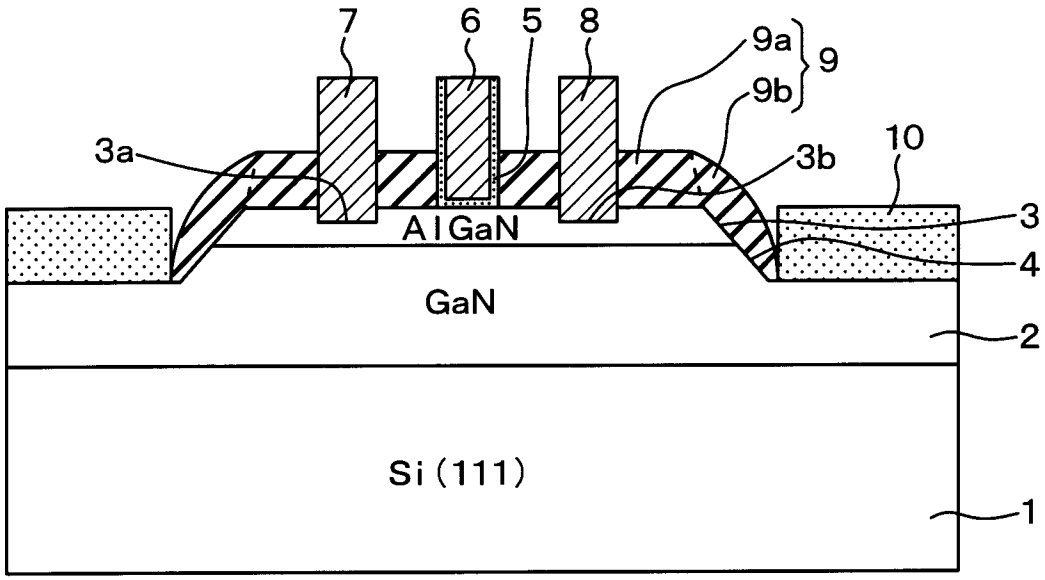
[図3]



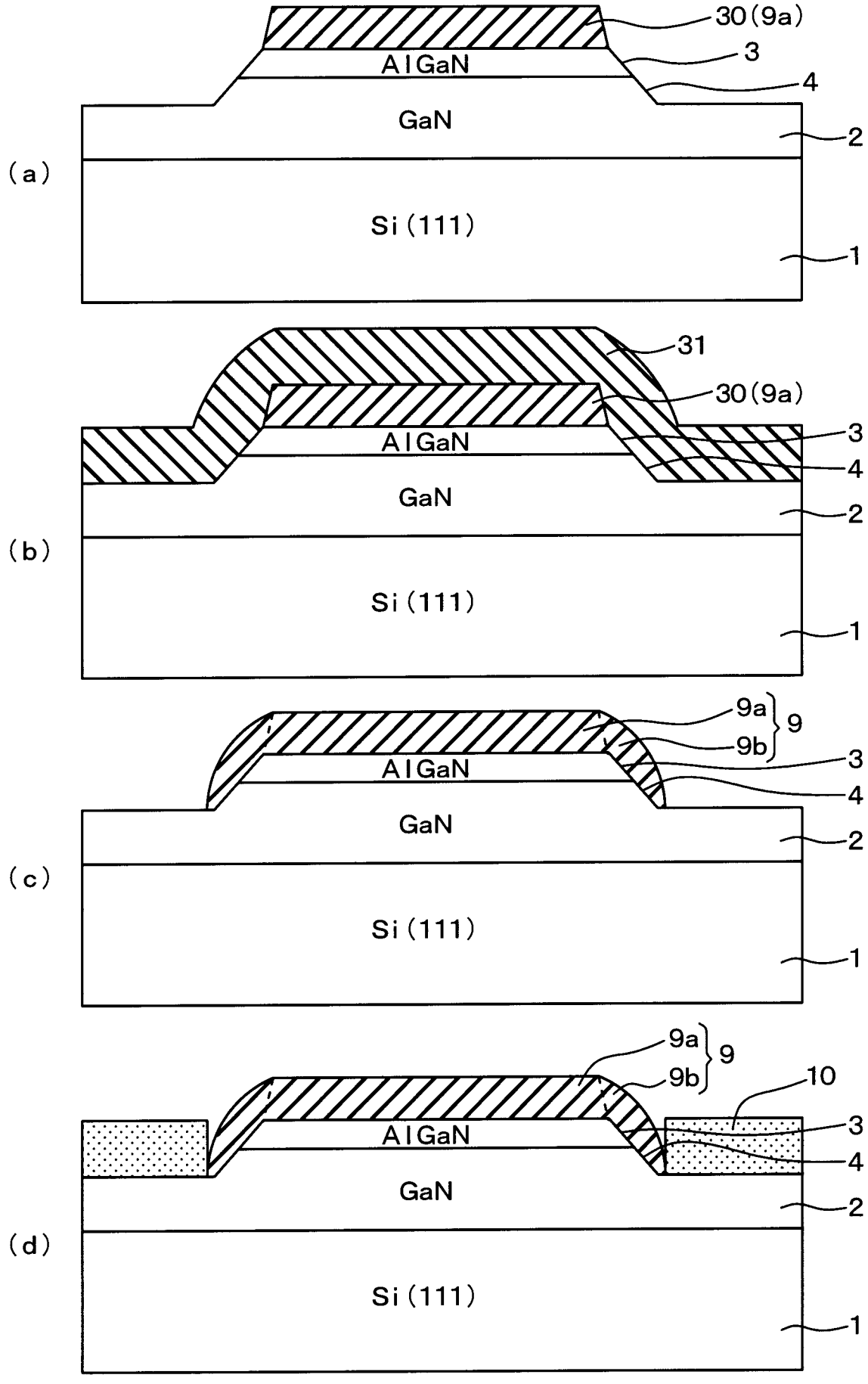
[図4]


(a)
30(9a)
3
AlGaN
4
GaN
2
Si(111)
1
(b)
31
30(9a)
3
AlGaN
4
GaN
2
Si(111)
1
(c)
9a
9b
9
3
AlGaN
4
GaN
2
Si(111)
1
(d)
10
9a
9b
9
3
AlGaN
4
GaN
2
Si(111)
1

[図5]



[図6]


(a)
30(9a)
3
AlGaN
4
GaN
2
Si(111)
1
(b)
31
30(9a)
3
AlGaN
4
GaN
2
Si(111)
1
(c)
9a
9
9b
3
AlGaN
4
GaN
2
Si(111)
1
(d)
9a
9
9b
10
3
AlGaN
4
GaN
2
Si(111)
1

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/004423

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/338(2006.01)i, *H01L21/336*(2006.01)i, *H01L29/778*(2006.01)i, *H01L29/78*(2006.01)i, *H01L29/812*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/338, H01L21/336, H01L29/778, H01L29/78, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2006-173241 A (Matsushita Electric Industrial Co., Ltd.), 29 June 2006 (29.06.2006), fig. 1 to 2; paragraphs [0009], [0051] (Family: none)	1-4,7 5,6,8,9
Y	JP 2006-173595 A (Matsushita Electric Industrial Co., Ltd.), 29 June 2006 (29.06.2006), fig. 3(b); paragraphs [0059], [0041] & US 2006/0226415 A1	5,8
Y	JP 2012-49216 A (Mitsubishi Electric Corp.), 08 March 2012 (08.03.2012), fig. 1 (Family: none)	6,9

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 29 October, 2014 (29.10.14)	Date of mailing of the international search report 11 November, 2014 (11.11.14)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/004423

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-45343 A (IMEC), 25 February 2010 (25.02.2010), fig. 11 & US 2010/0012977 A1 & US 2013/0102140 A1 & EP 2146378 A2	1-9

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１４／００４４２３

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/338(2006.01)i, H01L21/336(2006.01)i, H01L29/778(2006.01)i, H01L29/78(2006.01)i, H01L29/812(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/338, H01L21/336, H01L29/778, H01L29/78, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１４年
日本国実用新案登録公報	１９９６－２０１４年
日本国登録実用新案公報	１９９４－２０１４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y	JP 2006-173241 A（松下電器産業株式会社）2006.06.29, 図１－２、段落０００９，００５１（ファミリーなし）	1-4, 7 5,6,8,9
Y	JP 2006-173595 A（松下電器産業株式会社）2006.06.29, 図３（ｂ）、段落００５９，００４１ & US 2006/0226415 A1	5, 8
Y	JP 2012-49216 A（三菱電機株式会社）2012.03.08, 図１（ファミリーなし）	6, 9

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２９．１０．２０１４	１１．１１．２０１４

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　３５６６
儀同　孝信
電話番号　０３－３５８１－１１０１　内線　３５１６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2010-45343 A（アイメック）2010.02.25, 図１１ & US 2010/0012977 A1 & US 2013/0102140 A1 & EP 2146378 A2	1-9