(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
H05B 33/26

(11) 공개번호 특2003-0058150
(43) 공개일자 2003년07월07일

(21) 출원번호 10-2001-0088537
(22) 출원일자 2001년12월29일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 박재용
경기도안양시동안구관양동한가람한양아파트307-801

유준석
서울특별시서초구서초동1494-6

(74) 대리인 정원기

심사청구 : 있음

(54) 능동행렬 유기전기발광소자 및 그의 제조 방법

요약

박막 트랜지스터를 이용한 능동행렬 유기전기발광소자에 관한 것이다.

능동행렬 유기전기발광소자는 한 화소 내에 다수의 박막 트랜지스터와 스토리지 커패시터를 포함하게 되므로, 화소 전극의 면적이 작아지게 되어 개구율이 떨어지게 된다. 스토리지 커패시터의 면적을 작게 할 경우, 커패시터의 용량이 저하되어 신호가 누설되는 것과 같은 문제가 발생하게 된다. 또한, 7장 내지 8장의 마스크를 이용하여 제조하므로 공정이 길고 비용이 증가하는 문제가 있다.

본 발명에서는 스토리지 커패시터를 이루는 커패시터 전극을 별도의 도전 물질로 형성하여 파워라인과 연결하므로, 스토리지 커패시터의 유전층 두께를 얇게 할 수 있다. 이때, 커패시터 전극을 애노드 전극과 동일한 물질로 형성하고, 그 위에 소스 및 드레인 전극을 형성하므로 제조 공정 및 비용을 감소시킬 수 있다.

한편, 유전층을 실리콘 질화막으로 형성함으로써 유전율을 높여 스토리지 커패시터의 용량을 더욱 증가시킬 수 있으며, 스토리지 커패시터의 면적을 감소시키더라도 축적 용량이 감소되는 것을 방지할 수 있으므로, 애노드 전극의 면적을 증가시켜 개구율을 높일 수도 있다.

대표도

도 5

색인어

유기전기발광소자, 개구율, 스토리지 커패시터

명세서

도면의 간단한 설명

도 1은 종래의 능동행렬 유기전기발광소자의 한 화소에 대한 회로도.

도 2는 종래의 능동행렬 유기전기발광소자에 대한 단면도.

도 3a 내지 도 3g는 종래의 능동행렬 유기전기발광소자의 제조 과정을 도시한 단면도.

도 4는 종래의 다른 예에 의한 능동행렬 유기전기발광소자에 대한 단면도.

도 5는 본 발명의 제 1 실시예에 따른 능동행렬 유기전기발광소자에 대한 단면도.

도 6a 내지 도 6f는 본 발명의 제 1 실시예에 따른 능동행렬 유기전기발광소자의 제조 과정을 도시한 단면도.

도 7은 본 발명의 제 2 실시예에 따른 능동행렬 유기전기발광소자에 대한 단면도.

도 8a 내지 도 8f는 본 발명의 제 2 실시예에 따른 능동행렬 유기전기발광소자의 제조 과정을 도시한 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

110 : 기판 111, 114 : 액티브층

112, 116 : 소스 영역 113, 115 : 드레인 영역

120 : 게이트 절연막 121, 122 : 게이트 전극

130 : 제 1 층간 절연막 140 : 제 2 층간 절연막

151 : 애노드 전극 152 : 커패시터 전극

160 : 제 1 보호층 161, 162, 163, 164, 165 : 콘택홀

171 : 제 1 소스 전극 172 : 제 2 드레인 전극

173 : 제 2 소스 전극 180 : 제 2 보호층

181 : 뱅크

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기전기발광소자에 관한 것으로서, 더욱 상세하게는 박막 트랜지스터를 이용한 능동행렬 유기전기발광소자에 관한 것이다.

현재 텔레비전이나 모니터와 같은 디스플레이 장치에는 음극선관(cathode ray tube : CRT)이 주된 장치로 이용되고 있으나, 이는 무게와 부피가 크고 구동전압이 높은 문제가 있다. 이에 따라, 박형화, 경량화, 저 소비전력화 등의 우수한 특성을 가지는 평판 표시 장치(flat panel display)의 필요성이 대두되었으며, 액 정 표시 장치(liquid crystal display)와 플라즈마 표시 장치(plasma display panel), 전계 방출 표시 장치(field emission display), 그리고 전기 발광 표시 장치(또는 전기발광소자라고도 함 : electroluminescence display(ELD))와 같은 다양한 평판 표시 장치가 연구 및 개발되고 있다.

이중 전기발광소자는 형광체에 일정 이상의 전기장이 걸리면 빛이 발생하는 전기발광(electroluminescence : EL) 현상을 이용한 표시 소자로서, 캐리어들의 여기를 일으키는 소스에 따라 무기(inorganic) 전기발광소자와 유기전기발광소자(organic electroluminescence display : OELD 또는 유기 ELD)로 나눌 수 있다.

이중, 유기전기발광소자가 청색을 비롯한 가시광선의 모든 영역의 빛이 나오므로 천연색 표시 소자로서 주목받고 있으며, 높은 휘도와 낮은 동작 전압 특성을 가진다. 또한 자체 발광이므로 명암대비(contrast ratio)가 크고, 초박형 디스플레이의 구현이 가능하며, 공정이 간단하여 환경 오염이 비교적 적다. 한편, 응답시간이 수 마이크로초(μs) 정도로 동화상 구현이 쉽고, 시야각의 제한이 없으며 저온에서도 안정적이고, 직류 5V 내지 15V의 낮은 전압으로 구동하므로 구동회로의 제작 및 설계가 용이하다.

이러한 유기전기발광소자는 구조가 무기전기발광소자와 비슷하나, 발광원리는 전자와 정공의 재결합에 의한 발광으로 이루어지므로 유기 LED(organic light emitting diode : OLED)라고 부르기도 한다. 따라서, 이하에서는 유기 LED라고 칭하기로 한다.

최근, 다수의 화소를 매트릭스 형태로 배열하고 각 화소에 박막 트랜지스터를 연결한 능동행렬(active matrix) 형태가 평판 표시 장치에 널리 이용되는데, 이를 유기전기발광소자에 적용한 능동행렬 유기 LED(active matrix organic LED : AMOLED)에 대하여 첨부한 도면을 참조하여 설명한다.

도 1은 능동행렬 유기 LED의 한 화소에 대한 회로 구조를 도시한 것으로서, 도시한 바와 같이 능동행렬 유기 LED의 한 화소는 스위칭(switching) 박막 트랜지스터(4)와 드라이빙(driving) 박막 트랜지스터(5), 스토리지 커패시터(storage capacitor)(6), 그리고 발광 다이오드(7)로 이루어진다. 여기서, 스위칭 박막 트랜지스터(4)와 드라이빙 박막 트랜지스터(5)는 p형 다결정 실리콘 박막 트랜지스터로 이루어진다.

스위칭 박막 트랜지스터(4)의 게이트 전극은 게이트 배선(1)과 연결되고, 소스 전극은 데이터 배선(2)과 연결되어 있다. 스위칭 박막 트랜지스터(4)의 드레인 전극은 드라이빙 박막 트랜지스터(5)의 게이트 전극과 연결되어 있고, 드라이빙 박막 트랜지스터(5)의 드레인 전극은 발광 다이오드(7)의 애노드(anode) 전극과 연결되어 있다. 드라이빙 박막 트랜지스터(5)의 소스 전극은 파워라인(power line)(3)과 연결되어 있고, 발광 다이오드(7)의 캐소드(cathode) 전극은 접지되어 있다. 다음, 스토리지 커패시터(6)가 드라이빙 박막 트랜지스터(5)의 게이트 전극 및 소스 전극과 연결되어 있다.

따라서, 게이트 배선(1)을 통해 신호가 인가되면 스위칭 박막 트랜지스터(4)가 온(on) 되고, 데이터 배선(2)의 신호가 드라이빙 박막 트랜지스터(5)의 게이트 전극에 전달되어 드라이빙 박막 트랜지스터(5)가 온 되므로 발광 다이오드(7)를 통해 빛이 출력된다. 이때, 스토리지 커패시터(6)는 스위칭 박막 트랜지스터(4)가 오프(off) 되었을 때, 드라이빙 박막 트랜지스터(5)의 게이트 전압을 일정하게 유지시킨다.

이와 같이 박막 트랜지스터를 이용한 종래의 능동행렬 유기 LED의 단면을 도 2에 도시하였다.

도시한 바와 같이, 기판(10) 위에 아일랜드(island) 형태를 가지는 다결정 실리콘층(11, 12, 13, 14, 15, 16)이 형성되어 있는데, 이 다결정 실리콘층(11, 12, 13, 14, 15, 16)은 박막 트랜지스터의 액티브층(11, 14)과 불순물이 도핑된 소스 및 드레인 영역(12, 13, 15, 16)으로 나누어진다.

이어, 다결정 실리콘층(11, 12, 13, 14, 15, 16) 상부에는 게이트 절연막(20)이 형성되어 있고, 액티브층(11, 14) 상부의 게이트 절연막(30) 위에는 제 1 및 제 2 게이트 전극(21, 22)이 형성되어 있다.

다음, 게이트 전극(21, 22) 위에는 층간 절연막(30)이 형성되어 이들을 덮고 있으며, 층간 절연막(30)은 게이트 절연막(20)과 함께 제 1 소스 영역(12)과 제 2 드레인 영역(15) 및 제 2 소스 영역(16)의 일부를 각각 드러내는 제 1 내지 제 3 콘택홀(30a, 30b, 30c)을 가진다.

다음, 층간 절연막(30) 상부에는 금속과 같은 도전 물질로 제 1 소스 전극(41)과 제 2 드레인 전극(42) 및 제 2 소스 전극(43)이 형성되어 있다. 제 1 소스 전극(41)은 제 1 콘택홀(30a)을 통해 제 1 소스 영역(12)과 연결되고, 제 2 드레인 전극(42)은 제 2 콘택홀(30b)을 통해 제 2 드레인 영역(15)과 연결되며, 제 2 소스 전극(43)은 제 3 콘택홀(30c)을 통해 제 2 소스 영역(16)과 연결되어 있다. 이때, 도시하지 않았지만 제 1 드레인 영역(13) 상부에는 제 1 소스 전극(41)과 동일한 물질로 이루어지고, 제 1 드레인 영역(13)과 연결되는 제 1 드레인 전극이 더 형성되어 있으며, 제 1 드레인 전극은 제 2 게이트 전극(22)과도 연결된다.

한편, 제 2 소스 전극(43)은 도 1에 도시한 바와 같이 파워라인(도 1의 3)과 연결되어 있는데, 제 2 소스 전극(43)은 파워라인에서 연장될 수 있으며, 또는 파워라인의 일부로 이루어질 수도 있다. 이때, 제 2 소스 전극(43)의 일부는 하부의 제 2 게이트 전극(22)과 중첩되어 스토리지 커패시터(Cst)를 이룬다.

여기서, 제 1 게이트 전극(21)과 소스 전극(41) 및 드레인 전극(도시하지 않음)은 앞서 도 1의 스위칭 박막 트랜지스터(도 1의 4)에 해당하고, 제 2 게이트 전극(22)과 소스 및 드레인 전극(43, 43)은 도 1의 드라이빙 박막 트랜지스터(도 1의 5)에 해당한다.

이어, 제 1 소스 전극(41)과 제 2 드레인 전극(42) 및 제 2 소스 전극(43) 상부에는 제 1 보호층(50)이 형성되어 있고, 제 1 보호층(50)은 제 2 드레인 전극(42)을 드러내는 제 4 콘택홀(50a)을 가진다.

다음, 제 1 보호층(50) 상부에 투명 도전 물지롤 이루어진 애노드 전극(60)이 형성되어 있으며, 애노드 전극(60)은 제 4 콘택홀(50a)을 통해 제 2 드레인 전극(42)과 연결된다. 다음, 애노드 전극(60) 상부에 제 2 보호층(70)이 형성되어 있는데, 제 2 보호층(70)은 애노드 전극(60)을 드러내는 뱅크(bank)(71)를 가진다.

이러한 종래의 능동행렬 유기 LED의 제조 과정을 도 3a 내지 도 3g에 도시하였다.

도 3a에 도시한 바와 같이, 기판(10) 위에 다결정 실리콘을 형성하고 제 1 마스크로 패터닝하여 아일랜드 형태를 가지는 반도체층(17, 18)을 형성한다. 여기서, 기판(10)과 반도체층(17, 18) 사이에는 실리콘 산화막과 같은 물질로 버퍼층(buffer layer : 도시하지 않음)이 더 형성되어 있을 수 있다.

다음, 도 3b에 도시한 바와 같이 반도체층(17, 18) 상부에 게이트 절연막(20)을 증착하고, 그 위에 금속과 같은 물질을 증착한 후 제 2 마스크를 이용하여 패터닝함으로써 게이트 전극(22)을 형성한다. 이어, 게이트 전극(22)을 마스크로 반도체층(도 3a의 17, 18)에 불순물을 주입하여 불순물이 주입되지 않은 액티브층(11, 14)과 액티브층(11, 14) 양측에 위치하는 소스 및 드레인 영역(12, 13, 15, 16)을 형성한다.

다음, 도 3c에 도시한 바와 같이 게이트 전극(21, 22) 위에 층간 절연막(30)을 형성한 후, 제 3 마스크로 패터닝하여 제 1 내지 제 3 콘택홀(30a, 30b, 30c)을 형성한다. 여기서, 제 1 콘택홀(30a)은 제 1 소스 영역(12)을 드러내고, 제 2 콘택홀(30b)은 제 2 드레인 영역(15)을 드러내며, 제 3 콘택홀(30c)은 제 2 소스 영역(16)을 드러낸다.

이어, 도 3d에 도시한 바와 같이 금속과 같은 도전 물질을 증착하고 제 4 마스크를 이용하여 패터닝함으로써, 제 1 소스 전극과 제 2 소스 및 드레인 전극을 형성한다. 이때, 제 1 소스 전극(41)은 제 1 콘택홀(30a)을 통해 제 1 소스 영역(12)과 연결되고, 제 2 드레인 전극(42)은 제 2 콘택홀(30b)을 통해 제 2 드레인 영역(15)과 연결되며, 제 2 소스 전극(43)은 제 3 콘택홀(30c)을 통해 제 2 소스 영역(16)과 연결된다. 제 2 소스 전극(43)은 제 2 게이트 전극(22)과 중첩함으로써 스토리지 커패시터(Cst)를 이룬다. 한편, 앞서 언급한 바와 같이 제 1 드레인 전극(도시하지 않음) 및 파워라인(도시하지 않음)도 함께 형성되는데, 제 1 드레인 전극은 제 1 드레인 영역(13) 및 제 2 게이트 전극(22)과 연결되고, 파워라인은 제 2 소스 전극(43)과 연결된다.

다음, 도 3e에 도시한 바와 같이 제 1 소스 전극(41)과 제 2 소스 및 드레인 전극(43, 42) 상부에 제 1 보호층(50)을 형성하고, 제 5 마스크로 패터닝하여 제 2 드레인 전극(42)을 드러내는 제 4 콘택홀(50a)을 형성한다.

다음, 도 3f에 도시한 바와 같이 투명 도전 물질을 증착하고 제 6 마스크를 이용하여 패터닝함으로써, 제 4 콘택홀(50a)을 통해 제 2 드레인 전극(42)과 연결되는 애노드 전극(60)을 형성한다. 애노드 전극(60)은 능동행렬 유기 LED의 화소 전극이 된다.

이어, 도 3g에 도시한 바와 같이 애노드 전극(60) 상부에 제 2 보호층(70)을 형성하고 제 7 마스크로 패터닝하여, 애노드 전극(60)을 드러내는 뱅크(71)를 형성한다.

이와 같이 능동행렬 유기 LED의 어레이 기판을 형성한 후, 뱅크(71) 상부에 유기 발광층을 형성하고 그 위에 캐소드 전극을 형성하여 능동행렬 유기 LED를 완성한다.

이러한 능동행렬 유기 LED에서 스토리지 커패시터는 드라이빙 박막 트랜지스터의 게이트 구동전압을 안정적으로 유지하기 위한 것으로서, 스위칭 박막 트랜지스터의 킥백 전압(kick-back voltage) 및 누설 전류로 인한 화소 전압 변화를 억제하므로 고화질 구현에 중요한 요소이다. 커패시터의 용량은 전극의 면적(A) 및 두 전극 사이에 위치하는 유전체의 유전율(ε)에 비례하며, 두 전극 사이의 거리, 즉 유전체의 두께(d)에 반비례한다.

그런데, 도 2의 능동행렬 유기 LED에서 층간 절연막은 주로 실리콘 산화막이 이용되며 그 두께는 약 7,000 Å 정도인데, 층간 절연막의 두께가 작을 경우에는 파워라인이 굴곡을 가지게 되어 저항이 증가하며, 단선이나 단락과 같은 문제가 발생할 수 있다. 따라서, 층간 절연막의 두께를 감소시키는데 한계가 있다.

또한, 스토리지 커패시터의 전극 면적을 증가시킬 경우에는 실제 화상을 이루게 되는 애노드 전극인 화소 전극의 면적이 감소하게 되어 개구율이 낮아지게 된다.

이러한 문제를 극복하기 위한 능동행렬 유기 LED의 예가 제시되었는데, 이를 도 4에 도시하였다. 여기서, 스토리지 커패시터 부분을 제외한 다른 부분은 앞선 도 2의 예와 거의 동일한 구조를 가지므로, 이에 대한 설명은 생략하기로 한다.

도시한 바와 같이, 게이트 전극(21, 22) 상부에 제 1 층간 절연막(31)이 형성되어 있고, 제 1 층간 절연막(31) 상부에 제 2 게이트 전극(22)과 중첩하는 커패시터 전극(80)이 형성되어 있다.

다음, 커패시터 전극(80) 상부에 제 2 층간 절연막(32)이 형성되어 있으며, 제 2 층간 절연막(32)은 제 1 층간 절연막(31) 및 게이트 절연막(20)과 함께 제 1 내지 제 4 콘택홀(32a, 32b, 32c, 32d)을 가진다. 여기서, 제 1 콘택홀(32a)은 제 1 소스 영역(12)을 드러내며, 제 2 콘택홀(32b)은 제 2 드레인 영역(15)을 드러내고, 제 3 콘택홀(32c)은 커패시터 전극(80)을, 그리고 제 4 콘택홀(32d)은 제 2 소스 영역(16)을 드러낸다.

이어, 제 2 층간 절연막(32) 상부에 소스 및 드레인 전극(41, 42, 43)이 형성되어 있는데, 제 1 소스 전극(41)은 제 1 콘택홀(32a)을 통해 제 1 소스 영역(12)과 연결되고, 제 2 드레인 전극(42)은 제 2 콘택홀(32b)을 통해 제 2 드레인 영역(15)과 연결되며, 제 2 소스 전극(43)은 제 3 및 제 4 콘택홀(32c, 32d)을 통해 커패시터 전극(80) 및 제 2 소스 영역(16)과 연결되어 있다.

이러한 능동행렬 유기 LED에서 제 1 및 제 2 층간 절연막(31, 32)은 주로 실리콘 산화막으로 이루어지며, 제 1 층간 절연막(31)의 두께는 약 3,000 Å이고 제 2 층간 절연막(32)의 두께는 약 4,000 Å으로, 제 1 및 제 2 층간 절연막(31, 32) 두께의 합은 도 2의 층간 절연막(도 2의 30) 두께와 거의 비슷한 값을 가진다. 그런데, 도 4의 능동행렬 유기 LED에서는 제 1 및 제 2 층간 절연막(31, 32) 사이에 별도의 금속과 같은 물질로 커패시터 전극(80)을 형성하여, 제 2 게이트 전극(22)과 커패시터 전극(80)이 스토리지 커패시터(Cst)를 형성하므로, 유전체의 두께를 감소시켜 스토리지 커패시터(Cst)의 용량을 증가시킬 수 있다.

그러나, 이러한 능동행렬 유기 LED는 앞서 설명한 바와 같이 박막을 증착하고 마스크를 이용하여 사진 식각하는 공정을 여러 번 반복함으로써 형성되며, 이때 사용하는 마스크 수가 공정수를 나타낸다. 사진 식각 공정에는 세정, 감광막 도포, 노광 및 현상, 식각 등 여러 공정을 수반하고 있기 때문에, 마스크 수를 하나만 줄이더라도 제조 공정과 시간 및 비용 등을 크게 줄일 수 있다. 그런데, 도 2의 능동행렬 유기 LED의 경우에는 앞서 설명한 것처럼 7장의 마스크가 사용되며, 도 4의 경우에는 별도의 금속 물질로 커패시터 전극을 형성하기 때문에, 8장의 마스크로 제조해야 하므로 제조 공정 및 비용이 증가하는 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래의 문제점을 해결하기 위해 안출된 것으로서, 본 발명의 목적은 개구율을 감소시키지 않으면서 스토리지 커패시터의 용량을 증가시킬 수 있는 능동행렬 유기 LED 및 그의 제조 방법을 제공하는 것이다.

본 발명의 다른 목적은 제조 공정 및 비용을 감소시킬 수 있는 능동행렬 유기 LED 및 그의 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

상기한 목적을 달성하기 위한 본 발명에 따른 능동행렬 유기 LED에서는 기판 상부에 다결정 실리콘으로 이루어진 제 1 및 제 2 액티브층이 형성되어 있고, 제 1 및 제 2 액티브층의 양측에는 제 1 소스 영역 및 드레인 영역과 제 2 소스 및 드레인 영역이 각각 위치한다. 이어, 제 1 및 제 2 액티브층 상부에 게이트 절연막이 형성되어 있고, 그 위에 제 1 및 제 2 게이트 전극이 형성되어 있다. 제 1 및 제 2 게이트 전극은 제 1 층간 절연막으로 덮여 있으며, 제 1 층간 절연막 상부에는 애노드 전극이 형성되어 있다. 또한, 제 1 층간 절연막 상부에 커패시터 전극이 형성되어 있고, 애노드 전극 및 커패시터 전극 상부에는 제 1 보호층이 형성되어 있다. 다음, 제 1 보호층 상부에는 파워라인, 그리고 제 1 소스 및 드레인 영역과 연결되는 제 1 소스 및 드레인 전극, 제 2 소스 영역과 파워라인 및 커패시터 전극과 연결되는 제 2 소스 전극, 그리고 제 2 드레인 영역 및 애노드 전극과 연결되어 있는 제 2 드레인 전극이 형성되어 있다. 다음, 제 1 소스 및 드레인 전극과 제 2 소스 및 드레인 전극 상부에는 애노드 전극을 드러내는 뱅크를 가지는 제 2 보호층이 형성되어 있다.

여기서, 커패시터 전극은 제 2 게이트 전극과 중첩되어 스토리지 커패시터를 이룰 수 있으며, 또는 커패시터 전극은 제 1 드레인 영역과 중첩되어 스토리지 커패시터를 이룰 수도 있다.

이때, 커패시터 전극은 애노드 전극과 동일한 물질로 이루어질 수 있으며, 애노드 전극은 인듐-틴-옥사이드와 인듐-징크-옥사이드 중의 어느 하나로 이루어질 수 있다.

한편, 파워라인은 제 2 소스 및 드레인 전극과 동일한 물질로 이루어질 수 있다.

본 발명은 제 1 층간 절연막 상부에 제 2 층간 절연막을 더 포함할 수 있으며, 제 2 층간 절연막은 실리콘 질화막으로 이루어질 수 있다.

본 발명에 따른 능동행렬 유기전기발광소자의 제조 방법에서는 기판 상부에 다결정 실리콘으로 이루어진 제 1 및 제 2 반도체층을 형성하고, 제 1 및 제 2 반도체층 상부에 게이트 절연막을 형성한다. 이어, 게이트 절연막 상부에 제 1 및 제 2 게이트 전극을 형성하고, 제 1 및 제 2 게이트 전극을 마스크로제 1 및 제 2 반도체층에 이온을 주입하여 제 1 소스 영역 및 드레인 영역과 제 2 소스 및 드레인 영역을 형성한다. 다음, 제 1 및 제 2 게이트 전극 상부에 제 1 층간 절연막을 형성한 후, 그 위에 애노드 전극을 형성하고 또한 커패시터 전극을 형성한다. 다음, 애노드 전극 및 커패시터 전극 상부에, 제 1 소스 및 드레인 전극과 제 2 소스 및 드레인 전극 그리고 애노드 전극 및 커패시터 전극을 각각 드러내는 다수의 콘택홀을 가지는 제 1 보호층을 형성한다. 이어, 제 1 보호층 상부에 파워라인을 형성하고, 제 1 보호층 상부에 제 1 소스 및 드레인 영역과 연결되는 제 1 소스 및 드레인 전극을 형성하고, 또한 제 1 보호층 상부에 제 2 소스 영역과 파워라인 및 커패시터 전극과 연결되는 제 2 소스 전극, 그리고 제 2 드레인 영역 및 애노드 전극과 연결되는 제 2 드레인 전극을 형성한다. 다음, 제 1 소스 및 드레인 전극과 제 2 소스 및 드레인 전극 상부에 애노드 전극을 드러내는 뱅크를 가지는 제 2 보호층을 형성한다.

여기서, 커패시터 전극은 제 2 게이트 전극과 중첩되어 스토리지 커패시터를 이룰 수 있으며, 또는 커패시터 전극은 제 1 드레인 영역과 중첩되어 스토리지 커패시터를 이룰 수도 있다.

본 발명에서 커패시터 전극을 형성하는 단계는 애노드 전극을 형성하는 단계와 동일한 공정에서 이루어질 수 있고, 애노드 전극은 인듐-틴-옥사이드와 인듐-징 크-옥사이드 중의 어느 하나로 이루어질 수도 있다.

또한, 파워라인을 형성하는 단계는 제 2 소스 및 드레인 전극을 형성하는 단계와 동일한 공정에서 이루어질 수 있다.

본 발명은 제 1 층간 절연막을 형성하는 단계 다음에 제 2 층간 절연막을 형성하는 단계를 더 포함할 수 있으며, 이때 제 2 층간 절연막은 실리콘 질화막으로 이루어질 수 있다.

이와 같이, 본 발명에서는 스토리지 커패시터를 이루는 커패시터 전극을 별도의 도전 물질로 형성하여 파워라인과 연결하므로, 스토리지 커패시터의 유전층 두께를 얇게 할 수 있다. 또한, 유전층을 실리콘 질화막으로 형성함으로써 유전율을 높여 스토리지 커패시터의 용량을 더욱 증가시킬 수 있다. 따라서, 스토리지 커패시터의 면적을 감소시키더라도 축적 용량이 감소되는 것을 방지할 수 있고, 이에 따라 애노드 전극의 면적을 증가시켜 개구율을 높일 수 있다.

한편, 커패시터 전극을 애노드 전극과 동일한 물질로 형성하고 그 위에 소스 및 드레인 전극을 형성함으로써, 제조 공정 및 비용을 감소시키고 불량 발생을 줄일 수도 있다.

이하, 첨부한 도면을 참조하여 본 발명의 실시예에 따른 능동행렬 유기 LED 및 그의 제조 방법에 대하여 상세히 설명한다.

먼저, 도 5는 본 발명의 제 1 실시예에 따른 능동행렬 유기 LED의 단면도이다. 도시한 바와 같이, 유리와 같이 투명한 절연 기판(110) 위에 아일랜드 형태를 가지는 다결정 실리콘층(111, 112, 113, 114, 115, 116)이 형성되어 있는데, 이 다 결정 실리콘층(111, 112, 113, 114, 115, 116)은 박막 트랜지스터의 액티브층(111, 114)과 불순물이 도핑된 소스 및 드레인 영역(112, 113, 115, 116)으로 나누어진다.

이어, 다결정 실리콘층(111, 112, 113, 114, 115, 116) 상부에는 게이트 절연막(120)이 형성되어 있고, 액티브층(111, 114) 상부의 게이트 절연막(130) 위에는 제 1 및 제 2 게이트 전극(121, 122)이 형성되어 있다. 여기서, 게이트 절연막(120)은 약 1,500 Å 정도의 두께를 가지는데, 실리콘 산화막으로 이루어질 수 있으며 또는 실리콘 질화막으로 이루어질 수도 있다.

다음, 게이트 전극(121, 122) 위에는 제 1 층간 절연막(130) 및 제 2 층간 절연막(140)이 차례로 형성되어 이들을 덮고 있다. 제 1 층간 절연막(130) 및 제 2 층간 절연막(140)은 각각 약 2,500 Å 및 1,500 Å 두께를 가지며, 제 1 층간 절연막(130)은 실리콘 산화막으로 이루어질 수 있고, 제 2 층간 절연막(140)은 실리콘 질화막으로 이루어질 수 있다. 여기서, 제 2 층간 절연막(140)은 생략할 수도 있다.

다음, 제 2 층간 절연막(140) 상부에 인듐-틴-옥사이드(indium-tin-oxide : 이하 ITO라고 한다)와 같은 투명 도전 물질로 이루어진 애노드 전극(151)과 커패시터 전극(152)이 형성되어 있다.

다음, 애노드 전극(151)과 커패시터 전극(152) 상부에는 실리콘 산화막과 같은 물질로 이루어진 제 1 보호층(160)이 형성되어 있으며, 제 1 보호층(160)은 제 1 내지 제 5 콘택홀(161, 162, 163, 164, 165)을 가지는데, 제 1 콘택홀(161)과 제 3 및 제 5 콘택홀(163, 165)은 하부의 게이트 절연막(120)과 제 1 및 제 2 층간 연막(130, 140)에까지 형성되어 있다. 여기서, 제 1 콘택홀(161)은 제 1 소스 영역(112)을 드러내고, 제 2 콘택홀(162)은 애노드 전극(151)을 드러내며, 제 3 콘택홀(163)은 제 2 드레인 영역(115)을 드러낸다. 또한, 제 4 콘택홀(164)은 커패시터 전극(152)을 드러내며, 제 5 콘택홀(165)은 제 2 소스 영역(116)을 드러낸다.

이어, 제 1 보호층(160) 상부에는 제 1 소스 전극(171)과 제 2 드레인 전극(172) 및 제 2 소스 전극(173)이 형성되어 있는데, 도시하지 않았지만 제 1 보호층(160) 상부에는 제 1 드레인 영역(113)과 연결되는 제 1 드레인 전극 및 제 2 소스 전극(173)과 연결되는 파워라인도 형성되어 있다. 이때, 제 2 소스 전극(173)은 파워라인에서 연장되어 있을 수 있으며, 또는 파워라인의 일부로 이루어질 수도 있다. 여기서, 제 1 소스 전극(171)은 제 1 콘택홀(161)을 통해 제 1 소스 영역(112)과 연결되고, 제 2 드레인 전극(172)은 제 2 및 제 3 콘택홀(162, 163)을 통해 애노드 전극(151) 및 제 2 드레인 영역(115)과 각각 연결되며, 제 2 소스 전극(173)은 제 4 및 제 5 콘택홀(164, 165)을 통해 커패시터 전극(152) 및 제 2 소스 영역(116)과 각각 연결되어 있다. 따라서, 커패시터 전극(152)은 제 2 게이트 전극(122)과 함께 스토리지 커패시터(Cst1)을 이루며, 도시하지 않았지만 제 2 게이트 전극(122)은 제 1 드레인 영역(113)과 전기적으로 연결되어 있다. 제 1 게이트 전극(121)과 제 1 소스 및 드레인 전극(171)은 스위칭 박막 트랜지스터가 되고, 제 2 게이트 전극(122)과 제 2 소스 및 드레인 전극(173, 172)은 드라이빙 박막 트랜지스터가 된다.

다음, 제 1 소스 전극(171)과 제 2 드레인 전극(172) 및 제 2 소스 전극(173) 상부에는 제 2 보호층(180)이 형성되어 있으며, 제 2 보호층(180)은 제 1 보호층(160)과 함께 애노드 전극(151)을 드러내는 뱅크(181)를 가진다.

이와 같이, 본 발명의 제 1 실시예에서는 스토리지 커패시터(Cst1)를 이루는 커패시터 전극(152)을 별도의 도전 물질로 형성하여 파워라인과 연결하므로, 스토리지 커패시터(Cst1)의 유전층이 되는 제 1 및 제 2 층간 절연막(130, 140) 두께를 얇게 할 수 있다. 또한, 제 2 층간 절연막(140)을 실리콘 질화막으로 형성하는데, 실리콘 질화막은 실리콘 산화막에 비해 유전율이 높으므로 스토리지 커패시터(Cst1)의 용량을 더욱 증가시킬 수 있다.

따라서, 스토리지 커패시터(Cst1)의 면적을 감소시키더라도 축적 용량이 감소되는 것을 방지할 수 있고, 이에 따라 화소 전극이 되는 애노드 전극(151)의 면적을 증가시켜 개구율을 높일 수 있다.

이때, 커패시터 전극(152)을 애노드 전극(151)과 동일한 물질로 형성하고, 그 위에 소스 및 드레인 전극(171, 182, 173)을 형성하므로 제조 공정을 감소시킬 수 있는데, 이러한 본 발명의 제 1 실시예에 따른 능동행렬 유기 LED의 제조 과정을 도 6a 내지 도 6f에 도시하였다.

도 6a에 도시한 바와 같이, 유리와 같이 투명한 절연 기판(110) 위에 다결정 실리콘을 형성하고 제 1 마스크로 패터닝하여 제 1 및 제 2 반도체층(117, 118)을 형성한다. 여기서, 다결정 실리콘의 형성은 여러가지 방법으로 이루어질 수 있는데, 특히 비정질 실리콘층을 증착하고 이를 레이저로 결정화시키는 방법을 이용할 수도 있다. 이때, 기판(110)으로부터의 불순물의 유입을 방지하기 위해 기판(110)과 반도체층(117, 118) 사이에 실리콘 산화막과 같은 물질로 이루어진 버퍼층(도시하지 않음)이 더 형성되어 있을 수도 있다.

다음, 도 6b에 도시한 바와 같이 게이트 절연막(120)을 증착한 후, 그 위에 금속과 같은 물질을 증착하고 제 2 마스크를 이용하여 패터닝함으로써 제 1 및 제 2 게이트 전극(121, 122)을 형성한다. 이어, 게이트 전극(121, 122)을 마스크로 반도체층(도 6a의 117, 118)의 양측에 불순물을 주입함으로써, 액티브층(111, 114)과 액티브층(111, 114) 양측의 소스 및 드레인 영역(112, 113, 115, 116)을 형성한다. 여기서, 게이트 절연막(120)은 약 1,500 Å 정도의 두께를 가지며, 실리콘 산화막으로 이루어질 수 있고 또는 실리콘 질화막으로 이루어질 수도 있다.

이어, 도 6c에 도시한 바와 같이 게이트 전극(121, 122) 상부에 실리콘 산화막을 약 2,500 Å 정도 증착하여 제 1 층간 절연막(130)을 형성하고, 그 위에 실리콘 질화막을 약 1,500 Å 정도 증착하여 제 2 층간 절연막(140)을 형성한 후, ITO와 같은 투명 도전 물질을 증착하고 제 3 마스크로 패터닝하여 애노드 전극(151) 및 커패시터 전극(152)을 각각 형성한다. 커패시터 전극(152)은 제 2 게이트 전극(122)과 중첩하여 스토리지 커패시터(Cst1)를 이루며, 스토리지 커패시터(Cst1)의 유전층 두께는 제 1 및 제 2 층간 절연막(130, 140) 두께의 합이 된다.

다음, 도 6d에 도시한 바와 같이 애노드 전극(151)과 커패시터 전극(152) 상부에 실리콘 산화막과 같은 물질을 약 4,000 Å 정도 증착하여 제 1 보호층(160)을 형성하고, 이를 제 4 마스크를 이용한 사진 식각 공정으로 게이트 절연막(120), 제 1 및 제 2 층간 절연막(130, 140)과 함께 패터닝함으로써 제 1 내지 제 5 콘택홀(161, 162, 163, 164, 165)을 형성한다.

다음, 도 6e에 도시한 바와 같이 제 1 보호층(160) 상부에 금속과 같은 도전 물질을 증착하고 제 5 마스크로 패터닝하여 제 1 소스 전극(171)과 제 2 드레인 전극(172) 및 제 2 소스 전극(173)을 형성한다. 이때, 도시하지 않았지만 제 1 보호층(160) 상부에는 제 1 드레인 영역(113)과 연결되는 제 1 드레인 전극 및 제 2 소스 전극(173)과 연결되는 파워라인도 형성되는데, 제 2 소스 전극(173)은 파워라인에서 연장되어 있을 수 있으며, 또는 파워라인의 일부로 이루어질 수도 있다. 여기서, 제 1 소스 전극(171)은 제 1 콘택홀(161)을 통해 제 1 소스 영역(112)과 연결되고, 제 2 드레인 전극(172)은 제 2 및 제 3 콘택홀(162, 163)을 통해 애노드 전극(151) 및 제 2 드레인 영역(115)과 각각 연결되며, 제 2 소스 전극(173)은 제 4 및 제 5 콘택홀(164, 165)을 통해 커패시터 전극(152) 및 제 2 소스 영역(116)과 각각 연결된다.

이어, 도 6f에 도시한 바와 같이 제 1 소스 전극(171)과 제 2 드레인 전극(172) 및 제 2 소스 전극(173) 상부에 실리콘 산화막과 같은 물질을 증착하여 제 2 보호층(180)을 형성하고, 이를 제 6 마스크로 하부의 제 1 보호층(160)과 함께 패터닝함으로써 애노드 전극(151)을 드러내는 뱅크(181)를 형성한다.

이와 같이, 본 발명의 제 1 실시예에서는 6장의 마스크로 능동행렬 유기 LED를 제조할 수 있으므로, 제조 공정 및 비용을 감소시킬 수도 있다.

앞선 제 1 실시예에서는 드라이빙 박막 트랜지스터의 게이트 전극을 스토리지 커패시터의 일 전극으로 사용하였으나, 드라이빙 박막 트랜지스터의 게이트 전극과 전기적으로 연결된 스위칭 박막 트랜지스터의 드레인 영역을 스토리지 커패시터의 전극으로 사용할 수도 있다.

이러한 본 발명의 제 2 실시예에 따른 능동행렬 유기 LED의 구조 및 제조 방법에 대하여 도 7과 도 8a 내지 도 8f에 도시하였다.

먼저, 도 7에 도시한 바와 같이 본 발명의 제 2 실시예에서는 유리와 같이 투명한 절연 기판(210) 위에 아일랜드 형태를 가지는 다결정 실리콘층(211, 212, 213, 214, 215, 216)이 형성되어 있는데, 이 다결정 실리콘층(211, 212, 213, 214, 215, 216)은 박막 트랜지스터의 액티브층(211, 214)과 불순물이 도핑된 소스 및 드레인 영역(212, 213, 215, 216)으로 나누어진다.

이어, 다결정 실리콘층(211, 212, 213, 214, 215, 216) 상부에는 게이트 절연막(220)이 형성되어 있고, 액티브층(211, 214) 상부의 게이트 절연막(230) 위에는 제 1 및 제 2 게이트 전극(221, 222)이 형성되어 있다. 여기서, 게이트 절연막(220)은 약 1,500 Å 정도의 두께를 가지며, 실리콘 산화막으로 이루어질 수 있고 또는 실리콘 질화막으로 이루어질 수도 있다.

다음, 게이트 전극(221, 222) 위에는 제 1 층간 절연막(230) 및 제 2 층간 절연막(240)이 차례로 형성되어 이들을 덮고 있다. 제 1 층간 절연막(230) 및 제 2 층간 절연막(240)은 각각 약 2,500 Å 및 1,500 Å 두께를 가지며, 제 1 층간 절연막(230)은 실리콘 산화막으로 이루어질 수 있고, 제 2 층간 절연막(240)은 실리 콘 질화막으로 이루어질 수 있다. 여기서, 제 2 층간 절연막(240)은 생략할 수도 있다.

다음, 제 2 층간 절연막(240) 상부에 ITO와 같은 투명 도전 물질로 이루어진 애노드 전극(251)과 커패시터 전극(252)이 형성되어 있다.

다음, 애노드 전극(251)과 커패시터 전극(352) 상부에는 실리콘 산화막과 같은 물질로 이루어진 제 1 보호층(260)이 형성되어 있으며, 제 1 보호층(260)은 제 1 내지 제 5 콘택홀(261, 262, 263, 264, 265)을 가지는데, 제 1 콘택홀(261)과 제 3 및 제 4 콘택홀(263, 264)은 하부의 게이트 절연막(220)과 제 1 및 제 2 층간 연막(230, 240)에까지 형성되어 있다. 여기서, 제 1 콘택홀(261)은 제 1 소스 영역(212)을 드러내고, 제 2 콘택홀(262)은 커패시터 전극(252)을 드러내며, 제 3 콘택홀(263)은 제 1 소스 영역(215)을 드러낸다. 또한, 제 4 콘택홀(264)은 제 2 드레인 영역(216)을 드러내며, 제 5 콘택홀(265)은 애노드 전극(251)을 드러낸다.

이어, 제 1 보호층(260) 상부에는 제 1 소스 전극(271)과 제 2 소스 및 드레인 전극(272, 273)이 형성되어 있는데, 도시하지 않았지만 제 1 보호층(260) 상부에는 제 1 드레인 영역(213)과 연결되는 제 1 드레인 전극 및 제 2 소스 전극(272)과 연결되는 파워라인도 형성되어 있다. 이때, 제 2 소스 전극(273)은 파워라인에서 연장되어 있을 수 있으며, 또는 파워라인의 일부로 이루어질 수도 있다. 여기서, 제 1 소스 전극(271)은 제 1 콘택홀(261)을 통해 제 1 소스 영역(212)과 연결되고, 제 2 소스 전극(272)은 제 2 및 제 3 콘택홀(262, 263)을 통해 커패시터 전극(252) 및 제 2 소스 영역(215)과 각각 연결되며, 제 2 드레인 전극(273)은 제 4 및 제 5 콘택홀(264, 265)을 통해 제 2 드레인 영역(216) 및 애노드 전극(251)과 각각 연결되어 있다. 본 발명의 제 2 실시예에서는 커패시터 전극(252)이 제 1 드레인 영역(213)과 중첩되어 스토리지 커패시터(Cst2)을 이루며, 도시하지 않았지만 제 2 게이트 전극(222)은 제 1 드레인 영역(213)과 전기적으로 연결되어 있다. 제 1 게이트 전극(221)과 제 1 소스 및 드레인 전극(271)은 스위칭 박막 트랜지스터가 되고, 제 2 게이트 전극(222)과 제 2 소스 및 드레인 전극(272, 273)은 드라이빙 박막 트랜지스터가 된다.

다음, 제 1 소스 전극(271)과 제 2 소스 및 드레인 전극(272, 273) 상부에는 제 2 보호층(280)이 형성되어 있으며, 제 2 보호층(280)은 제 1 보호층(260)과 함께 애노드 전극(251)을 드러내는 뱅크(281)를 가진다.

이와 같이, 본 발명의 제 2 실시예에서는 스위칭 박막 트랜지스터의 드레인 영역(213)과 커패시터 전극(252)으로 스토리지 커패시터(Cst2)을 형성할 수 있다. 이때, 스토리지 커패시터(Cst2)의 유전층은 게이트 절연막(220)과 제 1 및 제 2 층간 절연막(230, 240)으로 이루어지는데, 게이트 절연막(220)의 두께가 비교적 얇기 때문에 유전층 두께의 증가 폭이 크지 않고, 커패시터 전극(252)의 별도의 도전 물질로 형성하므로 제 1 및 제 2 층간 절연막(230, 240)의 두께를 얇게 할 수 있다. 또한, 제 2 층간 절연막(240)을 실리콘 질화막으로 형성하므로 스토리지 커패시터(Cst2)의 용량을 증가시킬 수 있으며, 애노드 전극(251)의 면적을 증가시켜 개구율을 높일 수 있다.

본 발명의 제 2 실시예에 따른 능동행렬 유기 LED의 제조 과정을 도 8a 내지 도 8f를 참조하여 상세히 설명한다.

도 8a에 도시한 바와 같이, 유리와 같이 투명한 절연 기판(210) 위에 다결정 실리콘을 형성하고 제 1 마스크로 패터닝하여 제 1 및 제 2 반도체층(217, 218)을 형성한다. 여기서, 다결정 실리콘의 형성은 여러가지 방법으로 이루어질 수 있는데, 특히 비정질 실리콘층을 증착하고 이를 레이저로 결정화시키는 방법을 이용할 수도 있다. 이때, 기판(210)과 반도체층(217, 218) 사이에 실리콘 산화막과 같은 물질로 이루어진 버퍼층(도시하지 않음)이 더 형성되어 있을 수도 있다.

다음, 도 8b에 도시한 바와 같이 게이트 절연막(220)을 증착한 후, 그 위에 금속과 같은 물질을 증착하고 제 2 마스크를 이용하여 패터닝함으로써 제 1 및 제 2 게이트 전극(221, 222)을 형성한다. 이어, 게이트 전극(221, 222)을 마스크로 반도체층(도 8a의 217, 218)의 양측에 불순물을 주입함으로써, 액티브층(211, 214)과 액티브층(211, 214) 양측의 소스 및 드레인 영역(212, 213, 215, 216)을 형성한다. 여기서, 게이트 절연막(220)은 실리콘 산화막과 같은 물질로 이루어질 수 있으며, 약 1,500 Å 정도의 두께로 형성할 수 있다.

이어, 도 8c에 도시한 바와 같이 게이트 전극(221, 222) 상부에 실리콘 산화막을 약 2,500 Å 정도 증착하여 제 1 층간 절연막(230)을 형성하고, 그 위에 실리콘 질화막을 약 1,500 Å 정도 증착하여 제 2 층간 절연막(240)을 형성한 후, ITO와 같은 투명 도전 물질을 증착하고 제 3 마스크로 패터닝하여 애노드 전극(251) 및 커패시터 전극(252)을 각각 형성한다. 이때, 커패시터 전극(252)은 제 1 드레인 영역(213)과 중첩하도록 이루어져 제 1 드레인 영역(213)과 함께 스토리지 커패시 터(Cst2)를 이루며, 스토리지 커패시터(Cst2)의 유전층 두께는 게이트 절연막(220)과 제 1 및 제 2 층간 절연막(230, 240) 두께의 합이 된다.

다음, 도 8d에 도시한 바와 같이 애노드 전극(251)과 커패시터 전극(252) 상부에 실리콘 산화막과 같은 물질을 약 4,000 Å 정도 증착하여 제 1 보호층(260)을 형성하고, 이를 제 4 마스크를 이용한 사진 식각 공정으로 게이트 절연막(220), 제 1 및 제 2 층간 절연막(230, 240)과 함께 패터닝함으로써 제 1 내지 제 5 콘택홀(261, 1262, 263, 264, 265)을 형성한다.

다음, 도 8e에 도시한 바와 같이 제 1 보호층(260) 상부에 금속과 같은 도전 물질을 증착하고 제 5 마스크로 패터닝하여 제 1 소스 전극(271)과 제 2 소스 전극(272) 및 제 2 드레인 전극(273)을 형성한다. 이때, 도시하지 않았지만 제 1 보호층(260) 상부에는 제 1 드레인 영역(213)과 연결되는 제 1 드레인 전극 및 제 2 소스 전극(272)과 연결되는 파워라인도 형성되는데, 제 2 소스 전극(272)은 파워라인에서 연장되어 있을 수 있으며, 또는 파워라인의 일부로 이루어질 수도 있다. 여기서, 제 1 소스 전극(271)은 제 1 콘택홀(261)을 통해 제 1 소스 영역(212)과 연결되고, 제 2 소스 전극(272)은 제 2 및 제 3 콘택홀(262, 263)을 통해 커패시터 전극(252) 및 제 2 소스 영역(215)과 각각 연결되며, 제 2 드레인 전극(273)은 제 4 및 제 5 콘택홀(264, 265)을 통해 애노드 전극(252) 및 제 2 드레인 영역(216)과 각각 연결된다.

이어, 도 8f에 도시한 바와 같이 제 1 소스 전극(271)과 제 2 소스 전극(172) 및 제 2 드레인 전극(173) 상부에 실리콘 산화막과 같은 물질을 증착하 여 제 2 보호층(280)을 형성하고, 이를 제 6 마스크로 하부의 제 1 보호층(260)과 함께 패터닝함으로써 애노드 전극(251)을 드러내는 뱅크(281)를 형성한다.

본 발명은 상기한 실시예에 한정되지 아니하며, 본 발명의 정신을 벗어나지 않는 이상 다양한 변화와 변형이 가능하다.

발명의 효과

본 발명에서는 스토리지 커패시터를 이루는 커패시터 전극을 별도의 도전 물질로 형성하여 파워라인과 연결하므로, 스토리지 커패시터의 유전층 두께를 얇게 할 수 있다. 또한, 유전층을 실리콘 질화막으로 형성함으로써 유전율을 높여 스토리지 커패시터의 용량을 더욱 증가시킬 수 있다. 따라서, 스토리지 커패시터의 면적을 감소시키더라도 축적 용량

이 감소되는 것을 방지할 수 있고, 이에 따라 애노드 전극의 면적을 증가시켜 개구율을 높일 수 있다.

한편, 커패시터 전극을 애노드 전극과 동일한 물질로 형성하고 그 위에 소스 및 드레인 전극을 형성함으로써, 제조 공정 및 비용을 감소시키고 불량 발생을 줄일 수도 있다.

(57) 청구의 범위

청구항 1.
기판;

상기 기판 상부에 다결정 실리콘으로 이루어진 제 1 및 제 2 액티브층;

상기 제 1 및 제 2 액티브층의 양측에 위치하는 제 1 소스 영역 및 드레인 영역과 제 2 소스 및 드레인 영역;

상기 제 1 및 제 2 액티브층 상부에 형성되어 있는 게이트 절연막;

상기 게이트 절연막 상부에 형성되어 있는 제 1 및 제 2 게이트 전극;

상기 제 1 및 제 2 게이트 전극을 덮고 있는 제 1 층간 절연막;

상기 제 1 층간 절연막 상부에 형성되어 있는 애노드 전극;

상기 제 1 층간 절연막 상부에 형성되어 있는 커패시터 전극;

상기 애노드 전극 및 커패시터 전극 상부의 제 1 보호층;

상기 제 1 보호층 상부에 형성되어 있는 파워라인;

상기 제 1 보호층 상부에 형성되고, 상기 제 1 소스 및 드레인 영역과 연결되는 제 1 소스 및 드레인 전극;

상기 제 1 보호층 상부에 형성되고, 상기 제 2 소스 영역과 파워라인 및 커패시터 전극과 연결되는 제 2 소스 전극과, 상기 제 2 드레인 영역 및 애노드 전극과 연결되어 있는 제 2 드레인 전극;

상기 제 1 소스 및 드레인 전극과 상기 제 2 소스 및 드레인 전극 상부에 형성되고, 상기 애노드 전극을 드러내는 뱅크를 가지는 제 2 보호층

을 포함하는 능동행렬 유기전기발광소자.

청구항 2.
제 1 항에 있어서,

상기 커패시터 전극은 상기 제 2 게이트 전극과 중첩되어 스토리지 커패시터를 이루는 능동행렬 유기전기발광소자.

청구항 3.
제 1 항에 있어서,

상기 커패시터 전극은 상기 제 1 드레인 영역과 중첩되어 스토리지 커패시터를 이루는 능동행렬 유기전기발광소자.

청구항 4.
제 2 항 또는 제 3 항에 있어서,

상기 커패시터 전극은 상기 애노드 전극과 동일한 물질로 이루어진 능동행렬 유기전기발광소자.

청구항 5.
제 4 항에 있어서,

상기 애노드 전극은 인듐-틴-옥사이드와 인듐-징크-옥사이드 중의 어느 하나 로 이루어진 능동행렬 유기전기발광소자.

청구항 6.
제 2 항 또는 제 3 항에 있어서,

상기 파워라인은 상기 제 2 소스 및 드레인 전극과 동일한 물질로 이루어진 능동행렬 유기전기발광소자.

청구항 7.
제 2 항 또는 제 3 항에 있어서,

상기 제 1 층간 절연막 상부에 제 2 층간 절연막을 더 포함하는 능동행렬 유기전기발광소자.

청구항 8.
제 7 항에 있어서,

상기 제 2 층간 절연막은 실리콘 질화막으로 이루어진 능동행렬 유기전기발광소자.

청구항 9.
기판 상부에 다결정 실리콘으로 이루어진 제 1 및 제 2 반도체층을 형성하는 단계;

상기 제 1 및 제 2 반도체층 상부에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상부에 제 1 및 제 2 게이트 전극을 형성하는 단계;

상기 제 1 및 제 2 게이트 전극을 마스크로 상기 제 1 및 제 2 반도체층에 이온을 주입하여 제 1 소스 영역 및 드레인 영역과 제 2 소스 및 드레인 영역을 형성하는 단계;

상기 제 1 및 제 2 게이트 전극 상부에 제 1 층간 절연막을 형성하는 단계;

상기 제 1 층간 절연막 상부에 애노드 전극을 형성하는 단계;

상기 제 1 층간 절연막 상부에 커패시터 전극을 형성하는 단계;

상기 애노드 전극 및 커패시터 전극 상부에, 상기 제 1 소스 및 드레인 전극과 제 2 소스 및 드레인 전극 그리고 상기 애노드 전극 및 커패시터 전극을 각각 드러내는 다수의 콘택홀을 가지는 제 1 보호층을 형성하는 단계;

상기 제 1 보호층 상부에 파워라인을 형성하는 단계;

상기 제 1 보호층 상부에, 상기 제 1 소스 및 드레인 영역과 연결되는 제 1 소스 및 드레인 전극을 형성하는 단계;

상기 제 1 보호층 상부에, 상기 제 2 소스 영역과 파워라인 및 커패시터 전극과 연결되는 제 2 소스 전극과, 상기 제 2 드레인 영역 및 애노드 전극과 연결되는 제 2 드레인 전극을 형성하는 단계;

상기 제 1 소스 및 드레인 전극과 상기 제 2 소스 및 드레인 전극 상부에 상기 애노드 전극을 드러내는 뱅크를 가지는 제 2 보호층을 형성하는 단계

를 포함하는 능동행렬 유기전기발광소자의 제조 방법.

청구항 10.
제 9 항에 있어서,

상기 커패시터 전극은 상기 제 2 게이트 전극과 중첩되어 스토리지 커패시터를 이루는 능동행렬 유기전기발광소자의 제조 방법.

청구항 11.
제 9 항에 있어서,

상기 커패시터 전극은 상기 제 1 드레인 영역과 중첩되어 스토리지 커패시터를 이루는 능동행렬 유기전기발광소자의 제조 방법.

청구항 12.
제 10 항 또는 제 11 항에 있어서,

상기 커패시터 전극을 형성하는 단계는 상기 애노드 전극을 형성하는 단계와 동일한 공정에서 이루어지는 능동행렬 유기전기발광소자의 제조 방법.

청구항 13.
제 12 항에 있어서,

상기 애노드 전극은 인듐-틴-옥사이드와 인듐-징크-옥사이드 중의 어느 하나로 이루어지는 능동행렬 유기전기발광소자의 제조 방법.

청구항 14.
제 10 항 또는 제 11 항에 있어서,

상기 파워라인을 형성하는 단계는 상기 제 2 소스 및 드레인 전극을 형성하는 단계와 동일한 공정에서 이루어지는 능동행렬 유기전기발광소자의 제조 방법.

청구항 15.
제 10 항 또는 제 11 항에 있어서,

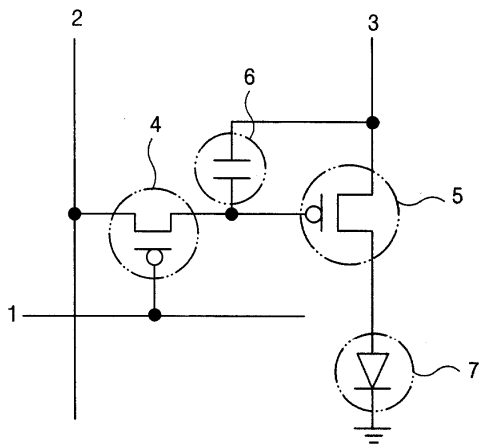
상기 제 1 층간 절연막을 형성하는 단계 다음에 제 2 층간 절연막을 형성하는 단계를 더 포함하는 능동행렬 유기전기발광소자의 제조 방법.

청구항 16.
제 15 항에 있어서,

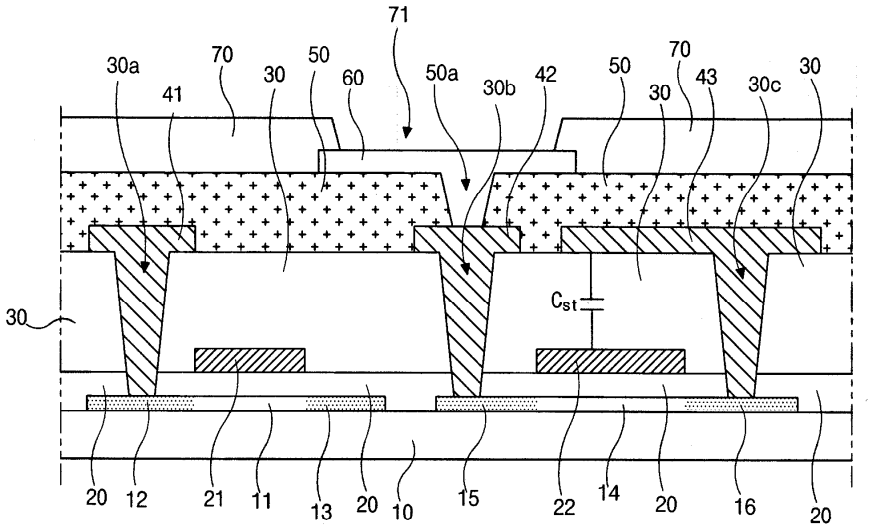
상기 제 2 층간 절연막은 실리콘 질화막으로 이루어지는 능동행렬 유기전기발광소자의 제조 방법.

도면

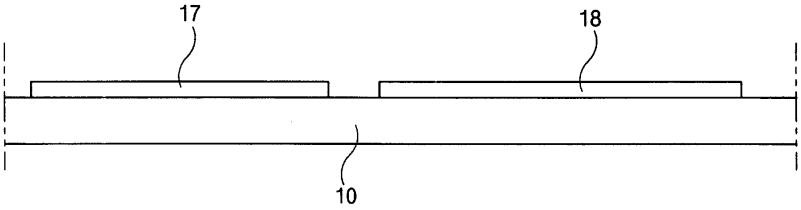
도면1



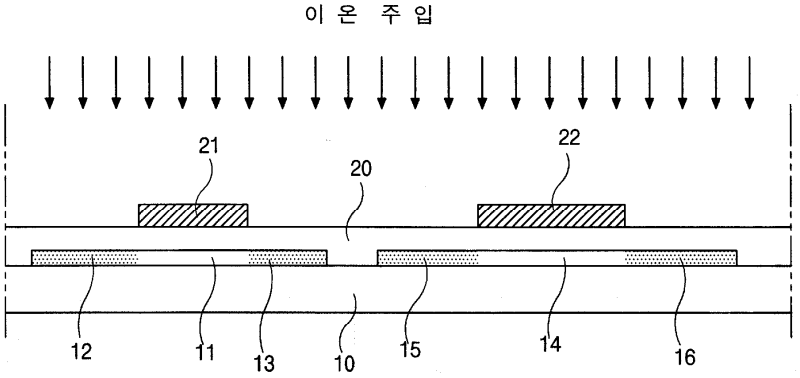
도면2



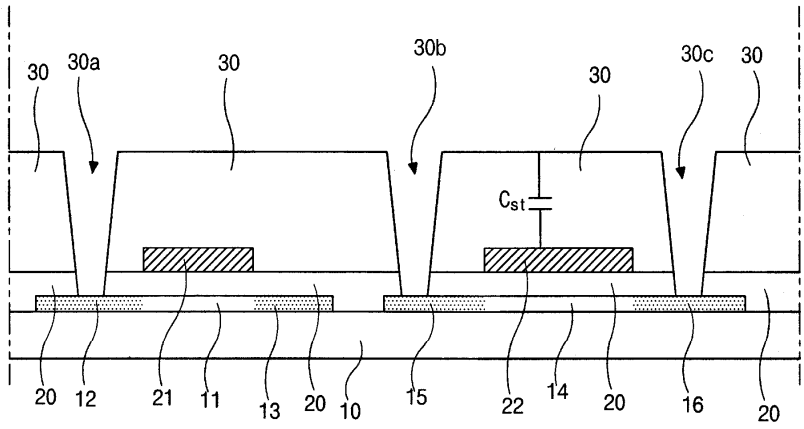
도면3a



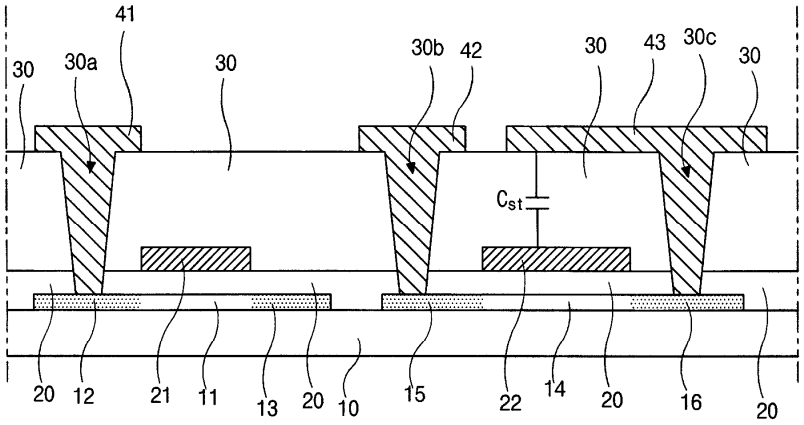
도면3b



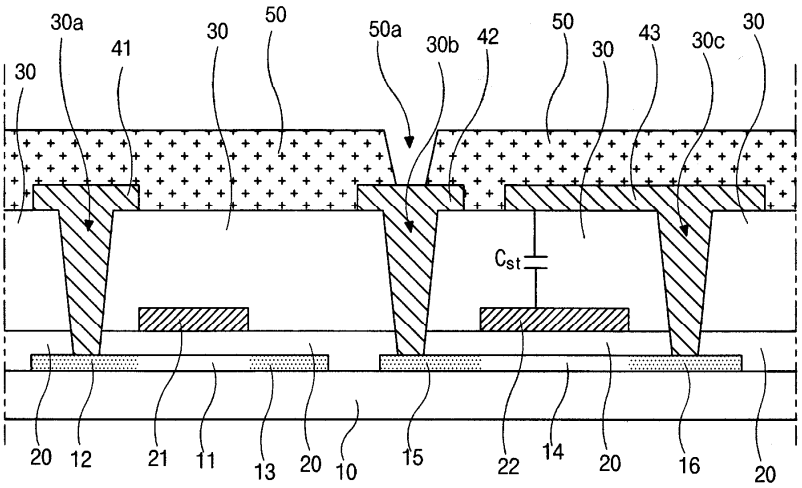
도면3c



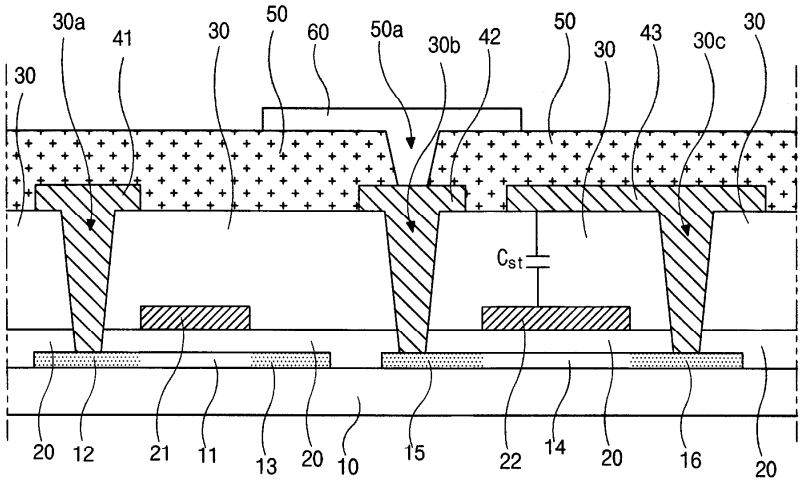
도면3d



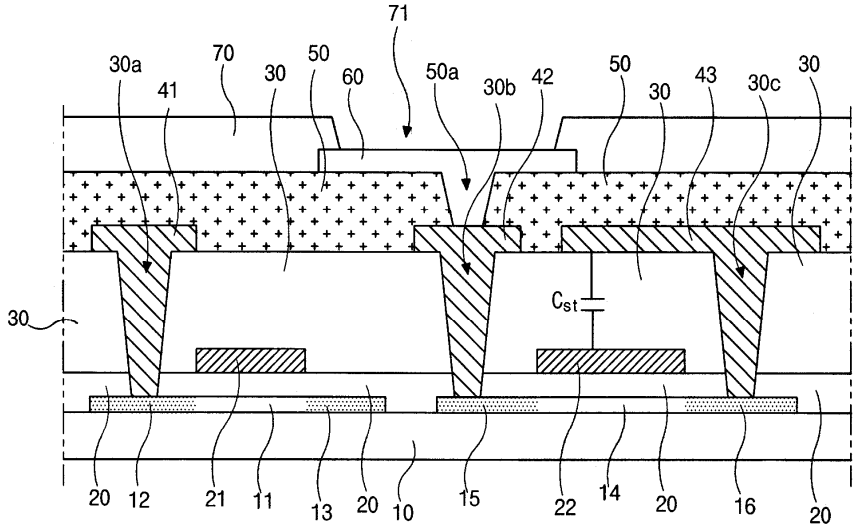
도면3e



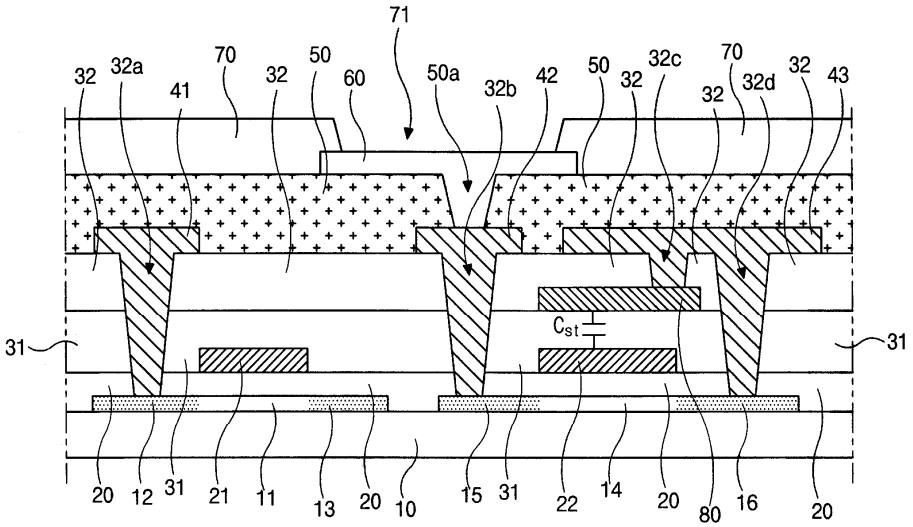
도면3f



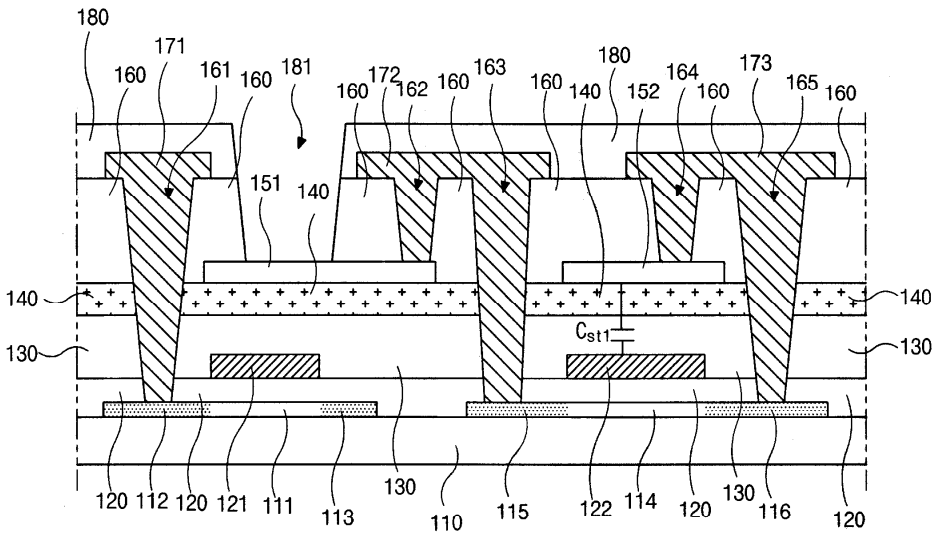
도면3g


71
30a
41
70
30
50
60
50a
30b
42
50
30
43
30c
30
C_{st}
30
20
12
21
11
13
20
10
15
22
14
20
16
20

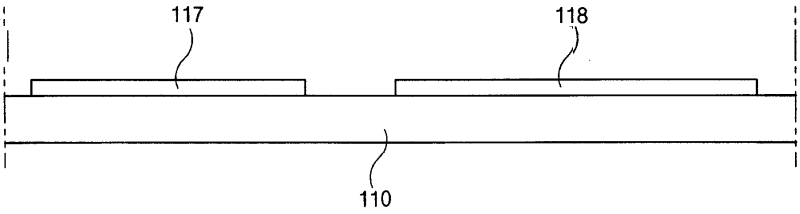
도면4


71
32
32a
41
70
32
50
60
50a
32b
42
50
32
32c
32
70
32d
32
43
C_{st}
31
31
20
12
31
21
11
13
20
10
15
31
22
14
20
80
16
20

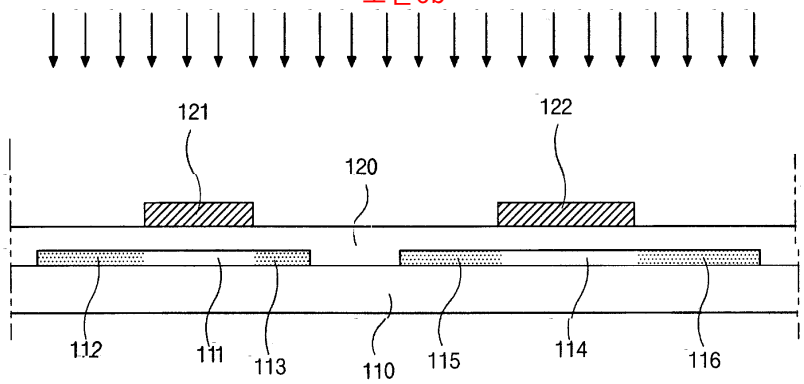
도면5


180
171
160
161
160
181
160
172
162
160
163
160
180
140
152
164
160
173
165
160
151
140
140
140
C_{st1}
130
130
120
112
120
121
111
113
130
110
115
122
114
120
130
116
120

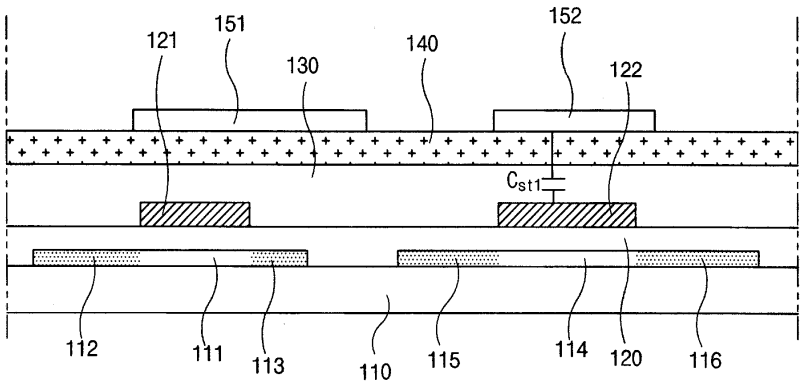
도면6a



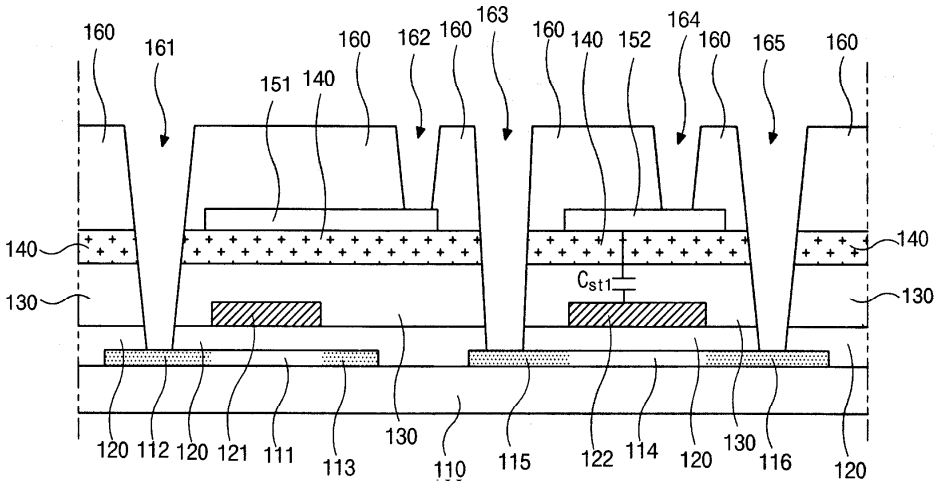
도면6b



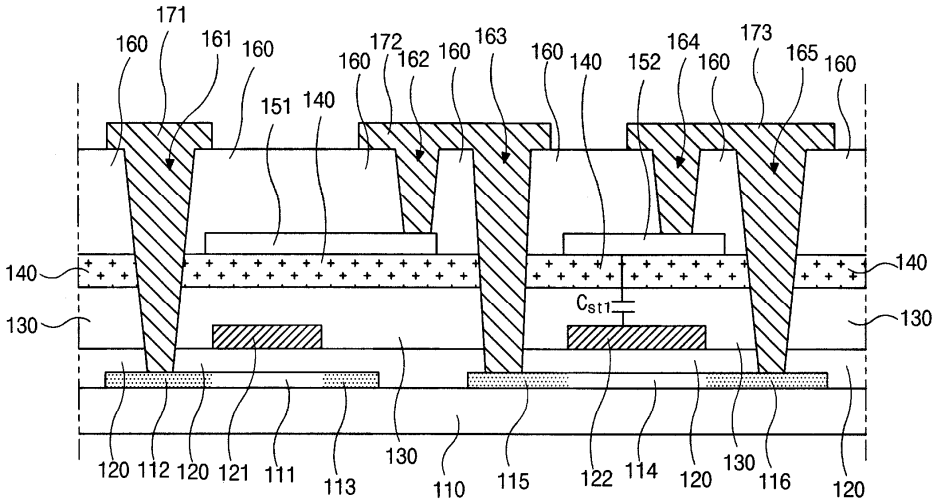
도면6c



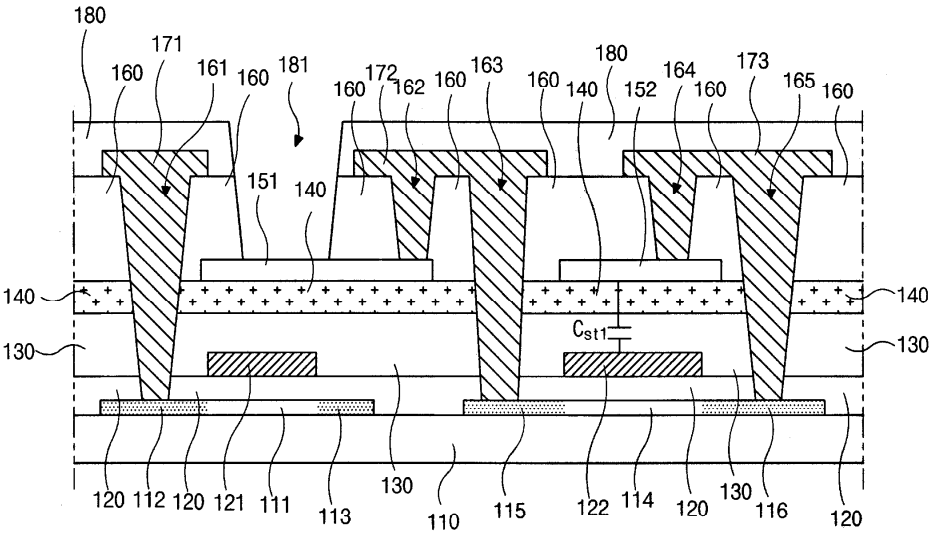
도면6d



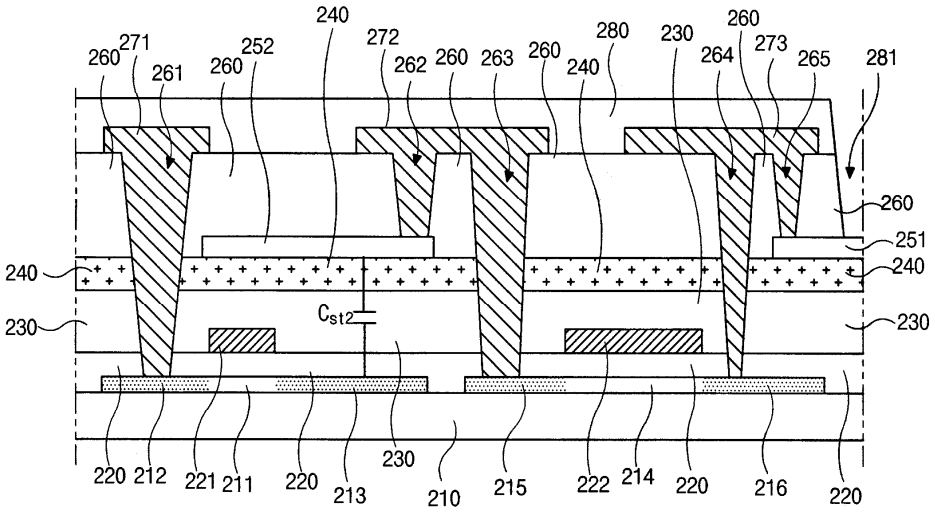
도면6e



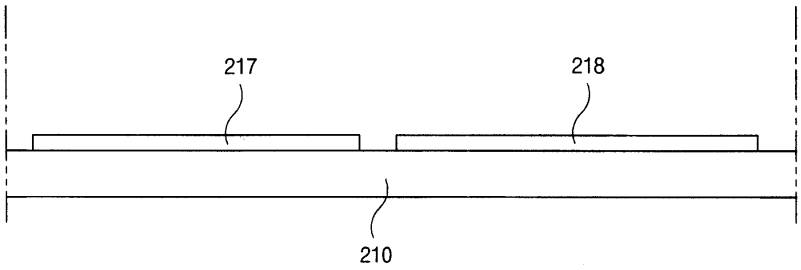
도면6f



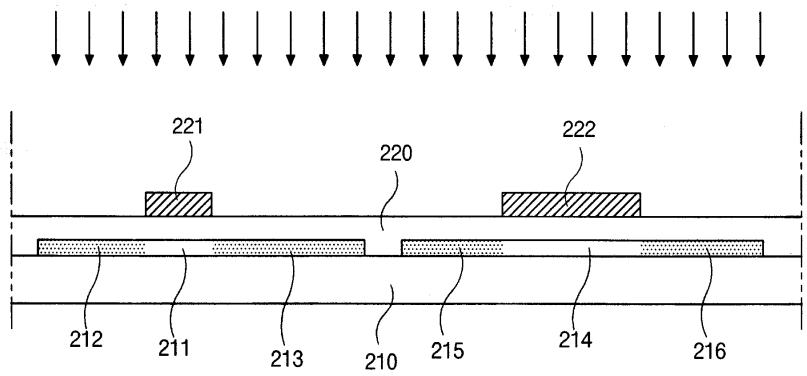
도면7



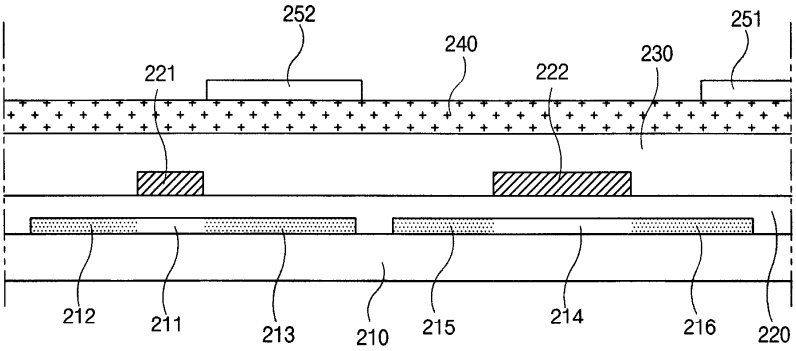
도면8a



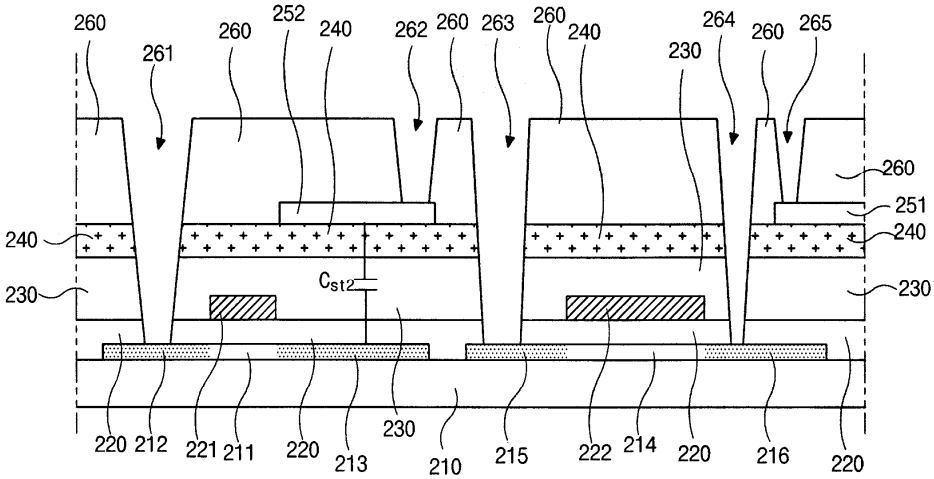
도면8b



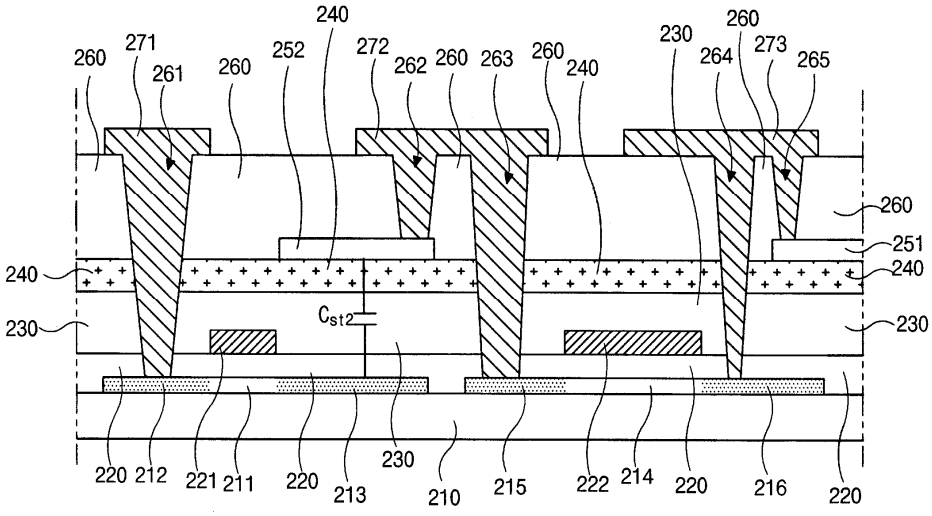
도면8c



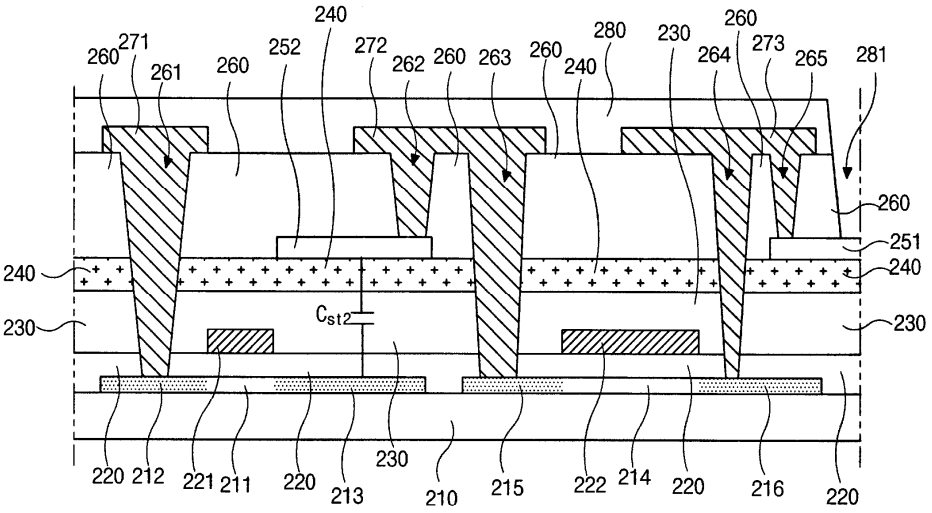
도면8d



도면8e


240
260
271
261
260
252
272
262
260
263
260
240
230
260
264
273
265
260
251
240
240
230
C_{st2}
230
220
212
221
211
220
213
230
210
215
222
214
220
216
220

도면8f


240
260
271
261
260
252
272
262
260
263
260
240
280
230
260
264
273
265
281
260
251
240
240
230
C_{st2}
230
220
212
221
211
220
213
230
210
215
222
214
220
216
220