

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200510007875.5

[51] Int. Cl.

H01L 27/00 (2006.01)

H01L 29/786 (2006.01)

H05B 33/12 (2006.01)

[45] 授权公告日 2008 年 11 月 26 日

[11] 授权公告号 CN 100438028C

[22] 申请日 2001.3.6

[21] 申请号 200510007875.5

分案原申请号 01110971.8

[30] 优先权

[32] 2000.3.6 [33] JP [31] 60206/00

[73] 专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

[72] 发明人 山崎舜平 小山润 须泽英臣

小野幸治 荒尾达也

[56] 参考文献

CN1258103A 2000.6.28

US5177571A 1993.1.5

JP6-148685A 1994.5.27

审查员 夏杰

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 吴立明 梁永

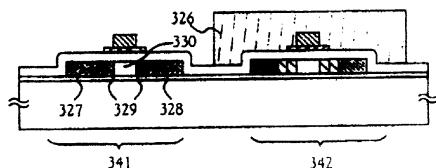
权利要求书 2 页 说明书 46 页 附图 23 页

[54] 发明名称

半导体器件及显示设备

[57] 摘要

提供了一种高可靠性的半导体显示器件。半导体显示器件中的半导体层具有沟道形成区、LDD 区、源区和漏区，LDD 区与第一栅电极重叠，栅绝缘膜夹于其间。



1. 一种半导体器件，包括：

在绝缘表面上的半导体膜；

在半导体膜上的栅绝缘膜；

在栅绝缘膜上的第一栅电极和第一引线；

分别在第一栅电极和第一引线上的第二栅电极和第二引线；

形成在第一栅电极、第二栅电极、第一引线、第二引线和栅绝缘膜上的第一层间绝缘膜；

在第一层间绝缘膜上的第二层间绝缘膜；以及

在第二层间绝缘膜上的中间引线，

其中中间引线通过在第二层间绝缘膜中形成的接触孔而与第一层间绝缘膜接触，

其中中间引线的一部分与第二引线重叠，第一层间绝缘膜在接触孔中夹于其间，

其中半导体膜包括：

沟道形成区，

与沟道形成区接触的轻掺杂漏区，

与轻掺杂漏区接触的源区和漏区，

其中沿沟道纵向的第一栅电极的第一宽度宽于沿沟道纵向的第二栅电极的第二宽度，

其中第二栅电极与沟道形成区重叠，栅绝缘膜夹于其间，

其中第一栅电极与轻掺杂漏区重叠，栅绝缘膜夹于其间。

2. 权利要求 1 的半导体器件，其中第一栅电极和第一引线由第一导电膜形成。

3. 权利要求 1 的半导体器件，其中第二栅电极和第二引线由第二导电膜形成。

4. 权利要求 1 的半导体器件，其中中间引线通过在栅绝缘膜、第一层间绝缘膜和第二层间绝缘膜中形成的第二接触孔连接到源区。

5. 权利要求 1 的半导体器件，还包括屏蔽膜，

其中屏蔽膜形成在第二层间绝缘膜上，

其中屏蔽膜与沟道形成区重叠。

6. 权利要求 5 的半导体器件，其中屏蔽膜由与中间引线相同的导电膜形成。

7. 包括根据权利要求 1 的半导体器件的显示设备，还包括电致发光元件，包括：

阳极；

阴极；和

在阳极与阴极之间形成的电致发光层，

其中漏区被电连接到阳极或阴极。

8. 包括根据权利要求 1 的半导体器件的摄像机。

9. 包括根据权利要求 1 的半导体器件的图像重现设备。

10. 包括根据权利要求 1 的半导体器件的头戴式显示设备。

11. 包括根据权利要求 1 的半导体器件的计算机。

半导体器件及显示设备

技术领域

本发明涉及到半导体显示器件，它是使用半导体元件（半导体薄膜元件）。而且，本发明还涉及到在显示部分使用半导体显示器件的电子学设备。

背景技术

采用制作在具有绝缘表面的衬底上的半导体薄膜（厚为几个至几百个纳米）以制作薄膜晶体管（TFT）的技术，近些年来已成为公众注意的中心。薄膜晶体管被广泛地用于电子学器件如 IC 以及半导体显示器件，特别是正迅速发展成为用于液晶显示和 EL 显示器件的开关元件。

EL 显示器件也称为有机 EL 显示器件（OELDs）和有机发光二极管（OLEDs）。

EL 显示器件是自发光的。EL 器件具有这样的结构，其中一个含有有机化合物的层（EL 层）夹于一对电极（一个阳极和一个阴极）之间，而且 EL 层通常具有叠层结构。一个典型的叠层结构的例子是由 Eastman Kodak 公司的 Tang 等开发的由空穴输运层、发光层和电子输运层构成的叠层结构。这种结构具有极高的发光效率，当前在研发的大多数 EL 显示器件都使用这种结构。

对具有阳极层、EL 层和阴极层的 EL 元件施加电场，则产生电致发光。在有机化合物中由单重激发态回到基态（荧光）或由三重激发态回到基态（磷光）都会产生发光，这两种发光在本发明的 EL 显示器件中都可以使用。

而且，在阳极上依次叠置空穴注入层、空穴输运层、发光层和电子输运层的结构，和在阳极上依次叠置空穴注入层、空穴输运层、发光层、电子输运层和电子注入层的结构，也都可使用。也可在发光层中掺入诸如荧光颜料之类的材料。

在阳极和阴极间形成的所有各层，在本说明书中统称为 EL 层。

上述的空穴注入层、空穴输运层、发光层、电子输运层和电子注入层因此都包括在 EL 层中。

注意，在本说明书中，EL 元件的发光被称作 EL 元件的驱动。还要注意，在本说明书通篇中，由阳极、EL 层和阴极构成的发光元件被称作 EL 元件。

有源矩阵 EL 显示器件的像素部分具有许多像素，每个都具有一个 TFT 和一个 EL 元件。用 TFT 控制流过 EL 元件的电流，则在像素部分显示一幅图像。

特别是，用具有晶体结构的半导体膜作为 TFT 的有源层（晶体 TFT）可获得高迁移率，因此能够将多种功能的电路集成在同一衬底上，从而实现高清晰度的图像显示。

本说明书中，具有晶体结构的半导体膜包括单晶半导体、多晶半导体和微晶半导体，还包括日本专利公开 No. Hei 7-130652 号、No. Hei 8-78329 号、No. Hei 10-135468 号和 No. Hei 10-135469 号所揭示的半导体。

为构成有源矩阵 EL 显示器件，只有一个像素的矩阵电路（此后称为像素部分）需要 100 万至 200 万个晶体 TFT，而在其周围形成的附加的功能电路则需更多的晶体 TFT。

TFT 的特性可按开态和关态来考虑。一些特性参数如开态电流、迁移率、S 值和阈值都是开态特性，而关态电流则是最重要的关态特性。

然而，有一个问题是晶体 TFT 的关态电流容易升高。

而且，从可靠性的观点出发，晶体 TFT 还没有用于采用 LSI 的 MOS 晶体管（在单晶半导体衬底上制作晶体管）。例如，已观察到在晶体 TFT 被连续驱动时发生退降现象，迁移率和开态电流（TFT 开态时流过的电流）下降，关态电流（TFT 关态时流过的电流）上升。设想其原因是热载流子效应，即在漏极附近的高电场产生的热载流子导致了退降现象。

已经知道，轻掺杂漏区（LDD）结构是借助于减轻漏极附近的高电场来降低 MOS 晶体管关态电流的一种方法。低掺杂区被制作在具有这种结构的沟道区外面形成，此低掺杂区称作 LDD 区。

特别是，有一种结构其 LDD 区经栅绝缘膜与栅电极重叠（栅-漏重叠 LDD，黄金结构），漏板附近的高电场区被减弱，可防止热载流子效应，从而提高可靠性。注意，在本说明书中，LDD 区经栅绝缘膜与栅电极重叠的区域称作 Lov 区（第一 LDD 区）（“ov”表示“重叠”）。

还要注意，已知一些结构如 LATID（大倾角注入漏区）结构和 ITLDD（反型 T LDD）结构都是黄金结构。例如，有一种黄金结构，据 Hatano M., Akimoto H., and Sakai T. (IEDM97 Technical Digest, p. 523-6, 1997) 报导，其侧壁是由硅形成的，已证实与其他的 TFT 结构相比可得到极优越的可靠性。

注意，在本说明书中，LDD 区不与栅电极经栅绝缘膜而重叠的区域称作 Loff 区（第二 LDD 区）（“off”表示“截止”）。

已提出了几种方法来制作具有 Loff 区和 Lov 区二者的 TFT。一种方法使用掩模，一种方法使用的栅电极具有不同宽度的两层而栅绝缘膜是自对准的，这些都可作为形成 Lov 区和 Loff 区的方法。

然而，用掩模形成 Lov 区和 Loff 区时需用两个掩模，工序也增多了。另一方面，当用自对准形成 Lov 区和 Loff 区时，不需增加掩模数，因而能够减少工序。然而，栅电极的宽度和栅绝缘膜的厚度会影响形成的 Lov 区和 Loff 区的位置。栅电极和栅绝缘膜的腐蚀速率是不同的，很难精确控制 Lov 区和 Loff 区的位置对准。

发明内容

鉴于上述，本发明的目的是在形成 Lov 区和 Loff 区时减少掩模数目，并在所希望的位置容易地形成 Lov 区和 Loff 区。而且，本发明的目的还在于实现能够得到良好的开态和关态特性的晶体 TFT。本发明的另一个目的是实现高可靠性的半导体显示器件，其半导体电路是由这种类型的晶体 TFT 构成的。

利用栅电极的自对准以及掩模向半导体层中掺入杂质来形成 Lov 区和 Loff 区。栅电极由两层导电膜构成，更靠近半导体层的那一层（第一栅电极）沿沟道纵向（沟道长度方向）被制作成长于离半导体层较远的层（第二电极）。

注意，在本说明书中，沟道纵向一词指载流子在其中运动的源区

和漏区之间的方向。

在本发明中，第一栅电极和第二栅电极沿沟道纵向（载流子移动方向）的长度（此后简称作栅电极宽度）是不同的。用第一栅电极和第二栅电极作掩模进行离子注入，由于栅电极厚度不同，利用离子透入深度之差，可使第二栅电极下面的半导体层中的离子浓度低于第一栅电极下面的半导体层中的离子浓度，而无须在第二栅电极下面定位。此外，还能使第一栅电极下面的半导体层中的离子浓度低于不在第一栅电极下面的半导体层的离子浓度，而无须在第二栅电极下面定位。

而且， L_{off} 区是用掩模来形成的，因此只须用腐蚀来控制第一栅电极和第二栅电极的宽度， L_{off} 区和 L_{ov} 区位置的控制比之于常规的例子就变得容易了。所以， L_{ov} 区和 L_{off} 区的精确位置对准以及制作具有所需特性的 TFT 都变得容易了。

本发明的结构如下所示。

本发明的一种结构为一半导体显示器件，它具有：在绝缘表面上形成的半导体层；与半导体层接触的栅绝缘膜；与栅绝缘膜接触的第一栅电极以及与第一栅电极接触的第二栅电极；

其特点为：

半导体层具有沟道形成区、与沟道形成区接触的 LDD 区以及与 LDD 区接触的源区和漏区；

沿沟道纵向的第一栅电极的宽度宽于沿沟道纵向的第二栅电极的宽度；且

LDD 区与第一栅电极重叠，栅绝缘膜夹于其间。

本发明的另一种结构为一半导体显示器件，它具有：在绝缘表面上形成的半导体层；与半导体层接触的栅绝缘膜；与栅绝缘膜接触的第一栅电极以及与第一栅电极接触的第二栅电极；

其特点为：

半导体层具有沟道形成区、与沟道形成区接触的 LDD 区以及与源区和漏区接触的 LDD 区；

沿沟道纵向的第一栅电极的宽度宽于沿沟道纵向的第二栅电极的宽度；

LDD 区与第一栅电极重叠，栅绝缘膜夹于其间；且
沟道形成区与第二栅电极重叠，栅绝缘膜夹于其间。

本发明还有一种结构为一半导体显示器件，它具有：在绝缘表面上形成的半导体层；与半导体层接触的栅绝缘膜；与栅绝缘膜接触的第一栅电极；与第一栅电极接触的第二栅电极；以及 EL 元件；

其特点为：

半导体层具有沟道形成区、与沟道形成区接触的 LDD 区以及与 LDD 区接触的源区和漏区；

沿沟道纵向的第一栅电极的宽度宽于沿沟道纵向的第二栅电极的宽度；

LDD 区与第一栅电极重叠，栅绝缘膜夹于其间；

沟道形成区与第二栅电极重叠，栅绝缘膜夹于其间；

EL 元件具有阳极、阴极及在其间形成的 EL 层；且
漏区与阳极或阴极电相连。

本发明还有一种结构为一半导体显示器件，它具有：在绝缘表面上形成的半导体层；与半导体层接触的栅绝缘膜；与栅绝缘膜接触的第一栅电极以及与第一栅电极接触的第二栅电极；

其特点为：

沿沟道纵向的第一栅电极的宽度宽于沿沟道纵向的第二栅电极的宽度；

第一栅电极截面的一端为锥形；

半导体层具有沟道形成区、与沟道形成区接触的 LDD 区以及与 LDD 区接触的源区和漏区；

LDD 区与第一栅电极重叠，栅绝缘膜夹于其间；且

沟道形成区与第二栅电极重叠，把栅绝缘膜夹于其间。

上述结构中的 LDD 区可用自对准的方式，借助于用第二栅电极作为掩模向半导体层掺入杂质元素来形成。

按照本发明，LDD 区的杂质浓度至少含有一个其浓度梯度为 1×10^{17} 至 $1 \times 10^{18}/\text{cm}^3$ 的区域，而且其特点是杂质元素的浓度随与沟道形成区距离的增大而增高。

本发明还有一种结构为一半导体显示器件，它具有开关 TFT 和驱动电路 TFT；

其中：

每个开关 TFT 和驱动电路 TFT 都具有在绝缘表面上形成的半导体层，与半导体层接触的栅绝缘膜，与栅绝缘膜接触的第一栅电极，及与第一栅电极接触的第二栅电极；

沿沟道纵向的第一栅电极的宽度宽于沿沟道纵向的第二栅电极的宽度；

开关 TFT 的半导体层具有：与第二栅电极重叠的沟道形成区，栅绝缘膜夹于其间；接触沟道形成区的与第一栅电极重叠并将栅绝缘膜夹于其间的第一 LDD 区；与第一 LDD 区接触的第二 LDD 区；以及与第二 LDD 区接触的源区和漏区；

驱动电路 TFT 的半导体层具有：与第二栅电极重叠的沟道形成区，栅绝缘膜夹于其间；接触沟道形成区的与第一栅电极重叠并将栅绝缘膜夹于其间的第一 LDD 区；与第一 LDD 区接触的第二 LDD 区；以及与第二 LDD 区接触的源区和漏区。

本发明还有一种结构为一半导体显示器件，它具有开关 TFT 和驱动电路 TFT；

其中：

每个开关 TFT 和驱动电路 TFT 都具有在绝缘表面上形成的半导体层，与半导体层接触的栅绝缘膜，与栅绝缘膜接触的第一栅电极以及与第一栅电极接触的第二栅电极；

沿沟道纵向的第一栅电极的宽度宽于沿沟道纵向的第二栅电极的宽度；

第一栅电极截面的一边为锥形；

开关 TFT 的半导体层具有：与第二栅电极重叠的沟道形成区，栅绝缘膜夹于其间；接触沟道形成区的与第一栅电极重叠并将栅绝缘膜夹于其间的第一 LDD 区；与第一 LDD 区接触的第二 LDD 区；及与第二 LDD 区接触的源区和漏区；而

驱动电路 TFT 的半导体层具有：与第二栅电极重叠的沟道形成区，栅绝缘膜夹于其间；接触沟道形成区的与第一栅电极重叠并将栅

绝缘膜夹于其间的第三 LDD 区以及与第三 LDD 区接触的源区和漏区。

按照本发明，第一 LDD 区的杂质浓度至少含有一个其杂质浓度梯度为 1×10^{17} 至 $1 \times 10^{18}/\text{cm}^3$ 的区域，且杂质元素的浓度随与沟道形成区距离的增大而增高。

按照本发明，第三 LDD 区的杂质浓度至少含有一个其杂质浓度梯度为 1×10^{17} 至 $1 \times 10^{18}/\text{cm}^3$ 的区域，且杂质元素的浓度随与沟道形成区距离的增大而增高。

按照本发明，第一 LDD 区或第三 LDD 区可用自对准方式，借助于用第二栅电极作掩模向半导体层掺入杂质元素来形成。

本发明还有一种结构为一半导体显示器件，它具有：在绝缘表面上形成的半导体层；栅绝缘膜；第一栅电极；第二栅电极；第一引线；第二引线；第一层间绝缘膜；第二层间绝缘膜以及中间引线；

其特点为：

在绝缘表面上形成覆盖半导体层的栅绝缘膜；

形成与栅绝缘膜接触的第一栅电极和第一引线；

形成分别与第一栅电极和第一引线接触的第二栅电极和第二引线；

由第一导电膜形成的第一栅电极和第一引线；

由第二导电膜形成的第二栅电极和第二引线；

形成第一层间绝缘膜，它覆盖着第一栅电极；第二栅电极；第一引线；第二引线；及栅绝缘膜；

在第一层间绝缘膜上形成第二层间绝缘膜；

形成覆盖第二层间绝缘膜的中间引线，以便通过在第二层间绝缘膜上形成的接触孔而与第一层间绝缘膜接触；

经接触孔中的第一层间绝缘膜，中间引线与第二引线重叠；

半导体层具有沟道形成区、与沟道形成区接触的 LDD 区以及与 LDD 区接触的源区和漏区；

沿沟道纵向的第一栅电极的宽度宽于沿沟道纵向的第二栅电极的宽度；

沟道形成区与第二栅电极重叠，栅绝缘膜夹于其间；

LDD 区与第一栅电极重叠，栅绝缘膜夹于其间。

本发明还有一种结构为一半导体显示器件，它具有：在绝缘表面上形成的半导体层；栅绝缘膜；第一栅电极；第二栅电极；第一引线；第二引线；第一层间绝缘膜；第二层间绝缘膜；中间引线以及 EL 元件；

其特点为：

在绝缘表面上形成覆盖半导体层的栅绝缘膜；

形成与栅绝缘膜接触的第一栅电极和第一引线；

形成分别与第一栅电极和第一引线接触的第二栅电极和第二引线；

由第一导电膜形成的第一栅电极和第一引线；

由第二导电膜形成的第二栅电极和第二引线；

形成第一层间绝缘膜，它覆盖着第一栅电极；第二栅电极；第一引线；第二引线；及栅绝缘膜；

在第一层间绝缘膜上形成第二层间绝缘膜；

形成覆盖第二层间绝缘膜的中间引线，以便通过在第二层间绝缘膜中形成的第一接触孔而与第一层间绝缘膜接触；

经第一接触孔中的第一层间绝缘膜，中间引线与第二引线重叠；

半导体层具有沟道形成区、与沟道形成区接触 LDD 区，及与 LDD 区接触的源区和漏区；

LDD 区与第一栅电极重叠，栅绝缘膜夹于其间；

沟道形成区与第二栅电极重叠，栅绝缘膜夹于其间；

中间引线经过在栅绝缘膜、第一层间绝缘膜和第二层间绝缘膜中形成的第二接触孔而与源区相连；

EL 元件具有阳极、阴极及在其间形成的 EL 层；且

漏区与阳极或阴极电相连。

本发明还有一种结构为一半导体显示器件，它具有：在绝缘表面上形成的半导体层；栅绝缘膜；第一栅电极；第二栅电极；第一引线；第二引线；第一层间绝缘膜；第二层间绝缘膜；中间引线以及屏蔽膜；

其特点为：

在绝缘表面上形成覆盖半导体层的栅绝缘膜；

形成与栅绝缘膜接触的第一栅电极和第一引线；

形成分别与第一栅电极和第一引线接触的第二栅电极和第二引线；

由第一导电膜形成的第一栅电极和第一引线；

由第二导电膜形成的第二栅电极和第二引线；

形成第一层间绝缘膜，它覆盖着第一栅电极；第二栅电极；第一引线；第二引线；及栅绝缘膜；

在第一层间绝缘膜上形成第二层间绝缘膜；

形成覆盖第二层间绝缘膜的中间引线，以便通过在第二层间绝缘膜中形成的接触孔而与第一层间绝缘膜接触；

经接触孔中的第一层间绝缘膜，中间引线与第二引线重叠；

半导体层具有沟道形成区、与沟道形成区接触 LDD 区以及与 LDD 区接触的源区和漏区；

LDD 区与第一栅电极重叠，栅绝缘膜夹于其间；

沟道形成区与第二栅电极重叠，栅绝缘膜夹于其间；

屏蔽膜是由与中间引线相同的导电膜形成的；且

屏蔽膜形成在第二层间绝缘膜上，以便与沟道形成区重叠。

本发明还有一种结构为一半导体显示器件，它具有：在绝缘表面上形成的半导体层；栅绝缘膜；第一栅电极；第二栅电极；第一引线；第二引线；第一层间绝缘膜；第二层间绝缘膜；中间引线；屏蔽膜以及 EL 元件；

其特点为：

在绝缘表面上形成覆盖半导体层的栅绝缘膜；

形成与栅绝缘膜接触的第一栅电极和第一引线；

形成分别与第一栅电极和第一引线接触的第二栅电极和第二引线；

由第一导电膜形成的第一栅电极和第一引线；

由第二导电膜形成的第二栅电极和第二引线；

形成第一层间绝缘膜，它覆盖着第一栅电极；第二栅电极；第一引线；第二引线；及栅绝缘膜；

在第一层间绝缘膜上形成第二层间绝缘膜；

形成覆盖第二层间绝缘膜的中间引线，以便通过在第二层间绝缘

膜中形成的第一接触孔而与第一层间绝缘膜接触；

经第一接触孔中的第一层间绝缘膜，中间引线与第二引线重叠；

半导体层具有沟道形成区、与沟道形成区接触 LDD 区以及与 LDD 区接触的源区和漏区；

LDD 区与第一栅电极重叠，栅绝缘膜夹于其间；

沟道形成区与第二栅电极重叠，栅绝缘膜夹于其间；

中间引线经过在栅绝缘膜、第一层间绝缘膜和第二层间绝缘膜中形成的第二接触孔而与源区相连；

屏蔽膜是由与中间引线相同的导电膜形成的；且

屏蔽膜形成在第二层间绝缘膜上，以便与沟道形成区重叠；

EL 元件具有阳极、阴极及在其间形成的 EL 层；且

漏区与阳极或阴极电相连。

本发明还有一种结构为一半导体显示器件，它具有：在衬底上形成的光屏蔽膜；在衬底上形成的覆盖光屏蔽膜的绝缘膜；在绝缘膜上形成的半导体层；与半导体层接触的栅绝缘膜；与栅绝缘膜接触的第一栅电极以及与第一栅电极接触的第二栅电极；

其特点为：

半导体层具有：沟道形成区；与沟道形成区接触的 LDD 区；及与 LDD 区接触的源区和漏区；

LDD 区与第一栅电极重叠，栅绝缘膜夹于其间；

沟道形成区与第二栅绝缘膜重叠，栅绝缘膜夹于其间；且

光屏蔽膜经绝缘膜而与沟道形成区重叠。

本发明还有一种结构为一半导体显示器件，它具有：在衬底上形成的光屏蔽膜；在衬底上形成的覆盖光屏蔽膜的绝缘膜；在绝缘膜上形成的半导体层；与半导体层接触的栅绝缘膜；与栅绝缘膜接触的第一栅电极；与第一栅电极接触的第二栅电极；以及 EL 元件；

其特点为：

半导体层具有：沟道形成区；与沟道形成区接触的 LDD 区；以及与 LDD 区接触的源区和漏区；

LDD 区与第一栅电极重叠，栅绝缘膜夹于其间；

沟道形成区与第二栅绝缘膜重叠，栅绝缘膜夹于其间；

光屏蔽膜经绝缘膜而与沟道形成区重叠；

EL元件具有阳极、阴极及在其间形成的EL层；且漏区与阳极或阴极电相连。

按照本发明，上述结构中的绝缘膜也可用CMP抛光来整平。

本发明也可以是：摄象机、放像设备、头戴显示器或个人计算机，半导体显示器件被用于这些设施中。

本发明还有一种结构，是一种制作半导体显示器件的方法，它包含以下步骤：

在绝缘表面上形成半导体层；

在绝缘表面上形成覆盖半导体层的栅绝缘膜；

在栅绝缘膜上形成第一导电膜；

在第一导电膜上形成第二导电膜；

在第一导电膜和第二导电膜上刻图形，形成第一栅电极和第二栅电极；

由形成第一栅电极和第二栅电极的那一侧，向半导体层掺入第一种杂质；

在半导体层上形成覆盖第一栅电极和第二栅电极的掩模；以及

由在半导体层上形成掩模的那一侧，掺入与第一种杂质导电类型相同的第二种杂质，从而形成沟道形成区，与沟道形成区接触的第一LDD区，与第一LDD区接触的第二LDD区，及与第二LDD区接触的源区和漏区；

其特点为：

沿沟道纵向的第一栅电极长于第二栅电极；

沟道形成区与第二栅电极重叠，栅绝缘膜夹于其间；

第一LDD区与第一栅电极重叠，栅绝缘膜夹于其间。

本发明还有一种结构，是一种制作半导体显示器件的方法，它包含以下步骤：

在绝缘表面上形成半导体层；

在绝缘表面上形成覆盖半导体层的栅绝缘膜；

在栅绝缘膜上形成第一导电膜；

在第一导电膜上形成第二导电膜；

在第一导电膜和第二导电膜上刻图形，形成第一栅电极和第二栅电极；

由形成第一栅电极和第二栅电极的那一侧向半导体层掺入第一种杂质；以及

在半导体层上形成覆盖第一栅电极和第二栅电极的掩模；

由在半导体层上形成掩模的那一侧，掺入与第一种杂质导电类型相同的第二种杂质，从而形成沟道形成区，与沟道形成区接触的第一 LDD 区，与第一 LDD 区接触的第二 LDD 区以及与第二 LDD 区接触的源区和漏区；

其特点为：

沿沟道纵向的第一栅电极长于第二栅电极；

沟道形成区与第二栅电极重叠，栅绝缘膜夹于其间；且

第一 LDD 区与第一栅电极重叠，栅绝缘膜夹于其间。

本发明还有一种结构，是一种制作半导体显示器件的方法，它包含以下步骤：

在绝缘表面上形成半导体层；

在绝缘表面上形成覆盖半导体层的栅绝缘膜；

形成与栅绝缘膜接触的第一栅电极和第一形状的第二栅电极；

腐蚀第一栅电极和第一形状的第二栅电极，形成具有锥形部分的第一栅电极和第二形状的第二栅电极；

通过栅绝缘膜向半导体层掺入呈一种导电类型的杂质元素，形成第二 LDD 区；同时通过第一栅电极的锥形部分向半导体层掺入呈一种导电类型的杂质元素，形成第一 LDD 区，其杂质浓度向着半导体层的边缘部分而增高；以及

以具有锥形部分的第一栅电极和第二形状的第二栅电极做掩模，掺入呈一种导电类型的杂质，形成源区或漏区。

附图说明

图 1A-1F 是制作本发明的 EL 显示器件的工艺过程图；

图 2A 和 2B 是本发明 TFT 栅电极的放大图；

图 3A-3D 表示制作本发明实施方案 1 的 EL 显示器件的工艺过程

图；

图 4A-4C 表示制作本发明实施方案 1 的 EL 显示器件的工艺过程图；

图 5A-5C 表示制作本发明实施方案 1 的 EL 显示器件的工艺过程图；

图 6A 和 6B 表示制作本发明实施方案 1 的 EL 显示器件的工艺过程图；

图 7A 和 7B 分别为实施方案 2 的 EL 显示器件的像素的俯视图和电路图；

图 8 是实施方案 3 的 EL 显示器件的截面图；

图 9 是实施方案 4 的 EL 显示器件的截面图；

图 10 是实施方案 5 的 BL 显示器件的截面图；

图 11A 和 11B 分别为实施方案 6 的 EL 显示器件的像素的俯视图和截面图；

图 12A 和 12B 表示实施方案 7 晶化半导体层的方法；

图 13A 和 13B 表示实施方案 7 晶化半导体层的方法；

图 14A 和 14B 表示实施方案 7 晶化半导体层的方法；

图 15A 和 15B 分别为实施方案 8 的 EL 显示器件的外视图和截面图；

图 16A-16F 为使用实施方案 13 的 EL 显示器件的电子设备；

图 17A 和 17B 为使用实施方案 13 的 EL 显示器件的电子设备；

图 18 是实施方案 10 的 EL 显示器件的框图；

图 19A-19D 是实施方案 11 的 TFT 栅电极的放大图；

图 20A 和 20B 是实施方案 14 的 TFT 栅电极的放大图；

图 21 表示对于实施方案 14 的形状 A, TaN 的膜厚与电子温度的关系；

图 22 表示对于实施方案 14 的形状 B, TaN 的膜厚与电子温度的关系；

图 23 为对于实施方案 14 的形状 B, 电子温度与水平方向电场强度的比较；

图 24 表示实施方案 14 的形状 A 和形状 B 中的磷的浓度分布。

具体实施方式

[实施例模式]

图 1A-1F 表示本发明的薄膜晶体管及其制作方法。

在衬底 300 上形成基膜 301。不一定要形成基膜 301，但形成基膜 301 可防止杂质从衬底 300 向半导体层扩散。由熟知的方法制作的晶体半导体膜在基膜 301 上形成半导体层 302 和 303。

形成覆盖半导体层 302 和 303 的栅绝缘膜 304。然后在栅绝缘膜 304 上形成第一导电膜 305 和第二导电膜 306，以构成栅电极。注意，第一导电膜 305 和第二导电膜 306 必须是具有腐蚀选择性的导电材料（见图 1A）。

接着在半导体层 302 和 303 上形成抗蚀剂掩模 307 和 308。然后借助于用掩模 307 和 308 腐蚀第一导电层 305 和第二导电层 306（第一腐蚀过程）来形成第一形状导电层 309 和 310（第一导电层 309a 和 310a，及第二导电层 309b 和 310b）（见图 1B）。

图 2A 示出了图 1B 的第一形状导电层 309 和 310 的放大图。第一导电层 309a 和 310a 以及第二导电层 309b 和 310b 的边缘部分都变斜了，如图 2A 所示。进而腐蚀栅绝缘膜 304，使未被第一形状导电层 309 和 310 覆盖的区域减薄，成为第一形状栅绝缘膜 304a。

接下来执行第二腐蚀过程，如图 1C 所示。第一形状的第二导电层 309b 和 310b 被各向异性腐蚀而第一导电层 309a 和 310a 以低于第二导电层 309b 和 310b 的腐蚀速率被各向异性腐蚀，从而形成第二形状的导电层 313 和 314（第一导电层 313a 和 314a，以及第二导电层 313b 和 314b）。

图 1C 的第二形状导电层 313 和 314 的放大图示于图 2B。第二腐蚀过程对第二导电层 313b 和 314b 的腐蚀多于对第一导电层 313a 和 314a 的腐蚀，如图 2B 所示。而且，掩模 307 和 308 被第二腐蚀过程腐蚀成掩模 311 和 312。第一形状栅绝缘膜 304a 被进一步腐蚀，使未被第二形状导电层 313 和 314 覆盖的区域减薄，成为第二形状栅绝缘膜 304b。

除去掩模 311 和 312，并在半导体层 302 和 303 中进行第一步掺杂，掺入 n 型导电杂质元素，如图 1D 所示。掺杂时用第二形状的导

电层 313 和 314 作为杂质元素的掩模。在第二形状的导电层 313a 和 314a 下面的区域也进行了掺杂。

这样就形成了与第一导电层 313a 和 314a 重叠的第一杂质区 315 和 316 和杂质浓度高于第一杂质区的第二杂质区 317 和 318。注意，虽然在此实施方案模式中是在除去掩模 311 和 312 后掺入 n 型杂质元素，但本发明不限于此。在图 1D 的工艺过程中也可在掺入 n 型导电杂质元素后除去掩模 311 和 312。

在半导体层 303 上用抗蚀剂形成掩模 319 以覆盖第二形状的导电层 314。掩模 319 与部分第二杂质区 318 重叠，第二形状栅绝缘膜 304b 夹于其间。然后进行第二步掺杂，掺入 n 型杂质元素。n 型掺杂是在比第一步掺杂剂量增大和低加速电压的条件下进行的。除了沟道形成区 324 和 Lov 区 323 外，在第二步掺杂中以自对准的方式还形成了源区 320、漏区 321 和 Loff 区 322。在第二步掺杂中，用第二形状的第一导电层 313a 作掩模，还在半导体层 302 中形成了第三杂质区 325（见图 1E）。

在本发明中，借助于控制掩模 319 的尺寸，可自由地设置 Loff 区 322 的尺寸。

然后，在形成 n 沟道 TFT 的半导体层 303 的全部表面上覆盖抗蚀剂掩模 326，如图 1F 所示。用第二形状导电层 313 作为杂质元素的掩模，由第三步掺杂在源区 327、漏区 328 和 Lov 区 329 掺入呈 p 型导电的杂质元素；再在形成 p 沟道 TFT 的半导体层 302 中以自对准的方式形成沟道形成区 330。

不同浓度的 n 型杂质已掺入源区 327、漏区 328 和 Lov 区 329，但在掺入的 p 型杂质浓度远高于 n 型杂质的浓度时，源区 327、漏区 328 和 Lov 区 329 的导电类型就成为 p 型。

由上述工艺过程，在半导体层 302 和 303 中就形成了杂质区（源区、漏区、Lov 区和 Loff 区）。与半导体层 302 和 303 重叠的第二形状导电层 313 和 314 就作为栅电极。第二形状的第一导电层 313a 和 314a 称为第一栅电极，而第二形状的第二导电层 313b 和 314b 称为第二栅电极。

接着，激活掺入各个半导体层的杂质以控制导电性。然而，如果

第一导电膜 305 和第二导电膜 306 所用的导电材料不耐热的话，则最好在形成层间绝缘膜（含有硅作为其主要成分）后再进行激活，以保护一些部分如引线。可以用激光或红外线照射来完成激活。

另外，在含 3-100% 氢的气氛中进行热处理以执行半导体层 302 和 303 的氢化。这个过程是用热激活的氢来终止半导体层中的悬键。等离子氢化（用等离子体热激活的氢）也可作为另一种氢化手段。

当上述工艺过程结束时，就完成了 p 沟道 TFT 341 和 n 沟道 TFT 342。

注意，虽然图中所示的各个表面在图 1A-1F 和图 2A 以及图 2B 中都拉平了，但对于沟道纵向上第二形状的第一栅电极 313a 和 314a 比第二栅电极 313b 和 314b 更长的区域，实际上是有锥度的，存在着极小的锥角。还要注意，也可能做成平的，依赖于腐蚀条件。

如上所述，第一栅电极和第二栅电极沿沟道纵向（载流子移动方向）的长度（此后简称栅电极宽度）在本发明中是不同的。用第一栅电极和第二栅电极作为掩模进行离子注入，利用了由于栅电极厚度的不同所造成的离子透入深度的差别，因此就能够使在第二栅电极下面半导体层内的离子浓度低于在第二栅电极之外的第一栅电极下面的半导体层的离子浓度。另外，也能够使在第二栅电极之外的第一栅电极下面的半导体层的离子浓度低于不在第一栅电极下面的半导体层的离子浓度。

再者，为了用掩模来形成 Loff 区，只需由腐蚀控制第一栅电极和第二栅电极的宽度，因此控制 Loff 区和 Lov 区的位置就比常规的例子容易了。这样就容易做到 Lov 区和 Loff 区的精确定位对准，制作具有所需特性的 TFT 也就容易了。

注意，本发明的上述结构不限于 EL 显示器件，也能将上述结构用于液晶显示器件。

本发明的一些实施方案说明如下。

[实施方案 1]

实施方案 1 中详细说明了在同一衬底上同时制作像素部分和在像素部分周围形成驱动电路的 TFT（n 沟道和 p 沟道 TFT）的方法。注意，在本说明书中，驱动电路包括源极信号线驱动电路和栅极信号

线驱动电路。另外，在本说明书中，驱动电路的 TFT 被称为驱动电路 TFT。

首先，如图 3A 所示，在衬底 100 上形成由诸如氧化硅膜、氮化硅膜或氮氧化硅膜之类的绝缘膜制成的基膜 101，所用的衬底 100 为玻璃或石英衬底，如硼硅酸钡玻璃或硼硅酸铝玻璃，典型地如康宁公司 (Corning Corp.) 的 #7059 或 #1737 玻璃。例如，用等离子 CVD 法，由 SiH₄、NH₃ 和 N₂O 制作氮氧化硅膜，厚度 10-200 纳米（最好 50-100 纳米），类似地由 SiH₄ 和 N₂O 制作厚为 50-200 纳米（最好在 100 和 150 纳米之间）的氢化氮氧化硅膜，并形成叠层。注意，这在图 3A 中被表示为一层。在实施方案 1 中，基膜 101 被示为两层结构，但也可形成上述绝缘膜之一的单层，还可以制作成至少由两层叠成的叠层结构。

半导体层 102 至 105 是由晶体半导体膜构成的，此晶体半导体膜是用具有非晶结构的半导体膜的激光晶化方法，或用熟知的热晶化法制作的。半导体层 102 至 105 的厚度由 25 至 80 纳米（最好在 30 和 60 纳米之间）。对晶体半导体膜的材料没有什麼限制，但最好由半导体材料如硅或硅锗合金 (SiGe) 来形成。

至于所知道的晶化方法，有使用电炉的热晶化法、用激光的激光退火晶化法、用红外光的灯照退火晶化法、及用催化金属的晶化法。

脉冲发射或连续发射型的受激准分子激光器、YAG 激光器和 YVO₄ 激光器，都可作为激光源用于激光晶化法来制作晶体半导体膜。在用这种类型的激光器时，可使用把激光器发射的光经光学系统聚成线状，再照射到半导体膜上的方法。操作者可以适当地选择晶化条件，但在使用准分子激光器时，脉冲发射的频率要设置为 30 赫，激光能量密度设置为 100 至 400 mJ/cm²（典型地在 200 和 300 mJ/cm² 之间）。此外，在使用 YAG 激光器时，利用其二次谐波，脉冲发射频率设置为 1 至 10 千赫，激光能量密度可设置为 300 至 600 mJ/cm²（典型地在 350 和 500 mJ/cm² 之间）。然后，聚成线状的激光，宽 100 至 1000 微米，例如 400 微米，被照射到衬底的整个表面。对于线状的激光，这是以 80-98% 的交叠比 (overlap ratio) 来执行的。

形成覆盖岛状半导体层 102 至 105 的栅绝缘膜 106。栅绝缘膜由

等离子 CVD 或溅射法形成的厚 40 至 150 纳米的含硅绝缘膜组成。在实施方案 1 中形成了 120 纳米厚的氮氧化硅膜。当然，栅绝缘膜不限于这种氮氧化硅膜，其他的单层或叠层结构的含硅的绝缘膜也可使用。例如，在使用氧化硅膜时，可用等离子 CVD 法，使 TEOS (原硅酸四乙酯) 与 O₂ 的混合物在 40 帕的反应压力下，衬底温度为 300 至 400℃，在 0.5-0.8W/cm² 的高频 (13.56MHz) 电功率密度下放电，来形成氧化硅膜。这样制作的氧化硅膜接着在 400-500℃ 下进行热退火，可得到良好特性的栅绝缘膜。

然后在栅绝缘膜 106 上形成第一导电膜 107 和第二导电膜 108，以形成栅电极。在实施方案 1 中，第一导电膜 107 由 50-100 纳米厚的 Ta (钽) 构成，而第二导电膜 108 由 100-300 纳米厚的 W (钨) 构成。

Ta 膜是用溅射法形成的，而用 Ar 溅射 Ta 靶。若溅射时在 Ar 中加入适量的 Xe 和 Kr，则可消除形成的膜的内应力，因而能够防止膜的剥落。 α 相的 Ta 膜的电阻率约为 $20 \mu\Omega\text{cm}$ ，可用作栅电极，但 β 相的 Ta 膜的电阻率约为 $180 \mu\Omega\text{cm}$ ，不适用于作栅电极。如果形成厚 10-50 纳米而晶体结构接近 α 相 Ta 的氟化钛作为 Ta 的基底来形成 α 相 Ta 的话，则 α 相的 Ta 膜可以容易地得到。

在形成 W 膜的情况下，用溅射 W 靶来形成 W，也可用六氟化钨 (WF₆)，由热 CVD 法形成 W 膜。不论使用哪一种方法，都必须能把膜做成低阻的，以便用作栅电极，且最好将 W 膜的电阻率做成等于或小于 $20 \mu\Omega\text{cm}$ 。扩大 W 膜的晶粒，可以降低电阻率，但在 W 膜中有许多杂质元素如氧的情况下，则不能晶化，并且膜变为高阻的。因此，在溅射中使用了纯度为 99.9999% 或 99.99% 的 W 靶。另外，若在形成 W 膜时充分注意不从气相中引入杂质，则可做到 $9-20 \mu\Omega\text{cm}$ 的电阻率。

注意，虽然在实施方案 1 中，第一导电膜 107 是 Ta，第二导电膜 108 是 W，但导电膜不限于这些，也可由选自 Ta、W、Ti、Mo、Al 和 Cu 的一种元素，或由这些元素之一作为主要成分的合金材料，或由这些元素的化合物，来形成这两个导电膜。而且，也可使用半导体膜，典型的如掺了杂质元素磷的多晶硅膜。除了实施方案 1 中所用者

外，优选的实施方案的例子还包括：用氮化钽 (TaN) 构成第一导电膜，并将其与 W 构成的第二导电膜组合；用氮化钽 (TaN) 构成的第一导电膜，并将其与 Al 构成的第二导电膜组合；以及用氮化钽 (TaN) 构成的第一导电膜，并将其与 Cu 构成的第二导电膜组合（见图 3B）。

接下来由抗蚀剂形成掩模 109-113，并进行第一腐蚀过程以形成电极和引线。在实施方案 1 中，使用了 ICP（感应耦合等离子体）腐蚀法。CF₄ 和 Cl₂ 的混合气体被用作腐蚀气体，并在 1 帕的压力下，对线圈状的电极施加 500W 的射频功率（13.56MHz），来产生等离子体。衬底侧（试片台）也施加 100W 的射频功率（13.56MHz），有效地施加负的自偏压。在 CF₄ 和 Cl₂ 合用时，W 膜和 Ta 膜都以同样的量级被腐蚀。

图 3D 中未示出，在上述的腐蚀条件下，使用适当形状的抗蚀剂掩模，按照衬底侧所加的偏压作用，第一导电层和第二导电层的边缘部分被做成锥形。锥形部分的角度为 15° 至 45°。腐蚀时间可增加约 10-20%，以使腐蚀后在栅绝缘膜上没有残留物。氮氧化硅膜对 W 膜的选择比为 2-4（典型为 3），因此在过腐蚀过程中约有 20-50 纳米曝露出的氮化硅膜被腐蚀掉。此外，在图 3C 中未示出，栅绝缘膜 106 未被第一形状导电层 114-118 覆盖的区域也被减薄 20-50 纳米。

于是，在第一腐蚀过程中，由第一导电层和第二导电层形成了第一形状导电层 114-118（第一导电层 114a-118a 和第二导电层 114b-118b）。

接下来进行第二腐蚀过程，如图 3D 所示。同样地使用 ICP 腐蚀法，用 CF₄、Cl₂ 和 O₂ 的混合物作为腐蚀气体，在 1 帕的压力下向线圈状电极施加 500W 的射频功率（13.56MHz），来产生等离子体。50W 的射频（13.56MHz）功率加到衬底侧（试片台），并施加比第一腐蚀过程低的自偏压。在这些腐蚀条件下，W 膜被各向异性腐蚀，而 Ta 膜（第一导电层）以较慢的速度被各向异性腐蚀，形成第二形状导电层 119-123（第一导电层 119a-123a 和第二导电层 119b-123b）。此外，虽然图 3D 中未示出，栅绝缘膜 106 未被第二形状导电层 119-123 覆盖的区域也被腐蚀掉 20-50 纳米，变得更薄。掩模 109-113 在第二腐蚀过程中被腐蚀，成为掩模 109a-113a。

按照混合气体 CF_4 和 Cl_2 , W 膜和 Ta 膜的腐蚀反应可由所产生的原子团及反应产物的离子类型和蒸汽压来估计。比较 W 和 Ta 的氟化物和氯化物的蒸汽压, W 的氟化物 WF_6 蒸汽压是极高的, WCls 、 TaF_5 和 TaCl_5 的蒸汽压也具有相似的量级。因此 W 膜和 Ta 膜都被 CF_4 和 Cl_2 的气体混合物腐蚀。然而, 如果将适量的 O_2 添加到这种气体混合物中, 则 CF_4 和 O_2 反应, 形成 CO 和 F , 并产生大量的 F 原子团和 F 离子。结果, 氟化物具有高蒸汽压的 W 膜腐蚀速率变高。另一方面, 即使 F 增加, Ta 的腐蚀速率也未相对增加。此外, Ta 比 W 容易氧化, 因此添加 O_2 后, Ta 的表面被氧化。由于 Ta 的氧化物不与氟和氯起反应, 故 Ta 膜的腐蚀速率会进一步降低。因此能使 W 膜和 Ta 膜的腐蚀速率有差别, 并使 W 膜的腐蚀速率大于 Ta 膜。

除去掩模 109a-113a, 并进行如图 4A 所示第一掺杂过程, 掺入 n 型杂质。例如, 可在 70-120keV 的加速电压和 1×10^{13} 原子/ cm^2 的剂量下进行掺杂。用第二形状的导电层 119-123 作为杂质元素的掩模进行掺杂, 使杂质也掺入第二导电层 119a-123a 下面的区域。第一杂质区 125-128 与第二导电层 119a-123a 重叠, 这就形成了杂质浓度比第一杂质区高的第二杂质区 129-132。注意, 在实施方案 1 中是在除去掩模 109a-113a 后进行 n 型掺杂的, 但本发明不限于此。也可在图 4A 的步骤中进行 n 型掺杂, 然后除去掩模 109a-113a。

接下来在半导体层 104 上形成掩模 133 来覆盖第二导电层 121a 和 121b。掩模 133 与第二杂质区 131 重叠的部分, 把栅绝缘膜 106 夹于其间。然后进行第二掺杂过程, 掺入 n 型杂质。在剂量被提高到高于第一掺杂过程和低加速电压的条件下进行 n 型掺杂(见图 4B)。可用离子掺杂或离子注入来进行掺杂。离子掺杂是在 $1 \times 10^{13}-5 \times 10^{14}$ 原子/ cm^2 的剂量和 60-100keV 的加速电压下进行的。周期表中的 V 族元素, 典型的为磷 (P) 或砷 (As) 被用作 n 型杂质, 这里使用的是磷 (P)。在此情况下, 导电层 119-123 成为 n 型杂质的掩模, 而以自对准方式形成源区 134-137、漏区 138-141 和 Loff 区 142-145。此外, 由掩模 133 形成 Loff 区 146。杂质浓度为 $1 \times 10^{20}-1 \times 10^{21}$ 原子/ cm^3 范围的 n 型杂质元素被掺入到源区 134-137 和漏区 138-141。

按照本发明, 控制掩模 133 的尺寸, 可以自由地设置 Loff 区 146

沿载流子移动方向的长度。

掺入 n 型杂质元素，以便在 Loff 区形成 1×10^{17} - 1×10^{19} 原子/ cm^3 的浓度并在 Lov 区形成 1×10^{16} - 1×10^{18} 原子/ cm^3 的浓度。

然后在形成 p 沟道 TFT 的半导体层 102 和 105 中，形成源区 147 和 148、漏区 149 和 150 及 Lov 区 151 和 152，但掺入的杂质元素的导电类型与上述导电类型相反，如图 4C 所示。第二形状的第二导电层 119b-123b 被用作杂质元素的掩模，并以自对准方式形成杂质区。此时，形成 n 沟道 TFT 的岛状半导体层 102 和 103 的整个表面被抗蚀剂掩模 153 覆盖。源区 147 和 148、漏区 149 和 150 及 Lov 区 151 和 152 已掺有不同浓度的磷，此处用乙硼烷 (B_2H_6) 进行离子掺杂，使浓度为 2×10^{20} - 2×10^{21} 原子/ cm^3 的硼也被掺入到每个区域。实际上，源区 147 和 148、漏区 149 和 150 及 Lov 区 151 和 152 所含的硼，受到导电层和绝缘膜厚度的影响，与第二掺杂过程相似，在半导体层上面导电层和绝缘膜截面的边缘部分是有锥度的。掺入的杂质元素的浓度也变化。

由上述工艺过程在各个岛状半导体层中形成了杂质区（源区、漏区、Lov 区和 Loff 区）。与岛状半导体层重叠的第二形状导电层 119-121 和 123 起栅电极的作用。此外，第二形状导电层 122 起电容引线的作用。

然后对掺入到各个岛状半导体层的杂质进行激活，以控制导电类型。用退火炉作热退火来实现这一工艺过程。此外，也可使用激光退火和快速热退火 (RTA)。热退火是在氧浓度等于或小于 1 ppm，最好等于或小于 0.1 ppm，在 400-700°C 的氮气气氛中，典型的为 500 和 600 °C 之间进行的。在实施方案 1 中热处理是在 550°C 下进行 4 小时。然而，对于导电层 119-123 所用的引线材料不耐热的情形，最好在形成层间绝缘膜（主要成分为硅）之后进行激活，以保护引线等。

另外，在含 3-100% 氢的气氛中，在 300-450°C 下热处理 1-12 小时，来对岛状半导体层进行氢化。这个过程使岛状半导体层中的悬键被热激活的氢终止。也可用等离子氢化（用等离子体激活的氢）作为另一种氢化手段。

下一步，用氮氧化硅形成厚 100-200 纳米的第一层间绝缘膜

155. 然后在第一层间绝缘膜 155 上，用有机绝缘材料形成第二层间绝缘膜 156。

然后，在电容器引线 122 和源区 148 上的第二层间绝缘膜 156 中形成接触孔，露出一部分第一层间绝缘膜。形成中间引线 157（电源线），以便通过电容器引线 122 上的接触孔而与第一层间绝缘膜 155 接触（见图 5A）。

下一步，在第二层间绝缘膜 156 上制作由有机绝缘材料形成的第三层间绝缘膜 158。

然后，在栅绝缘膜 106、第一层间绝缘膜 155 和第二层间绝缘膜 156 中开接触孔，并形成源极线 159-162，以便通过接触孔而与源区 147、135、136 和 148 接触。此外，同样地形成与漏区 149、139、140 和 150 接触的漏极线 163-165（见图 5B）。漏极线 164 将漏区 140 与电容器引线 122 电连接。此外，源极线 162 将电源线（中间线）157 与源区 148 电连接。

注意，当栅绝缘膜 106、第一层间绝缘膜 155 和第二层间绝缘膜 156 为 SiO₂ 膜或 SiON 膜时，最好用 CF₄ 和 O₂ 进行干法腐蚀来开接触孔。而且，对于栅绝缘膜 106、第一层间绝缘膜 155 和第二层间绝缘膜 156 为有机树脂膜膜时，最好用 CHF₃ 或 BHF（缓冲氟化氢，HF+NH₄F）进行干法腐蚀来开接触孔。此外，若栅绝缘膜 106、第一层间绝缘膜 155 和第二层间绝缘膜 156 由不同的材料构成，则最好对每种膜改变腐蚀方法和腐蚀剂或腐蚀气体的类型。也可用同样的腐蚀方法和同样的腐蚀剂或腐蚀气体来制作接触孔。

在第一层间绝缘膜 155 介于电容器引线 122 和电源线 157 之间而与它们形成接触处，形成储能电容器 166。

下一步，由有机树脂形成第四层间绝缘膜 167。可使用有机树脂如聚酰亚胺、聚酰胺、丙烯酸类树脂和 BCB（环苯丁烯）。尤其是最好使用具有优越平滑性的丙烯酸类树脂，因为形成第四层间绝缘膜 167 主要是为了填平。在实施方案 1 中形成的丙烯酸类树脂膜，其厚度可充分填平 TFT 形成的台阶。膜的厚度最好为 1-5 微米（2-4 微米更好）。

下一步，在第四层间绝缘膜 167 中形成达及漏极线 165 的接触

孔，并形成像素电极 168。在实施方案 1 中形成 110 纳米厚的氧化铟锡 (ITO) 膜，并刻图形，形成像素电极 168。此外，也可使用 2-20% 的氧化锌与氧化铟相混合的透明导电膜。像素电极 168 成为 EL 元件的阳极（见图 5C）。

下一步，由树脂材料形成第一垒 169 和第二垒 170。形成第一垒 169 和第二垒 170 是为了隔离 EL 层和稍后形成的相邻像素的阴极。所以最好使第二垒 170 在水平方向上比第一垒 169 伸出更多。注意，第一垒 169 和第二垒 170 合起来的厚度最好做成约为 1-2 微米，但如果 EL 层和以后形成的相邻像素的阴极可以分开，则对这个厚度就没有限制。此外，必须由绝缘膜来构成第一垒 169 和第二垒 170，所以可使用如氧化物或树脂这样的材料。第一垒 169 和第二垒 170 可用同样的材料构成，也可用不同的材料构成。在像素之间形成条状的第一垒 169 和第二垒 170。可在源极引线（源极信号线）上沿着源极引线，也可在栅极引线（栅极信号线）上沿着栅极引线形成第一垒 169 和第二垒 170。注意，第一垒 169 和第二垒 170 也可由混有颜料的树脂材料来构成（见图 6A）。

接着，用真空蒸发相继形成 EL 层 171 和阴极（MgAg 电极）172 而无需暴露于大气。注意，EL 层 171 的膜厚可为 80-120 纳米（典型的在 100-120 纳米之间），而阴极 172 的膜厚可为 180-300 纳米（典型的在 200-250 纳米之间）。还要注意，在实施方案 1 中虽然只示出了一个像素，但此处同时形成了发射红光的 EL 层、发射红绿光的 EL 层和发射蓝光的 EL 层。

依次形成相应于红色、绿色和蓝色的像素的 EL 层 171。然而，EL 层 171 对溶液没有足够的耐受能力，因此必须单独形成每种颜色而不能使用光刻技术。最好使用金属掩模，只露出所需的像素，而只在所需的位置处选择性地形成 EL 层 171。

亦即，首先设置掩模以便盖住除了相应于红色的以外的所有像素，用掩膜选择性地形成发红光的 EL 层。接着，用掩模盖住除了相应于绿色的以外的所有像素，用掩膜选择性地形成发绿光的 EL 层。最后，用掩模盖住除了相应于蓝色的以外的所有像素，用掩膜选择性地形成发蓝光的 EL 层。注意，虽然这里所述是使用不同的掩模，但

也可反复使用同一掩模。此外，最好做完所有像素的 EL 层才破坏真空。

注意，在实施方案 1 中所示的 EL 层 171 只是由发光层构成的单层结构，但具有多层的结构，如除了发光层外还有空穴输运层、空穴注入层、电子输运层和电子注入层的结构也可用于 EL 层。已经报导了将这些类型组合起来的各种例子，所有这些结构都可使用。可用已知的材料作为 EL 层 171。考虑到 EL 驱动电压，最好用有机材料作为已知材料。

下一步形成 EL 元件的阴极 172。在实施方案 1 中所示的是使用 MgAg 电极作为阴极 172 的例子，但也可使用其他已知材料。

这样就完成了具有图 6B 所示结构的 EL 显示板。注意，在形成第一垒 169 和第二垒 170 后，用多室法（或在线法）薄膜形成设备接着形成阴极 172 而不暴露于大气是很有效的。

在实施方案 1 中，源区 204、漏区 205、Loff 区 206、Lov 区 207 和沟道形成区 208，都包含在开关 TFT 201 的半导体层中。形成的 Loff 区 206 以便不经过栅绝缘膜 106 与栅电极 116 重叠。而且形成 Lov 区 207 以便经过栅绝缘膜 106 而与栅电极 121 重叠。这种结构对降低关态电流是极其有效的。

此外，在实施方案 1 中，单栅结构被用作开关 TFT 201，但本发明也可具有双栅结构或另一种多栅结构的开关 TFT。使用双栅结构将两个 TFT 有效地串联连接起来，提供了进一步降低关态电流的优点。

此外，在实施方案 1 中，开关 TFT 201 是 n 沟道 TFT，但也可使用 p 沟道 TFT。

电流控制 TFT 202 的半导体层包含有源区 210、漏区 211、Lov 区 212 和沟道形成区 213。形成的 Lov 区 212 以便经过栅绝缘膜 106 而与栅电极 123 重叠。注意，在实施方案 1 中，电流控制 TFT 202 没有 Loff 区，但也可使用有 Loff 区的结构。

此外，在实施方案 1 中，电流控制 TFT 202 为 p 沟道 TFT，但也可使用 n 沟道 TFT。

注意，实施方案 1 的 EL 显示板由于不仅在像素部分而且还在驱动电路部分都安排了优化结构的 TFT，故表现出极高的可靠性，其工

作性能也提高了。

首先，具有降低了热载流子注入以便不使工作速度降低很多的结构的 TFT，被用作形成驱动电路部分的 CMOS 电路的 n 沟道 TFT 203。注意，这里的驱动电路包括诸如移位寄存器、缓冲器、电平移位器及取样电路（取样和保持电路）之类的电路。在进行数字驱动时，还可包括信号变换电路如 D/A 转换器。

实施方案 1 中 CMOS 电路的 n 沟道 TFT 203 的半导体层，包含有源区 221、漏区 222、L_{ov} 区 223 和沟道形成区 224。

而且，对于 n 沟道 TFT 203，不必关注关态电流，比关态电流更重要的是工作速度。因此，形成经栅绝缘膜 106 与栅电极 120 重叠的 L_{ov} 区，对提高工作速度是有效的，因为电阻分量被尽可能减小了。

此外，CMOS 电路的 p 沟道 TFT 204 的半导体层包含有源区 231、漏区 232、L_{ov} 区 233 和沟道形成区 234。

注意，实际上，在完成了直至图 6B 的工艺过程后，最好用具有高气密性和低出气的保护膜（如叠层膜或紫外固化树脂膜）或透明密封材料进行封装（密封）以便不暴露于大气。此外，如在密封材料里面充入惰性气体，并在密封材料上安置干燥剂（如氧化钡），则可提高 EL 元件的可靠性。

此外，在进行封装之类提高气密性后，再配上接线端子（柔性印刷电路，FPC），以便用从电路伸出的端子将衬底上形成的元件连接到外部信号端子。这就完成了产品的制作。在整个本说明书中，这种可交付使用的状态称为 EL 显示器件。

如上所述，本发明的各个栅电极的宽度是不同的。因此，在用栅电极作为掩模进行离子注入时，利用因栅电极厚度不同所造成的离子透入深度不同，就能使排列在第一栅电极下面的半导体层中的离子浓度低于不排列在第一栅电极下面的半导体层中的离子浓度。

此外，为了用掩模形成 L_{off} 区，只须用腐蚀来控制第一栅电极和第二栅电极的宽度。与常规的例子相比，控制 L_{off} 区和 L_{ov} 区的位置变得更容易了。因此，L_{ov} 区和 L_{off} 区的精确定位对准和制作具有所需特性的 TFT 也就变得容易了。

而且，由与栅极信号线或源极信号线相同的膜来常规形成的电源

线被形成在第二层间绝缘膜和第三层间绝缘膜之间。电源线可做成与栅极信号线重叠，因而可增大孔径比 (aperture ratio)。

注意，虽然在实施方案 1 说明的例子中，EL 层的发射的光是向着衬底的，但本发明不限于此，也可使用 EL 层向着衬底上方发光的结构。在这种情况下，EL 元件的阴极变成像素电极，而电流控制 TFT 最好是 n 沟道 TFT。

[实施方案 2]

在实施方案 2 中说明了具有两个薄膜晶体管的 EL 显示器件的像素的俯视图。

示且，例 2 的 BL 显示器件的的俯视图示于图 7A。

而且实施方案 2 的 EL 显示器件的像素的电路图示于图 7B。参考数字 501 代表源极信号线，而参考数字 502 代表栅极信号线。在栅极信号线 502 上形成的引线 503 是电源线，它与栅极信号线 502 重叠。

参考数字 504 代表开关 TFT，且开关 TFT 具有半导体层 505。在半导体层 505 上形成部分信号线 502 作为栅电极。半导体层 505 的源区和漏区之一被连接到源极线 501，而源区和漏区的另一个被漏极线 510 连接到电容器引线 511。电源线 503 由参考数字 512 代表的部分连接至第一层间绝缘膜（图中未示出），而电源线 503、第一层间绝缘膜和电容器引线 511 则形成存储电容器。

电容器引线 511 被连至电流控制 TFT 507 的栅电极 506。电流控制 TFT 507 具有半导体层 508，半导体层 508 的源区经源极引线 531 被连至电源线 503，半导体层 508 的漏区被连至像素电极 509。

在本发明中，电源线被形成在第二层间绝缘膜与第三层间绝缘膜之间。因此，电源线可做成与栅极信号线重叠，可增大孔径比。

[实施方案 3]

除由存储电容器、电容器引线、第一层间绝缘膜和电源线形成的结构外，实施方案 3 还说明了形成电容器引线、栅绝缘膜和半导体层的例子。注意，对图 3A-6B 所示各个部分使用了相同的参考符号。

图 8 表示实施方案 3 的 EL 显示器件的横面图。实施方案 3 的 EL 显示器件与图 6B 所示 EL 显示器件不同之处在于它具有半导体层 600。实施方案 1 中已说明了其他结构。关于实施方案 3 的 EL 显示器

件的详细结构可参见实施方案 1，这里从略。

半导体层 600 与第一电容器引线 122a 和第二电容器引线 122b 重叠，将栅绝缘膜 106 夹于其间。半导体层 600 具有沟道形成区 603、与沟道形成层 603 边缘部分接触的第一杂质区 602 以及与第一杂质区 602 接触的第二杂质区 601。第一杂质区 602 中的杂质浓度低于第二杂质区 601 中的杂质浓度。此外，第一杂质区 602 与第一电容器引线 122a 重叠，将栅绝缘膜 106 夹于其间。

注意，当电流控制 TFT 202 如实施方案 3 那样是 P 沟道 TFT 时，最好在第一杂质区 602 和第二杂质区 601 中掺入 p 型杂质元素。反之，对于电流控制 TFT 202 为 n 沟道 TFT 的情形，最好在第一杂质区 602 和第二杂质区 601 中掺入 n 型杂质元素。

第二电容器引线 122b 被漏极引线 164 电连接到开关 TFT201 的漏区 205。此外，电源线 157 通过制作在第二层间绝缘膜 156 中的接触孔，在第二电容器引线 122b 上与第一层间绝缘膜 155 接触。另外，电源线还通过制作在栅绝缘膜 106、第一层间绝缘膜 155 和第二层间绝缘膜 156 中的接触孔，被连接到电流控制 TFT 202 的源区 148 相连。

按照实施方案 3 的结构，存储电容的容量可以增大。注意，在实施方案 3 中，EL 层发射的光是向着衬底的，因此，如果存储电容器的面积增大，则由于孔径比下降，EL 显示器件的亮度减弱。然而，用实施方案 3 的结构，由电容器引线 122、栅绝缘膜 106 和半导体层 600 形成的存储电容器与由电源线 157、第一层间绝缘膜 155 和电容器引线 122 形成的存储电容相重叠，因此存储电容器的电容值可升高而无须降低孔径比。

注意，虽然在实施方案 3 中说明的例子是 EL 层向着衬底发光的，但本发明不限于此，也可使用 EL 层向着衬底上方发光的结构。在这种情况下，EL 元件的阴极变成了像素电极，而电流控制 TFT 最好是 n 沟道 TFT。

[实施方案 4]

实施方案 4 中说明了同时形成电源线和屏蔽膜（黑矩阵）的例子。注意，对图 3A-6B 所示的各个部分使用了相同的参考符号。

图 9 表示实施方案 4 的 EL 显示器件的截面图。实施方案 4 的 EL

显示器件与图 6B 所示的 EL 显示器件的不同之处在于它具有屏蔽膜 157a-157g。注意，在实施方案 1 中已说明了其他结构，因此，实施方案 4 的 EL 显示器件的详细结构可参见实施方案 1，这里从略。

电源线 157 通过制作在第二层间绝缘膜 156 中的接触孔，在第二电容器引线 122b 上与第一层间绝缘膜 155 接触。另外，电源线 157 通过制作在栅绝缘膜 106、第一层间绝缘膜 155 和第二层间绝缘膜 156 中的接触孔，被连接到电流控制 TFT 202 的源区 148。

在第二层间绝缘膜上还与电源线 157 同时形成屏蔽膜 157a-157g。借助于形成屏蔽膜 157a-157g，可防止从外部到 EL 显示器件的光以及 EL 元件发出的光注入到 TFT 的沟道形成区所造成的关系电流增大。

而且，实施方案 4 的屏蔽膜 157a-157g 可与电源线 157 同时形成，这就无须增加工序。

注意，在实施方案 4 中很重要的一点是屏蔽膜 157a-157g 和电源线 157 都是由难于透光的材料构成的。

虽然在实施方案 4 中说明的例子是 EL 层向着衬底发光的，但本发明不限于此，也可使用 EL 层向着衬底上方发光的结构。在这种情况下，EL 元件的阴极变成了像素电极，而电流控制 TFT 最好是 n 沟道 TFT。

注意，可以与实施方案 3 结合起来实现实实施方案 4。

[实施方案 5]

实施方案 5 说明了在衬底和 TFT 的半导体层之间形成光屏蔽膜的例子。注意，对图 3A-6B 所示各个部分使用了相同的参考符号。

图 10 表示实施方案 5 的 EL 显示器件的横面图。实施方案 5 的 EL 显示器件与图 6B 所示 EL 显示器的不同之处在于它具有光屏蔽膜 801 和 802。注意，在实施方案 1 中已说明了其他结构，因此，实施方案 5 的 EL 显示器件的详细结构可参见实施方案 1，这里从略。

在实施方案 5 的 EL 显示器件中，光屏蔽膜 801 和 802 被形成在开关 TFT 的半导体层 104 和电流控制 TFT 的半导体层 105 下面。光屏蔽膜 801 和 802 分别与开关 TFT 半导体层 104 的沟道形成区 208 以及电流控制 TFT 半导体层 105 的沟道形成区 213 相重叠，将绝缘膜 803

(在实施方案 5 中为氧化膜) 夹于其间。

光屏蔽膜 801 和 802 可屏蔽光，可使用任何材料，只要这种材料在形成光屏蔽膜后的各个工序中能够耐受热处理温度。可以使用不易透光的材料，如金属和硅，在实施方案 5 中使用的是 W。注意，光屏蔽膜 801 和 802 的厚度最好约为 0.1-0.5 微米。此外，氧化膜 803 的厚度最好约为 0.5-1.5 微米。另外，光屏蔽膜 801 和 802 与半导体层 104 和 105 的距离最好约为 0.1-0.5 微米。

注意，虽然在实施方案 5 中光屏蔽膜只形成在制作于像素部分的 TFT 下面，但实施方案 5 不限于这种结构。光屏蔽膜也可同样地形成在驱动电路的 TFT 下面。

按照实施方案 5 的上述结构，可以防止光由衬底下面注入至沟道形成区而引起 TFT 关态电流的增大。

如果氧化膜 803 没有平整的表面就会发生问题，其中形成在氧化膜 803 上面的半导体层，在晶化期间会产生不均匀的晶化。半导体层是直接形成在氧化膜 803 上的，因此，最好在形成半导体层之前使氧化膜 803 表面变平。

例如，氧化膜 803 可用 CMP (化学机械抛光) 法来抛平。可用熟知的方法来执行 CMP。

在实施方案 5 中，用硅凝胶和电解液的混合物来抛光。在电解液中进行抛光时，对抛光板施加 $100\text{kg}/\text{cm}^2$ 的压力。抛光时的压力可在 $50-150\text{ kg}/\text{cm}^2$ 的范围内选择。此外，进行抛光时，待抛光的表面与抛光板间要有 0.1 微米的间隙。

按照上述结构，TFT 的关态电流可被抑制，半导体层的非均匀晶化可以防止。

虽然在实施方案 5 中说明的例子是 EL 层向着衬底发光的，但本发明不限于此，也可使用 EL 层向着衬底上方发光的结构。在这种情况下，EL 元件的阴极变成了像素电极，而电流控制 TFT 最好是 n 沟道 TFT。

注意，可以把实施方案 5 与实施方案 3 和实施方案 4 结合起来实现实施方案 5。

[实施方案 6]

实施方案 6 说明了在形成源极信号线后再形成栅极信号线的例子。

图 11A 表示实施方案 6 的 EL 显示器件的俯视图。注意，图 11B 是图 11A 沿 A-A' 线剖开的截面图。参考数字 901 代表源极信号线，而参考数字 902 代表栅极信号线。在栅极信号线 902 下面形成的引线 903 是电源线，引线 903 与栅极信号线 902 重叠，将绝缘膜夹于其间。

参考数字 904 代表开关 TFT，而开关 TFT 904 具有半导体层 905。与栅极信号线 902 相连的栅电极 920 被制作在半导体层 905 上。源极引线 921 使半导体层 905 的源区和漏区之一与源极信号线 901 相连，源区和漏区的另一个则由漏极引线 910 连接到电容器引线 911。电源线 903 用参考数字 912 代表的那部分与第一层间绝缘膜 923 接触，存储电容器则由电源线 903、第一层间绝缘膜 923 和电容器引线 911 形成。

电容器引线 911 被连接到电流控制 TFT 907 的栅电极 906。电流控制 TFT 907 具有半导体层 908，半导体层 908 的源区经源极引线 931 与电源线 903 相连，而半导体层 908 的漏区与像素电极 909 相连。

按照本发明，电源线 903 形成在第二层间绝缘膜 924 和第三层间绝缘膜 925 之间。这样就能够形成与栅极信号线重叠的电源线，因而可增大孔径比。

[实施方案 7]

在此实施方案中将描述一个例子，其中用催化元素热晶化法形成用此实施方案模式中的晶体半导体层的半导体膜。对于使用催化元素的情形，最好采用日本专利公开 No. 7-130652 和 No. 8-78329 所揭示的技术。

这里将在图 12A 和 12B 中描述一个例子，其中将日本专利公开 No. 7-130652 所揭示的技术用于本发明。首先，在衬底 1201 上形成氧化硅膜 1202，然后在其上形成非晶硅膜 1203。再在其上涂覆含镍量为 10ppm 的醋酸镍溶液以形成含镍层 1204（见图 12A）。

接着，衬底在 500℃下脱氢 1 小时，然后在 500-650℃下热处理 4-12 小时（在本优选实施方案中为 550℃，8 小时）来形成晶体硅膜 1205。这样形成的晶体硅膜 1205 具有很好的晶体性质（见图 12B）。

再者，日本专利公开 No. 8-78329 所揭示的技术能够借助于选择掺杂催化元素来选择性地晶化非晶半导体膜。参照图 13A 和 13B，将描述一个把这一技术用于本发明的例子。

首先，在玻璃衬底 1301 上形成氧化硅膜 1302，然后在其上依次形成非晶硅膜 1303 和氧化硅膜 1304。此时，氧化硅膜 1304 的厚度为 150 纳米。

其次，在氧化硅膜 1304 上刻图形来选择性地形成开孔 1305，在其上涂覆含镍量为 10ppm 的醋酸镍溶液以形成含镍层 1306，而含镍层 1306 只在开孔 1305 的底部与非晶硅膜 1302 接触（见图 13A）。

接着，衬底在 500-650℃ 下热处理 4-24 小时（在本优选实施方案中为 570℃，14 小时）来形成晶体硅膜 1307。在此晶化过程中，与镍接触的非晶硅膜首先被晶化，然后沿横向进行晶化。这样形成的晶体硅膜 1307，其晶体结构包含有棒状和针状的晶体，其中的每个晶体宏观上都按特定的取向生长，因而晶体性质是均匀的，这是这种晶体硅膜 1307 的一个优点（见图 13B）。

在这方面，在上述的两项技术中，除镍（Ni）外，下列的催化元素都可使用：锗（Ge）、铁（Fe）、钯（Pd）、锡（Sn）、铅（Pb）、钴（Co）、铂（Pt）、铜（Cu）和金（Au）。

借助于形成晶体半导体膜（包括晶体硅膜、晶体锗硅膜之类）然后刻图形，可以形成晶体 TFT 的半导体层。用本优选实施方案的技术制作晶体半导体膜而形成的 TFT 具有优良的特性因而要有很高的可靠性。然而，采用本发明的 TFT 结构制作的 TFT 可最多地使用本优选实施方案的技术。

在此实施方案中，将描述一种方法来形成实施方案 1 中所用的半导体层，其中用非晶半导体膜作为初始膜，使用上述的催化元素，然后从晶体半导膜除去催化元素而形成晶体半导体膜。在本优选实施方案 7 中所用的方法是日本专利公开 No. 10-135468 和日本专利公开 No. 10-135469 揭示的技术。

上述参考文献揭示的技术，是在晶化后借助于磷的吸杂作用来除去非晶硅膜晶化所用的催化元素。使用此项技术，晶体半导体膜中的催化元素的浓度可降至 1×10^{17} 原子/ cm^3 或更低，最好为 1×10^{16} 原子

/cm³或更低。

参照图 14A 和 14B 来描述本优选实施方案的结构。这里，使用了无碱玻璃衬底，典型的如 Corning 公司制作的 1737 衬底。图 14A 表示一种情形，其底膜 1402 和晶体硅膜 1403 是用实施方案 4 所述的晶化技术形成的。然后，在晶体硅膜 1403 表面上形成 150 纳米厚的氧化硅膜 1404 作为掩蔽，刻图形，形成露出晶体硅膜 1403 的开孔区。接着掺磷，在晶体硅膜中形成掺磷的区域 1405。

这种情形的衬底在氮气气氛中在 550-800℃下热处理 5-24 小时(在此实施方案中为 600℃, 12 小时)，掺磷的区域 1405 从而对晶体硅膜 1403 起着吸杂中心的作用，使留在晶体硅膜 1403 中的催化元素移至掺磷区 1405。

然后，腐蚀掉作掩蔽的氧化硅膜 1404 和掺磷区 1405，而形成晶体硅膜，膜中用于晶化过程的催化元素浓度被降为 1×10^{17} 原子/cm³ 或更低。这种晶体硅膜可用作本发明模型实施方案所述的 TFT 的半导体层。

[实施方案 8]

实施方案 8 将说明用本发明制作 EL (电致发光) 显示器件的例子。注意，图 15A 是本发明的 EL 显示器件的俯视图，图 15B 是其截面图。

在图 15A 和图 15B 中，参考数字 4001 代表衬底，4002 代表像素部分，4003 代表源侧驱动电路，4004 代表栅侧驱动电路。驱动电路经引线 4005 通过 FPC (柔性印刷电路板) 4006 与外部设备相连。

这时提供第一密封材料 4101、覆盖材料 4102、填充材料 4103 和第二密封材料 4104，以封住像素部分 4002、源侧驱动电路 4003 和栅侧驱动电路 4004。

图 15B 表示图 15A 沿 A-A' 线剖开的截面图。在衬底 4001 上，形成了包括在源侧驱动电路 4003 中的驱动电路 TFT 4201 (这里示出了一只 n 沟道 TFT 和一只 p 沟道 TFT) 和包括在像素部分 4002 中的电流控制 TFT 4202 (这里示出了控制流向 EL 元件的电流的 TFT)。

在此实施方案中，驱动电路 TFT 4201 是用已知方法形成的 p 沟道 TFT 或 n 沟道 TFT 构成的，电流控制 TFT 4202 是用已知方法形成

的 p 沟道 TFT 构成的。此外，在像素部分 4002 中提供了与电流控制 TFT 4202 漏极相连的存储电容器（图中未示出）。

在驱动电路 TFT 4201 和电流控制 TFT 4202 上形成由树脂材料构成的层间绝缘膜（填平的膜）4301，以及与其上电流控制 TFT 4202 的漏极相连的像素电极（阳极）4302。像素电极 4302 由大功函数的透明导电膜构成。氧化铟和氧化锡的化合物或氧化铟和氧化锌的化合物都可用作透明导电膜。此外，也可使用掺镓的上述透明导电膜。

然后，在像素电极 4302 上形成绝缘膜 4303，并在像素电极 4302 上面开孔。在开孔部分的像素电极 4302 上形成 EL（电致发光）层 4304。熟知的有机 EL 材料或无机 EL 材料被用作 EL 层 4304。低分子型（单体基）和高分子型（聚合体基）有机 EL 材料都可用作有机材料。

蒸发法或涂敷法等熟知的技术都可用于形成 EL 层 4304。EL 层既可为由空穴注入层、空穴输运层、发光层、电子输运层和电子注入层自由组合而成的叠层结构，也可为单层结构。

在 EL 层 4304 上，形成由具有光屏蔽性的导电膜（典型的有以铝、铜或银为主要成分的导电膜或这种膜与其他导电膜的叠层膜）制成的阴极 4305。最好尽量除去阴极 4305 和 EL 层 4304 之间界面上存在的湿气或氧。因此，必须使用在真空中连续淀积阴极 4305 和 EL 层 4304 的方法，或在氮气氛或稀有气体气氛中淀积 EL 层 4304 的方法，从而形成阴极 4305 而不暴露于氧和湿气。使用多室法（组合设备法）薄膜淀积设备，在实施方案 8 中就可实现上述膜的淀积。

然后，阴极 4305 在参考数字 4306 所代表的区域被电连接到引线 4005。向阴极 4305 供给预定电压的引线 4005，经各向异性导电膜 4307 与 FPC 4006 相连。

如上所述，EL 元件是由像素电极（阳极）4302、EL 层 4304 和阴极 4305 构成的。EL 元件的封装是由与衬底 4001 通过第一密封材料 4101 层叠的覆盖材料 4102 以及第一密封材料 4101 包封的，并由滤光材料 4103 密封。

玻璃、金属（典型的为不锈钢片）、陶瓷和塑料（包括塑料膜）材料都可用作覆盖材料 4102。FRP（玻璃纤维增强塑料）材料、PVF

(聚氯乙烯)膜、Mylar 膜、聚酯膜和丙烯酸膜都可用作塑料材料。最好使用铝箔夹在 PVF 膜和 Mylar 膜之间的薄片结构。

注意，对于 EL 元件向覆盖材料侧发光的情形，覆盖材料必须是透明的。在这种情况下，可使用如玻璃片、塑料片、聚酯膜或丙烯酸膜之类的透明材料。

另外，用紫外固化树脂或热固化树脂形成填充材料 4103。PVC(聚氯乙烯)、丙烯酸型树脂、聚酰亚胺、环氧树脂、硅树脂、PVB(聚丁缩醛乙烯)、EVA(醋酸乙烯基乙烯)都可用作填充材料 4103。如果在填充材料 4103 内侧加入干燥剂(最好为氧化钡)，则可抑制 EL 元件的退降。

此外，在填充材料 4103 中可含有间隔。此时，间隔是由氧化钡形成的，因而间隔本身具有吸湿性。而在有间隔的情形，在阴极 4305 上形成树脂膜作为缓冲层可有效地缓解由间隔造成的力量。

此外，引线 4005 经各向异性导电膜 4307 与 FPC 4006 电连接。引线 4005 将像素部分 4002、源侧驱动电路 4003 和栅侧驱动电路 4004 的信号输送至 FPC 4006，并通过 FPC 4006 与外部设备电连接。

在本实施方案中，还用第二密封材料 4104 覆盖第一密封材料 4101 露出的部分和 FPC 4006 部分，从而得到使 EL 元件完全与外界隔开的结构。这样，EL 显示器件就具有图 15B 所示的截面结构。

[实施方案 9]

本发明的 EL 显示器件可具有在像素中提供任何 TFT 的结构。可提供 1-6 个或更多的 TFT。本发明可形成不限于 EL 显示器件的像素结构。

[实施方案 10]

在实施方案 10 中，用图 18 说明了本发明 EL 显示器件的驱动部分。

图 18 表示本发明 EL 显示器件框图的例子。图 18 的 EL 显示器件，按照在衬底上形成的 TFT，具有像素部分 1601，及在像素部分周围形成的源极信号线驱动电路 1602 和栅极信号线驱动电路 1603。注意，实施方案 10 的 EL 显示器件具有一个源极信号线驱动电路和一个栅极信号线驱动电路，但在本发明中对于源极信号线驱动电路和栅极信号

线驱动电路的数目没有限制。

源极信号线驱动电路 1602 基本上具有移位寄存器 1602a、寄存器 (A) 1602b 和寄存器 (B) 1602c。

时钟信号 CLK 和起始脉冲 SP 被输入至源极信号线驱动电路 1602 中的移位寄存器 1602a。移位寄存器 1602a 根据时钟信号 CLK 和起始脉冲 SP 依次产生计时信号，而计时信号被接连输送给下游电路。

来自移位寄存器 1602a 的计时信号可由例如缓冲器之类的电路（图中未示出）进行缓冲放大。输送计时信号的引线有大的负载电容（寄生电容），因为许多电路和元件都连到引线上。形成缓冲电路是为了防止由大的负载电容产生的计时信号升降沿变缓。

由缓冲器进行缓冲放大的来自移位寄存器 1602a 的计时信号，被送至寄存器 (A) 1602b。寄存器 (A) 1602b 有多个寄存级来处理含图象信息的数字数据信号。寄存器 (A) 1602b 在计时信号输入时，同时写入和保存数字数据信号。

注意，在寄存器 (A) 1602b 写入数字数据信号时，也可依次向寄存器 (A) 1602b 的多个寄存级输入数字数据信号。然而，本发明不限于这种结构。寄存器 (A) 1602b 的多个寄存级可分成许多组，数字数据信号可同时并行输入各个组，实现所谓的分割驱动 (partitioned driving)。此时组的数目称为分割数。例如，当寄存器按四级分组时称为 4 分驱动 (partitioned drive with 4 division)。

数字数据信号完全写入寄存器 (A) 1602b 的所有寄存级的时间，称为行周期。即，行周期始于数字数据信号写入寄存器 (A) 1602b 最左边的寄存级之时，终止于数字数据信号写入最右边的寄存级时。实际上，行周期也可以是把水平回程时间加到上述的行周期上的时间。

当一行结束时，寄存信号被送到寄存器 (B) 1602c。写入并储存在寄存器 (A) 1602b 的数字数据信号，这时被立即送至寄存器 (B) 1602c，被写入寄存器 (B) 1602c 的所有寄存级并储存起来。

按照来自移位寄存器 1602a 的计时信号，在完成了将数字数据信号输送给寄存器 (B) 1602c 后，再依次将数字数据信号写入寄存器

(A) 1602b.

在第二个行周期内，写入和储存于寄存器 (B) 1602c 的数字数据信号被输入至源极信号线。

在像素部分就按照输入至源极信号线的数字数据信号显示一幅图象。

[实施方案 11]

在实施方案 1 的一组腐蚀条件下，进行第一腐蚀过程来形成第一形状导电层，但这一腐蚀过程也可在多个腐蚀条件下进行，以便在膜的减薄和栅绝缘膜的形状方面提高均匀性。实施方案 11 表示在两种腐蚀条件下进行第一腐蚀过程来形成第一形状导电层的例子。

另外，按照本发明，导电层的两侧都形成锥度，LDD 区形成在沟道形成区的两侧，但实施方案 11 是按照图 19A-19D 中驱动电路的 n 沟道 TFT 导电层一侧附近的放大图来对制作过程进行说明的。注意，为简单起见，图中未示出基膜和衬底。

首先，按照实施方案 1，得到了与图 3B 相同的状态。然而，虽然在实施方案 1 中用 Ta 作为第一导电膜，但在实施方案 11 中用具有极高耐热特性的 TaN 作为第一导电膜。形成的第一导电膜的膜厚为 20-100 纳米，并可形成厚度在 100 和 400 纳米之间的第二导电膜。在实施方案 11 中，厚为 30 纳米的 TaN 制成的第一导电膜与厚为 370 纳米的 W 制成的第二导电膜形成叠层。

其次，由抗蚀剂形成第一形状掩模 1505a，用 ICP 进行腐蚀，并形成第一形状第二导电膜 1504a。这里，CF₄、Cl₂ 和 O₂ 的混合物被用作相对于 TaN 具有高选择性的腐蚀气体，因此能够得到图 19A 所示的状态。几种腐蚀条件及其与第二导电层 (W) 的腐蚀速率、第一导电层 (TaN) 的腐蚀速率以及第二导电层 (W) 锥角的关系示于表 1。

表1

条件	ICP [W]	功率 [W]	CF ₄	Cl ₂	O ₂	W的腐蚀 速率 [nm/min]	TAN ₆₀ 的腐蚀 速率 [nm/min]	W/TAN ₆₀ 选择性 (1)/(2)	W蚀角 [度]
1	500	20	1.0	30	0	58.97	66.43	0.899	60
2	500	60	1.0	30	0	88.71	118.46	0.750	25
3	500	100	1.0	30	0	111.66	169.03	0.667	18
4	500	20	1.0	25	10	124.62	20.67	6.049	70
5	500	60	1.0	25	10	161.72	35.81	4.528	35
6	500	100	1.0	25	10	176.90	56.32	3.008	32
7	500	150	1.0	25	10	200.39	80.32	2.495	26
8	500	200	1.0	25	10	218.20	102.87	2.124	22
9	500	250	1.0	25	10	232.12	124.97	1.860	19
10	500	20	1.0	20	20	-	14.83	-	-
11	500	60	1.0	20	20	193.02	14.23	13.695	37
12	500	100	1.0	20	20	235.27	21.81	10.856	29
13	500	150	1.0	20	20	276.74	38.61	7.219	26
14	500	200	1.0	20	20	290.10	45.30	6.422	24
15	500	250	1.0	20	20	304.34	50.25	6.091	22

*) 表格中的“-”表示由于W表面在腐蚀时受到破坏而无法测量。

注意，在本说明书中，锥角表示水平面与材料侧面间的夹角，如图 19A 右上图所示。而且，为了方便起见，在整个本说明书中，将有锥角的侧面称为锥形，有锥形的部分称为锥形部分。

而且，例如使用表 1 的条件 4-15 中的一种，可将水平面与第二导电层 (W) 间形成的夹角自由地设置在 $19\text{--}70^\circ$ 的范围。注意，腐蚀时间可由操作者适当地确定。

而且，图 19A 中的参考数字 1501 代表半导体层，参考数字 1502 代表栅绝缘膜，参考数字 1503 代表第一导电膜。

接着，保留掩模 1505a 原封不动，在第二组腐蚀条件下进行腐蚀，形成第一形状的第一导电层 1503a。注意，在第二组腐蚀条件下进行腐蚀时，栅绝缘膜 1502 也被腐蚀一些，成为第一形状栅绝缘膜 1502a。在这里， CF_4 和 Cl_2 的组成的混合气体被用作第二组腐蚀条件下的腐蚀气体。表 1 中的例如条件 1-3 中的任一个都可用作第二组腐蚀条件。因此，借助于在两组腐蚀条件下进行第一腐蚀过程，就可抑制栅绝缘膜 1502 的减薄（见图 19B）。

注意，在第二组腐蚀条件下进行腐蚀时，图 19B 中的第一形状第二导电层 1504a 也被腐蚀一些，但腐蚀量是微小的（约 0.15 微米，即全部线宽的 0.3 微米），因此，图中所示者与图 19A 具有同样的形状。

下一步，保留掩模 1505a 原封不动，进行第二腐蚀过程，得到图 19C 所示的第二形状导电层。作为实施方案 11 的第二腐蚀过程，是在用 CF_4 、 Cl_2 和 O_2 组成的混合气体的腐蚀条件下进行腐蚀的。表 1 的条件 4-15 中的任一个都可用作这里的腐蚀条件，而腐蚀时间可适当确定。而且，每个导电层沿沟道纵向的宽度可按照腐蚀条件自由地设置。第二形状掩模 1505b、第二形状第一导电层 1503b、第二形状第二导电层 1504b 和第二形状栅绝缘膜 1502b，都由第二腐蚀过程来形成。

注意，在实施方案 11 中，第二形状第一导电层 1503b 相当于第一栅电极，而第二形状第二导电层 1504b 相当于第二栅电极。

在第二形状第二导电层 1504b 中形成大于锥角 α_1 的锥角 α_2 ，而在第二形状第一导电层 1503b 中形成了极小的锥角 β 。

接着，保留掩模 1505b 原封不动，进行第一掺杂过程（见图 19C）。这里用第二形状第二导电层 1504b 作掩模，用离子掺杂法向半导体层 1501 掺入 n 型导电杂质磷。此外，第一掺杂过程在保留掩模 1505b 原封不动的状况下进行，但也可在除去掩模 1505b 后进行第一掺杂过程。

由第一掺杂过程形成了杂质区 1501a 和 1501b。而且，半导体层与第二导电层重叠，将栅绝缘膜和第一导电层夹于其间，成为沟道形成区。注意，虽然图中未示出，但在沟道形成区的两侧都形成了杂质区 1501a 和 1501b，而且具有轴对称（linear symmetry）。

此外，在半导体层上安排的材料层的膜厚越厚，掺杂离子的注入深度就越浅。因此，将栅绝缘膜夹于其间的与第一导电层重叠的杂质区 1501a，，亦即第一 LDD 区（L_oV 区），受具有锥角 β 的侧壁的锥形部分的影响，掺入半导体层的杂质浓度是变化的。膜越厚，杂质浓度越低，膜越薄，杂质浓度越高。

此外，在进行第二腐蚀过程时，依照腐蚀条件，也可以有这样的情形，即锥形部分形成在栅绝缘膜中。在这种情况下，半导体层也受此锥形部分的影响，掺入半导体膜的杂质浓度也是变化的。

另一方面，在不与第一导电层重叠的杂质区 1501b 以及第二 LDD 区（L_{off} 区）中，栅绝缘膜的厚度是几乎不变的，杂质浓度因而几乎不变。

虽然图中没有示出，下一步形成覆盖开关 TFT 部分的抗蚀剂掩模。这里，用控制抗蚀剂掩模的尺寸来确定开关 TFT 中 L_{off} 区的长度。

接着进行第二掺杂过程。这里，用第二形状的第一导电层 1503b 和第二形状的第二导电层 1504b 作掩模，用离子掺杂法在半导体层 1501 中掺入呈一种导电类型的杂质元素，即 n 型导电杂质磷。第二掺杂过程的掺杂浓度高于第一掺杂过程，并形成杂质区 1501c 和 1501d。

除了由第一掺杂过程掺入的杂质浓度外，杂质区 1501d，即源区或漏区，因第二掺杂过程而具有更高的浓度。

而且，杂质区 1501c 不掺杂，因为它与第一导电层重叠，并具有

与杂质区 1501a 相同的杂质分布。因此，杂质区 1501c 也是第一 LDD 区。然而，依赖于掺杂条件，它会具有更高的浓度。

在这种情况下，在第二掺杂过程中，也像第一掺杂过程那样，掺入半导体层中的杂质受具有锥角 B 的侧壁的锥形部分的影响。

另一方面，只在未被抗蚀剂掩模覆盖的开关 TFT 的区域进行掺杂，形成源区或漏区。而且，被抗蚀剂掩模覆盖而未与导电层重叠的第二 LDD 区 1501b 则保持原封不动。

接着除去开关 TFT 的抗蚀剂掩模。

图 6B 的 EL 显示板可按照实施方案 1 的工艺过程由图 4C 开始一步步来制作。

按照上述的方法分别制作驱动电路 n 沟道 TFT 和开关 TFT。

制作的驱动电路 TFT 具有：与第二导电层重叠的沟道形成区，将栅绝缘膜夹于其间；在沟道形成区两侧的第一 LDD 区；以及与第一 LDD 区接触的源区或漏区。制作的开关 TFT 具有：与第二导电层重叠的沟道形成区，将栅绝缘膜夹于其间；在沟道形成区两侧的第一 LDD 区；与第一 LDD 区接触的第二 LDD 区；以及与第二 LDD 区接触的源区或漏区。

而且，第一 LDD 区与第一导电层重叠，将栅绝缘膜夹于其间，其杂质元素浓度分布随到沟道形成区距离的增大而增高。注意，在第一 LDD 区内有一个区域，其杂质浓度梯度至少在 $1 \times 10^{17} - 1 \times 10^{18}$ 原子/ cm^3 的范围。倘若 LDD 区具有这样的连续浓度分布，则会有效地降低关态电流。而且，第一 LDD 区沿沟道纵向的长度越大，可靠性越高。

实际上，在电流控制 TFT 的区域 149-152 中由硼掺杂过程（见图 4C）掺入的硼，与第一掺杂过程相似，也受到第一导电层厚度的影响，其中，半导体层上有一锥度，因而掺入杂质区的杂质浓度是变化的。膜越厚，杂质浓度越低，而膜越薄，杂质浓度越高。

注意，可以自由地将实施方案 11 与实施方案 1-10 的任一个组合起来。

而且，当实施方案 11 的腐蚀气体（ CF_4 和 Cl_2 的混合气体）代之以 SF_6 和 Cl_2 的混合气体，或当 CF_4 、 Cl_2 和 O_2 的混合气体代之以 SF_6 、 Cl_2 和 O_2 的混合气体时，栅绝缘膜 1502 的选择性是极高的，因此膜的

减薄更可得到抑制。

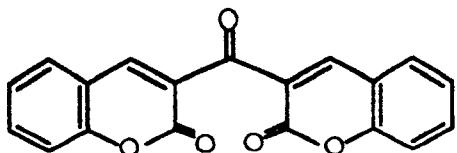
[实施方案 12]

使用在本发明的发光中能够被利用的来自三重激发态的磷光的 EL 材料，可大幅度增加发光的外量子效率。这样就能做成具有低功耗、长寿命和重量轻的 EL 元件。

利用三重激发态而增加发光的外量子效率的报导示于下面的文章中。Tsutsui, T., Adachi, C., and Saito, S., Photochemical Processes in Organized Molecular Systems, Ed. Honda, K., Elsevier Sci. Pub., Tokyo, 1991, p. 437.

上述文章报导的 EL 材料（香豆素颜料）的分子式示于下面。

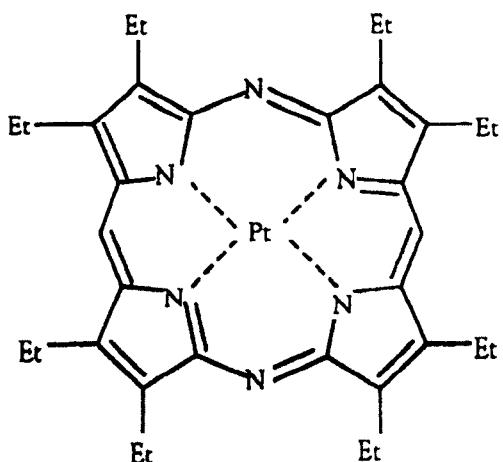
[化学式 1]



Baldo, M. A., O'Brien, D. F., You, Y., Shoustikov, A., Sibley, S., Thompson, M. E., and Forrest, S. R., Nature 395 (1998) p. 151.

上述文章报导的 EL 材料（Pt 的络合物）的分子式示于下面。

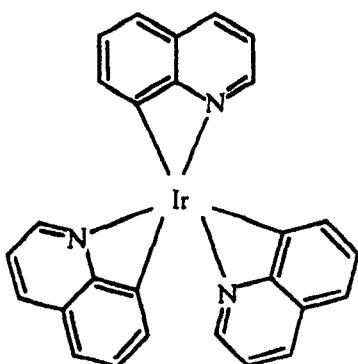
[化学式 2]



Baldo, M. A., Lamansky, S., Burrows, P. E., Thompson, M. E., and Forrest, S. R., Appl. Phys. Lett., 75 (1999) p. 4, and Tsutsui, T., Yang, M. J., Yahiro, M., Nakamura, K., Watanabe, T.G., Tsuji, T., Fukuda, Y., Wakimoto, T., and Mayaguchi, S., Japan Appl. Phys., 38 (12B) 1999, L1502.

上述文章报导的 EL 材料 (Ir 的络合物) 的分子式示于下面。

[化学式 3]



如果可利用三重激发态的磷光发射，则原则上可实现比使用单重激发态荧光发射的情形高 3-4 倍的发光外量子效率。

注意，可与实施方案 1-11 的任一结构自由地结合起来实现实施方案 12 的结构。

[实施方案 13]

按照本发明制作的 EL 显示器件为自发射型，因此，与液晶显示器件相比，在亮处显示图像表现出更优越的可辨认性。而且，EL 显示器件有较宽的视角。因此，EL 显示器件可用于各种电子器件的显示部分。例如，为了观看大屏幕的电视节目之类，本发明的 EL 显示器件可用作对角线尺寸为 30 或更大 (典型的为 40 或更大) 的 EL 显示器件 (即，EL 显示器件装入框架的显示器) 的显示部分。

EL 显示包括所有各类用于显示信息的显示，如个人计算机的显示、接收电视广播节目的显示、广告显示。而且，本发明的 EL 显示器件可用作其他各种电气设备的显示部分。

这样的电子学设备包括摄象机、数码相机、风镜式显示器（头戴式显示器）、导航系统、声音重现设备（汽车音响、音响之类）、笔记本型个人计算机、游戏机、袖珍信息终端（便携式计算机、袖珍电话，袖珍游戏机、电子书籍之类）、图像重现设备包括记录媒体（更具体地说，可以重现记录媒体如 DVD 的装置，并包括显示重现的图像的显示器）之类。尤其是对于袖珍信息终端，最好使用 EL 显示器件，因为袖珍信息终端很可能从斜向观看，故常需有宽的视角。图 16A-17B 分别表示这种电子学设备的各种具体的例子。

图 16A 表示一种 EL 图像显示设备，包括框架 2001、支座 2002、EL 显示部分 2003 等。本发明可用于其显示部分 2003。其 EL 显示是 EL 显示型的，因此不需要底光。这样，其显示部分的厚度就比液晶显示设备薄。

图 16B 所示的是摄象机，包括主体 2101、显示部分 2102，音频输入部分 2103、操作开关 2104、电池 2105、图像接收部分 2106 等。本发明的自发光器件可用作 EL 显示部分 2102。

图 16C 所示为头戴型显示设备的一部分（右半部），包括主体 2201、信号电缆 2202、头带 2203、屏幕部分 2204、光学系统 2205、自发光器件 2206 等。本发明可用作 EL 显示器件 2206。

图 16D 表示的是含记录媒体的图像重现设备（更具体地说是 DVD 机），包括主体 2301、记录媒体 2302（DVD 等）、操作开关 2303、显示部分（a）2304、另一显示部分（b）2305 等。显示部分（a）2304 主要用于显示图像信息，而显示部分（b）2305 主要用于显示字符信息。本发明的 EL 显示器件可用作显示部分（a）2304 和（b）2305。含记录媒体的图像重现设备还包括游戏机等。

图 16E 为风镜式显示设备（头戴显示器），包括主体 2401、显示部分 2402、镜腿部分 2403 等。本发明的 EL 显示器件可用于显示部分 2402。

图 16F 为个人计算机，包括主体 2501、框架 2502、显示部分 2503、键盘 2504 等。本发明的 EL 显示器件可用作显示部分 2503。

当将来 EL 材料的发光更亮时，本发明的 EL 显示器件将可用于正投式或背投式投影仪，其中含有输出图像信息的光经透镜放大之类而

投射出去。

上述的电子学设备很有希望用于显示通过远程通讯途径如 Internet (互联网)、CATV (有线电视系统) 发布的信息，尤其是有望显示运动画面信息。EL 显示器件适于显示运动画面，因为 EL 材料可呈现高的响应速度。

EL 显示器件发光的部分是消耗能量的，因此希望这样来显示信息，即其中的发光部分尽量的小。因此，当 EL 显示器件用于显示部分，主要显示字符信息时，如袖珍信息终端的显示部分，尤其是袖珍电话或音频设备，希望这样来驱动 EL 显示器件，即用发光部分来形成字符信息，而非发光部分则相当于背景。

现在参照图 17A，图中说明的是袖珍电话，它包括主体 2601、音频输出部分 2602、音频输入部分 2603、显示部分 2604、操作开关 2605 和天线 2606。本发明的 EL 显示器件可用作显示部分 2604。在黑色背景上显示白色字符，可降低袖珍电话的显示部分 2604 的功耗。

图 17B 说明的是声音重现设备，具体地讲为汽车音响设备，它包括主体 2701、显示部分 2702、和操作开关 2703 和 2704。本发明的 EL 显示器件可用作显示部分 2702。虽然本实施方案所示的是车装型音响，但本发明也可用于袖珍式和家用型设备。在黑色背景上显示白色字符可降低显示部分 2702 的功耗，对于袖珍式是特别有优点的。

如上所述，本发明可在一切领域的电子学设备中得到各种应用。本实施方案的电子学设备可利用实施方案 1 至 12 的结构自由结合而成的 EL 显示器件来得到。

[实施方案 14]

按照如实施方案 11 中所述的各种腐蚀条件，第二形状第一栅电极 (TaN) 可有不同的形状。在实施方案 14 中对图 20A 的形状 A 和图 20B 的形状 B 进行了模拟和比较。

图 20A 表示在实施方案 11 中所示的形状 A。图 20A 与图 19D 相同，因此使用同样的参考符号。图 21 表示在以下情况下与电子温度的关系，即 Lov 区的长度 (沿沟道纵向的 Lov 区长度) 设为 0.4 微米、0.8 微米和 1.5 微米，第一栅电极 (TaN) 的膜厚设为 15-40 纳米。注意，这是用图 24 所示的沿沟道纵向的杂质浓度分布 (从半导体层

表面深入 10 纳米处的浓度分布) 来进行模拟的。然而, 也模拟过第一栅电极侧壁部分中锥角的变化, 由截面来看, 厚度改变的位置为离栅绝缘膜 10 纳米的位置, 当由上表面看时, 在距第一栅电极边缘部分 0.13 微米处。

而且, 图 20B 表示实施方案 14 的形状 B。图 20B 不同于图 20A, 其侧壁部分中没有锥角改变的地方。形成锥角 γ 。

对图 20B 所示的第一栅电极 1700 同样进行了模拟, 图 22 表示在以下情况下与电子温度的关系: Lov 区长度为 0.4 微米、0.8 微米和 1.5 微米, 第一栅电极 (TaN) 的膜厚设为 15-40 纳米。注意, 这是用图 24 所示的沿沟道纵向的杂质元素浓度分布来进行模拟的。

此外, 对于图 20B 所示的第一栅电极 1700, 亦即当 TaN 膜厚为 30 纳米时, 沿沟道纵向的电场强度与 Lov 区长度的关系, 以及 Lov 区长度与电子温度的关系, 示于图 23。在图 23 中电场结构和电子温度所表现的趋势是几乎相同的。因此可以说, 电子温度越低, TFT 退降的程度趋于越小。

当比较图 22 和图 23 时, 图 22 所示的图 20B 的形状表现出较低的电子温度。换言之, 从 TFT 退降的观点来看, 最好使用图 20B 的形状, 因为可降低电子温度。

此外, 当 Lov 长度为 1.5 微米时, 电子温度低, 因此可推断, 长 Lov 区是更可取的。

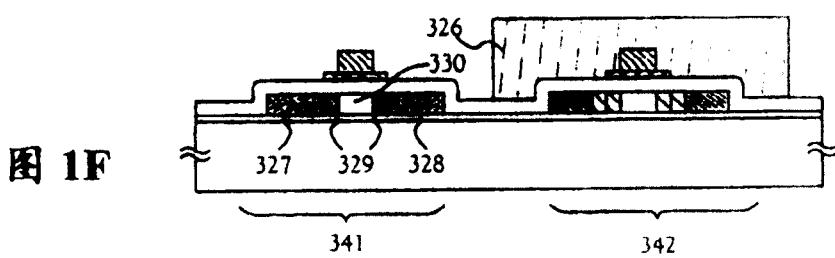
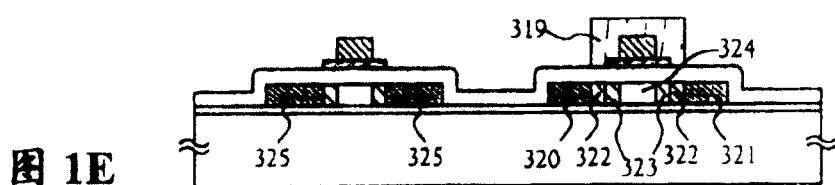
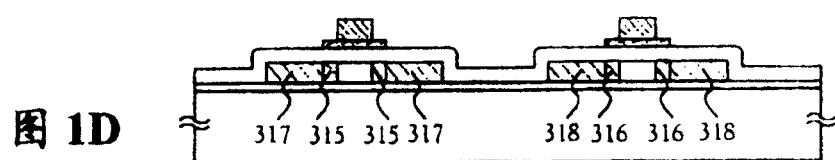
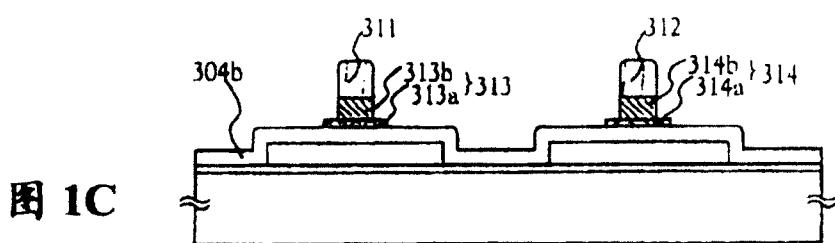
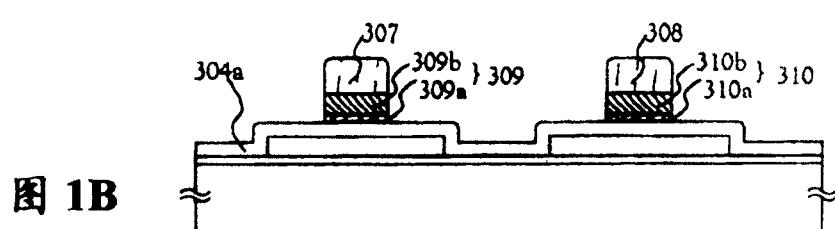
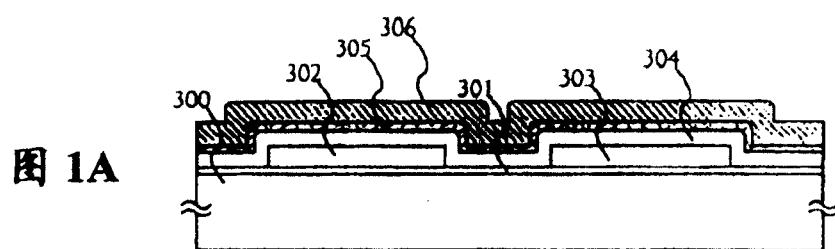
可将实施方案 14 与实施方案 1-13 的任一个结合起来。

如本发明前面所述, 沿沟道纵向的栅电极的长度 (此后简称为栅电极宽度) 是不同的, 因此, 在用栅电极作掩模进行离子注入时, 利用因栅电极厚度不同造成的离子透入深度的差异, 可使安排在第一栅电极下面的半导体层中的离子浓度低于未安排在第一栅电极下面的半导体层中的离子浓度。

此外, Loff 区是用掩模来形成的, 因此, 只需由腐蚀来控制第一栅电极和第二栅电极的宽度。对 Loff 区和 Lov 区位置的控制, 与常规的例子相比就变得更容易了。因此, Lov 区和 Loff 区的精确定位对准变得容易, 且制作具有所需特性的 TFT 也变得容易了。

而且, 通常由与栅极信号线或源极信号线相同的膜制成的电源

线，被形成在第二层间绝缘膜和第三层间绝缘膜之间。因此，电源线可与栅极信号线重叠，故能够增大孔径比。



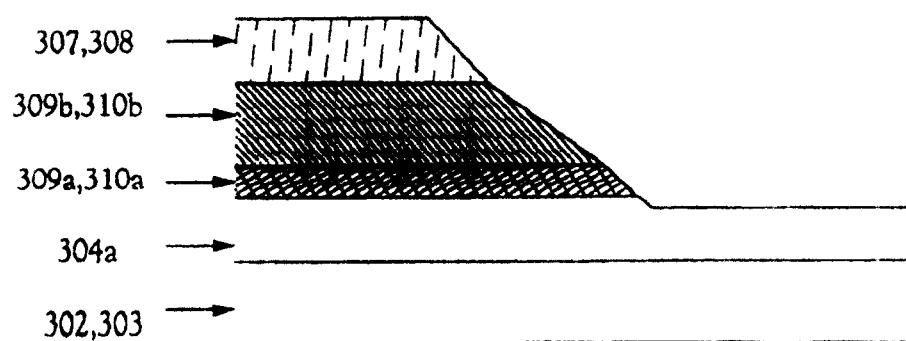


图 2A

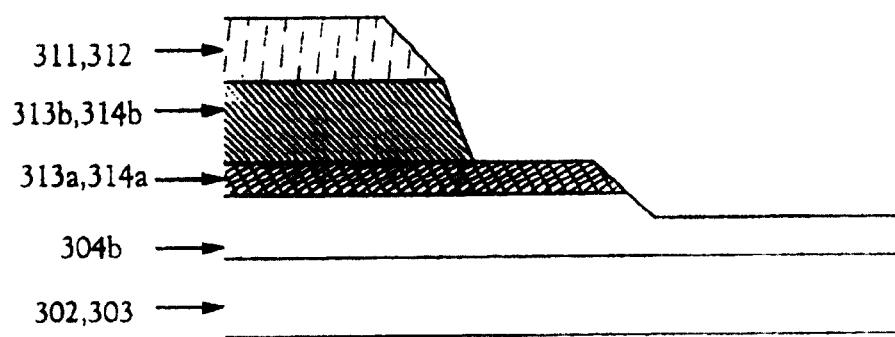


图 2B

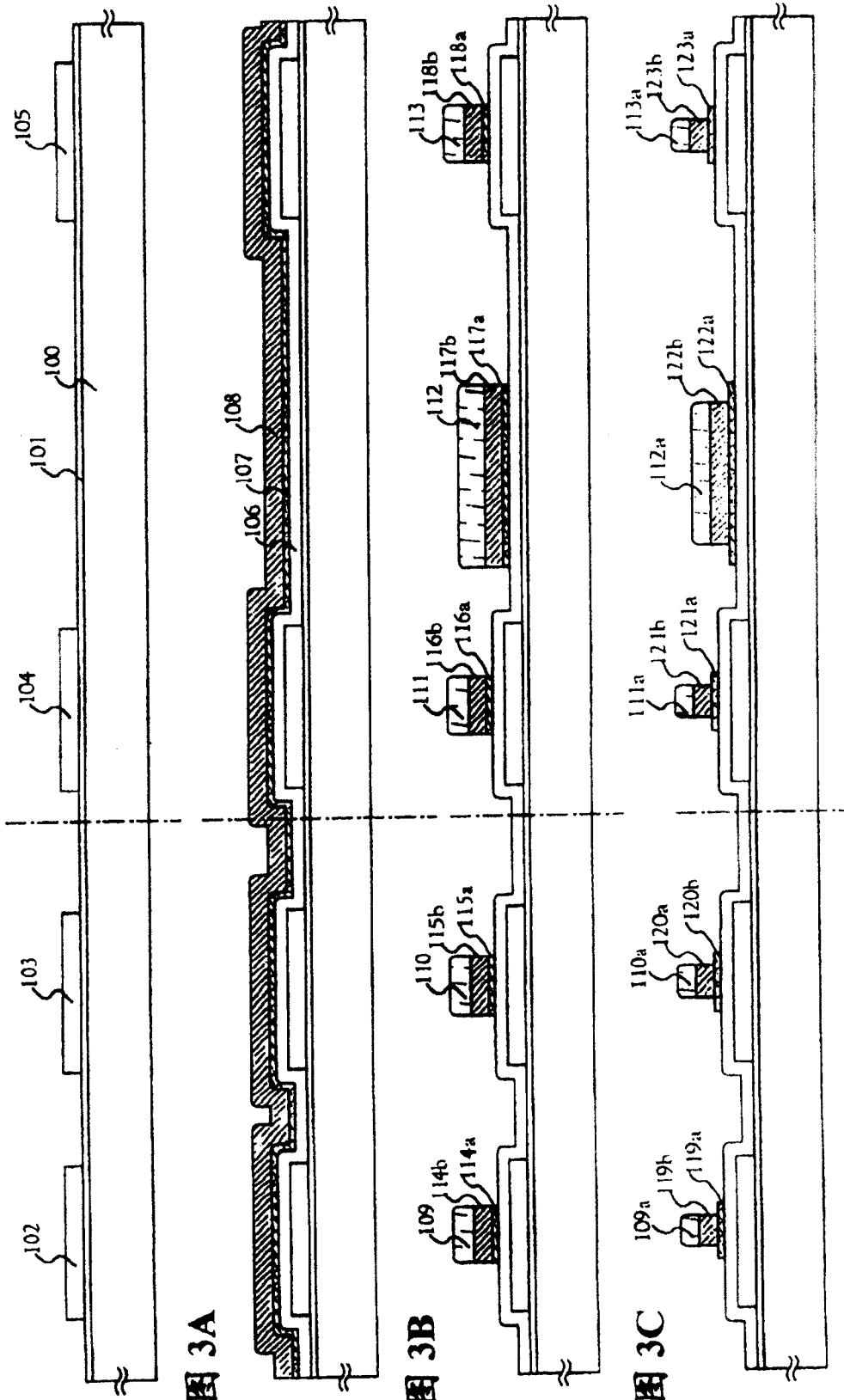
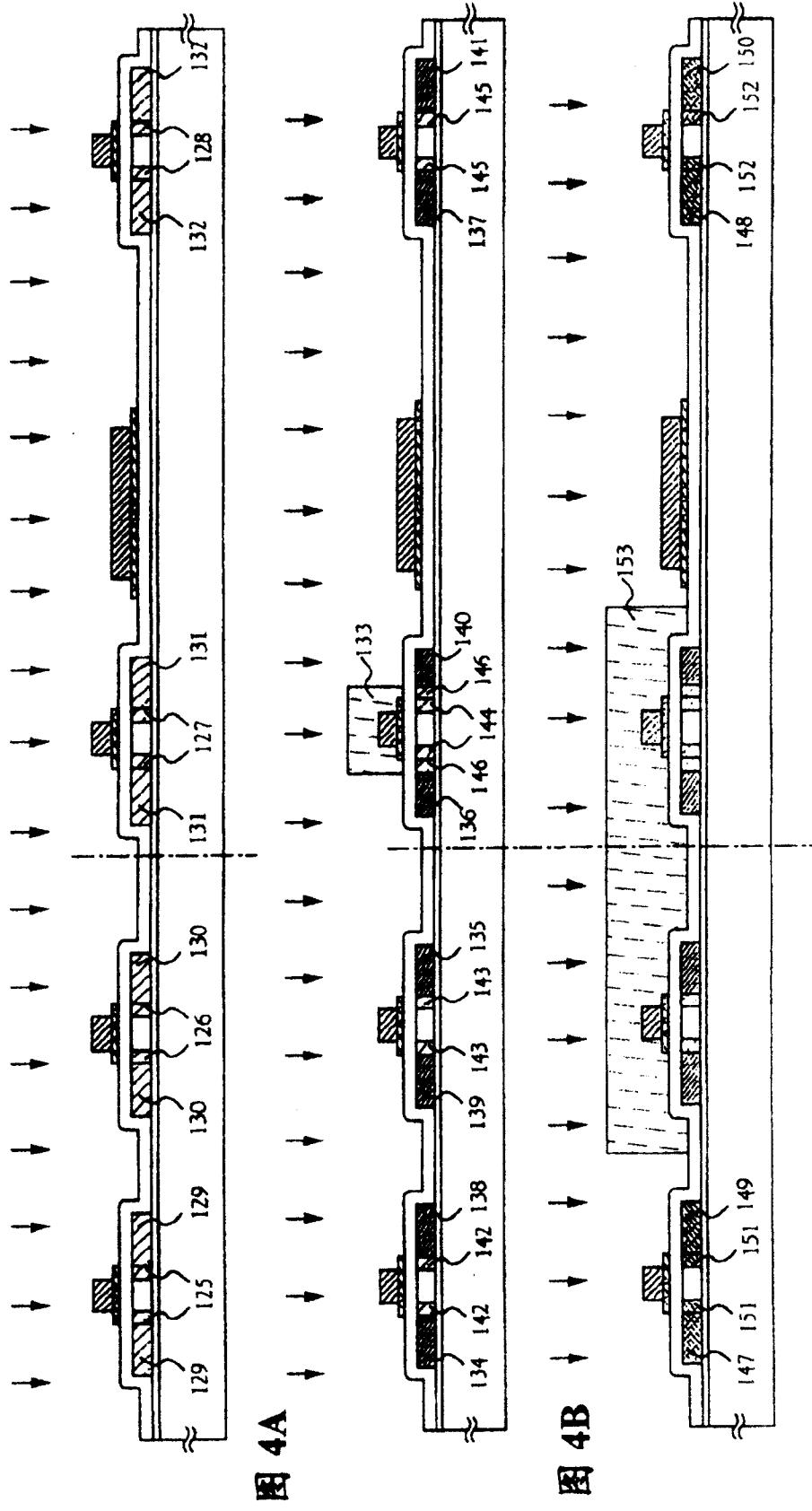


图 3A

图 3B

图 3C

图 3D



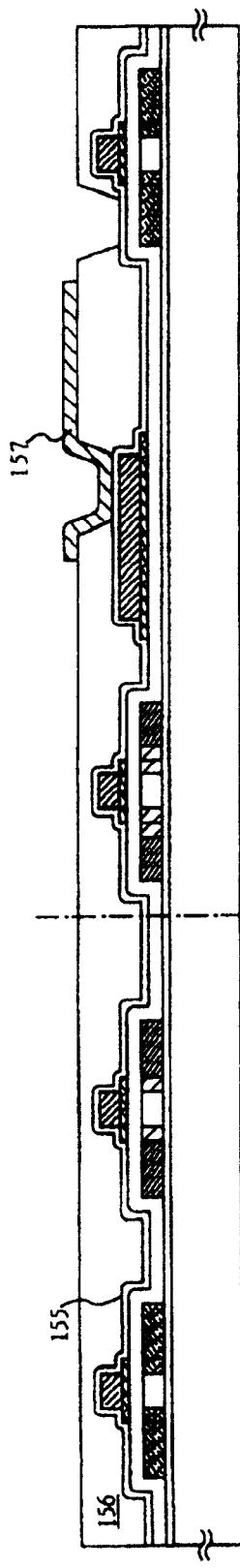


图 5A

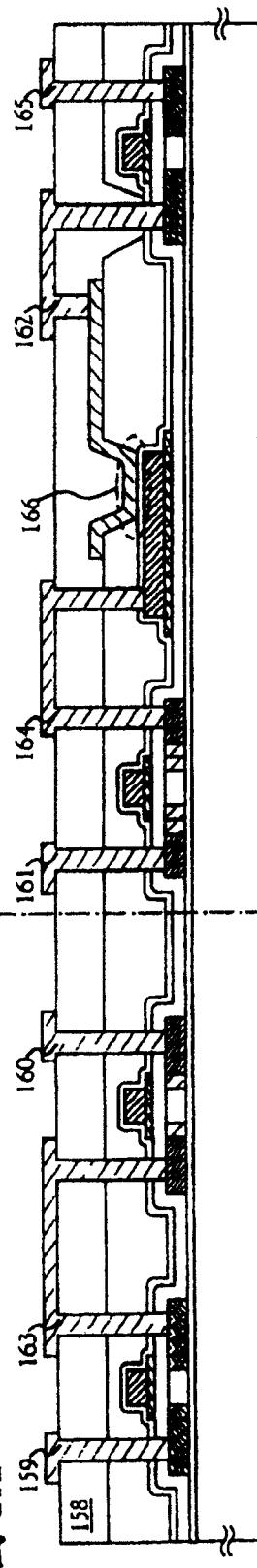


图 5B

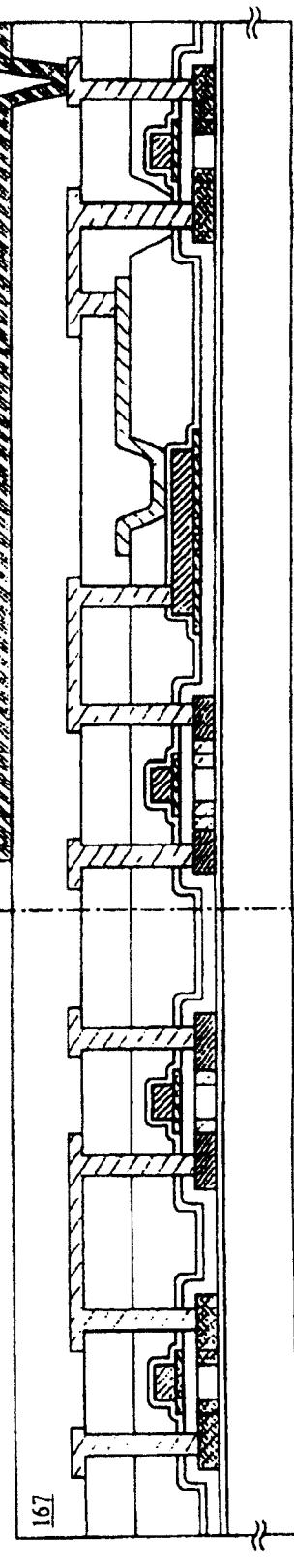


图 5C

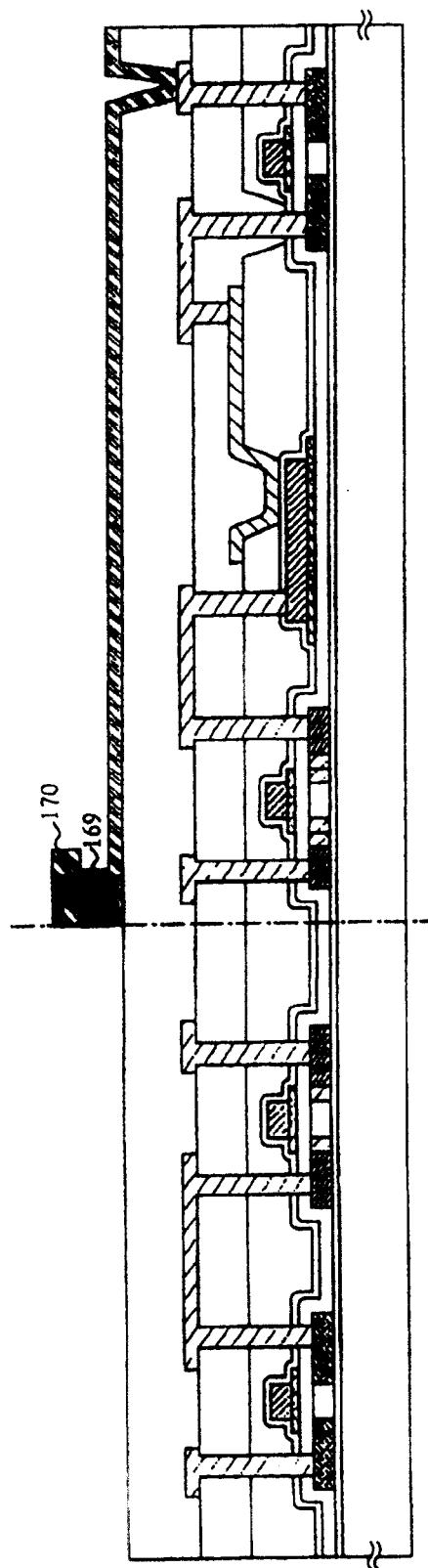


图 6A

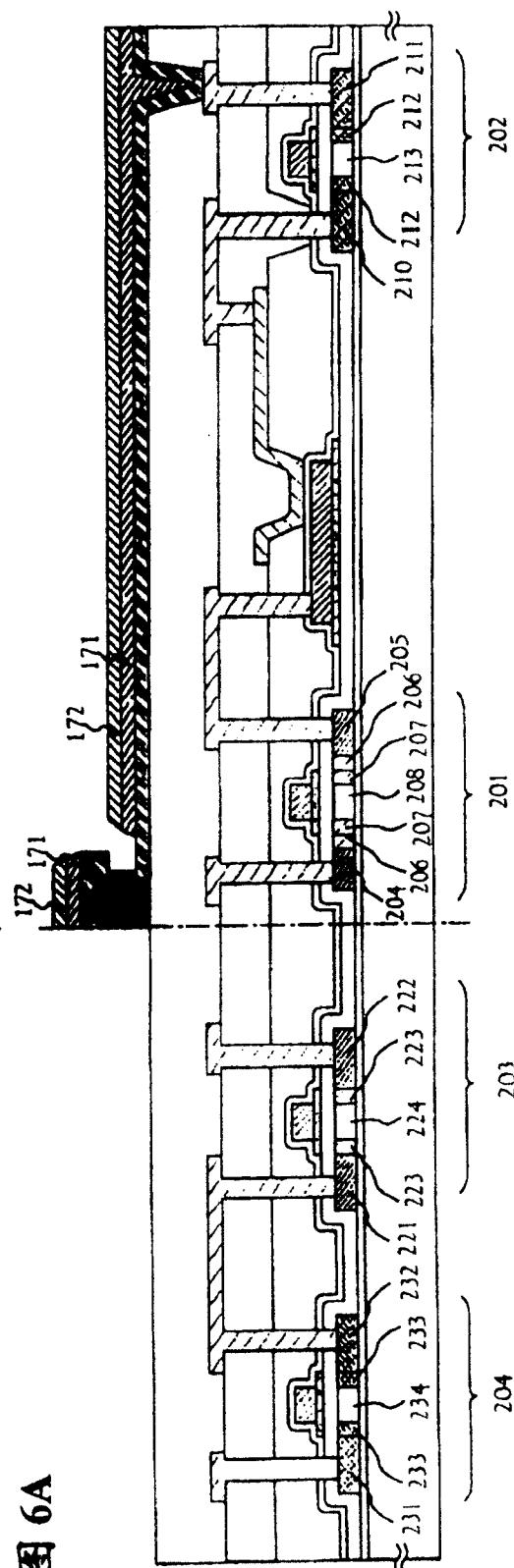


图 6B

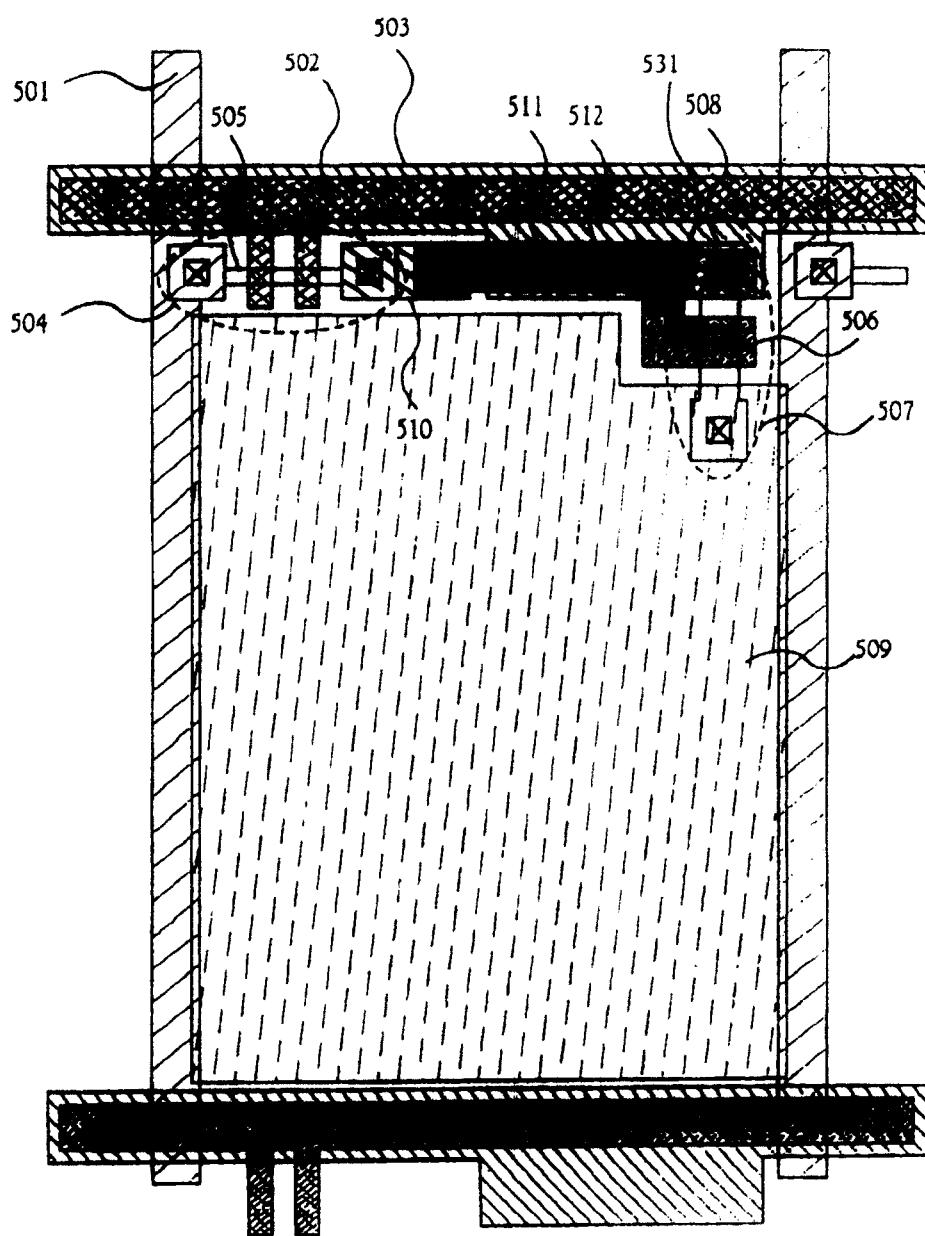


图 7A

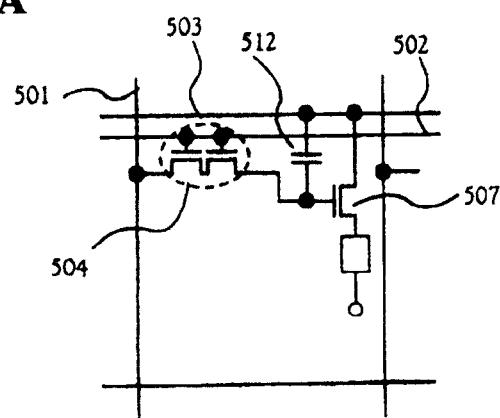


图 7B

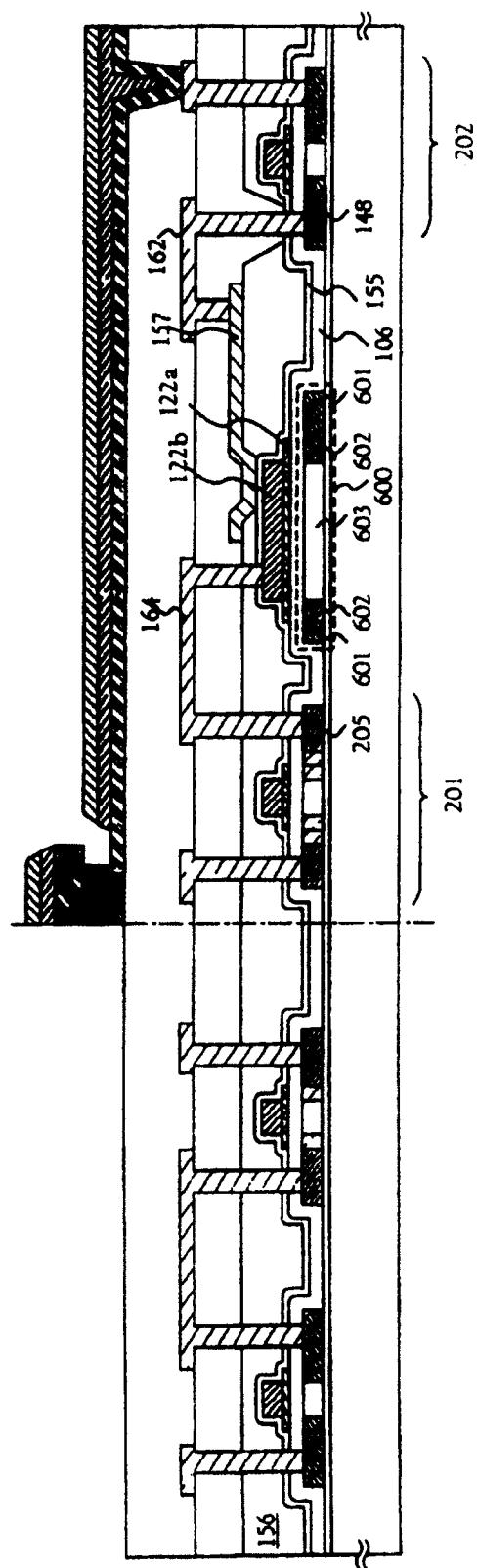


图 8

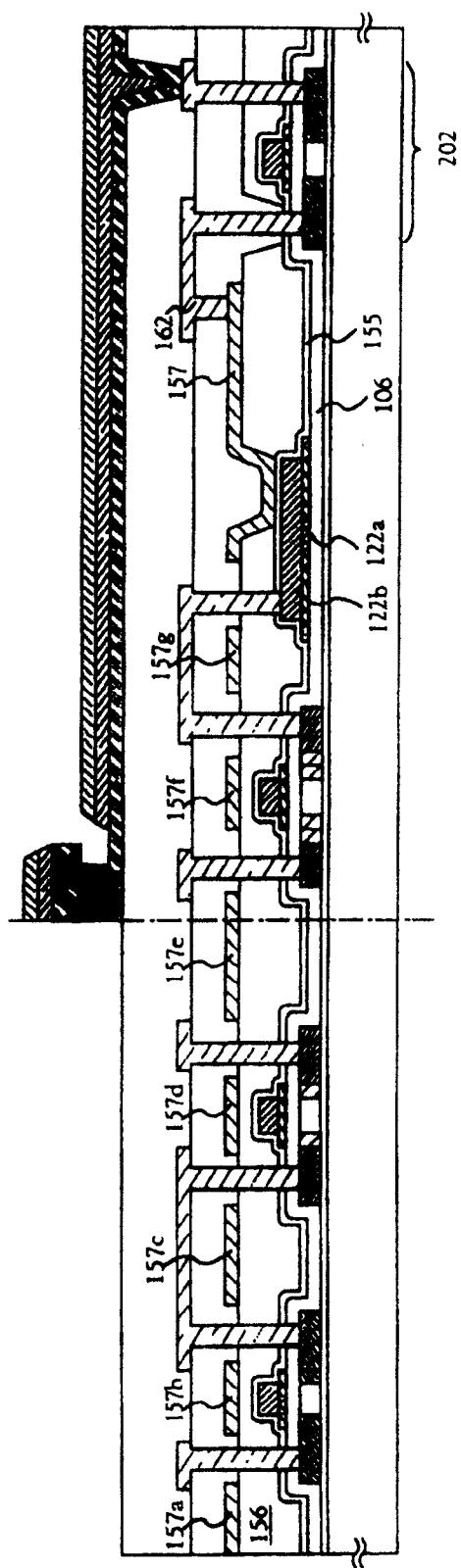


图 9

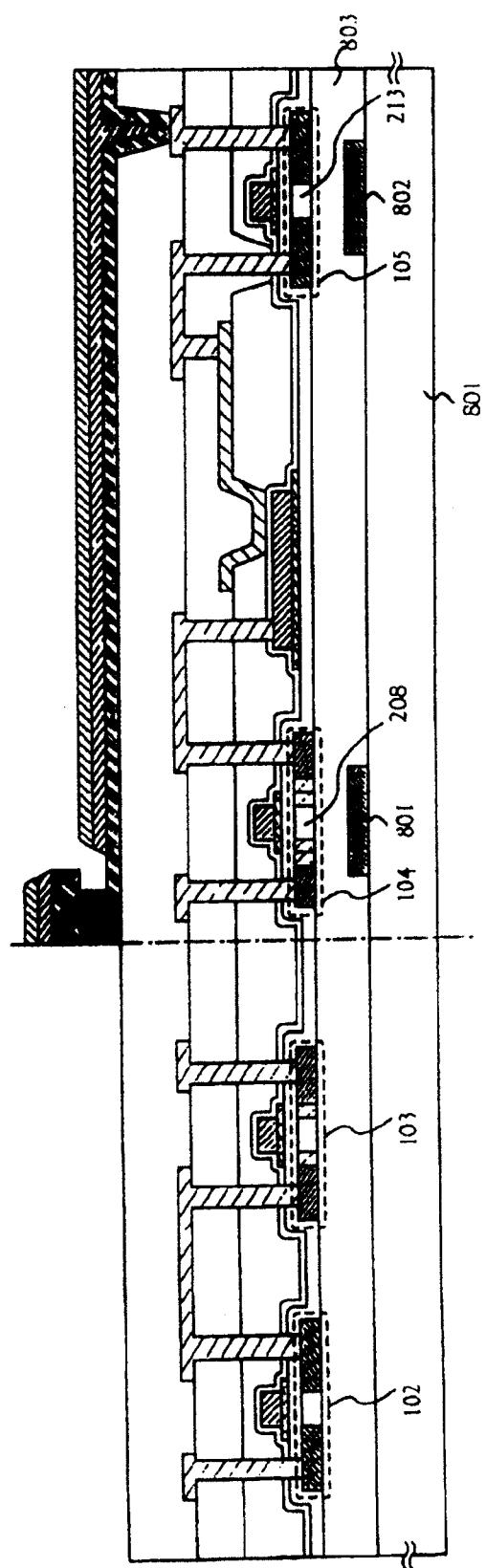


图 10

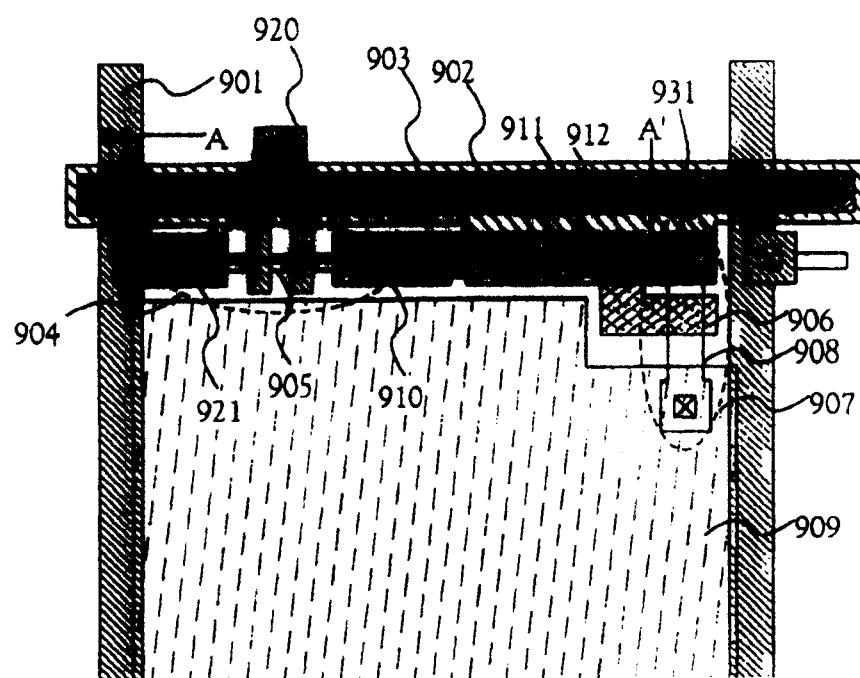


图 11A

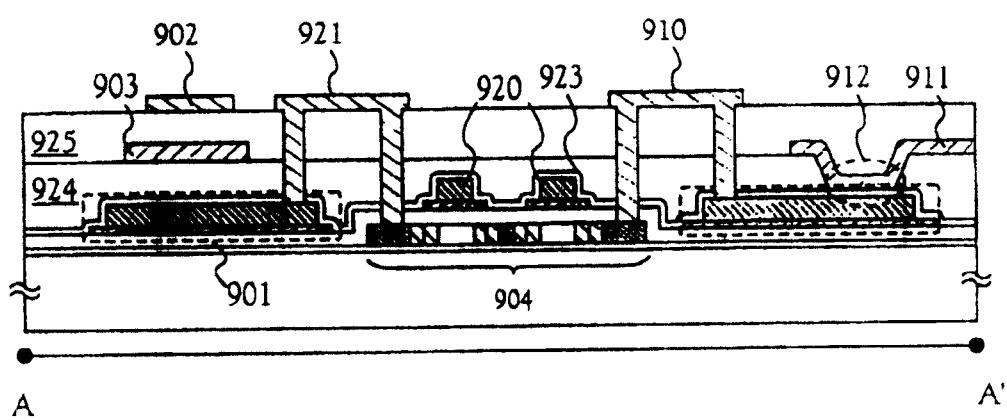


图 11B

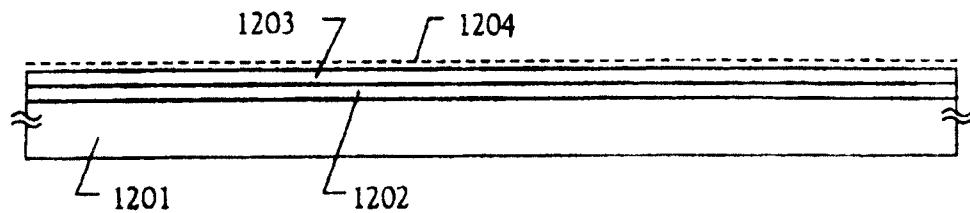


图 12A

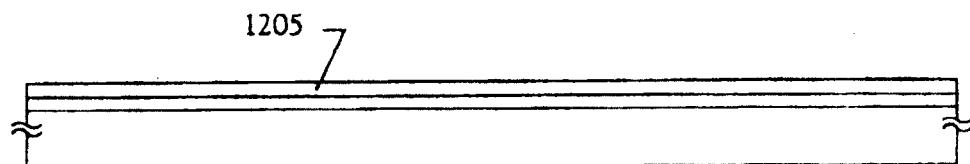


图 12B

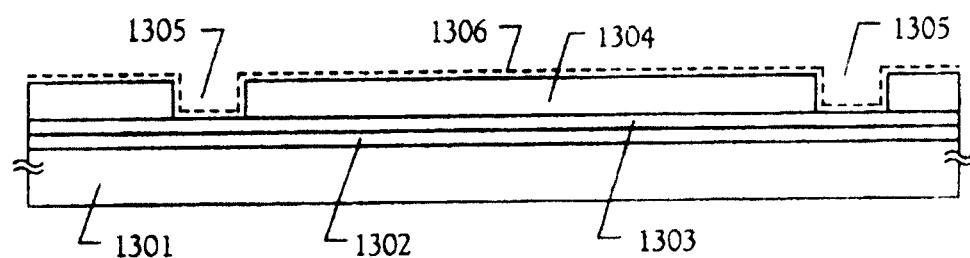


图 13A

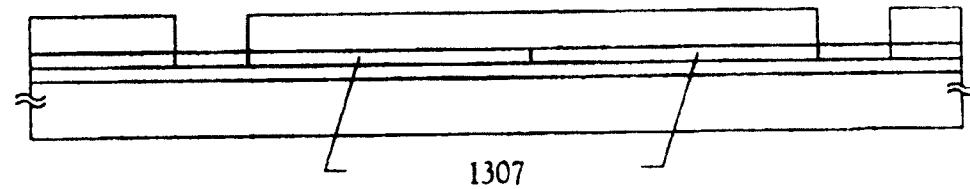


图 13B

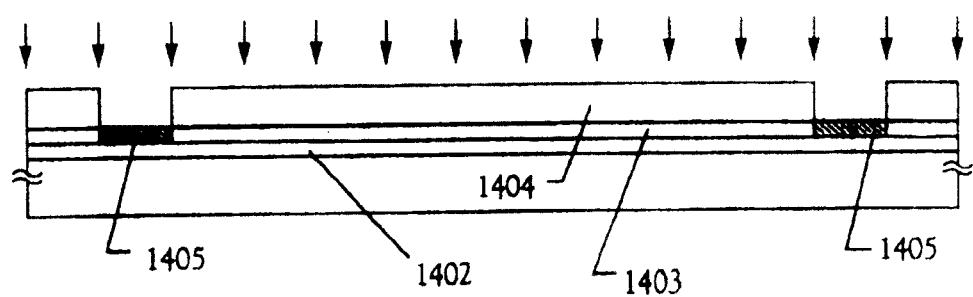


图 14A

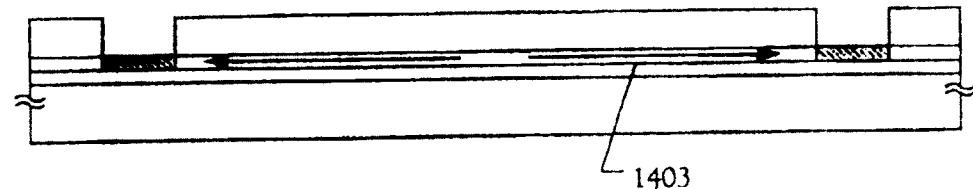


图 14B

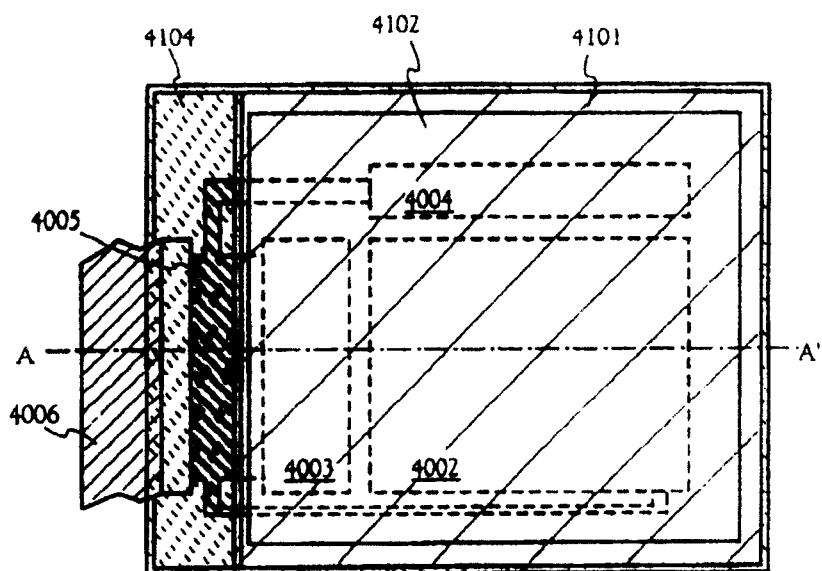


图 15A

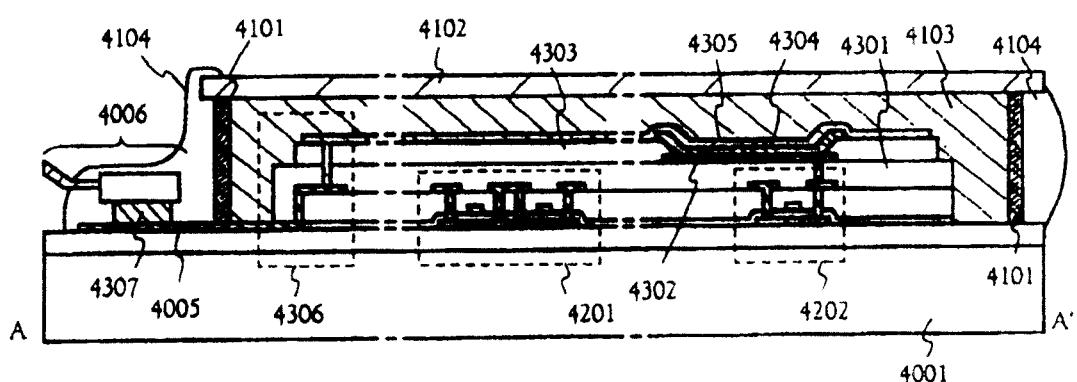


图 15B

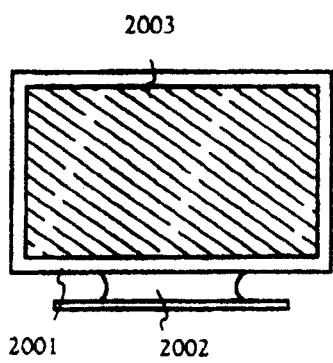


图 16A

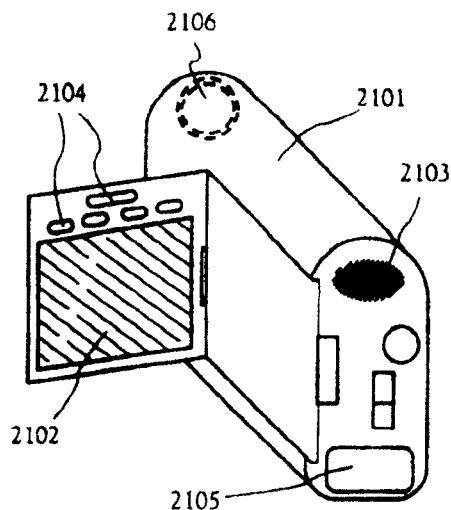


图 16B

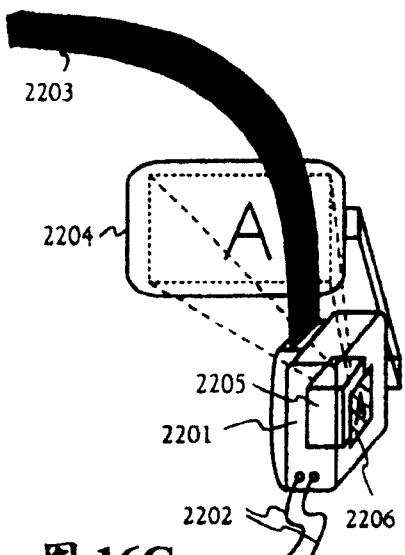


图 16C

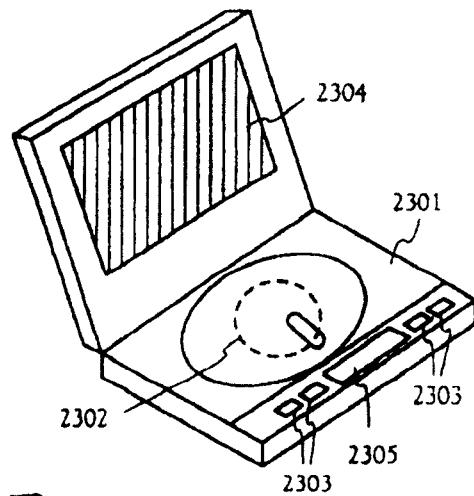


图 16D

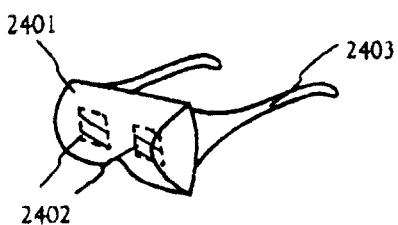


图 16E

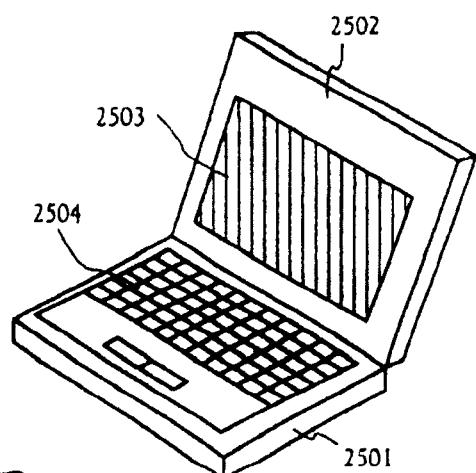


图 16F

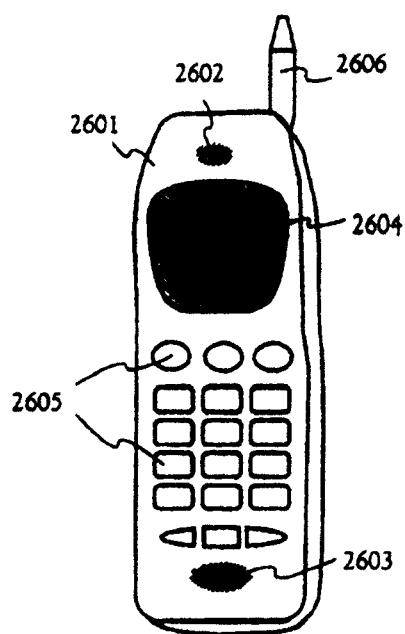


图 17A

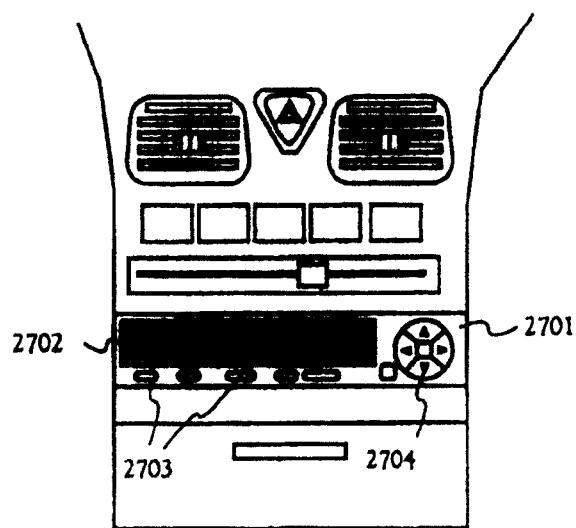


图 17B

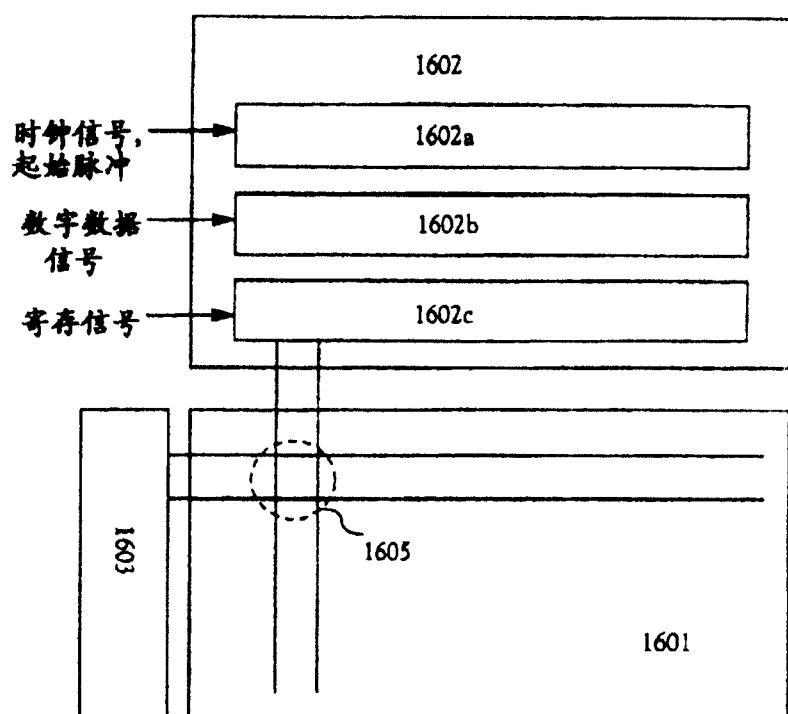
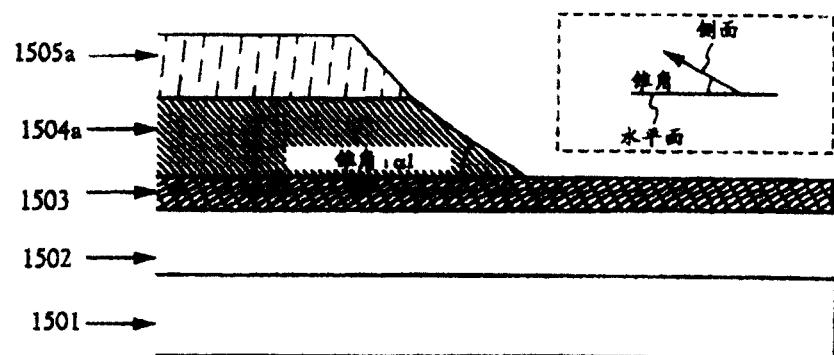
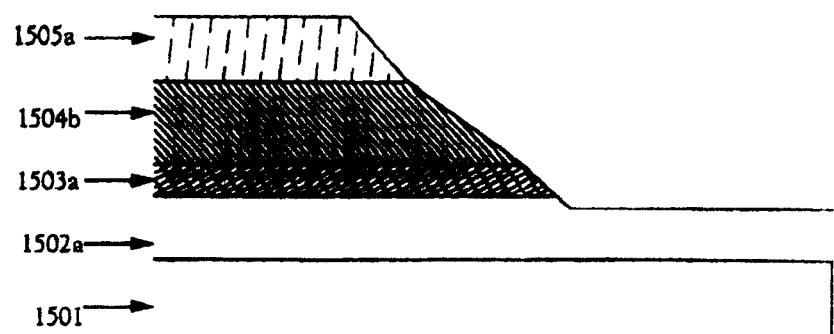
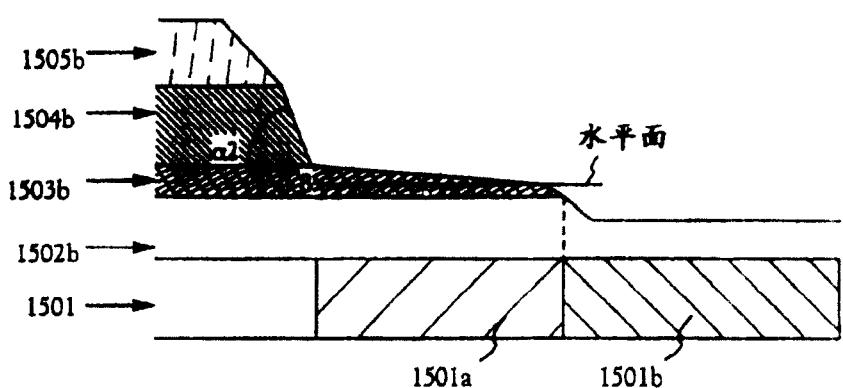
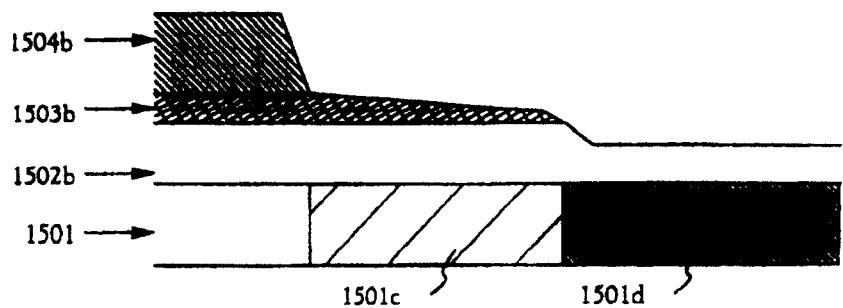


图 18

图 19A**图 19B****图 19C****图 19D**

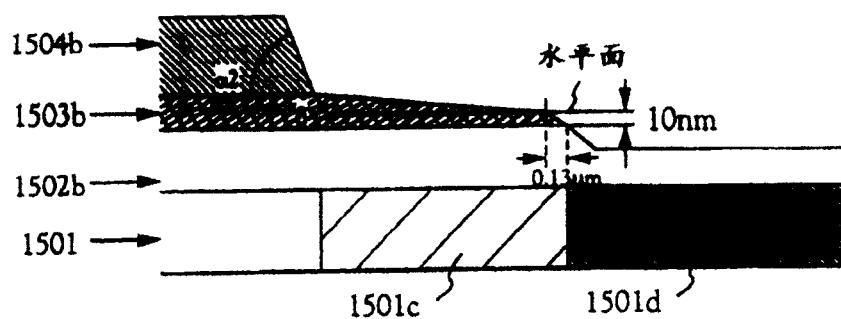


图 20A

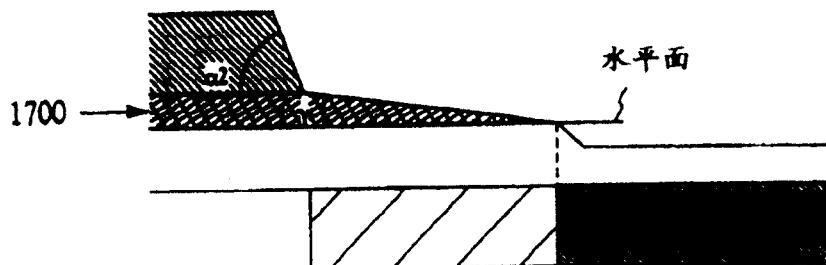


图 20B

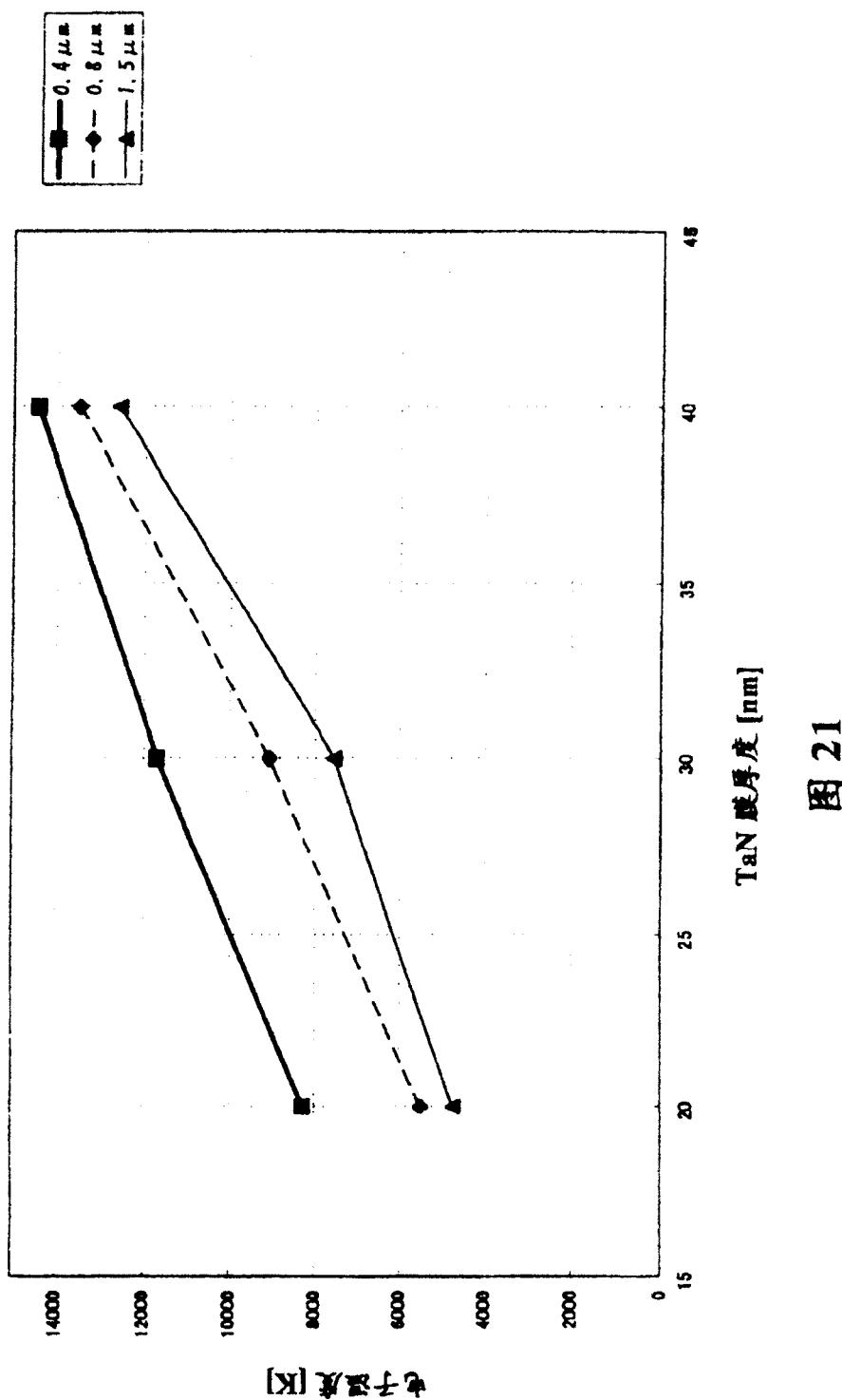


图 21

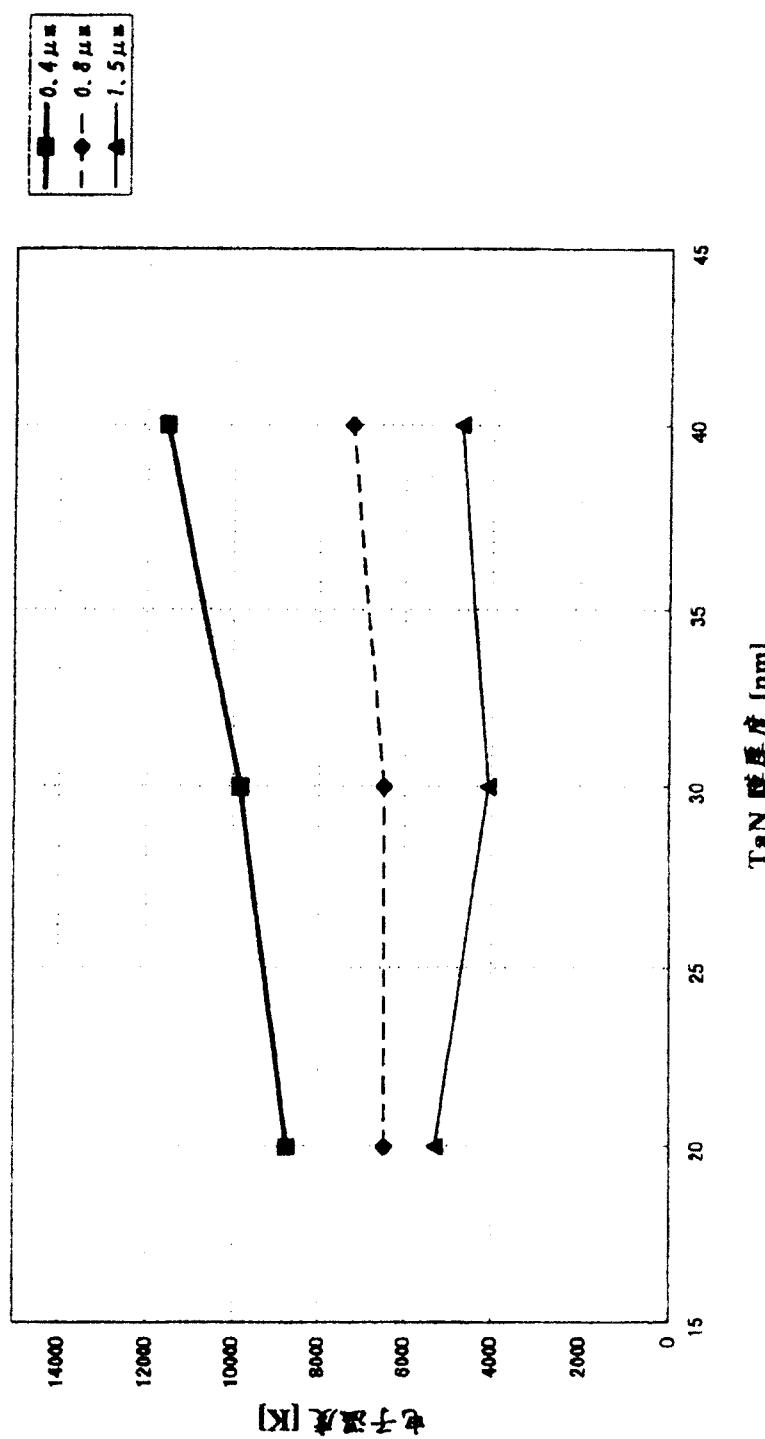
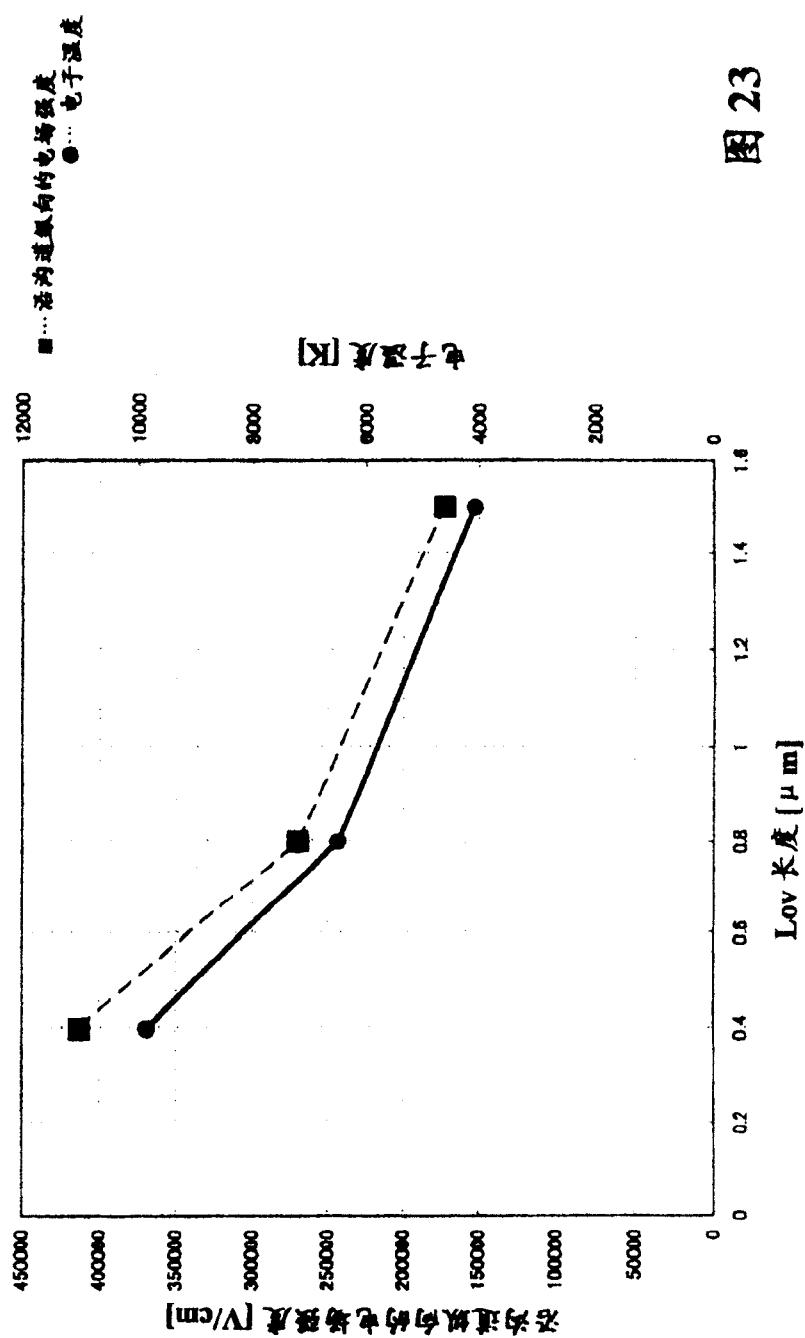


图 22



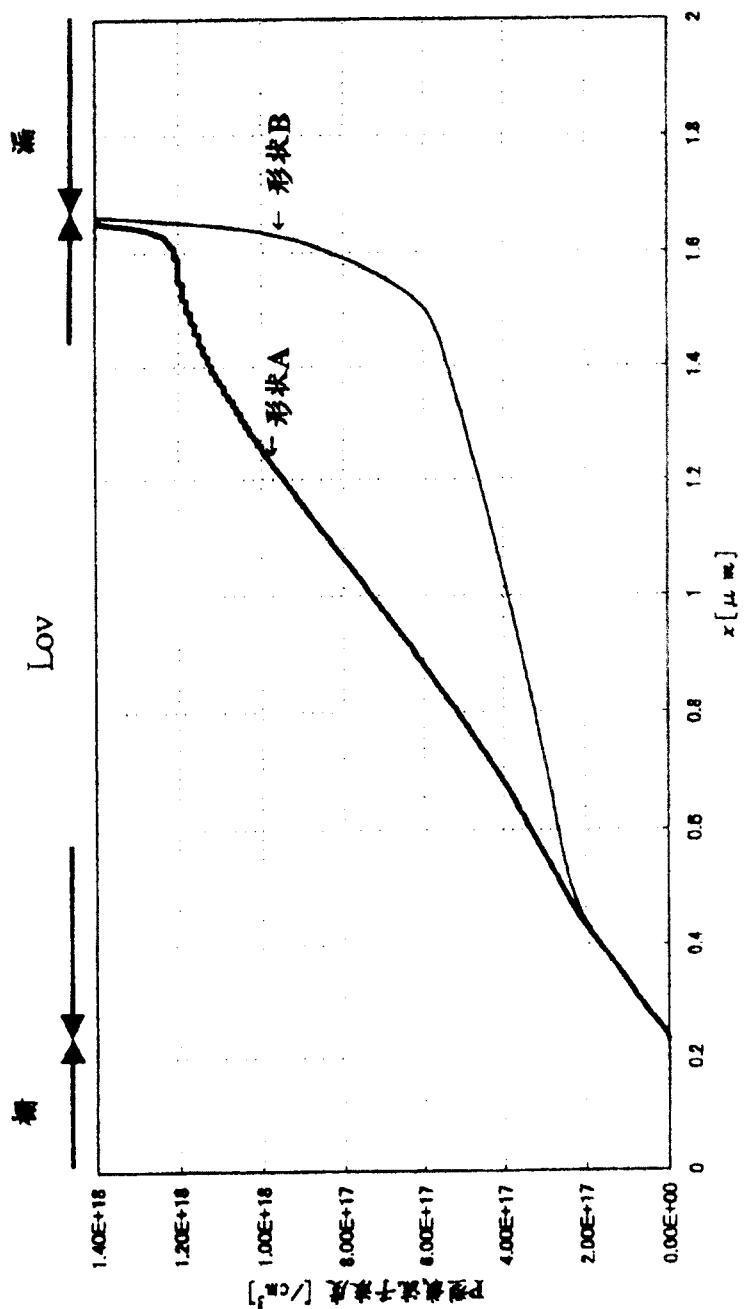


图 24