

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4602223号
(P4602223)

(45) 発行日 平成22年12月22日 (2010.12.22)

(24) 登録日 平成22年10月8日 (2010.10.8)

(51) Int. Cl. F I
 HO 1 L 25/065 (2006.01) HO 1 L 25/08 Z
 HO 1 L 25/07 (2006.01)
 HO 1 L 25/18 (2006.01)

請求項の数 4 (全 13 頁)

(21) 出願番号	特願2005-308358 (P2005-308358)	(73) 特許権者	000003078
(22) 出願日	平成17年10月24日 (2005.10.24)		株式会社東芝
(65) 公開番号	特開2007-116030 (P2007-116030A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成19年5月10日 (2007.5.10)	(74) 代理人	110001092
審査請求日	平成20年7月31日 (2008.7.31)		特許業務法人サクラ国際特許事務所
		(74) 代理人	100077849
			弁理士 須山 佐一
		(74) 代理人	100113871
			弁理士 川原 行雄
		(74) 代理人	100124073
			弁理士 山下 聡
		(74) 代理人	100134223
			弁理士 須山 英明

最終頁に続く

(54) 【発明の名称】 半導体装置とそれを用いた半導体パッケージ

(57) 【特許請求の範囲】

【請求項1】

第1の電極パッドが形成された電極形成面を有する第1の半導体素子と、
 第2の電極パッドが形成された電極形成面を有し、前記第1および第2の電極パッドがそれぞれ露出するように、前記電極形成面同士を対向させて前記第1の半導体素子と接着された第2の半導体素子と、

前記第1および第2の半導体素子の外側に配置され、前記第1の電極パッドと第1のボンディングワイヤを介して接続された第1の接続端子と、前記第2の電極パッドと第2のボンディングワイヤを介して接続された第2の接続端子とを有する金属回路板と、

前記第1および第2の接続端子の一部が露出するように、前記第1および第2の半導体素子と前記金属回路板とを封止する封止材料とを具備し、

前記第1および第2の接続端子は、それぞれ厚さが前記第1および第2の半導体素子の積層厚と略同等もしくはそれより厚い外部接続端子と、前記第1および第2のボンディングワイヤを前記積層厚内に収容するように、前記外部接続端子から連続して形成された内部接続端子とを備えることを特徴とする半導体装置。

【請求項2】

請求項1記載の半導体装置において、

前記金属回路板は、前記第1の半導体素子の電極形成面を支持する第1のダイパッド部と、前記第2の半導体素子の電極形成面を支持する第2のダイパッド部とを有することを特徴とする半導体装置。

10

20

【請求項3】

請求項1記載の半導体装置において、

前記金属回路板は、前記第1の半導体素子の電極形成面を支持する第1のダイパッド部と、前記第2の電極パッドと接続される第2の接続端子とを有する第1の金属回路板と、前記第2の半導体素子の電極形成面を支持する第2のダイパッド部と、前記第1の電極パッドと接続される第1の接続端子とを有する第2の金属回路板とを備えることを特徴とする半導体装置。

【請求項4】

半導体装置搭載部と、前記半導体装置搭載部の周辺に配置された接続パッドと、前記接続パッドと電氣的に接続された実装端子とを有するパッケージ基体と、

請求項1ないし請求項3のいずれか1項記載の半導体装置であって、前記パッケージ基体の半導体装置搭載部に単体または複数個が積層された状態で搭載された半導体装置と、

前記パッケージ基体の前記接続パッドと前記半導体装置の前記第1および第2の接続端子とを電氣的に接続する接続部と、

前記半導体装置を封止する封止材料と

を具備することを特徴とする半導体パッケージ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置とそれを用いた半導体パッケージに関する。

【背景技術】

【0002】

近年、半導体装置の小型化や高密度実装化等を実現するために、1つのパッケージ内に複数の半導体素子を積層して封止したスタック型マルチチップパッケージが実用化されている。このようなスタック型マルチチップパッケージにおいて、複数の半導体素子は半田バンプ等の実装端子を有する配線基板やリードフレーム上に順に積層される。複数の半導体素子は、それぞれ配線基板やリードフレームの接続端子とボンディングワイヤを介して電氣的に接続するために、上下方向を一致させて積層されている。

【0003】

このような従来のスタック型マルチチップパッケージにおいて、最上部の半導体素子に接続されたボンディングワイヤは、必然的に複数の半導体素子の積層厚を超えた部分を通過することになるため、このワイヤ配線の形状分だけ封止樹脂の厚さを厚くする必要がある。また、スタック型マルチチップパッケージを構成する上で、配線基板やリードフレーム等のパッケージ基体が必須の構成となる。このパッケージ基体の厚さもスタック型マルチチップパッケージ（半導体パッケージ）の厚さを厚くする要因となっている。

【0004】

さらに、従来のスタック型マルチチップパッケージにおいては、パッケージ作製後（樹脂封止後）にバーンイン（Burn-In）テスト等の信頼性評価試験を実施している。このため、半導体パッケージを構成する半導体素子の1つに初期不良や不具合が発生しても、半導体パッケージ全体が不良となる。半導体パッケージの歩留りは、各半導体素子の歩留りの積層数のべき乗で低下する。例えば、1素子当たりの歩留りが98%の半導体素子を、積層した後にバーンインテストを実施した場合、4層では積層後の歩留りが80%以下、6層では積層後の歩留りが0.07%にまで低下する。

【0005】

一方、特許文献1には2個の半導体素子をそれぞれのボンディングパッド形成面同士を対向させて配置した半導体パッケージが記載されている。しかしながら、ここでは各半導体素子のボンディングパッド形成面に絶縁層を形成し、さらに絶縁層の表面に金属配線を形成し、これら金属配線間を半田ボールで接続している。このため、半導体パッケージ自体の厚さを十分に薄くすることはできない。さらに、実装ボードと半導体パッケージとの接続は、2個の半導体素子間の隙間にボンディングワイヤを配置して実施している。この

10

20

30

40

50

点からも半導体パッケージの厚さが厚くなる傾向にある。

【特許文献1】特開2001-36000号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明の目的は、半導体素子を積層して封止する場合の封止材料の厚さ、ひいてはパッケージ自体の厚さを薄くすることができ、さらに歩留的に効率のよい積層数で信頼性評価試験を実施することを可能にした半導体装置とそれを用いた半導体パッケージを提供することにある。

【課題を解決するための手段】

【0007】

本発明の一態様に係る半導体装置は、第1の電極パッドが形成された電極形成面を有する第1の半導体素子と、第2の電極パッドが形成された電極形成面を有し、前記第1および第2の電極パッドがそれぞれ露出するように、前記電極形成面同士を対向させて前記第1の半導体素子と接着された第2の半導体素子と、前記第1および第2の半導体素子の外側に配置され、前記第1の電極パッドと第1のボンディングワイヤを介して接続された第1の接続端子と、前記第2の電極パッドと第2のボンディングワイヤを介して接続された第2の接続端子とを有する金属回路板と、前記第1および第2の接続端子の一部が露出するように、前記第1および第2の半導体素子と前記金属回路板とを封止する封止材料とを具備し、前記第1および第2の接続端子は、それぞれ厚さが前記第1および第2の半導体素子の積層厚と略同等もしくはそれより厚い外部接続端子と、前記第1および第2のボンディングワイヤを前記積層厚内に収容するように、前記外部接続端子から連続して形成された内部接続端子とを備えることを特徴としている。

【0008】

本発明の一態様に係る半導体パッケージは、半導体装置搭載部と、前記半導体装置搭載部の周辺に配置された接続パッドと、前記接続パッドと電気的に接続された実装端子とを有するパッケージ基体と、上記した本発明の態様に係る半導体装置であって、前記パッケージ基体の半導体装置搭載部に単体または複数個が積層された状態で搭載された半導体装置と、前記パッケージ基体の前記接続パッドと前記半導体装置の前記第1および第2の接続端子とを電気的に接続する接続部と、前記半導体装置を封止する封止材料とを具備することを特徴としている。

【発明の効果】

【0009】

本発明の一態様に係る半導体装置およびそれを用いた半導体パッケージによれば、積層された半導体素子を封止する封止材料の厚さ、ひいてはパッケージ自体の厚さを薄型化することができる。さらに、半導体装置の歩留的に効率のよい積層数で信頼性評価試験を実施することが可能となる。

【発明を実施するための最良の形態】

【0010】

以下、本発明を実施するための形態について、図面を参照して説明する。なお、以下では本発明の実施形態を図面に基づいて説明するが、それらの図面は図解のために提供されるものであり、本発明はそれらの図面に限定されるものではない。

【0011】

図1および図2は本発明の第1の実施形態による半導体装置の構成を示す図であり、図1はその平面図、図2は断面図である。これらの図に示す半導体装置1は第1の半導体素子2と第2の半導体素子3とを有している。第1の半導体素子2は一方の主面2a側に第1の電極パッド4が形成されている。同様に、第2の半導体素子3も一方の主面3a側に第2の電極パッド5が形成されている。各電極パッド4、5はそれぞれ半導体素子2、3の一端部側に配置されている。第1および第2の半導体素子2、3には、例えばNAND型フラッシュメモリのようなメモリ素子が適用されるが、これに限られるものではない。

10

20

30

40

50

【 0 0 1 2 】

第1および第2の半導体素子2、3は、それぞれの電極形成面（主面2 aおよび主面3 a）を対向させて積層されており、さらに電極形成面2 a、3 a同士が接着剤層6を介して接着されている。さらに、第1および第2の半導体素子2、3の電極形成面2 a、3 a同士を接着するにあたって、電極パッド4、5がそれぞれ露出するように、各半導体素子2、3の中心位置をずらして積層している。すなわち、第1の半導体素子2は第2の半導体素子3で電極パッド4が覆われないようにオフセットされて配置されており、その結果として第1の電極パッド4は上方に向けて露出している。第2の半導体素子3も同様であり、第2の電極パッド5は第1の電極パッド4とは反対側の下方に向けて露出している。

【 0 0 1 3 】

このように、第1および第2の半導体素子2、3の積層位置をずらすことによって、それぞれ電極形成面2 a、3 a同士を接着した上で、各電極パッド4、5を露出させている。さらに、第1および第2の半導体素子2、3の積層厚（接着剤層6の厚さを含む）がパッケージを構成する際の最大厚さと規定した場合においても、第1の電極パッド4の上方には第2の半導体素子3の厚さに相当する空間が生じる。同様に、第2の電極パッド5の上方（図中では下方）にも第1の半導体素子2の厚さに相当する空間が生じる。

【 0 0 1 4 】

上述した電極形成面2 a、3 a同士を接着した第1および第2の半導体素子2、3の外側には、銅合金、鉄ニッケル合金等からなる金属回路板7（7 A、7 B）が配置されている。第1の半導体素子2の電極形成側端部の外側に配置された金属回路板7 Aは、第1の半導体素子2と接続される第1の接続端子を構成している。第2の半導体素子3の電極形成側端部の外側に配置された金属回路板7 Bは、第2の半導体素子3と接続される第2の接続端子を構成している。

【 0 0 1 5 】

第1および第2の接続端子7 A、7 Bはそれぞれ段差形状を有しており、この段差形状に基づいて外部接続端子8と内部接続端子9とが形成されている。すなわち、第1および第2の接続端子7 A、7 Bは、それぞれ段差形状における肉厚部分（例えば金属回路板7の元厚部分）に外部接続端子8が形成されている。さらに、肉厚部分に相当する外部接続端子8から連続して段差状に薄肉化された部分に内部接続端子9が形成されている。これら接続端子7 A、7 Bの内部接続端子9は、それぞれ接続される電極パッド4、5と同方向に空間が生じるように薄肉化されている。

【 0 0 1 6 】

すなわち、第1の接続端子7 Aの内部接続端子9は、第1の電極パッド4の露出方向（図中上方）に段差部（段差のテラス部）が形成されるように、外部接続端子8から連続して段差状に薄肉化されており、第1の電極パッド4と同様に図中上方に空間が形成されている。また、第2の接続端子7 Bの内部接続端子9は、第2の電極パッド5の露出方向（図中下方）に段差部が形成されるように、外部接続端子8から連続して段差状に薄肉化されており、第2の電極パッド5と同様に図中下方に空間が形成されている。従って、第1および第2の接続端子7 A、7 Bの内部接続端子9は、それぞれ第1および第2の電極パッド4、5と同方向に向いていると共に、互いに逆方向に向けて形成されている。

【 0 0 1 7 】

段差形状を有する接続端子7 A、7 Bは、例えば以下のようにして作製することができる。すなわち、外部接続端子8に相当する金属回路板7の元厚部分に対して、外部接続端子8の部分を除いてハーフエッチングやコイニングを施して内部接続端子9を形成する。このようにして、外部接続端子8と内部接続端子9とを有する接続端子7 A、7 Bを作製する。金属回路板7の元厚は、第1および第2の半導体素子2、3の積層厚（接着剤層6の厚さを含む）に応じて設定する。すなわち、外部接続端子8の厚さをa、第1および第2の半導体素子2、3の各厚さをb、接着剤層6の厚さをcとしたとき、外部接続端子8の厚さに相当する金属回路板7の厚さaは $a = 2b + c$ の条件を満足させる。

【 0 0 1 8 】

金属回路板 7 の元厚部分にハーフエッチングやコイニング等の加工を施して内部接続端子 9 を形成するにあたって、ハーフエッチング量またはコイニング量 d は $d = b + c$ の条件を満足させることが好ましい。これによって、第 1 および第 2 の接続端子 7 A、7 B の内部接続端子 9 については、それぞれハーフエッチングやコイニング等で除去された部分に、少なくとも半導体素子 2、3 の厚さ b と接着剤層 6 の厚さ c の合計厚 ($b + c$) に相当する空間が形成される。このような外部接続端子 8 および内部接続端子 9 に対して Ag や Au 等のメッキを施して、第 1 および第 2 の接続端子 7 A、7 B として使用する。

【0019】

第 1 および第 2 の半導体素子 2、3 の電極パッド 4、5 と第 1 および第 2 の接続端子 7 A、7 B の内部接続端子 9 とは、それぞれハーフエッチングやコイニング等で除去された部分（空間）に配置されたボンディングワイヤ 10、11 を介して接続されている。すなわち、第 1 のボンディングワイヤ 10 は第 2 の半導体素子 3 の厚さ b と接着剤層 6 の厚さ c の合計厚 ($b + c$) に相当する空間内に收容されている。同様に、第 2 のボンディングワイヤ 11 は第 1 の半導体素子 2 の厚さ b と接着剤層 6 の厚さ c の合計厚 ($b + c$) に相当する空間内に收容されている。このように、第 1 および第 2 の半導体素子 2、3 はこれらの積層厚内に收容された第 1 および第 2 のボンディングワイヤ 10、11 を介して、それぞれ第 1 および第 2 の接続端子 7 A、7 B の内部接続端子 9 と接続されている。

10

【0020】

さらに、第 1 および第 2 の半導体素子 2、3 は金属回路板 7 の一部として形成されたダイパット部 12、13 に支持されている。第 1 のダイパット部 12 は第 1 の接続端子 7 A の内部接続端子 9 と逆方向からハーフエッチングやコイニング等で薄肉化されており、第 1 の半導体素子 2 の電極形成面 2 a に接着剤層 14 を介して接着されている。同様に、第 2 のダイパット部 13 は第 2 の接続端子 7 B の内部接続端子 9 と逆方向からハーフエッチングやコイニング等で薄肉化されており、第 2 の半導体素子 3 の電極形成面 3 a に接着剤層 15 を介して接着されている。第 1 および第 2 のダイパット部 12、13 は、それぞれ半導体素子 2、3 の電極パッド 4、5 の妨げとならない位置に配置されている。

20

【0021】

第 1 および第 2 のダイパット部 12、13 は、内部接続端子 9 の形成と同時にハーフエッチングやコイニング等を施して形成することができる。第 1 および第 2 の半導体素子 2、3 が同一形状の場合、ハーフエッチングやコイニング等による薄肉化は、内部接続端子 9 およびダイパット部 12、13 に合わせて両面から点対称となるように実施することが好ましい。そして、各外部接続端子 8 が露出するように、第 1 および第 2 の半導体素子 2、3 と金属回路板 7（第 1 および第 2 の接続端子 7 A、7 B）とを、封止材料として封止樹脂 16 で封止することによって、この実施形態の半導体装置 1 が構成されている。

30

【0022】

この実施形態の半導体装置 1 は、例えば以下のようにして作製される。半導体装置 1 の製造工程について、図 3、図 4 および図 5 を参照して説明する。まず、図 3 (a) および図 4 (a) に示すように、第 1 および第 2 の接続端子 7 A、7 B と第 1 および第 2 のダイパット部 12、13 とを有する金属回路板 7 を用意する。金属回路板 7 としては、例えば図 6 に示すようなリードフレーム 17 を使用することができる。図 6 に示すリードフレーム 17 は、接続端子 7 A、7 B およびダイパット部 12、13 が一体化されており、さらにこれら各部を有する装置形成領域を 4 連構造としたものである。

40

【0023】

上述した金属回路板 7（リードフレーム 17）の第 1 のダイパット部 12 上に、接着剤層 14 として絶縁性のダイアタッチ樹脂等を配置した後、第 1 の半導体素子 2 を搭載して接着する（図 3 (a) および図 4 (a)）。第 1 の半導体素子 2 は電極形成面 2 a が第 1 のダイパット部 12 に接着されるように配置する。このように、第 1 の半導体素子 2 を接着した金属回路板 7 を、図 3 (b) および図 4 (b) に示すように反転させた後、第 1 の半導体素子 2 上および第 2 のダイパット部 13 上にそれぞれ接着剤層 6、15 として絶縁性のダイアタッチ樹脂等を配置する。

50

【 0 0 2 4 】

次いで、図 3 (c) および図 4 (c) に示すように、第 1 の半導体素子 2 上に第 2 の半導体素子 3 をオフセットさせて搭載して接着する。第 2 の半導体素子 3 は接着剤層 6、15 を介して第 1 の半導体素子 2 および第 2 のダイパット部 13 に接着される。次に、図 3 (d) および図 5 (a) に示すように、第 1 の半導体素子 2 に対してワイヤボンディングを施す。さらに、図 3 (e) および図 5 (b) に示すように金属回路板 7 を反転させて、第 2 の半導体素子 3 に対してワイヤボンディングを施す。このようにして、第 1 および第 2 の半導体素子 2、3 の各電極パッド 4、5 と各接続端子 7 A の内部接続端子 9 とを、それぞれボンディングワイヤ 10、11 を介して接続する。

【 0 0 2 5 】

この後、図 3 (f) および図 5 (c) に示すように、第 1 および第 2 の半導体素子 2、3 と金属回路板 7 (第 1 および第 2 の接続端子 7 A、7 B) とを、例えば封止樹脂 (モールド樹脂) 16 でインジェクションモールドする。この際、接続端子 7 A、7 B の各外部端子 8 が露出するように封止樹脂 16 でモールドする。このようにして、第 1 および第 2 の半導体素子 2、3 と第 1 および第 2 の接続端子 7 A、7 B とを封止樹脂 16 で封止した後、リードフレーム 17 から各接続端子 7 A、7 B とダイパット部 12、13 をそれぞれ切り離すことによって、この実施形態の半導体装置 1 が作製される。

【 0 0 2 6 】

上述した実施形態の半導体装置 1 によれば、2 個の半導体素子 2、3 をオフセットさせて配置すると共に、それぞれの電極パッド 4、5 が露出するように、各電極形成面 2 a、3 a を対向させて積層しているため、2 個の半導体素子 2、3 の積層厚内で各半導体素子 2、3 に対してワイヤボンディングすることができる。さらに、各接続端子 7 A、7 B の内部接続端子 9 を、それぞれ電極パッド 4、5 の露出方向と同方向が薄肉化された段差形状としているため、電極パッド 4、5 と内部接続端子 9 とを接続するボンディングワイヤ 10、11 を 2 個の半導体素子 2、3 の積層厚内に容易に収容することができる。

【 0 0 2 7 】

接続端子 7 A、7 B はそれぞれ外部接続端子 8 を有し、かつこれら外部接続端子 8 を除いて接続端子 7 A、7 B と半導体素子 2、3 は封止樹脂 16 で封止されているため、この実施形態の半導体装置 1 は半導体パッケージとして直接使用することができる。従って、薄型化されたパッケージ構造を有する半導体装置 1 を提供することが可能となる。例えば、厚さ 60 μm の半導体素子 2、3 を厚さ 20 μm の接着剤層 6 で接着した場合、半導体装置 (半導体パッケージ) 1 の厚さは最大でも 150 μm 程度とすることができる。また、2 個の半導体素子 2、3 は膜厚方向に対して対称であるため、パッケージ構成材料間の熱伝導率の違い等に起因する反り等が生じることもない。

【 0 0 2 8 】

さらに、この実施形態の半導体装置 1 によれば、積層してパッケージングした 2 個の半導体素子 2、3 に対して、バーンイン (Burn-In) テスト等の信頼性評価試験を実施することができる。バーンインテストは半導体素子の積層数が増加するほど半導体パッケージとしての歩留りが低下するが、積層数が 2 個の半導体装置 (半導体パッケージ) 1 にバーンインテストを実施することによって、積層数に起因する歩留りの低下を抑制することができる。言い換えると、歩留的に効率のよい積層数でバーンインテストを実施することが可能な半導体装置 1 を提供することができる。

【 0 0 2 9 】

ここで、上述した実施形態では例えば図 3 (a) および図 4 (a) に示したように、第 1 の半導体素子 2 の短辺側のみを第 1 のダイパット部 12 で支持している。この場合、半導体装置 1 の製造工程における搬送時において、場合によっては第 1 の半導体素子 2 の支持構造等に不良が生じるおそれがある。このような点に対しては、例えば図 7 に示すように、L 字形の第 1 のダイパット部 12 を適用することが有効である。L 字形の第 1 のダイパット部 12 によれば、第 1 の半導体素子 2 の短辺と長辺が共に支持されるため、第 1 の半導体素子 2 の支持不良等を有効に抑制することができる。図 8 に示すように、第 2

10

20

30

40

50

のダイパッド部 1 3 についても L 字形状としてもよい。

【 0 0 3 0 】

次に、本発明の第 2 の実施形態による半導体装置について、図 9 ないし図 1 3 を参照して説明する。これらの図に示す半導体装置 2 0 は、金属回路板に薄型リードフレームを適用したものである。なお、前述した第 1 の実施形態と同一部分については同一符号を付し、その説明を一部省略する。

【 0 0 3 1 】

図 9 および図 1 0 は、第 1 の半導体素子 2 の電極形成面 2 a を支持する第 1 のダイパッド部 1 2 と、第 2 の半導体素子 3 と接続される第 2 の接続端子 2 1 とを有する第 1 の金属回路板 2 2 を示している。図 1 1 および図 1 2 は、第 2 の半導体素子 3 の電極形成面 3 a を支持する第 2 のダイパッド部 1 3 と、第 1 の半導体素子 2 と接続される第 1 の接続端子 2 3 とを有する第 2 の金属回路板 2 4 を示している。図 1 3 はこれら第 1 および第 2 の金属回路板 2 2、2 4 を適用した半導体装置 2 0 の製造工程を示している。

10

【 0 0 3 2 】

第 1 の金属回路板 2 2 は前述した第 1 の実施形態と同様に、ハーフエッチングやコイニング等で薄肉化された第 1 のダイパッド部 1 2 を有している。第 1 のダイパッド部 1 2 には接着剤層 1 4 を介して第 1 の半導体素子 2 が接着されている。さらに、第 1 の金属回路板 2 2 は第 1 のダイパッド部 1 2 と同方向からハーフエッチングやコイニング等で薄肉化された第 2 の接続端子 2 1 を有している。第 2 の接続端子 2 1 は第 2 の半導体素子 3 の電極パッド 5 と接続されるものであり、外部接続端子 8 と内部接続端子 9 とが一体化された構造を有している。

20

【 0 0 3 3 】

一方、第 2 の金属回路板 2 4 はハーフエッチングやコイニング等で薄肉化された第 2 のダイパッド部 1 3 を有している。第 2 のダイパッド部 1 3 には接着剤層 1 5 を介して第 2 の半導体素子 3 が接着されている。さらに、第 2 の金属回路板 2 4 は第 2 のダイパッド部 1 3 と同方向からハーフエッチングやコイニング等で薄肉化された第 1 の接続端子 2 3 を有している。第 1 の接続端子 2 3 は第 1 の半導体素子 2 の電極パッド 4 と接続されるものであり、外部接続端子 8 と内部接続端子 9 とが一体化された構造を有している。第 1 および第 2 の金属回路板 2 2、2 4 はそれぞれリードフレームとして準備される。

【 0 0 3 4 】

上述した第 1 および第 2 の金属回路板 2 2、2 4 は、図 1 3 (a) に示すように、半導体素子 2、3 の電極形成面 2 a、3 a 同士が対向するように積層する。この際、第 1 の半導体素子 2 上には接着剤層 6 として絶縁性のダイアタッチ樹脂等を配置しておく。そして、第 1 のダイパッド部 1 2 に支持された第 1 の半導体素子 2 と第 2 のダイパッド部 1 3 に支持された第 2 の半導体素子 3 とを接着する。次いで、図 1 3 (b) に示すように、第 1 および第 2 の半導体素子 2 に対して順にワイヤボンディングを施す。

30

【 0 0 3 5 】

この後、図 1 3 (c) に示すように、第 1 および第 2 の半導体素子 2、3 と第 1 および第 2 の金属回路板 2 2、2 4 とを、各接続端子 2 3、2 2 の一部を露出させつつ、例えば封止材料として封止樹脂（モールド樹脂）1 6 でインジェクションモールドする。このようにして、第 2 の実施形態の半導体装置 2 0 が作製される。半導体装置 2 0 は接続端子 2 3、2 1 の形状とリードフレームの構造（ダイパッド部と接続端子との関係等）が異なる以外は、第 1 の実施形態の半導体装置 1 と同様な構成並びに効果を示すものである。従って、薄型化されたパッケージ構造を有し、かつ歩留的に効率のよい積層数でバーンインテストを実施することが可能な半導体装置 2 0 を提供することが可能となる。

40

【 0 0 3 6 】

上述した第 1 および第 2 の実施形態の半導体装置 1、2 0 は、前述したように直接半導体パッケージとして使用することができる。図 1 4 ないし図 1 7 は前述した実施形態の半導体装置 1（または 2 0）を半導体パッケージとして使用し、実装ボード 3 1 に直接実装した状態を示している。図 1 4 は実装ボード 3 1 上に 1 個の半導体装置 1 を実装した状態

50

を示しており、半導体装置 1 の外部接続端子 9 と実装ボード 3 1 の実装パッド 3 2 とは半田ボールや半田ペースト等の接続材 3 3 を介して接続されている。このように、半導体装置 1 は 2 個の半導体素子 2、3 を積層したパッケージとして実装ボード 3 1 上に直接実装することができる。

【0037】

半導体パッケージとして使用する半導体装置 1 は、例えば図 1 5、図 1 6、図 1 7 に示すように、複数個を積層して実装ボード 3 1 上に実装することも可能である。図 1 5 は 4 個の半導体装置 1 を実装ボード 3 1 上に実装すると共に、各半導体装置 1 の外部接続端子 9 間と最下層の半導体装置 1 の外部接続端子 9 と実装パッド 3 2 との間を半田ボールや半田ペースト等の接続材 3 3 を介して接続した状態を示している。半導体装置 1 の外部接続端子 9 と実装パッド 3 2 との接続は、図 1 6 に示すようにボンディングワイヤ 3 4 を介して実施してもよい。さらに、図 1 7 に示すように、各半導体装置 1 間および半導体装置 1 と実装パッド 3 2 間を半田 3 5 で一体的に接続してもよい。

【0038】

第 1 および第 2 の実施形態の半導体装置 1、2 0 は、直接半導体パッケージとして使用する以外に、パッケージ素体として配線基板やリードフレーム等のパッケージ基体上に搭載し、これらによって半導体パッケージを構成することもできる。図 1 8 および図 1 9 は半導体装置 1 (または 2 0) をパッケージ素体として使用した半導体パッケージを示している。図 1 8 および図 1 9 に示す半導体パッケージ 4 0 は、実装端子として半田ボール 4 1 を有する配線基板 4 2 上に、2 個の半導体装置 1 を積層して搭載した構造を有している。各半導体装置 1 を構成する半導体素子 2、3 が例えば NAND 型フラッシュメモリの場合、半導体装置 1 上にはさらにコントローラ素子 4 3 を搭載することができる。

【0039】

配線基板 4 2 の接続パッド 4 4 と半導体装置 1 の外部接続端子 9 やコントローラ素子 4 3 の電極パッド 4 5 との間は、それぞれボンディングワイヤ 4 6 を介して接続されている。複数個の半導体装置 1 は封止樹脂 4 7 等の封止材料で一括して封止されている。なお、図 1 9 に示したように、積層された半導体装置 1 の外部接続端子 9 間は半田ペースト等の接続材 4 8 を介して接続してもよい。このような半導体パッケージ 4 0 によれば、半導体装置 1 自体が薄型化されていることに加えて、半導体装置 1 間の接着に要する厚さも薄くすることができるため、パッケージ全体として薄型化することが可能となる。さらに、予め半導体装置 1 の段階でバーンインテストを実施することができるため、半導体パッケージ 4 0 の歩留りを向上させることができる。

【0040】

なお、本発明は上記した実施形態に限定されるものではなく、2 個の半導体素子を電極形成面同士を対向させて積層した各種形状の半導体装置、さらにそのような半導体装置をパッケージ基体上に搭載して構成した各種のスタック型半導体パッケージに適用することができる。そのような半導体装置や半導体パッケージも本発明に含まれるものである。また、本発明の実施形態は本発明の技術的思想の範囲内で拡張もしくは変更することができるため、この拡張、変更した実施形態も本発明の技術的範囲に含まれるものである。

【図面の簡単な説明】

【0041】

【図 1】本発明の第 1 の実施形態による半導体装置の構成を示す平面図である。

【図 2】図 1 に示す半導体装置の断面図である。

【図 3】図 1 に示す半導体装置の製造工程を示す断面図である。

【図 4】図 1 に示す半導体装置の製造工程を示す平面図である。

【図 5】図 4 に続く半導体装置の製造工程を示す平面図である。

【図 6】本発明の第 1 の実施形態による半導体装置の製造工程に使用するリードフレームの一構成例を示す平面図である。

【図 7】図 1 に示す半導体装置の変形例を示す平面図である。

【図 8】図 1 に示す半導体装置の他の変形例を示す平面図である。

【図 9】本発明の第 2 の実施形態による半導体装置に使用される第 1 の金属回路板とそれに接着された第 1 の半導体素子を示す平面図である。

【図 10】図 9 に示す第 1 の金属回路板および第 1 の半導体素子の断面図である。

【図 11】本発明の第 2 の実施形態による半導体装置に使用される第 2 の金属回路板とそれに接着された第 2 の半導体素子を示す平面図である。

【図 12】図 11 に示す第 2 の金属回路板および第 2 の半導体素子の断面図である。

【図 13】本発明の第 2 の実施形態による半導体装置の構成とその製造工程を示す断面図である。

【図 14】本発明の実施形態による半導体装置を実装ボード上に実装した状態を示す断面図である。

10

【図 15】本発明の実施形態による半導体装置を実装ボード上に実装した他の状態を示す断面図である。

【図 16】本発明の実施形態による半導体装置を実装ボード上に実装したさらに他の状態を示す断面図である。

【図 17】本発明の実施形態による半導体装置を実装ボード上に実装したさらに他の状態を示す断面図である。

【図 18】本発明の実施形態による半導体装置をパッケージ素体として使用した半導体パッケージの構成を示す断面図である。

【図 19】本発明の実施形態による半導体装置をパッケージ素体として使用した半導体パッケージの他の構成を示す断面図である。

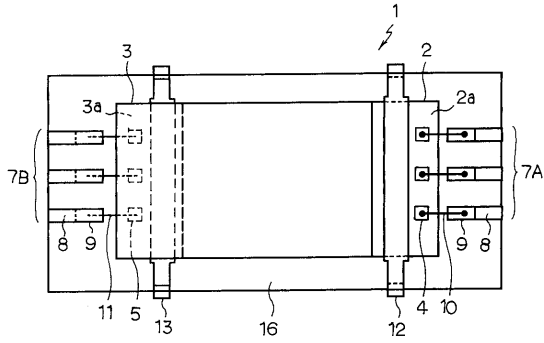
20

【符号の説明】

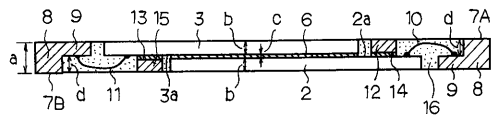
【0042】

1 ... 半導体装置、2 ... 第 1 の半導体素子、3 ... 第 2 の半導体素子、4 ... 第 1 の電極パッド、5 ... 第 2 の電極パッド、6, 14, 15 ... 接着剤層、7 ... 金属回路板、7A ... 第 1 の接続端子、7B ... 第 2 の接続端子、8 ... 外部接続端子、9 ... 内部接続端子、10 ... 第 1 のボンディングワイヤ、11 ... 第 2 のボンディングワイヤ、12 ... 第 1 のダイパッド部、13 ... 第 2 のダイパッド部、16 ... 封止樹脂、22 ... 第 1 の金属回路板、24 ... 第 2 の金属回路板、31 ... 実装ボード、32 ... 実装パッド、33 ... 接続材、40 ... 半導体パッケージ、41 ... 実装端子、42 ... 配線基板、44 ... 接続パッド。

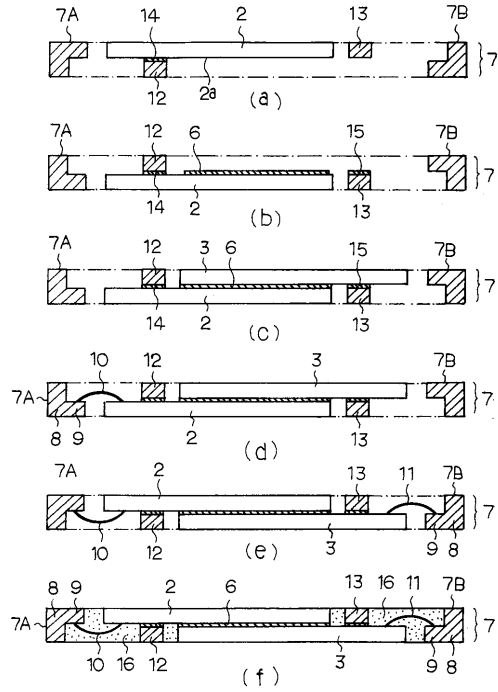
【図1】



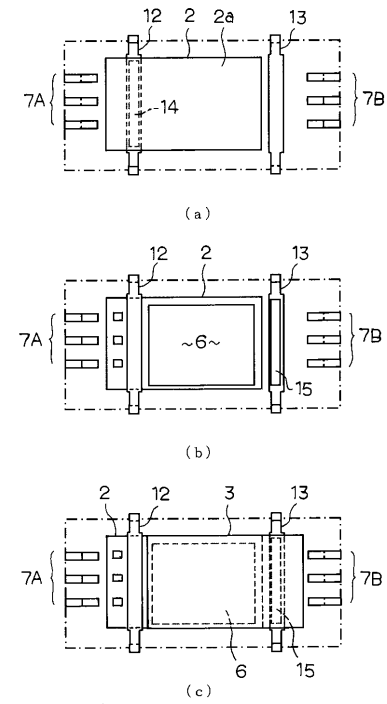
【図2】



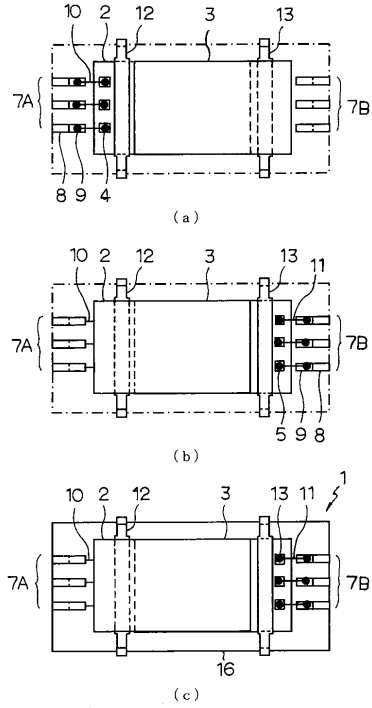
【図3】



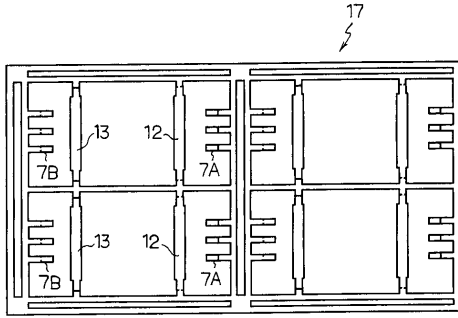
【図4】



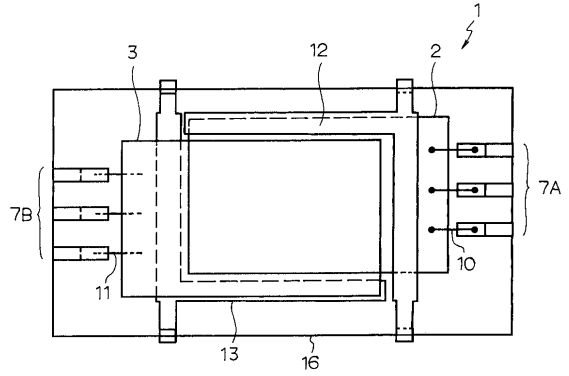
【図5】



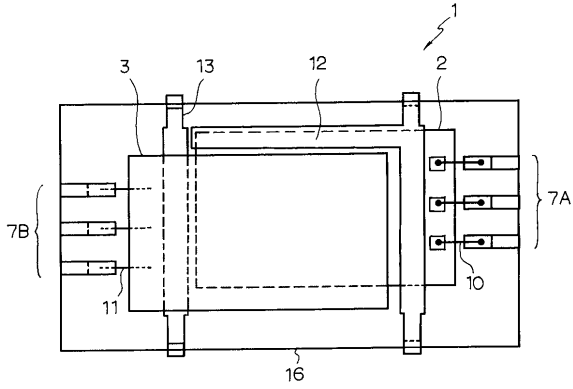
【図 6】



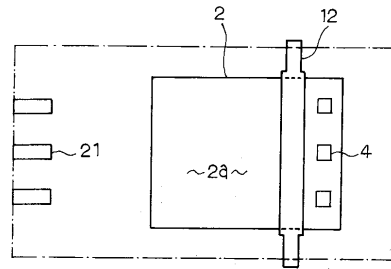
【図 8】



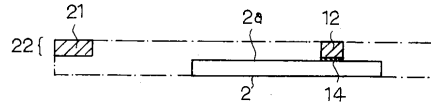
【図 7】



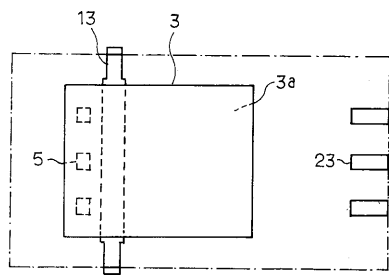
【図 9】



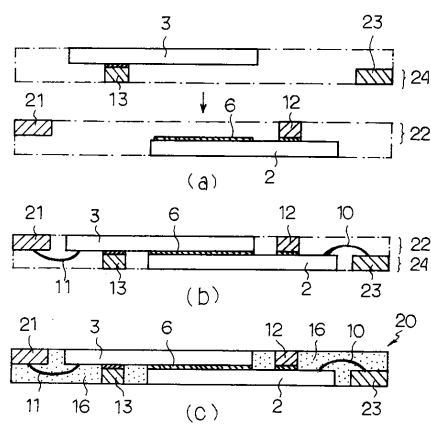
【図 10】



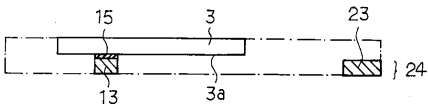
【図 11】



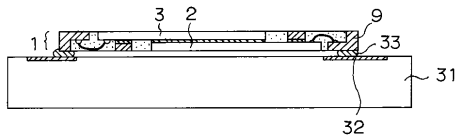
【図 13】



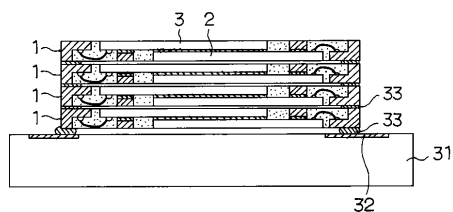
【図 12】



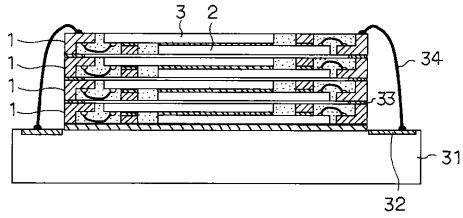
【図 14】



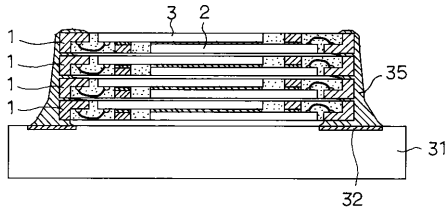
【図 15】



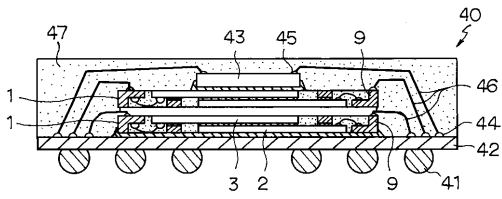
【図16】



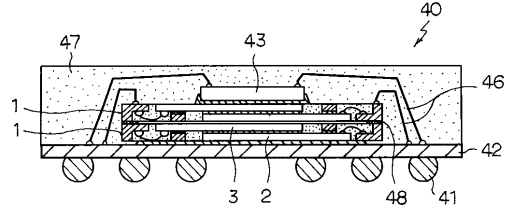
【図17】



【図18】



【図19】



フロントページの続き

(72)発明者 松嶋 良二

三重県四日市市山之色町800番地 株式会社東芝 四日市工場内

審査官 酒井 英夫

(56)参考文献 特開2001-274316(JP,A)

特開2002-237565(JP,A)

特開2005-209882(JP,A)

特開2003-249604(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/00 - 25/18, 23/50