

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 02.10.00.

30 Priorité : 01.10.99 US 09410569.

43 Date de mise à la disposition du public de la  
demande : 10.08.01 Bulletin 01/32.

56 Liste des documents cités dans le rapport de  
recherche préliminaire : *Ce dernier n'a pas été  
établi à la date de publication de la demande.*

60 Références à d'autres documents nationaux  
apparentés :

71 Demandeur(s) : SCHLUMBERGER TECHNOLOGIES  
INC — US.

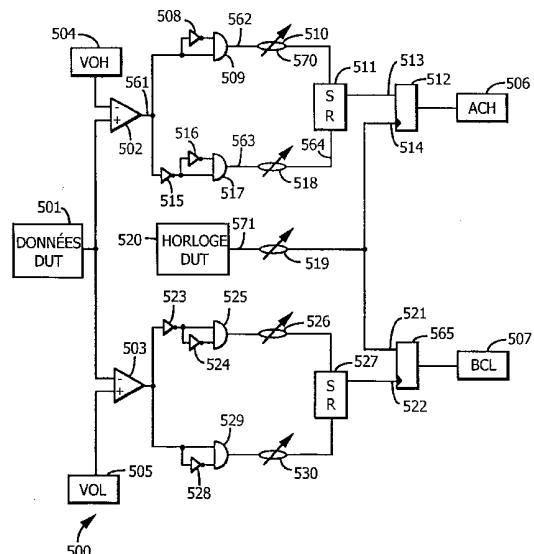
72 Inventeur(s) : GARCIA RODOLFO F.

73 Titulaire(s) :

74 Mandataire(s) : REGIMBEAU.

54 METHODE DE TEST ET APPAREIL AUX SIGNAUX SYNCHRONES DE SOURCE.

57 Procédé et dispositif associé pour tester des dispositifs délivrant en sortie des signaux synchrones de source utilisant un outillage de test automatisé ("ATE"). Un signal de données de sortie et un signal d'horloge de sortie d'un tel dispositif synchrone de source en cours de test sont retardés en utilisant un réseau de retard. Le retard fournit le temps nécessaire pour corriger le désalignement des erreurs de chemin et pour retenir et répartir le signal d'horloge de sortie. Le signal de données de sortie semble relativement stable pour l'ATE par la lecture du signal de sortie en utilisant le signal d'horloge de sortie.



## CONTEXTE DE L'INVENTION

### 1. DOMAINE DE L'INVENTION

La présente invention concerne des procédés et des circuits pour le test de dispositifs électroniques.

### 5 2. DESCRIPTION DE L'ART ASSOCIÉ

Pour s'assurer de la qualité et de la fonctionnalité de dispositifs électroniques, tels que des transistors dans un circuit intégré, les dispositifs sont testés à diverses étapes de la fabrication. Le test est habituellement effectué en utilisant un outillage de test automatique ("ATE"). L'ATE injecte des signaux de test sur les broches d'entrée du dispositif en cours de test ("DUT") et surveille la sortie correspondante. La sortie du DUT est ensuite comparée à une valeur connue ou attendue pour déterminer si le DUT fonctionne conformément à ses spécifications.

À mesure que la géométrie du dispositif (dimensions caractéristiques) devient plus petite, les signaux de sortie des dispositifs deviennent plus rapides d'une manière correspondante et, malheureusement, deviennent également plus "instables". La gigue est introduite par les effets de couplage du bruit à l'intérieur des dispositifs et est aggravée par des tensions de seuil des transistors plus basses et des transitoires de courant importantes pendant la commutation.

20 En outre, lors de l'utilisation de boîtiers de circuits intégrés de faible masse thermique, des variations instantanées de la température du moulage de semi-conducteur peuvent survenir et faire varier le séquençement des signaux de sortie.

Pour atténuer les problèmes de gigue, les fabricants de dispositifs ont eu recours à des architectures dans lesquelles un signal d'horloge de sortie est fourni avec un signal de données de sortie. Ainsi, le transfert de données est synchronisé par un signal d'horloge provenant du dispositif source et non par un signal d'horloge commun à tous les dispositifs du système. De tels signaux de sortie sont appelés signaux synchrones de source. Les signaux synchrones de source sont utilisés dans une diversité de dispositifs comportant des interfaces RAMBUS directes ("RAC") et des microprocesseurs de hautes performances.

30 La Figure 1 représente des formes d'ondes pour des signaux synchrones de source 100 constituées d'un signal d'horloge de sortie 101 et d'un signal de

données de sortie correspondant 102, telles qu'elles sont "vues" par un dispositif récepteur pendant un fonctionnement normal. Puisque le dispositif récepteur lit le signal de données de sortie 102 en fonction du signal d'horloge 101, une gigue de données très faible est vue par le dispositif récepteur.

5 Bien que les signaux synchrones de source soient relativement stables pendant un fonctionnement normal, des problèmes de gigue apparaissent souvent pendant le test du dispositif. La Figure 2 représente, sur un schéma fonctionnel de haut niveau, les parties appropriées d'un système ATE typique de l'art antérieur. L'ATE 200 est configuré pour tester un DUT 204,  
10 dispositif synchrone de source. L'ATE 200 comporte des générateurs de stimuli 201, une logique de lecture/comparaison 202, une horloge maître 203 et d'autres parties classiques non représentées. Les générateurs de stimuli 201 injectent des signaux de test dans le DUT 204. Les signaux de sortie résultants provenant du DUT 204 sont lus et comparés à une valeur attendue  
15 par la logique de lecture/comparaison 202. En raison du fait que l'échantillonnage des signaux de test dans le DUT 204 et la lecture des signaux de sortie résultants sont effectués par rapport à l'horloge maître 203 et non par rapport au signal d'horloge de sortie du DUT 204, aussi bien le signal de données de sortie que le signal d'horloge de sortie provenant du DUT 204  
20 apparaissent instables pour l'ATE 200. La Figure 3 représente le signal de données de sortie 102 et le signal d'horloge de sortie 101 provenant du DUT 204, tels qu'ils sont vus par l'ATE 200 par rapport aux signaux de l'horloge maître 203. La gigue dans le signal de données 201 et le signal d'horloge 101 peut produire des lectures erronées qui rendent les résultats des tests non  
25 fiables ou nécessitent des exigences de transmission (appelées également "bandes de garde") très étroites sur l'ATE, avec une perte consécutive de rendement. En outre, la gigue rend le test des relations de séquençement difficile, telles que les temps d'établissement et de maintien, entre le signal de données 102 et le signal d'horloge 101. Ainsi, un procédé et un dispositif  
30 pour un test fiable de dispositifs synchrones de source sont hautement souhaitables.

## RÉSUMÉ

La présente invention est orientée vers un procédé et un dispositif associé pour le test de dispositifs synchrones de source utilisant un ATE. Un signal de données de sortie et un signal d'horloge de sortie d'un dispositif synchrone de source sont retardés en utilisant un réseau de retard programmable. Le retard  
5 fournit le temps nécessaire pour corriger le désalignement des erreurs de chemin et pour retenir et répartir le signal d'horloge de sortie. Le signal de données de sortie semble relativement stable pour l'ATE par la lecture du signal de données de sortie en utilisant le signal d'horloge de sortie.

## 10 BRÈVE DESCRIPTION DES DESSINS

- La Figure 1 représente des signaux de données et d'horloge provenant d'un dispositif synchrone de source à mesure que les signaux apparaissent à un dispositif récepteur.
- La Figure 2 est un schéma synoptique d'un ATE de l'art antérieur.
- 15 — La Figure 3 représente des signaux de données et d'horloge provenant d'un dispositif synchrone de source à mesure que les signaux apparaissent à un ATE de l'art antérieur.
- La Figure 4 représente un circuit d'étage d'entrée de l'art antérieur.
- La Figure 5 représente un circuit d'étage d'entrée selon un premier mode de réalisation de la présente invention.
- 20 — La Figure 6 représente un chronogramme pour le circuit représenté sur la Figure 5.
- La Figure 7 représente un circuit d'étage d'entrée selon un deuxième mode de réalisation de la présente invention.
- 25 — La Figure 8 représente un circuit d'étage d'entrée selon un troisième mode de réalisation de la présente invention.
- La Figure 9 représente un chronogramme pour le circuit représenté sur la Figure 8.
- La Figure 10 représente un chronogramme illustrant des temps  
30 d'établissement et de maintien.

### DESCRIPTION DÉTAILLÉE

La présente invention est orientée vers un procédé et un dispositif associé pour le test de dispositifs synchrones de source utilisant un ATE. L'invention peut être utilisée dans une diversité d'ATE, y compris l'outillage de test automatisé ITS 9000 de Schlumberger Technologies Inc. de San Jose, California. L'invention peut être utilisée, par exemple, dans l'étage d'entrée (appelé également "Pin Electronics") ou circuit de comparaison d'un ATE.

La Figure 4 représente un circuit d'étage d'entrée d'un ATE typique de l'art antérieur. Un tel circuit d'étage d'entrée est utilisé, par exemple, sur les bornes d'entrée d'un DUT 204 de la logique de lecture/comparaison 202 de l'ATE 200 (Figure 2). En se référant à la Figure 4, un signal de données 401 provenant d'un dispositif synchrone de source est reçu par des comparateurs 402 et 403. Le comparateur 402 compare le signal de données 401 à une tension de référence VOH ("tension de sortie haute") 404. Si le signal de données 401 est supérieur à VOH 404, le signal de sortie ACH 406 ("canal A HAUT") est à un niveau logique HAUT ; sinon, ACH 406 est au niveau BAS. Le circuit constitué de VOH 404, 402 et ACH 406 est utilisé pour tester l'état logique HAUT du signal 401. On peut par exemple, faire varier VOH 404 en utilisant une source de tension programmable pour vérifier le niveau auquel ACH 406 ne parvient pas à atteindre le niveau logique HAUT même si le signal 401 est à l'état HAUT. De façon similaire, VOL ("tension de sortie basse") 405 peut être réglée pour déterminer le niveau de tension auquel le signal de sortie BCL ("canal B BAS") ne parvient pas à atteindre le niveau BAS même lorsque le signal de données 401 est à l'état BAS. ACH 406 (ou BCL 407) n'est pas retenu et ne reste dans son état logique présent que tant que le signal 401 n'effectue pas de transition. ACH 406 (ou BCL 407) est ensuite échantillonné (c'est-à-dire lu) dans une logique de comparaison (non représentée) en utilisant un signal d'horloge provenant de l'ATE. ACH 406 est ensuite comparé à une valeur attendue qui est basée sur les signaux d'entrée du DUT produits par l'ATE. Puisque ACH 406 n'est pas lu en utilisant le signal d'horloge de sortie du DUT, ACH 406 apparaît instable pour l'ATE. Il est possible que ACH 406 soit échantillonné pendant la gigue, auquel cas la lecture de ACH 406 est non fiable.

La Figure 5 représente un circuit d'étage d'entrée 500 pour un ATE selon la présente invention. Lorsque le signal de données du DUT 501 provenant d'un DUT de source synchrone est à l'état HAUT, le signal de données du DUT 501 est comparé à une tension de référence VOH 504 par le comparateur 502. VOH 504 peut être un signal de sortie d'un convertisseur numérique-analogique ou une alimentation programmable. VOH 504 est utilisé pour tester le niveau de tension logique HAUT du signal de données 501. Lorsque le signal de données 501 devient supérieur à VOH 504, le signal de sortie 561 du comparateur 502 passe à l'état HAUT. L'inverseur 508 et la porte ET 509 constituent un circuit générateur d'impulsion à front montant pour convertir la sortie à l'état HAUT du comparateur 502 en une impulsion étroite allant dans le sens positif. L'impulsion étroite est retardée par un réseau de retard programmable 510 avant de déclencher l'entrée de positionnement ou "S" d'une bascule S-R 511, de façon à présenter un niveau logique HAUT à l'entrée 513 du verrou 512. Le réseau de retard programmable peut être un élément de retard classique convenable quelconque ou des combinaisons de ceux-ci.

Tandis que le signal de données 501 se propage par le chemin défini par le comparateur 502, le réseau de retard 570 et le verrou 512, un signal d'horloge de DUT 520 provenant du DUT de source synchrone est retenu (non représenté) et appliqué sur la borne d'entrée 571 du réseau de retard programmable 519. Après un certain retard, le signal d'horloge 520 échantillonne le signal de données retardé 501 dans le verrou 512 en déclenchant la borne d'entrée d'horloge 514, ce qui a pour conséquence que ACH 506 passe à l'état HAUT.

Avant le cycle d'horloge de DUT suivant, ACH 506 est échantillonné dans un circuit comparateur (non représenté) pour comparaison avec une valeur attendue. Lorsque le signal de données du DUT 501 descend au-dessous de VOH 504, le chemin de signal par le comparateur 502, un circuit générateur d'impulsion à front descendant constitué d'inverseurs 515 à 516 et d'une porte ET 517 et un réseau de retard programmable 518, agit de façon similaire, pour fournir une entrée à l'état BAS au verrou 512. La Figure 6 représente un chronogramme qui résume la séquence logique susmentionnée pour chaque signal approprié de la Figure 5.

Le circuit de production de BCL 507, qui est utilisé pour tester l'état logique BAS du signal de données 501 est analogue au circuit de production de ACH 506. Le chemin défini par un comparateur 503, un générateur d'impulsion à front descendant constitué d'inverseurs 523 à 524 et d'une porte ET 525 et un réseau de retard programmable 526, fournit un signal de données de DUT retardé 501 pour positionner la bascule S-R 527 lorsque le signal de données de DUT 501 est inférieur à une tension de référence VOL 505 (c'est-à-dire que le signal de données 501 est à l'état BAS). Le signal de sortie résultant à l'état HAUT de la bascule S-R 527 est retenu dans le verrou 565 par le signal d'horloge du DUT retardé 520. Lorsque le signal de données du DUT 501 devient supérieur à VOL 505 (c'est-à-dire que le signal de données 501 est supérieur au niveau de sortie BAS minimal acceptable), le comparateur 503, un générateur d'impulsion à front montant constitué d'un inverseur 528 et d'une porte ET 529 et un réseau de retard programmable 530 fournissent un signal de données de DUT retardé 501 pour réinitialiser la bascule S-R 527, de manière à bloquer un état BAS dans le verrou 565 lorsque le signal d'horloge retardé du DUT 520 déclenche la borne d'entrée d'horloge 521.

Par contraste net avec les procédés et circuits de l'art antérieur, ACH 506 (ou BCL 507) est produit par un signal de données d'échantillonnage 501 utilisant le signal d'horloge du DUT 520 et non le signal d'horloge ATE. En d'autres termes, ACH 506 représente l'état logique du signal 501 par rapport au signal d'horloge du DUT 520. Puisque ACH 506 est retenu en utilisant un verrou 512, c'est un signal stable qui peut être échantillonné dans un circuit comparateur en utilisant le signal d'horloge ATE à tout moment avant le cycle d'horloge de DUT suivant.

Des réseaux de retard programmables 510, 518, 519, 526 et 530 sont utilisés pour corriger le désalignement des erreurs de chemin des données et de l'horloge de sortie du DUT . Ces erreurs de chemin peuvent être des erreurs de chemin de monture de test, des erreurs de retard de comparateur et des différences de retard de propagation entre les générateurs d'impulsion sur front montant et descendant. En outre, les réseaux de retard fournissent le retard nécessaire pour retenir et répartir l'horloge du DUT 520 vers tous les circuits de l'étage d'entrée connectés aux signaux de données du DUT.

Naturellement, le retard de propagation maximal à travers le circuit 500 doit être inférieur à la période du signal d'horloge du DUT 520 ; sinon, le signal d'horloge du DUT 520 perd la cohérence avec le signal de données 501 et ceci nécessite donc un aménagement pipeliné de sortance et de répartition d'horloge plus complexe pour faire correspondre chaque donnée du DUT avec le front d'horloge du DUT convenable. Pour tester des dispositifs à grande vitesse, le circuit 500 est, de préférence, mis en oeuvre dans un circuit intégré.

Dans ce mode de réalisation, les réseaux de retard sont étalonnés de façon que le signal de données du DUT 501 et le signal d'horloge du DUT 520 parviennent sur les bornes d'entrée du verrou 512 (ou du verrou 565) avec la même relation temporelle que lorsqu'ils ont été produits à l'origine par le DUT. Les réseaux de retard sont réglés, de préférence, pour se trouver au milieu de leur plage de retard programmable pour admettre une certaine souplesse dans la modification des retards pour prendre en compte des exigences de séquençement de DUT différentes. Lorsque les réseaux de retard sont étalonnés, le circuit de l'étage d'entrée 500 peut être utilisé pour tester les temps d'établissement et de maintien. Le test du temps d'établissement implique la vérification du fait que le DUT fournisse des signaux de données valides pendant un temps minimum spécifié avant que l'horloge du DUT effectue une transition pour satisfaire aux exigences de temps d'établissement d'un dispositif récepteur (non représenté). En se référant à la Figure 10, le temps d'établissement positif  $t_{\text{setup}}$  est une période de temps avant que le signal d'horloge du DUT 1010 effectue une transition de l'état HAUT à l'état BAS. Pour tester le temps d'établissement positif, lorsque les données attendues du DUT sont à l'état HAUT, un retard égal au temps d'établissement  $t_{\text{setup}}$  est ajouté au retard étalonné du réseau de retard 510 (Figure 5). Le même temps d'établissement est ajouté au retard étalonné du réseau de retard 526 si les données attendues du DUT sont à l'état BAS. En retardant les données du DUT d'une quantité égale au temps d'établissement et en échantillonnant la sortie du verrou 512, on peut déterminer si le signal de données du DUT, dont on s'attend qu'il soit à l'état haut, est parvenu à l'entrée du verrou 512  $t_{\text{setup}}$  secondes avant que l'horloge du DUT effectue une transition.

Le temps de maintien implique la vérification du fait que le signal de données du DUT reste valide pendant un temps spécifié après que l'horloge du

DUT effectue une transition pour satisfaire aux exigences de temps de maintien du dispositif récepteur (non représenté). En se référant à la Figure 10, le temps de maintien  $t_{hold}$  est une période de temps après que le signal d'horloge du DUT 1010 effectue une transition de l'état HAUT à l'état BAS. Pour tester le temps de maintien positif, lors de l'attente d'un signal de données du DUT à l'état HAUT, un retard égal au temps d'établissement  $t_{setup}$  moins le temps de maintien  $t_{hold}$  est ajouté au retard étalonné du réseau de retard 518 (et 530 si l'on s'attend à un signal de données du DUT à l'état BAS).

$$(Éq. 1) \text{ Retard } 518 = \text{Retard}_{\text{étalonné}} + t_{setup} - t_{hold}$$

10 Le temps d'établissement  $t_{setup}$  est ajouté au retard étalonné 518 pour compenser le retard  $t_{setup}$  qui a été ajouté au réseau de retard 510 pendant l'exécution du test du temps d'établissement. Le temps de maintien  $t_{hold}$  est soustrait du retard étalonné pour déterminer si l'état de données attendu du DUT, qui est l'état HAUT dans cet exemple, reste valide pendant  $t_{hold}$   
 15 secondes après que le signal d'horloge du DUT a effectué une transition. Lorsque le réseau de retard 518 possède le retard convenable pour le test du temps de maintien, on ordonne au DUT que ses données de DUT effectuent une transition de l'état HAUT à l'état BAS. Si le signal de données du DUT reste valide pendant une période égale au temps de maintien,  $t_{hold}$  après que le  
 20 signal d'horloge du DUT a effectué une transition, un état HAUT est retenu dans le verrou 512 ; sinon, un état BAS est retenu.

Cette approche peut également être mise en oeuvre en utilisant une combinaison de techniques analogiques et numériques. La Figure 7 représente un circuit d'étage d'entrée 700 pour un ATE selon la présente invention. Un comparateur 702 teste le niveau de tension logique HAUT du signal de données du DUT 701 en le comparant à une tension de référence VOH 704.  
 25 Si le signal de données 701 est supérieur à VOH 704, le comparateur 702 délivre en sortie un état HAUT, ce qui déclenche un générateur d'impulsion à front montant 703 qui est constitué d'un inverseur 740 et d'une porte ET  
 30 741. En réponse, le générateur d'impulsion à front montant 703 produit une impulsion étroite qui est retardée par un réseau de retard programmable 725. Comme dans le circuit 500, des réseaux de retard programmables sont utilisés pour corriger le désalignement des erreurs de chemin et pour fournir du temps

supplémentaire pour retenir et répartir l'horloge du DUT 709. L'impulsion étroite provenant du générateur d'impulsion à front montant 703 réinitialise également une bascule S-R 720, comme représenté par une ligne en tirets 719. Ceci indique au montage (non représenté) qui surveille BCL 721 que le signal de données 701 est à l'état HAUT. La sortie du réseau de retard 725 déclenche un générateur de rampe classique 706 pour démarrer la production d'un signal en rampe. Les comparateurs 714 et 715 comparent le signal en rampe à des tensions de référence Vlate 708 et Vearly 707. Puisque les entrées 717 et 716 de la porte ET 712 sont à l'état HAUT seulement pendant une période durant laquelle le signal en rampe a un niveau de tension compris entre Vearly 707 et Vlate 708, le générateur de rampe 706 fournit en fait un retard supplémentaire qui peut être déterminé en réglant Vearly 707 et Vlate 708. Tandis que les entrées 716 et 717 sont toutes deux à l'état HAUT, le signal d'horloge du DUT 709 arrive et applique un niveau logique HAUT sur la borne d'entrée 718 après un retard à travers un réseau de retard programmable 724, ce qui a pour conséquence que la porte ET 712 délivre en sortie un état HAUT. Puisque les sorties à l'état HAUT des comparateurs 714 et 715 représentent un signal de données retardé 701, l'aiguillage des sorties des comparateurs avec le signal d'horloge du DUT 709 a pour conséquence que le signal de sortie de la porte ET 712 se trouve dans l'état logique du signal de données 701 par rapport au signal d'horloge du DUT 709. Ceci évite le problème de gigue associé aux techniques de l'art antérieur. La sortie à l'état HAUT de la porte ET 712 positionne la bascule S-R 713, retenant ainsi ACH 722 pendant une lecture qui suit dans un circuit comparateur utilisant le signal d'horloge ATE. Le signal d'horloge du DUT 709, après un retard à travers les réseaux de retard fixe 710 et 747, réinitialise les générateurs de rampe 706 et 746 pendant le signal de données de DUT suivant.

Le circuit pour produire BCL 721 est analogue au circuit pour produire ACH 722 (Figure 7) décrit ci-dessus. Lorsque le signal de données du DUT 701 est inférieur à la tension de référence VOL 705 (c'est-à-dire que le signal de données 701 est à l'état BAS), le comparateur 760 délivre en sortie un état HAUT et déclenche un générateur d'impulsion à front descendant 723 constitué d'inverseurs 742-743 et d'une porte ET 744. Le générateur

d'impulsion à front descendant 723 délivre en sortie une impulsion étroite qui est retardée par un retard programmable 745 avant de déclencher un générateur de rampe 746 pour délivrer en sortie un signal en rampe. Lorsque le niveau du signal en rampe est compris entre les tensions de référence Vearly  
5 749 et Vlate 748, les comparateurs 750 et 751 délivrent en sortie un état HAUT sur les bornes d'entrée d'une porte ET 752. Le signal d'horloge retardé du DUT 709 parvient sur une borne d'entrée de la porte ET 752 et transmet les signaux de sortie à l'état HAUT des comparateurs 750-751, qui  
10 représentent un signal d'horloge de DUT retardé 701, de manière à provoquer la sortie par la porte ET 752 d'un état HAUT. Ceci entraîne le positionnement de la bascule S-R 720 et le passage à l'état HAUT de BCL 721, indiquant que le signal de données du DUT 701 est à l'état BAS. Comme indiqué par la ligne en tirets 753, le générateur d'impulsion à front descendant 723 réinitialise également la bascule S-R 713 pour indiquer au  
15 circuit (non représenté) qui surveille ACH 722 que le signal de données du DUT 701 est à l'état BAS.

L'étage d'entrée 800 représenté sur la Figure 8 est un étage d'entrée d'ATE dans un autre mode de réalisation de la présente invention. Dans le circuit 800, le comparateur 702, le générateur d'impulsion à front montant  
20 703, le réseau de retard programmable 725 et le générateur de rampe 706 agissent comme dans le circuit 700 décrit ci-dessus. Un signal en rampe provenant du générateur de rampe 706 est comparé à une tension de référence VTH 810. Un comparateur 803 délivre en sortie un état HAUT sur une borne d'entrée d'une porte ET 811 lorsque le signal de rampe dépasse  
25 VTH 810. En réglant VTH 810, l'arrivée d'une entrée à l'état HAUT sur la porte ET 811 peut être retardée. Ceci ajoute effectivement un retard supplémentaire au signal de données 701. Le signal de données retardé 701 qui apparaît sous la forme d'une entrée à l'état HAUT vers la porte ET 811 est aiguillé en utilisant le signal d'horloge du DUT 709 qui est retardé par un  
30 réseau de retard programmable 724. Le générateur de rampe 706 est également réinitialisé par le signal d'horloge du DUT 709 à travers un réseau de retard fixe 710. Un signal de données à l'état HAUT 701 et une horloge de DUT à l'état HAUT 709 sur les bornes d'entrée de la porte ET 811 provoquent la réinitialisation de la bascule S-R 713. L'ACH résultant 722 est,

en conséquence, un signal stable qui représente l'état du signal de données du DUT 701 par rapport au signal d'horloge du DUT 709. Dans le cas où le signal de données du DUT 701 est inférieur à V<sub>OH</sub> 704, le comparateur 702 délivre en sortie un état BAS qui a pour conséquence une impulsion étroite retardée au point 8. Le retard fourni par le réseau de retard programmable 806 est le même que celui du réseau de retard 725, comme indiqué par la ligne en tirets 812. L'impulsion étroite au point 8 déclenche le générateur de rampe 802 de manière à délivrer en sortie un signal en rampe. Lorsque le signal en rampe augmente au-dessus de V<sub>TH</sub> 810, la sortie du comparateur 804 passe à l'état HAUT et est présentée à la borne d'entrée de réinitialisation de la bascule S-R 713, par l'intermédiaire d'un circuit de commande 805. Ceci entraîne le passage de ACH 722 à l'état BAS, ce qui est approprié car le circuit pour BCL 721, et pas ACH 722, est principalement utilisé lorsque le signal de données du DUT attendu est à l'état BAS. L'état logique HAUT sur l'entrée de réinitialisation de la bascule S-R 713 réinitialise le générateur de rampe 802 par l'intermédiaire d'un générateur d'impulsion à front montant 813. La Figure 9 représente un chronogramme pour le circuit 800. Comme dans les circuits 500 et 700, les retards dans le circuit 800 sont utilisés pour corriger le désalignement des erreurs de signal de chemin et pour laisser du temps pour retenir et répartir l'horloge du DUT.

Dans le circuit 800, le circuit de production de BCL 721 est analogue au circuit de production de ACH 722. Comme représenté sur la Figure 8, le circuit de production de BCL 721, qui est utilisé pour tester l'état logique BAS du signal de données du DUT 701, comporte une tension de référence 705, un comparateur 870, un générateur d'impulsion à front descendant 723, un générateur d'impulsion à front montant 852 constitué d'un inverseur 853 et d'une porte ET 854, des réseaux de retard programmables 855-856, un réseau de retard fixe 857, des générateurs de rampe 858 et 861, une tension de référence V<sub>TH</sub> 814, des comparateurs 859 et 862, une porte ET 86, une bascule S-R 720, un générateur d'impulsion à front montant constitué d'un inverseur 864 et d'une porte ET 865 et un circuit de commande 863.

On comprendra que la description de la présente invention fournie ci-dessus est destinée à l'explication et n'est pas destinée à être limitative. Un grand nombre de variantes sont possibles à l'intérieur de la portée de la

présente invention. Par exemple, un comparateur unique peut être utilisé pour tester à la fois les niveaux HAUT et BAS d'un signal de données de DUT. Dans ce cas, la tension de référence utilisée par le comparateur est fixée à un point milieu pour déterminer si le signal de données du DUT est supérieur ou  
5 inférieur à la tension de référence. L'invention est présentée dans les revendications suivantes.

## REVENDEICATIONS

1. Dans un système de test, procédé d'obtention de signaux de sortie provenant d'un dispositif en cours de test ("DUT") délivrant en sortie des signaux synchrones de source, comprenant les étapes consistant à :

- 5 (a) retarder un signal de données de sortie provenant dudit DUT ;  
(b) retarder un signal d'horloge de sortie provenant dudit DUT ; et  
(c) lire ledit signal de données de sortie en utilisant ledit signal d'horloge de sortie.

2. Procédé selon la revendication 1, comprenant en outre l'étape consistant à mémoriser un signal résultant de l'étape (c) dans un tampon.

- 10 3. Procédé selon la revendication 2, caractérisé en ce que ledit tampon est un verrou.

4. Procédé selon la revendication 2, caractérisé en ce que ledit tampon est une bascule.

- 15 5. Procédé selon la revendication 2, comprenant en outre l'étape consistant à lire un signal de sortie dudit tampon en utilisant une horloge provenant dudit système de test.

6. Dispositif pour tester un dispositif électronique en cours de test (DUT) délivrant en sortie des signaux synchrones de source comprenant :

- 20 — un comparateur ayant une première borne d'entrée couplée à une tension de référence et une seconde borne d'entrée couplée à une borne de sortie de données dudit DUT ;  
— un premier élément de retard couplé à une borne de sortie dudit comparateur ;  
25 — un second élément de retard couplé à une borne de sortie d'horloge dudit DUT ; et  
— un tampon ayant une première borne d'entrée couplée audit premier élément de retard et une seconde borne d'entrée couplée audit second élément de retard.

- 30 7. Dispositif selon la revendication 6, comprenant en outre un générateur d'impulsion à front montant couplé entre ledit comparateur et ledit premier élément de retard.

8. Dispositif pour tester un dispositif électronique en cours de test ("DUT") délivrant en sortie des signaux synchrones de source comprenant :
- un comparateur ayant une première borne d'entrée couplée à une tension de référence et une seconde borne d'entrée couplée à une sortie de données dudit DUT ;
  - un premier élément de retard couplé à une borne de sortie dudit comparateur ;
  - un second élément de retard couplé à une borne de sortie d'horloge dudit DUT ; et
  - un élément logique ayant une première borne d'entrée couplée audit premier élément de retard et une seconde borne d'entrée couplée audit second élément de retard.
9. Dispositif selon la revendication 8, comprenant en outre un tampon couplé à une borne de sortie dudit élément logique.
10. Dispositif selon la revendication 8, comprenant en outre un générateur d'impulsion à front couplé entre ledit comparateur et ledit premier élément de retard.

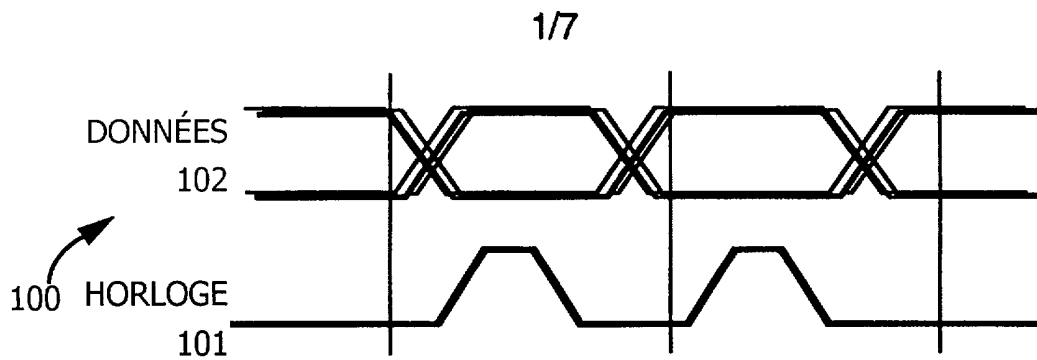


FIG. 1

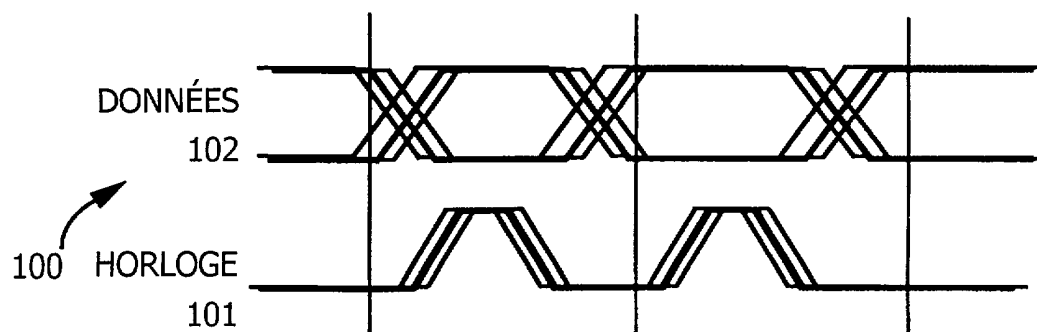
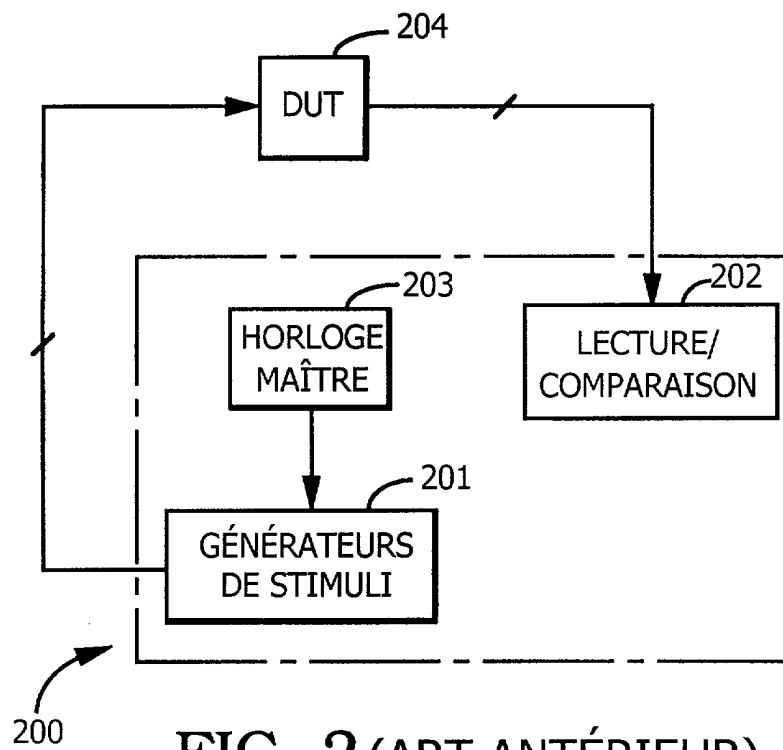


FIG. 3

2/7

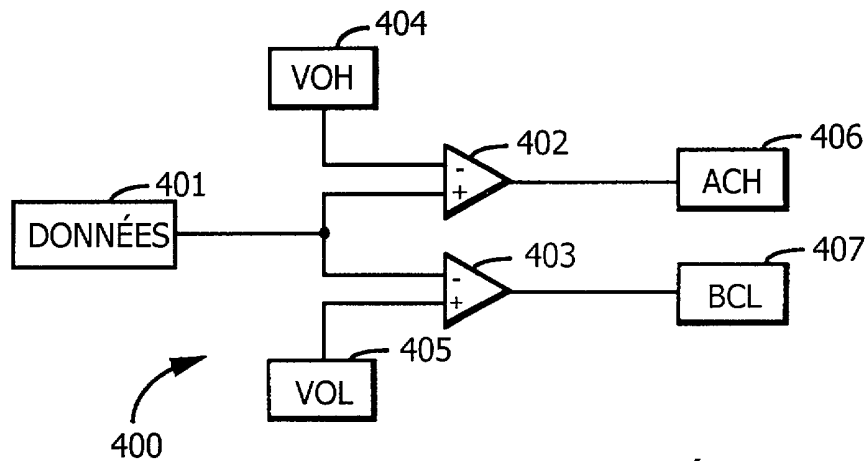


FIG. 4 (ART ANTÉRIEUR)

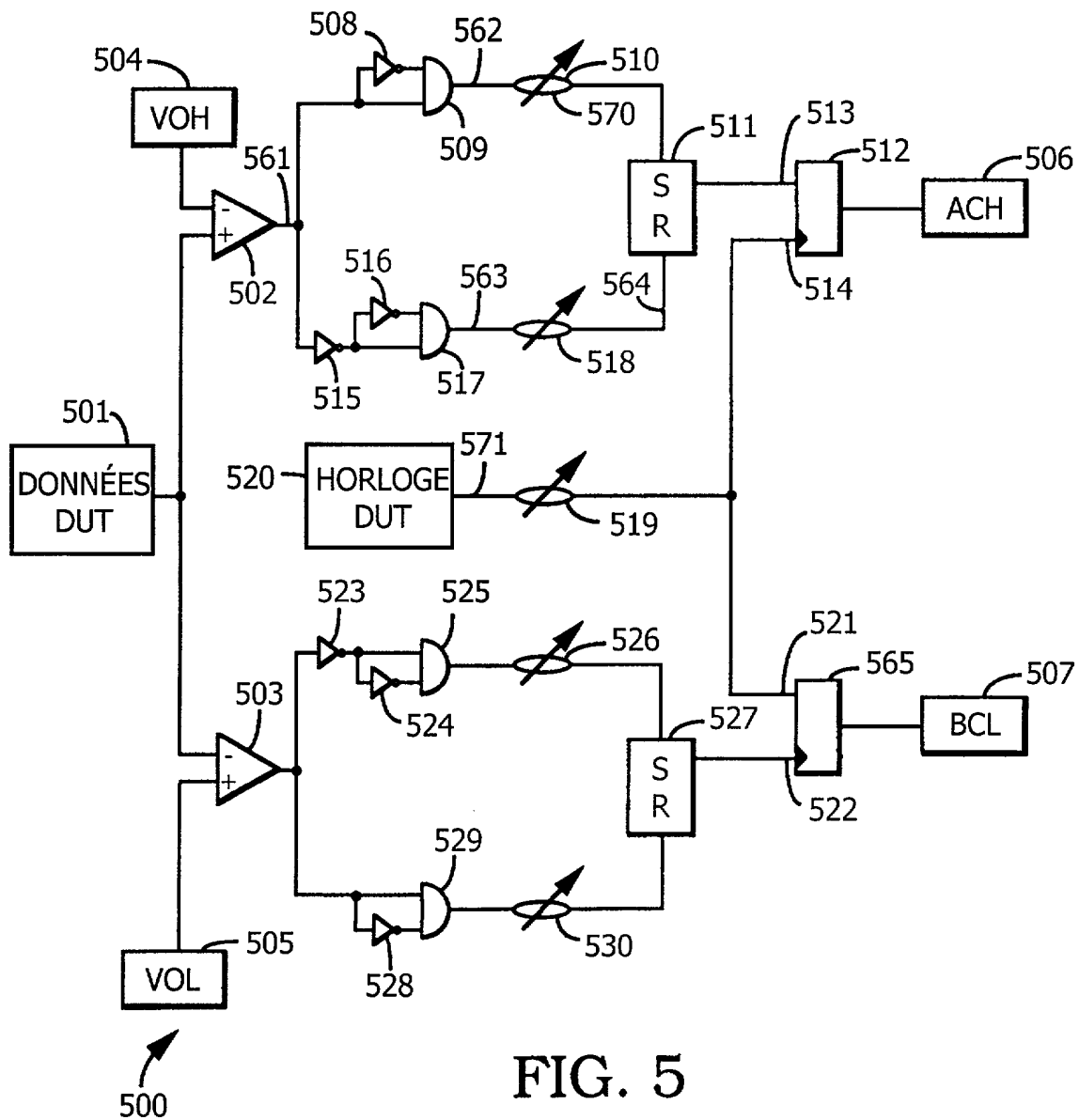


FIG. 5

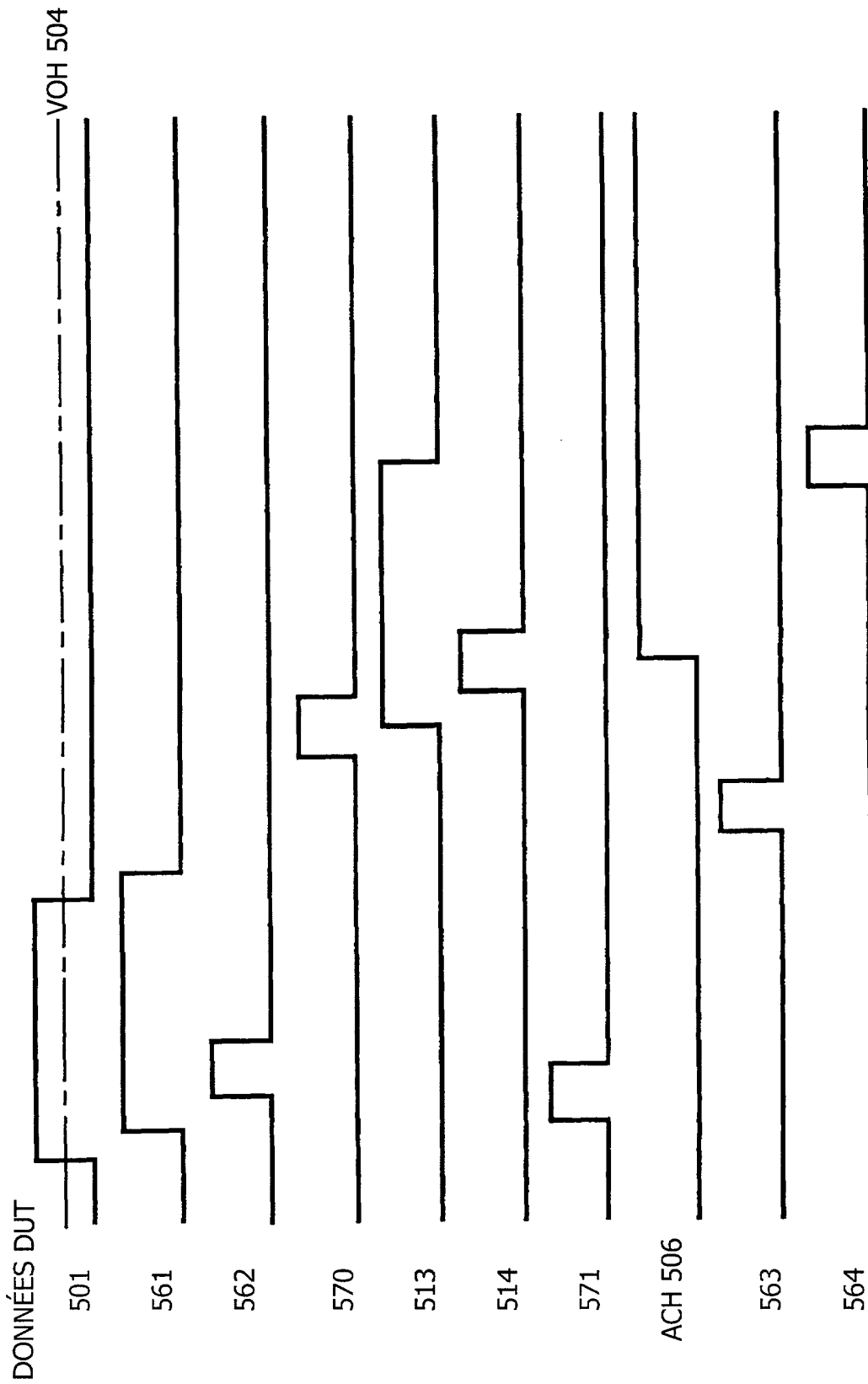


FIG. 6

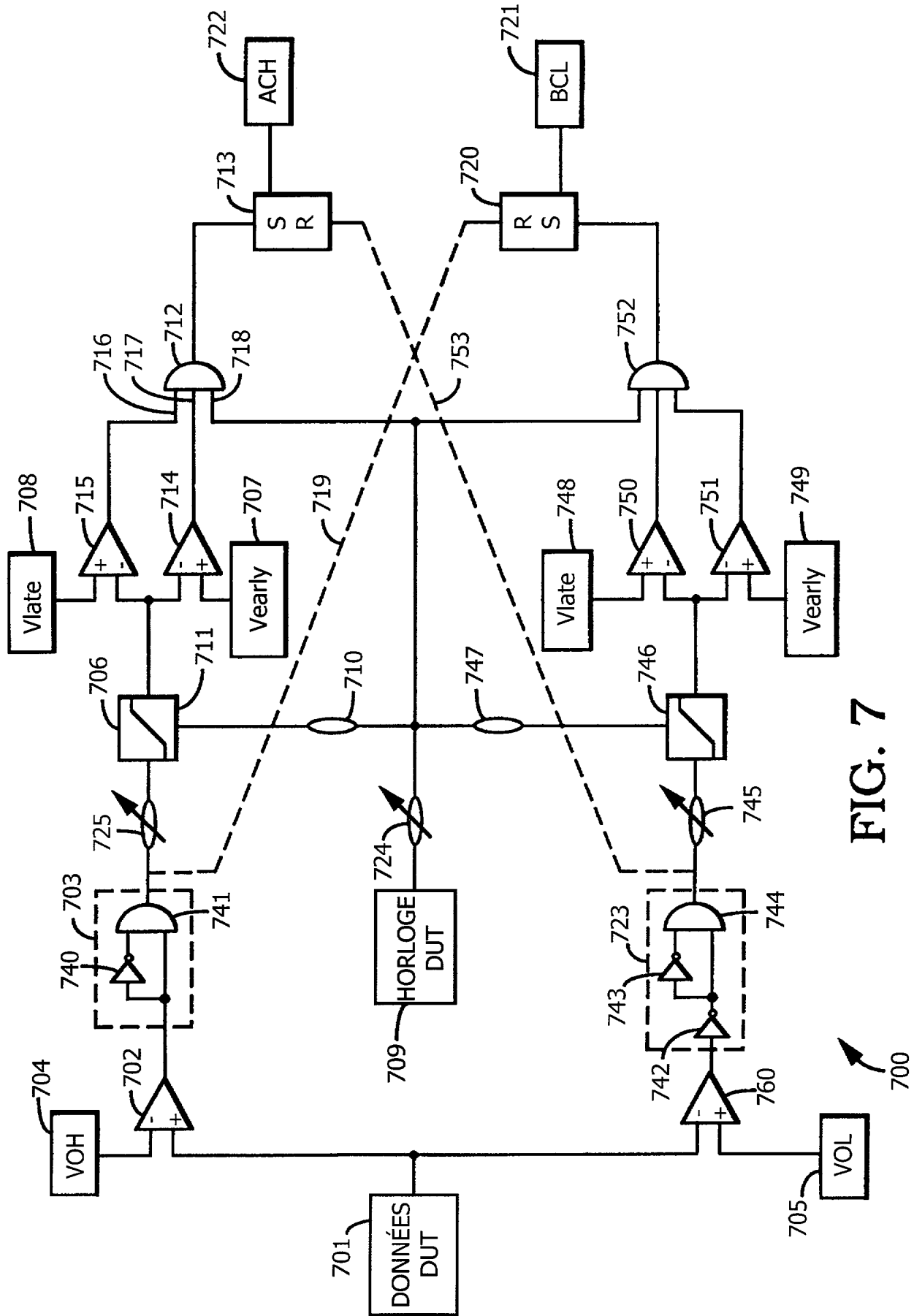


FIG. 7

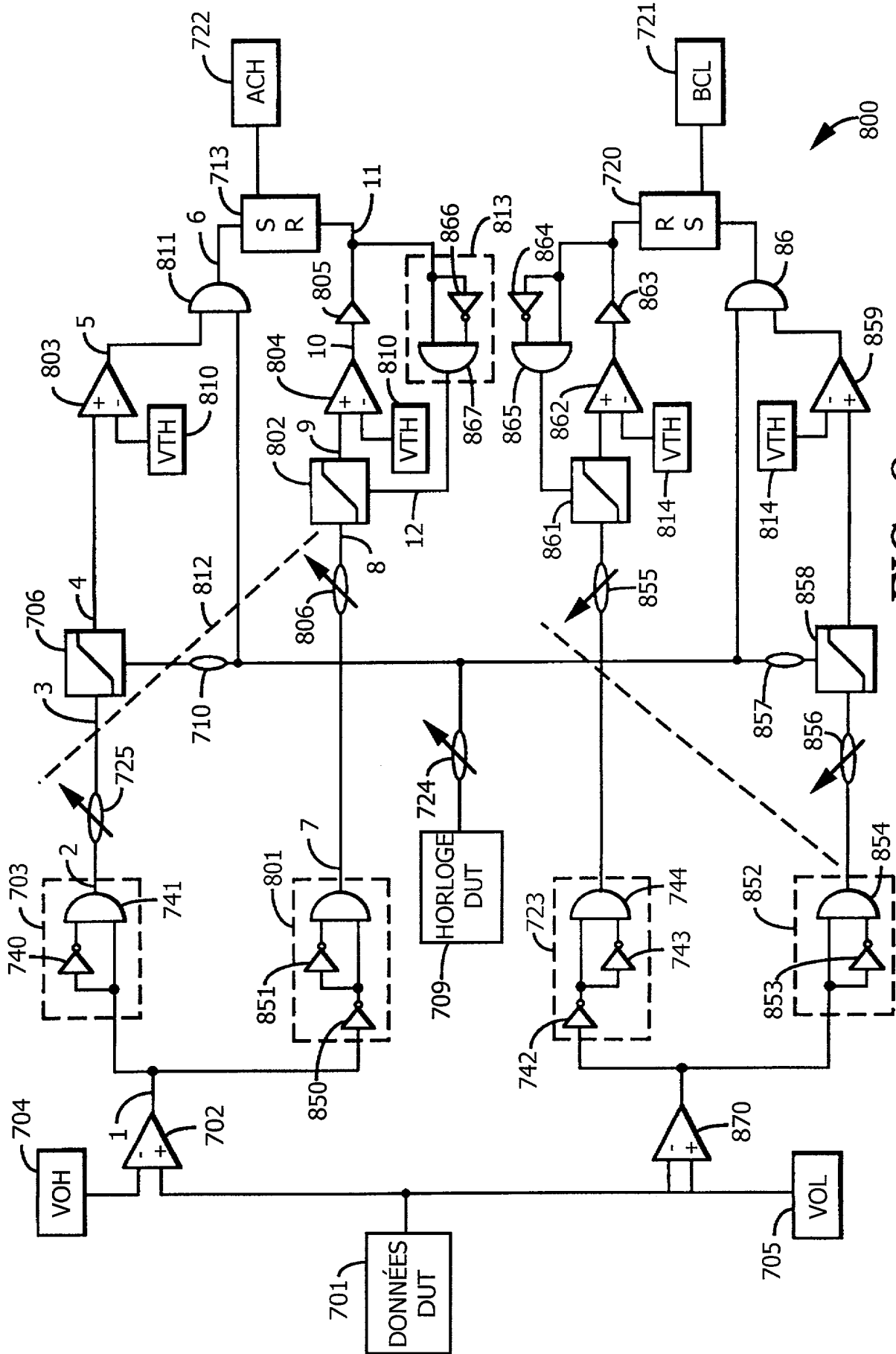


FIG. 8

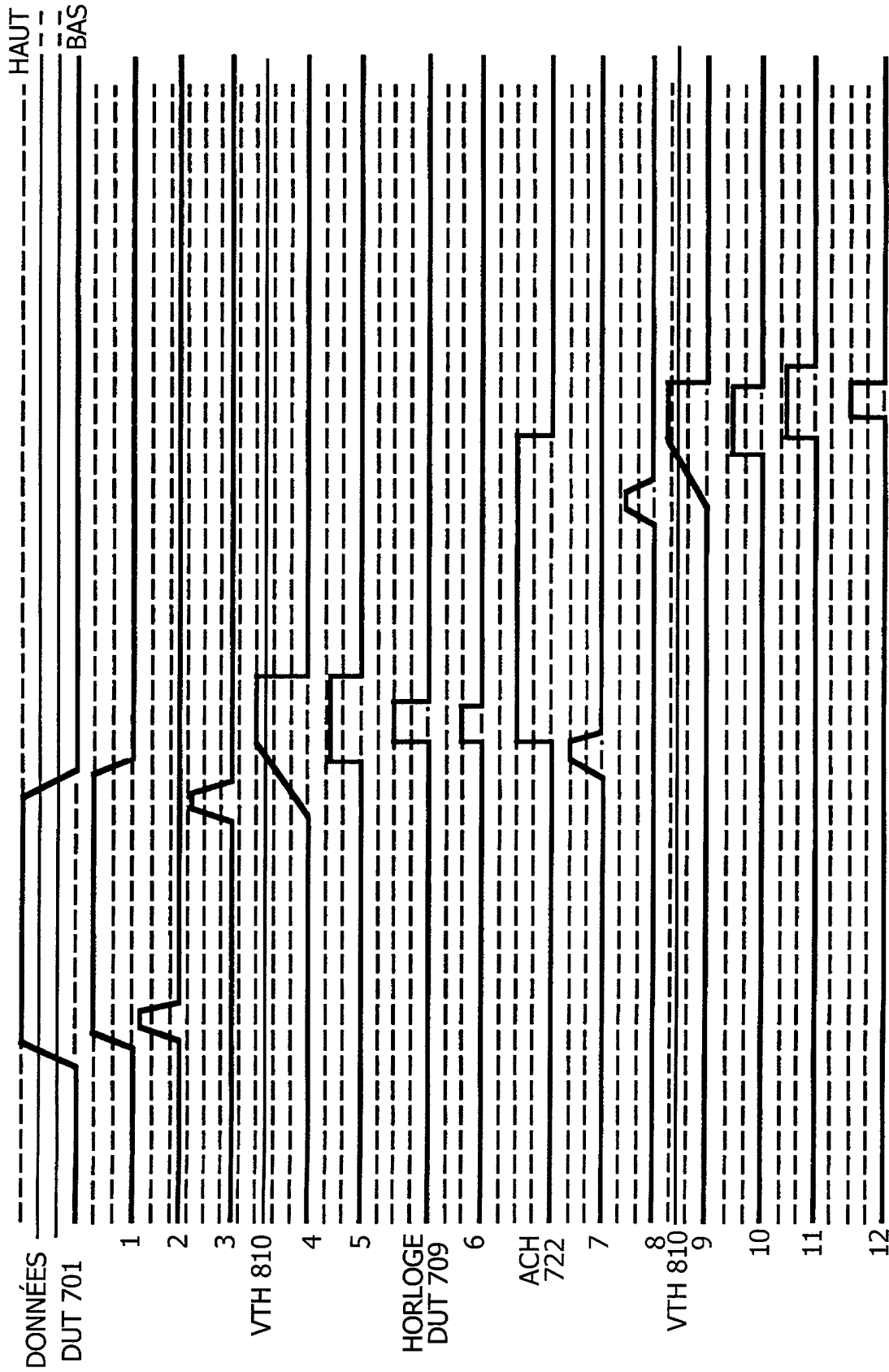


FIG. 9

717

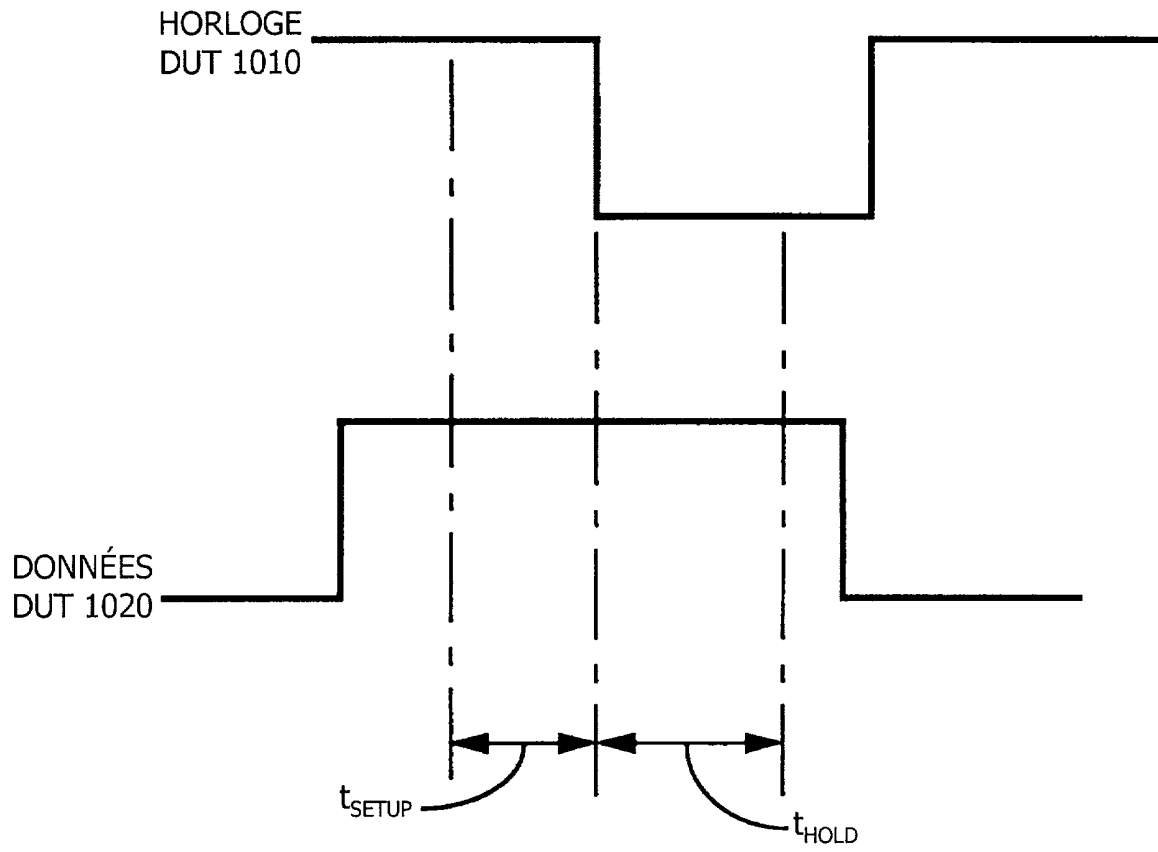


FIG. 10