

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成18年12月7日(2006.12.7)

【公表番号】特表2006-502507(P2006-502507A)

【公表日】平成18年1月19日(2006.1.19)

【年通号数】公開・登録公報2006-003

【出願番号】特願2004-543571(P2004-543571)

【国際特許分類】

G 06 F 12/06 (2006.01)

G 06 F 9/46 (2006.01)

G 06 F 12/08 (2006.01)

【F I】

G 06 F 12/06 5 7 0 C

G 06 F 9/46 4 1 0

G 06 F 12/08 5 1 1 Z

G 06 F 12/08 5 6 5

【手続補正書】

【提出日】平成18年10月6日(2006.10.6)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

多重スレッド・プロセッサに関連付けられたメモリにアクセスする方法であって、

前記多重スレッド・プロセッサの特定のスレッドに関連付けられたスレッド識別子を決定する工程と、

前記スレッド識別子の少なくとも部分を使用して、対応するプロセッサ・スレッドでアクセスすべき前記メモリの特定の部分を選択する工程とを備え、

前記選択する工程がさらに、前記スレッド識別子の第1の部分を使用して前記メモリの中の複数の複数バンク・メモリ要素のうちの1つを選択する工程と、前記スレッド識別子の第2の部分を使用して前記複数バンク・メモリ要素の前記選択された1つの中の複数のメモリ・バンクのうちの1つを選択する工程とを備えることを特徴とする方法。

【請求項2】

前記第1の部分が、前記スレッド識別子の1つまたは複数の最上位のビットを含むことを特徴とする請求項1に記載の方法。

【請求項3】

前記第2の部分が、前記スレッド識別子の1つまたは複数の最下位のビットを含むことを特徴とする請求項1に記載の方法。

【請求項4】

前記複数バンク・メモリ要素の各々が、偶数のメモリ・バンクおよび奇数のメモリ・バンクを含み、そして前記第2の部分の最下位ビットを用いて、前記対応するプロセッサ・スレッドによるアクセスのために前記偶数メモリ・バンクと前記奇数メモリ・バンクのうちの1つを選択することを特徴とする請求項1に記載の方法。

【請求項5】

前記メモリが、前記多重スレッド・プロセッサに結合された主メモリを含むことを特徴とする請求項1に記載の方法。

【請求項 6】

前記メモリが、前記多重スレッド・プロセッサのデータ・メモリを含むことを特徴とする請求項 1 に記載の方法。

【請求項 7】

前記メモリが、前記多重スレッド・プロセッサのキャッシュ・メモリを含むことを特徴とする請求項 1 に記載の方法。

【請求項 8】

前記キャッシュ・メモリが複数のスレッド・キャッシュを備え、前記スレッド・キャッシュのうちの少なくとも所定の 1 つが、1 つまたは複数の組の記憶場所を有するメモリ・アレイを含むことを特徴とする請求項 7 に記載の方法。

【請求項 9】

前記所定のスレッド・キャッシュが、前記スレッド識別子を格納するスレッド識別子レジスタをさらに含むことを特徴とする請求項 8 に記載の方法。

【請求項 10】

前記多重スレッド・プロセッサが、トークン起動スレッディングを使用するように構成されていることを特徴とする請求項 1 に記載の方法。

【請求項 11】

前記トークン起動スレッディングが、トークンを使用して、次のクロック・サイクルの命令を発行することを許可される特定のコンテキストを現在プロセッサ・クロック・サイクルに関連して識別することを特徴とする請求項 10 に記載の方法。

【請求項 12】

前記多重スレッド・プロセッサが、パイプライン命令処理のために構成されていることを特徴とする請求項 1 に記載の方法。

【請求項 13】

多重スレッド・プロセッサと、

前記多重スレッド・プロセッサに関連付けられたメモリとを備えるプロセッサ・システムにおいて、

前記多重スレッド・プロセッサは、前記多重スレッド・プロセッサの特定のスレッドに関連付けられたスレッド識別子を決定し、かつ前記スレッド識別子の少なくとも部分を使用して前記対応するプロセッサ・スレッドでアクセスすべき前記メモリの特定の部分を選択するように動作するものであり、

前記スレッド識別子の第 1 の部分を使用して前記メモリの中の複数の複数バンク・メモリ要素のうちの 1 つを選択し、そして、前記スレッド識別子の第 2 の部分を使用して前記複数バンク・メモリ要素の前記選択された 1 つの中の複数のメモリ・バンクのうちの 1 つを選択することを特徴とするプロセッサ・システム。

【請求項 14】

多重スレッド・プロセッサに関連付けられたメモリにアクセスする際に使用するための具現されたプログラム・コードを有する機械読出し可能な記憶媒体を含む物品であって、前記プロセッサで実行されるとき前記プログラム・コードが、

前記多重スレッド・プロセッサの特定のスレッドに関連付けられたスレッド識別子を決定する工程と、

前記スレッド識別子の少なくとも部分を使用して、対応するプロセッサ・スレッドでアクセスすべき前記メモリの特定の部分を選択する工程とを実施するものであり、

前記選択する工程がさらに、前記スレッド識別子の第 1 の部分を使用して前記メモリの中の複数の複数バンク・メモリ要素のうちの 1 つを選択する工程と、前記スレッド識別子の第 2 の部分を使用して前記複数バンク・メモリ要素の前記選択された 1 つの中の複数のメモリ・バンクのうちの 1 つを選択する工程とを備えることを特徴とする物品。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0002

【補正方法】変更

【補正の内容】

【0002】

本発明は、「Multithreaded Processor With Efficient Processing For Convergence Device Applications」という名称の米国特許第6,968,445号(2005年11月22日発行)明細書、「Method and Apparatus for Register File Port Reduction in a Multithreaded Processor」という名称の米国特許第6,904,511号(2005年6月7日発行)明細書、および「Method and Apparatus for Token Triggered Multithreading」という名称の米国特許第6,842,848号(2005年1月11日発行)明細書に記載されている発明に関係している。これらの出願の全ては、本出願と共に同時に出願され、参照して本明細書に組み込まれる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

従来のメモリ・アクセス技術の重大な問題は、そのような技術は一般に多重スレッド・プロセッサ、すなわち複数の別個の命令シーケンスまたは「スレッド」の同時実行をサポートするプロセッサ、で使用するために最適化されていないことである。例えば、多重スレッド・プロセッサに適用されるとき従来メモリ・アクセス技術は、非常に多数の読み出しおよび書き込みポートを必要とすることが多く、これによって電力消費が過度に大きくなる。その上、多重スレッド・プロセッサに適用されるときそのような技術は、特定のプロセッサ・スレッドの機能停止およびメモリ・アクセス時間の増加をもたらすことがある。

【特許文献1】米国特許第6,968,445号明細書

【特許文献2】米国特許第6,904,511号明細書

【特許文献3】米国特許第6,842,848号明細書

【特許文献4】米国特許出願番号10/161,774

【特許文献5】米国特許出願番号10/161,874

【特許文献6】米国仮出願番号60/341,289

【非特許文献1】M. J. Flynn、「Computer Architecture: Pipelined and Parallel Processor Design」、Jones and Bartlett Publishers、Boston, MA、1995年